การออกแบบระบบส่งข้อมูลในช่องสัญญาณ
การกระจายเสียงแบบ FM
DESIGN OF DATA TRANSMISSION SYSTEMS
IN FM BROADCASTING CHANNELS

นาย กฤดากร กล่อมการ
MR. KITDAKORN KLOMKARN

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2536

ISBN 974-8158-72-1

ลิขสิทธิ์ของบัณฑิตวิทยาลัยสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

DESIGN OF DATA TRANSMISSION SYSTEMS IN FM BROADCASTING CHANNELS

T 019555

KITDAKORN KLOMKARN

เลขหมู่ ดส. ก 2538 25ช
เลขทะเบียน 19555
วัน, เดือน, ป 8 ก.ย. 253

A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE
MASTER OF ENGINEER IN ELECTRICAL ENGINEER
GRADUATE SCHOOL
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
1993

ISBN 974-8158-72-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบระบบส่งข้อมูลในช่องสัญญาณ-การกระจายเสียงแบบ FM
นักศึกษา	นาย กฤดากร กล่อมการ 30620037
อาจารย์ผู้ควบคุมวิทยานิพนธ์	ผศ.ดร. กนก เจนจิระพงศ์เวช
ระดับการศึกษา	วิศวกรรมศาสตรมหาบัณฑิต
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2536

บทคัดย่อ

วิทยานิพนธ์นี้ เสนอการออกแบบระบบการส่งข้อมูลในช่องสัญญาณวิทยุกระจายเสียงแบบ FM โดยใช้ช่องสัญญาณที่เรียกว่าช่องสัญญาณ FM-SCA เพื่อเป็นระบบการบริการข่าวสารข้อมูล โดยใน วิทยานิพนธ์ได้แสดงถึงการออกแบบในส่วนของวงจรการมอดูเลทสัญญาณ FM ที่ใช้ในทางการกระจายเสียง การออกแบบวงจรเข้าสัญญาณสเตอริโอ การออกแบบโมเดมที่ใช้ส่งข้อมูลในช่องสัญญาณ FM-SCA ซึ่งเป็นโมเดมแบบ FSK และ PSK โดยมีความถี่คลื่นพาห์เท่ากับ 67.2 KHz และบิทเรทเท่ากับ 4,800 บิทต่อวินาที สำหรับการวิเคราะห์คุณสมบัติของช่องสัญญาณ ที่ใช้ส่งสัญญาณข้อมูลในวิทยานิพนธ์นี้ ได้วัดและเสนอการออกแบบเครื่องมือวัดอัตราการผิดพลาดของบิท ซึ่งแสดงผลบนไมโครคอมพิวเตอร์ โดยสามารถแสดงผลในรูปของช่วงระหว่างบิทที่ผิด และได้นำรูปแบบช่วงระหว่างบิทที่ผิดมาออกแบบแพคเกตที่เหมาะสมสำหรับการส่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	DESIGN OF DATA TRANSMISSION SYSTEMS IN FM BROADCASTING CHANNELS.
Student	MR. KITDAKORN KLOMKARN
Thesis Advisor	ASST.PROF.DR.KANOK JENJIRAPONGVEJ
Level of Study	MASTER OF ENGINEER IN ELECTRICAL ENGINEER
Academic Year	1993

ABSTRACT

In thesis presents the design of data transmission systems by modulation data into FM-SCA channels and broadcast with Frequency modulation. Here in design of broadcast FM modulator or FM exciter, stereo coder and Modem are also described. The FSK modem and PSK modem carrier used 67.2KHz and with bit rate about 4,800 bits per second are implemented. The channel characteristics of FM-SCA that use for digital signals transmission is analyzed by bit error rate measurement.The bit error rate analyzer that measure the Error Free Interval(EFI) and display results on a microcomputer is also pre sented.The optimum packet that use for transmit data are designed form EFI distribution of bit error rate.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลงได้ต้องขอกราบขอบคุณ อ.กนก เจนจิระพงศ์เวช อาจารย์ที่ปรึกษาที่ได้ช่วยเหลือชี้แนะสิ่งต่างๆ ตลอดมา ขอขอบคุณ อ.ประดิษฐ์ วัชรพิบูลย์ หัวหน้าภาคเทคนิคอุตสาหกรรม ที่ได้ช่วยเหลือสนับสนุนเครื่องมือในการทำวิจัย ขอขอบคุณน้อง ๆ อส.บ.โทรคมนาคม ที่เป็นทั้งลูกศิษย์และผู้ร่วมงานวิจัย รวมทั้งการทำต้นฉบับวิทยานิพนธ์ ขอประทับความทรงจำที่ดีต่อสถาบันเทคโนโลยีพระจอมเกล้า ศูนย์นนทบุรี ซึ่งเป็นทั้งห้องวิจัยและบ้านอันอบอุ่นของผู้วิจัย

สุดท้ายขอกราบขอบพระคุณ คุณแม่ มณีวรรณ และ คุณพ่อ พ.ต.ท.บุญรัตน์ กล่อมการ ซึ่งเป็นกำลังใจและสนับสนุนผู้วิจัยตลอดมา

อนึ่งคุณความดีใดๆ ที่เกิดจากวิทยานิพนธ์ฉบับนี้ขอมอบให้แด่ครูบาอาจารย์ที่ได้ประสิทธิ์ประสาทวิชาทั้งความรู้พื้นฐาน และ ความรู้ทางด้านวิศวกรรมให้กับผู้วิจัยไม่ว่าทางตรงหรือทางอ้อม

กฤดากร กล่อมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
Abstract	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VIII
สารบัญรูปภาพ	IX
คำอธิบายสัญลักษณ์	XIV
คำย่อ	XVI
บทที่ 1 บทนำ	1
1.1 แนวความคิดในการทำวิทยานิพนธ์	1
1.2 องค์ประกอบวิทยานิพนธ์	2
บทที่ 2 ทฤษฎีเฟสล็อกลูป	3
2.1 ลูปพื้นฐานและอุปกรณ์ในลูป	3
2.1.1 แบบจำลองของเฟสล็อกลูป	3
2.1.2 เฟสดีเทคเตอร์	7
2.2 ผลตอบสนองของลูปต่อสัญญาณอินพุท	11
2.2.1 ผลตอบสนองของการเปลี่ยนเฟส	12
2.2.2 ผลตอบสนองของการเปลี่ยนความถี่	13
2.2.3 การเข้าสู่สภาวะล็อกลูปและการติดตามสัญญาณของ PLL	15
2.2.4 ผลตอบสนองของลูปเมื่ออินพุทมีสัญญาณนอยส์	18
2.3 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูป	22
2.3.1 ผลตอบสนองของลูปในสภาวะทรานเซียน	24
2.3.2 การลดทอนไซด์แบนด์	25
2.3.3 เสถียรภาพของลูป	27
2.3.4 การมอดูเลทด้วยสัญญาณเบสแบนด์	27
บทที่ 3 การออกแบบวงจรมอดูเลทสัญญาณ FM สำหรับการกระจายเสียงแบบสเตอริโอ	29
3.1 ทฤษฎีการส่งกระจายเสียงแบบ FM	29
3.1.1 การส่งกระจายเสียงแบบ FM สเตอริโอ	29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
3.1.2 การส่งสัญญาณ SCA ในระบบ FM สเตอริโอ	30
3.1.3 การมอดูเลทสัญญาณ FM	32
3.2 การออกแบบวงจรมอดูเลท FM	33
3.2.1 วงจร VCO	34
3.2.2 วงจรกรองในลูป	36
3.2.3 วงจรหาร N	38
3.2.4 วงจรกำเนิดความถี่อ้างอิง	39
3.3 การออกแบบวงจรเข้าสัญญาณสเตอริโอ	41
3.3.1 วงจรพรีเอ็มพาซิส	41
3.3.2 วงจรแมทริก	42
3.3.3 วงจรกำเนิดสัญญาณไพล็อทโทน	43
3.3.4 วงจรสร้างสัญญาณ 38 KHz	46
3.3.5 วงจรมอดูเลทสัญญาณ 38 KHz กับ (L-R)	47
3.3.6 วงจรเลื่อนเฟสสัญญาณ 19 KHz	48
3.3.7 วงจรรวมสัญญาณ	48
บทที่ 4 การออกแบบโมเดมในช่องสัญญาณ FM-SCA	50
4.1 สัญญาณดิจิตอลเบสแบนด์	50
4.1.1 การเข้ารหัสสัญญาณแบบดิฟเฟอเรนเชียล	51
4.1.2 ความเข้มข้นของสัญญาณเบสแบนด์	52
4.2 การออกแบบวงจรมอดูเลทสัญญาณ FSK	54
4.2.1 การออกแบบวงจรมอดูเลทสัญญาณ FSK ด้วย PLL	55
4.2.2 วงจรกรองความถี่ผ่านย่าน	58
4.3 การออกแบบวงจรดีมอดูเลทสัญญาณ FSK	61
4.3.1 การออกแบบวงจรดีมอดูเลทสัญญาณ FSK โดยใช้ PLL ในทางปฏิบัติ	62
4.3.2 วงจรกรองความถี่ผ่านย่าน 67.2 KHz	64
4.4 การออกแบบวงจรมอดูเลทสัญญาณ PSK	65
4.4.1 วงจรเข้ารหัสสัญญาณ NRZ/NRZ-I	67
4.4.2 วงจรสร้างความถี่ 67.2 KHz	68
4.4.3 วงจรจัดรูปสัญญาณเบสแบนด์	69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
4.4.4 วงจรคูณสัญญาณเบสแบนด์กับสัญญาณคลื่นพาห์	71
4.4.5 วงจรกรองความถี่ผ่านย่าน 67.2 KHz	72
4.5 การออกแบบวงจรดีมอดูเลทสัญญาณ PSK	75
4.5.1 วงจรกรองความถี่ผ่านย่าน 67.2 KHz	75
4.5.2 วงจรกู้สัญญาณคลื่นพาห์	76
4.5. วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK	80
4.5.4 วงจรอินทีเกรทแอนดัมท์	81
4.5.5 วงจรกู้สัญญาณนาฬิกา	83
4.5.6 วงจรถอดรหัสเบสแบนด์ NRZ-I/NRZ	86
บทที่ 5 การออกแบบวงจรเครื่องวัดอัตราการผิดพลาดของบิทที่แสดงผลบนไมโครคอมพิวเตอร์	88
5.1 การวัดสมรรถภาพของระบบโดยใช้สัญญาณข้อมูลกึ่งแรนดัม	88
5.1.1 การสร้างสัญญาณข้อมูลกึ่งแรนดัม	89
5.1.2 คุณสมบัติของสัญญาณข้อมูลกึ่งแรนดัม	91
5.1.3 การสร้างสัญญาณข้อมูลกึ่งแรนดัมในทางปฏิบัติ	93
5.2 เทคนิคการออกแบบเครื่องวัดอัตราการผิดพลาดของบิท	94
5.2.1 หลักการออกแบบเครื่องวัดอัตราการผิดพลาดของบิท	94
5.2.2 การออกแบบวงจรเริ่มต้นดีเทคการผิดพลาดของบิท	96
5.3 การออกแบบภาคแสดงผล	99
5.3.1 การออกแบบวงจรเชื่อมต่อกับไมโครคอมพิวเตอร์	99
5.3.2 การออกแบบโปรแกรมสำหรับควบคุมวงจร	100
5.3.3 การออกแบบโปรแกรมสำหรับการวิเคราะห์การผิดพลาดของบิท	105
บทที่ 6 การวัดอัตราการผิดพลาดของบิทของโมเดมและการออกแบบโปรโตคอล	108
6.1.1 วิธีการวัดอัตราการผิดพลาดของบิท	108
6.1.2 ผลของการวัดอัตราการผิดพลาดของบิท	110
6.2 การออกแบบโปรโตคอล	115
6.2.1 การออกแบบแพคเกต	115
6.2.2 การออกแบบส่วนตรวจสอบความผิด	117
บทที่ 7 สรุปผลและวิจารณ์	120

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 5.1 แสดงซีเควนของ PRBS ขนาด 2^3 -1 91

ตารางที่ 5.1.1 แสดงจำนวนรีจีสเตอร์,ซีเควนที่เกิดขึ้นและการเลือกแทป 91

ตารางที่ 5.3.1 แสดงแอดเดรสของ 8255 8253 104

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

			หน้า
รูปที่	2.1	แสดงโครงสร้างของระบบเฟสล็อกลูป	3
รูปที่	2.1.1.ก	แสดงแบบจำลองของเฟสล็อกลูป	4
รูปที่	2.1.1.ข	แสดงวงจรกรองแบบพาสซีฟ	5
รูปที่	2.1.1.ค	แสดงวงจรกรองแบบแอคทีฟ	5
รูปที่	2.1.2.ก	แสดงวงจรอนาลอกเฟสดีเทคเตอร์	8
รูปที่	2.1.2.ข	แสดงคุณสมบัติโอนย้ายของอนาลอกเฟสดีเทคเตอร์	9
รูปที่	2.1.2.ค	แสดงโครงสร้างของวงจรเฟสฟรีเควนซีดีเทคเตอร์	10
รูปที่	2.1.2.ง	แสดงผังเวลาของเฟสฟรีเควนซีดีเทคเตอร์ในช่วงเวลาต่าง ๆ	11
รูปที่	2.1.2.จ	แสดงคุณสมบัติโอนย้ายเฟสฟรีเควนซีดีเทคเตอร์	11
รูปที่	2.2.1	แสดงเฟสเออเรอร์เมื่อมีการเปลี่ยนเฟสอินพุท	13
รูปที่	2.2.2	แสดงเฟสเออเรอร์เมื่อมีการเปลี่ยนความถี่อินพุท	14
รูปที่	2.2.3.ก	แสดงพิสัยล็อก, พิสัยพูลอิน, พิสัยแคปเจอร์	16
รูปที่	2.2.3.ข	แสดงการเกิดสัญญาณบีทโน๊ต	17
รูปที่	2.2.4.ก	แสดงแบบจำลองของลูปเมื่ออินพุทมีสัญญาณนอยส์	19
รูปที่	2.2.4.ข	แสดงวงจรสมมูลย์ของเฟสดีเทคเตอร์ที่มีวงจรยกกำลังสองที่อินพุท	22
รูปที่	2.3	แสดงโครงสร้าง PLL สำหรับการสังเคราะห์ความถี่	23
รูปที่	2.3.1	แสดงเฟสเอาท์พุทในสภาวะทรานเซียนของ PLL ที่ใช้วงจรกรองแบบแอคทีฟในลูป	24
รูปที่	2.3.2.ก	แสดงโครงสร้างของลูปสำหรับวิเคราะห์หาไชด์แบนด์นอยส์	25
รูปที่	2.3.2.ข	แสดงกระแสรั่วไหลของ PD และกระแสไบอัสอินพุทของออปแอมป์	26
รูปที่	2.3.3	แสดงการมอดูเลท FM ใน PLL	27
รูปที่	3.1.2.ก	แสดงสัญญาณเบสแบนด์ของ FM สเตอริโอและสัญญาณ SCA	30
รูปที่	3.1.2.ข	แสดงโครงสร้างภาคส่งสัญญาณ FM, สัญญาณ SCA	31
รูปที่	3.1.2.ค	แสดงโครงสร้างภาครับสัญญาณ FM สเตอริโอ	32
รูปที่	3.1.3	แสดงวงจรสมมูลย์ของวงจรกำเนิดความถี่แบบ LC	32
รูปที่	3.2	แสดงโครงสร้างของวงจรมอดูเลท FM	33
รูปที่	3.2.1.ก	แสดงวงจรโคพิทออสซิเลทเตอร์	34
รูปที่	3.2.1.ข	แสดงวงจร VCO ที่ใช้ในทางปฏิบัติ	36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

			หน้า
รูปที่	3.2.2.ก	แสดงวงจรกรองที่ใช้ในลูป	37
รูปที่	3.2.2.ข	แสดงวงจรกรองและเฟสดีเทคเตอร์ที่ใช้ในวงจรสร้างสัญญาณ FM	38
รูปที่	3.2.3	แสดงวงจรหาร N	38
รูปที่	3.2.4	แสดงวงจรกำเนิดความถี่อ้างอิง	39
รูปที่	3.2.5.ก	แสดงวงจรมอดูเลทสัญญาณ FM ทั้งหมด	40
รูปที่	3.2.5.ข	แสดงสเปคตรัมสัญญาณความถี่ 107.5 MHz	40
รูปที่	3.3	แสดงโครงสร้างของวงจรเข้าสัญญาณสเตอริโอ	41
รูปที่	3.3.1	แสดงวงจรพรีเอ็มพาซิสและผลตอบสนองความถี่	41
รูปที่	3.3.2	แสดงวงจรแมทริก	42
รูปที่	3.3.3.ก	แสดงโครงสร้างวงจร PLL สำหรับสังเคราะห์ความถี่ 19 KHz	43
รูปที่	3.3.3.ข	แสดงวงจร VCO และวงจรกรองในลูป	44
รูปที่	3.3.3.ค	แสดงวงจรหาร 19	45
รูปที่	3.3.3.ง	แสดงวงจรกำเนิดความถี่อ้างอิง	46
รูปที่	3.3.3.จ	แสดงวงจรสร้างความถี่ 19 KHz ทั้งหมด	46
รูปที่	3.3.4	แสดงวงจรสร้างสัญญาณ 38 KHz	47
รูปที่	3.3.5	แสดงวงจรมอดูเลทสัญญาณ 38 KHz กับ (L-R)	47
รูปที่	3.3.6	แสดงวงจรเลื่อนเฟสของวงจร 19 KHz	48
รูปที่	3.3.7.ก	แสดงวงจรรวมสัญญาณ	48
รูปที่	3.3.7.ข	แสดงวงจรเข้าสัญญาณสเตอริโอทั้งหมด	49
รูปที่	4	แสดงระบบส่งข้อมูลในช่องสัญญาณ	50
รูปที่	4.1	แสดงสัญญาณ NRZ-L, NRZ-M, NRZ-S	51
รูปที่	4.1.1	แสดงกำเนิดและถอดรหัสสัญญาณแบบดิฟเฟอเรนเชียล	52
รูปที่	4.1.2.ก	แสดงความเข้มข้นสเปคตรัมกำลังของสัญญาณ NRZ, รีสโคไชน์	53
รูปที่	4.1.2.ข	แสดงรูปสัญญาณรีสโคไชน์	54
รูปที่	4.2.ก	แสดงโครงสร้างของการมอดูเลทและดีมอดูเลทสัญญาณ FSK	54
รูปที่	4.2.ข	แสดงความเข้มข้นสเปคตรัมกำลังของสัญญาณ FSK	55
รูปที่	4.2.1.ก	แสดงโครงสร้างของวงจรมอดูเลทสัญญาณ FSK	56
รูปที่	4.2.1.ข	แสดงวงจร VCO และวงจรกรองของลูป	57
รูปที่	4.2.1.ค	แสดงวงจรหารความถี่	57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

			หน้า
รูปที่	4.2.1.ง	แสดงวงจรสร้างความถี่อ้างอิง	58
รูปที่	4.2.2.ก	แสดงวงจรกรองความถี่ผ่านย่านแบบ Multiple feedback	58
รูปที่	4.2.2.ข	แสดงวงจรกรองความถี่ผ่านย่าน 67.2 KHz	59
รูปที่	4.2.2.ค	แสดงวงจรมอดูเลทสัญญาณ FSK ทั้งหมด	60
รูปที่	4.2.2.ง	แสดงสเปคตรัมของสัญญาณ FSK ของที่เอาท์พุทของวงจรมอดูเลท	61
รูปที่	4.3	แสดงโครงสร้างการดีมอดูเลทสัญญาณ FSK ด้วย PLL	61
รูปที่	4.3.1.ก	แสดงโครงสร้างการดีมอดูเลทสัญญาณ FSK ด้วยวงจรรวม 565	62
รูปที่	4.3.1.ข	แสดงวงจรดีมอดูเลทสัญญาณ FSK	64
รูปที่	4.3.2.ก	แสดงวงจรกรองความถี่ผ่านย่าน 67.2 KHz	65
รูปที่	4.3.2.ข	แสดงวงจรดีมอดูเลทสัญญาณ FSK ทั้งหมด	65
รูปที่	4.4.ก	แสดงการมอดูเลทและดีมอดูเลทสัญญาณ PSK	66
รูปที่	4.4.ข	แสดงโครงสร้างของวงจรมอดูเลทสัญญาณ PSK	67
รูปที่	4.4.1	แสดงวงจรเข้าสัญญาณ NRZ เป็น NRZ-I	67
รูปที่	4.4.2.ก	แสดงโครงสร้างความถี่ 67.2 KHz	68
รูปที่	4.4.2.ข	แสดงวงจรสร้างสัญญาณความถี่ 67.2 KHz	69
รูปที่	4.4.3.ก	แสดงโครงสร้างวงจรจัดรูปสัญญาณ	69
รูปที่	4.4.3.ข	แสดงสัญญาณจุดต่างๆ ของโครงสร้างในรูป 4.4.3.ก	70
รูปที่	4.4.3.ค	แสดงวงจรจัดรูปสัญญาณ	71
รูปที่	4.4.3.ง	แสดงสัญญาณเบสแบนด์รีสโคไซน์ที่เอาท์พุทของวงจรจัดรูปสัญญาณ	71
รูปที่	4.4.4	แสดงวงจรคูณสัญญาณเบสแบนด์รีสโคไซน์กับสัญญาณความถี่พาห์	72
รูปที่	4.4.5.ก	แสดงวงจรกรองความถี่ผ่านย่าน 67.2 KHz	72
รูปที่	4.4.5.ข	แสดงสเปคตรัมของสัญญาณ PSK	73
รูปที่	4.4.6	แสดงวงจรมอดูเลทสัญญาณ PSK ทั้งหมด	74
รูปที่	4.5	แสดงโครงสร้างวงจรดีมอดูเลทสัญญาณ PSK	75
รูปที่	4.5.1	แสดงวงจรกรองความถี่ผ่านย่าน 67.2 KHz	75
รูปที่	4.5.2.ก	แสดงโครงสร้างลูปยกกำลังสอง	76
รูปที่	4.5.2.ข	แสดงวงจรสำหรับยกกำลังสองสัญญาณ	77
รูปที่	4.5.2.ค	แสดงโครงสร้าง PLL สำหรับลูปยกกำลังสอง	77
รูปที่	4.5.2.ง	แสดงวงจร PLL สำหรับลูปยกกำลังสอง	79

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่	4.5.2.จ	แสดงวงจรหาร 2	79
รูปที่	4.5.2.ฉ	แสดงวงจรกู้สัญญาณคลื่นพาห์แบบลูปยกกำลังสอง	80
รูปที่	4.5.3	แสดงวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK	81
รูปที่	4.5.4.ก	แสดงวงจรอินทีเกรทแอนดัมพ์	82
รูปที่	4.5.4.ข	แสดงสัญญาณจุดต่างๆ ของวงจรอินทีเกรทแอนดัมพ์	83
รูปที่	4.5.5.ก	แสดงหลักการวงจรกู้สัญญาณนาฬิกา	84
รูปที่	4.5.5.ข	แสดงวงจรกู้สัญญาณนาฬิกาในทางปฏิบัติ	85
รูปที่	4.5.6.ก	แสดงวงจรถอดสัญญาณ NRZ-I เป็น NRZ	86
รูปที่	4.5.6.ข	แสดงวงจรดีมอดูเลทสัญญาณ PSK ทั้งหมด	87
รูปที่	5	แสดงการวัด Error Free Interval	88
รูปที่	5.1.1.ก	แสดงโครงสร้างของวงจรกำเนิดสัญญาณข้อมูลกึ่งแรนดัม	89
รูปที่	5.1.1.ข	แสดงสถานะของฟลิปฟลอบ	90
รูปที่	5.1.1.ค	แสดงกำเนิดสัญญาณข้อมูลกึ่งแรนดัมขนาด $2^3 - 1$	90
รูปที่	5.1.2	แสดงค่าออโตคอรีเรชั่นและความเข้มข้นสเปคตรัมกำลังของสัญญาณข้อมูลกึ่งแรนดัม	93
รูปที่	5.1.3	แสดงวงจรกำเนิดสัญญาณข้อมูลกึ่งแรนดัมขนาด $2^9 - 1$	94
รูปที่	5.2.1.ก	แสดงโครงสร้างเครื่องวัดอัตราการผิดพลาดของบิท	95
รูปที่	5.2.1.ข	แสดงวงจรที่ใช้เป็นสวิชท์	96
รูปที่	5.2.2.ก	แสดงหลักการวงจรเริ่มต้นดีเทคความผิด	96
รูปที่	5.2.2.ข	แสดงวงจรเริ่มต้นดีเทคความผิด	97
รูปที่	5.2.2.ค	แสดงวงจรวัดอัตราการผิดของบิททั้งหมด	98
รูปที่	5.3.1.ก	แสดงโครงสร้างของวงจรเชื่อมต่อระหว่างไมโครคอมพิวเตอร์	100
รูปที่	5.3.1.ข	แสดงการโปรแกรมคอนโทรลเวิร์ด 8255	101
รูปที่	5.3.1.ค	แสดงรูปแบบการโปรแกรมคอนโทรลเวิร์ด 8253	102
รูปที่	5.3.1.ง	แสดงผังเวลาของการอ่านและอินพุทพอร์ทของ IBM-PC	103
รูปที่	5.3.1.จ	แสดงวงจรเชื่อมต่อระหว่างไมโครคอมพิวเตอร์และวงจรวัดการผิดของบิท	105
รูปที่	5.3.1.ฉ	แสดงวงจรวัดอัตราการผิดพลาดของบิททั้งหมด	106
รูปที่	5.3.2	แสดงโฟลวชาร์ทของโปรแกรมวิเคราะห์อัตราการผิดของบิท	107

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

			หน้า
รูปที่	6.1.1.ก	แสดงการวัดการอัตราการผิดพลาดของบิท	108
รูปที่	6.1.1.ข	แสดงสัญญาณ SCA ต่อสัญญาณ นอยส์ที่ความแรงของสัญญาณ RF ที่ปลายสายอากาศขนาดต่างๆ	109
รูปที่	6.1.1.ก	แสดงการกระจายของ EFI ของโมเดมแบบ FSK วัดที่ความแรงสัญญาณ RF อินพุทเครื่องรับ FM เท่ากับ 40 dBμv	111
รูปที่	6.1.2.ข	แสดงการกระจายของ EFI ของโมเดมแบบ PSK วัดที่ความแรงสัญญาณ RF อินพุทเครื่องรับ FM เท่ากับ 40 dBμv	112
รูปที่	6.1.2.ค	แสดงการกระจายของ EFI ของโมเดมแบบ FSK วัดที่ความแรงสัญญาณ RF อินพุทเครื่องรับ FMเท่ากับ 46 dBμv	113
รูปที่	6.1.2.ง	แสดงการกระจายของ EFI ของโมเดมแบบ PSK วัดที่ความแรงสัญญาณ RF อินพุทเครื่องรับ FM เท่ากับ 46 dBμv	114
รูปที่	6.2.1.ก	แสดงโครงสร้างของแพคเกต	115
รูปที่	6.2.1.ข	แสดงการใช้ประโยชน์ของช่องสัญญาณ	117
รูปที่	6.2.2	แสดงตำแหน่งของไบท์ตรวจสอบความผิด	118

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
เอกสารอ้างอิง	122
ภาคผนวก ก ทฤษฎีวงจรคูณโดยใช้ไบโพล่าทรานซิสเตอร์	124
ภาคผนวก ข โปรแกรมคอมพิวเตอร์สำหรับบทที่ 5.3	128
ภาคผนวก ค โปรแกรมคอมพิวเตอร์สำหรับบทที่ 6.2	141
ภาคผนวก ง วงจรที่ใช้ในวิทยานิพนธ์	145
ภาคผนวก จ วงจรรวมที่ใช้ในวิทยานิพนธ์	152

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำย่อ

BER อัตราการผิดพลาดของบิท (Bit Error Rate)

BPF วงจรกรองความถี่ผ่านย่าน (Band Pass Filter)

dBμv หน่วย dB โดยวัดเทียบกับ 1 μv (decibels relative to one micro volt)

EFI ช่วงปราศจากการผิด(Error Free Interval)

FM การมอดูเลททางความถี่ (Frequency Modulation)

FSK การมอดูเลทโดยการเลื่อนความถี่ (Frequency Shift Keying)

LPF วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

NRZ สัญญาณไม่กลับสู่ศูนย์ (Non Return to Zero)

NRZ-I สัญญาณไม่กลับสู่ศูนย์อินเวอร์ (Non Return to Zero Inverted)

PD เฟสดีเทคเตอร์ (Phase Detector)

PFD เฟสฟรีเควนซีดีเทคเตอร์ (Phase Frequency Detector)

PLL เฟสล็อกลูป (Phase Locked Loop)

PSK การมอดูเลทโดยการเลื่อนเฟส (Phase Shift Keying)

PRBS สัญญาณกึ่งแรนดัม (Pseudo Random Binary Sequence)

SCA ช่องสัญญาณ SCA (Subsidiary Communication Authorization)

TTL ทรานซิสเตอร์ ทรานซิสเตอร์ ลอจิก (Transistors Transistors Logic)

VCO วงจรออสซิเลทเตอร์ควบคุมความถี่ด้วยแรงดัน (Voltage Control Oscilator)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำอธิบายสัญญลักษณ์

B_i	แบนด์วิดท์ของวงจรกรองอินพุท
B_L	ลูปนอยส์แบนด์วิดท์ (Loop noise bandwidth)
F(s)	ทรานเฟอร์ฟังก์ชันของวงจรกรองในลูป
f_b	ความถี่บิทเรท
f_c	ความถี่คลื่นพาห์
m(t)	ความถี่เบสแบนด์มอดูเลท
f_o	ความถี่ศูนย์กลาง
f_r	ความถี่อ้างอิงของเฟสล็อกลูป
G(s)	ทรานเฟอร์ฟังก์ชันลูปเปิดของ PLL
H(s)	ทรานเฟอร์ฟังก์ชันลูปปิดของ PLL
K_d	เกนของเฟสดีเทคเตอร์
K_m	เกนของวงจรคูณ
K_o	เกนของวงจร VCO
N	อัตราการหารในลูป
No	ความเข้มข้นสเปคตรัมกำลังของไวท์เกาสเซียนนอยส์
n(t)	แรงดันนอยส์
Q	ค่าควอลิตีแฟคเตอร์ (Quality factor)
R(z)	ออโตคอรีเรชันฟังก์ชัน
S(f)	ความเข้มข้นสเปคตรัมกำลัง
s	ลาปลาซทรานฟอร์ม
SNR	อัตราส่วนกำลังสัญญาณต่อกำลังสัญญาณรบกวน
SNR_i	อัตราส่วนกำลังสัญญาณต่อกำลังสัญญาณรบกวนที่อินพุท
SNR_L	อัตราส่วนกำลังสัญญาณต่อกำลังสัญญาณรบกวนของลูป
T_p	เวลาพุลอินของ PLL
ts	เวลาเซ็ทติ้งของ PLL
θ_m	เฟสมาจิน
β	มอดูเลชั่นอินเดคซ์
ζ	แดมปิ้งแฟคเตอร์
θ_e	เฟสออเรอร์ของ PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

θ_i	เฟสอินพุทของ PLL
θ_o	เฟสเอาท์พุทของ PLL
θ_r	เฟสอ้างอิงของ PLL
$\Delta\theta$	การเปลี่ยนแปลงความถี่
ω_n	ความถี่ธรรมชาติของ PLL
$\Delta\omega$	การเปลี่ยนแปลงความถี่
ω_c	ขนาดความถี่แคปเจอร์
ω_H	ขนาดความถี่ล็อก
ω_p	ขนาดความถี่พูลอิน

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 แนวความคิดในการทำวิทยานิพนธ์

เป็นที่ทราบกันว่าในปัจจุบันเป็นยุคแห่งสังคมข่าวสาร การพัฒนาระบบโทรคมนาคมที่จะรองรับความต้องการติดต่อและบริการข่าวสารได้พัฒนาไปอย่างรวดเร็ว โดยเฉพาะการพัฒนาระบบโครงข่ายบริการสื่อสารร่วมแบบดิจิตอล(Integrated Services Digital Network: ISDN) ซึ่งเป็นการบริการร่วมทั้งข่าวสารทั้งในรูปของภาพ, เสียง, และข้อมูล

สำหรับในวิทยานิพนธ์ฉบับนี้เป็นการเสนอ การใช้ช่องสัญญาณวิทยุกระจายเสียงแบบ FM มาบริการข่าวสารข้อมูล ซึ่งระบบกระจายเสียงแบบ FM เป็นระบบที่ได้รับความนิยมมากในประเทศ โดยมีสถานีวิทยุกระจายเสียงแบบ FM มากกว่า 200 สถานี และเป็นที่ทราบกันดีว่าปัจจุบันได้มีการนำสถานีวิทยุกระจายเสียงมาบริการข่าวสารโดยเฉพาะ เช่นสถานีวิทยุ จส.100 เป็นการกระจายเสียงบริการข่าวสารการจราจร,สถานีวิทยุ อสมท 100.5 MHz เป็นการบริการข่าวสารทั่วไป โดยการบริการข่าวสารใช้ช่องสัญญาณเสียงตามปกติ แต่เป็นที่ทราบกันดีว่าในระบบการกระจายเสียงในวิทยุและโทรทัศน์ นอกจากจะสามารถส่งรายการตามปกติแล้ว ในระบบโทรทัศน์ยังสามารถฝากส่งสัญญาณข้อมูลในช่วงสัญญาณเวอร์ติคัลแบล็งกิ้ง[1] หรือส่วนว่างของหลังของฮอลลิซอลทอลแบล็งกิ้ง[2] โดยเป็นระบบบริการข้อมูลที่เรียกว่าเทเลเท็กซ์ ซึ่งปัจจุบันสถานีวิทยุโทรทัศน์กองทัพบกช่อง 5 ได้นำระบบ[1]นี้มาบริการ

สำหรับวิทยานิพนธ์นี้ ได้นำเสนอความคิดที่จะใช้สถานีวิทยุกระจายเสียงมาส่งสัญญาณ ข้อมูลที่เป็นดิจิตอลเช่นเดียวกับระบบเทเลเท็กซ์ในระบบของโทรทัศน์ โดยใช้ช่องสัญญาณในช่วงที่เรียกว่า SCA ของสถานีวิทยุกระจายเสียง FM ซึ่งตามปกติอาจจะใช้กระจายเสียงบริการงานเฉพาะประเภท เช่นระบบบริการกระจายเสียงสำหรับรถโดยสารของ ขสมก โดยความคิดที่จะนำช่องสัญญาณ FM-SCA แล้วนำออกกระจายเสียงพร้อมกับรายการปกติของสถานีวิทยุ FM โดยข่าวสารที่ฝากส่งนี้อาจจะเป็นข่าวสารของการซื้อขายหลักทรัพย์ ข้อมูลข่าวสารการจราจรโดยที่ ภาครับของผู้ใช้บริการใช้เครื่องรับวิทยุกระจายเสียงแบบ FM ธรรมดาต่อร่วมกับวงจรถอดสัญญาณ FM-SCA ซึ่งเป็นสัญญาณข้อมูล โดยสัญญาณข้อมูลนี้จะแสดงผลบนเครื่องไมโครคอมพิวเตอร์ส่วนบุคคลแสดงข้อมูลที่ส่งมาจากฐานข้อมูลที่ภาคส่ง

1.2 องค์ประกอบของวิทยานิพนธ์

สำหรับในส่วนของวิทยานิพนธ์ เนื่องจากเป็นงานวิจัยที่เกี่ยวข้องกับงานที่เป็นระบบที่ ประกอบด้วยส่วนต่าง ๆ ค่อนข้างมาก ทั้งระบบที่เป็นฐานข้อมูลที่ภาคส่ง ส่วนที่เป็นสถานีวิทยุ FM, ส่วนที่เป็นระบบไมโครคอมพิวเตอร์ โดยในวิทยานิพนธ์ฉบับนี้แบ่งออกเป็นบทต่าง ๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 กล่าวถึงทฤษฎีของวงจรที่ใช้ในวิทยานิพนธ์โดยทฤษฎี หรือ หลักการ ของ PLL : phase locked loop เพราะจะเป็นส่วนไปใช้ในการออกแบบ วงจรสำหรับการส่งและรับสัญญาณซึ่งเป็นจุดหลักของวิทยานิพนธ์นี้ โดยในบทที่ 2 กล่าวถึงทฤษฎีพื้นฐานของ PLL,พฤติกรรมของ PLL เมื่อมีสัญญาณรบกวน, และการสังเคราะห์ความถี่ด้วย PLL

บทที่ 3 กล่าวถึงการออกแบบการสร้างสัญญาณวิทยุกระจายเสียง FM โดยแสดง การออกแบบวงจรมอดูเลทสัญญาณวิทยุกระจายเสียง FM โดยออกแบบเป็นวงจรสังเคราะห์ความถี่ และอีกส่วนหนึ่งเป็นวงจรเข้าสัญญาณสเตอริโอ

บทที่ 4 กล่าวถึงการออกแบบโมเดมในช่องสัญญาณ FM-SCA โดยกล่าวถึงการเข้ารหัสสัญญาณเบสแบนด์วงจรมอดูเลทและดีมอดูเลทสัญญาณแบบ Frequency Shift Keying (FSK) และวงจรมอดูเลทและดีมอดูเลทแบบ Phase Shift Keying (PSK)

บทที่ 5 กล่าวถึงการออกแบบเครื่องวัดอัตราการผิดพลาดของบิท ซึ่งใช้สำหรับการวัดคุณสมบัติของช่องสัญญาณโดยได้นำเสนอการออกแบบเครื่องวัดอัตราการผิดพลาดของบิทที่สามารถแสดงผลเป็นแบบการบอกระยะความห่างของบิทผิดและแสดงผลบนไมโครคอมพิวเตอร์

บทที่ 6 กล่าวถึงวิธีการวัด,ผลของอัตราการผิดพลาดของบิท การนำเสนอการออกแบบแพคเกตที่จะใช้ส่งข้อมูลให้มีค่าเหมาะสม คิดจากสถิติการผิดพลาดของบิท

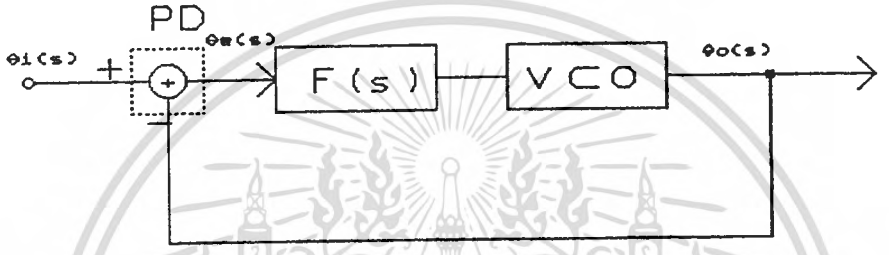
บทที่ 7 สรุปการออกแบบการสร้าง,ผลการทดลอง,แนวทางวิจัยต่อไปและแนวทางที่จะใช้งานวิจัยนี้ในทางปฏิบัติอย่างจริง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีเฟสล็อกลูป

2.1 ลูปพื้นฐานและอุปกรณ์ในลูป

ระบบเฟสล็อกลูป (phase locked loop:PLL) เป็นระบบที่เอาเฟสของสัญญาณเอาท์พุทป้อนกลับ (feed back) มาควบคุมความถี่ของลูปแสดงโครงสร้างของระบบในรูปที่ 2.1



รูปที่ 2.1 แสดงโครงสร้างของระบบเฟสล็อกลูป

โดย $\theta_o(s)$ เฟสเอาท์พุทของระบบ (rad)

$\theta_i(s)$ เฟสอินพุทหรือเฟสอ้างอิงของระบบ (rad)

$\theta_e(s)$ เฟสเออเรอร์ของระบบ (rad)

PD เฟสดีเทคเตอร์

VCO วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน

F(s) วงจรกรองความถี่ต่ำผ่าน

2.1.1 แบบจำลองเฟสล็อกลูป

เราสามารถวิเคราะห์และกำหนดเงื่อนไขในการออกแบบระบบเฟสล็อกลูปให้เป็นระบบเชิงเส้น[3] โดยให้ความต่างเฟสระหว่างเฟสดีเทคเตอร์อินพุทและเฟสที่ป้อนกลับมีเฟสแตกต่างกันไม่มาก และให้เอาท์พุทของเฟสดีเทคเตอร์เป็นแรงดัน (Va) โดยขึ้นอยู่กับความต่างเฟสของเฟสอินพุทและเฟสป้อนกลับหรือเขียนได้เป็น

$$V_d = K_d(\theta_i - \theta_o) \qquad \text{-----(1)}$$

โดย K_d เป็นค่าเฟสดีเทคเตอร์เกนมีหน่วยเป็น V/rad และในกรณีที่ให้ระบบเป็นแบบเชิงเส้น เราจะได้ความถี่เอาท์พุทของวงจร VCO ที่เบี่ยงเบนออก จากความถี่ศูนย์กลางคือ

$$\Delta\omega = K_o V_c \qquad \text{-----(2)}$$

โดย V_c เป็นแรงดันอินพุทของวงจร VCO ,K_o เป็น VCO เกนมีหน่วย rad/v

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเขียนความถี่ที่เอาท์พุทของ VCO คือ

$$\omega_o = \omega_c + \Delta\omega = \omega_c + K_o V_c \qquad \text{-----(3)}$$

โดย ω_c เป็นความถี่อิสระ (free running) ของ VCO และจากความถี่เป็นการอนุพันธ์ของเฟสเทียบกับเวลาหรือเขียนได้เป็น

$$\Delta\omega = \frac{d\theta_o}{dt} = K_o V_c \qquad \text{-----(4)}$$

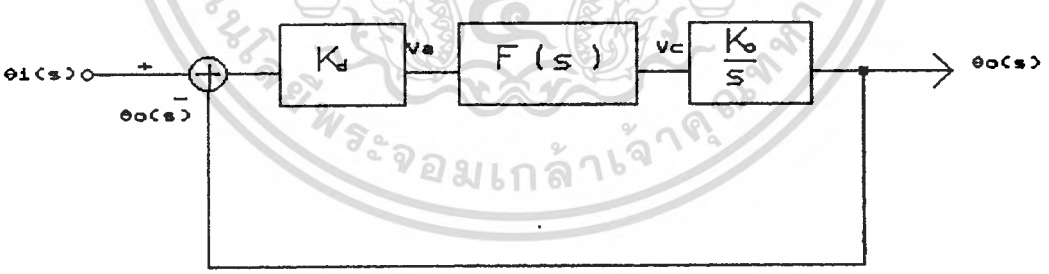
หรือเขียนเฟสเอาท์พุทของลูปอยู่ในรูปของ

$$\theta_o(t) = \int_0^t \Delta\omega \, dt + \theta_{-o} \qquad \text{-----(5)}$$

กรณีในระบบของ PLL ถ้าทำการวิเคราะห์ด้วยการลาปลาซทรานฟอร์ม(Laplace transform) เขียนเฟสเอาท์พุทเขียนได้เป็น

$$\theta_o(s) = \frac{K_o V_o}{s} \qquad \text{-----(6)}$$

ดังนั้นระบบ PLL สามารถแสดงแบบจำลองได้ดังรูป



รูปที่ 2.1.1.ก แสดงแบบจำลองของ PLL

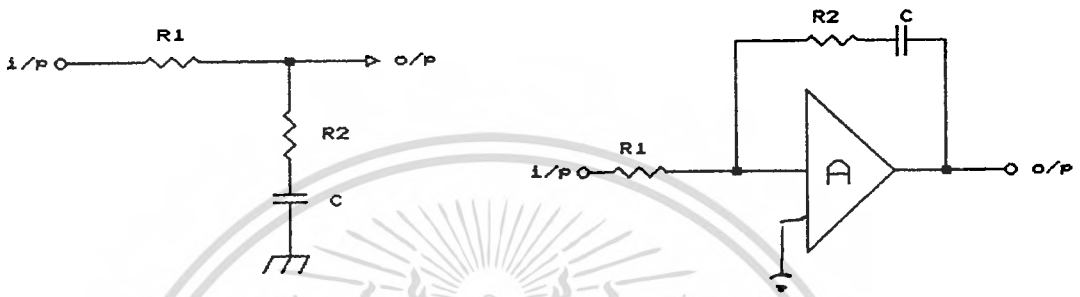
โดยจากรูปเราสามารถเขียนทรานเฟอร์ฟังก์ชันของระบบได้คือ

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_d K_o F(s)/s}{1 + K_d K_o F(s)/s} \qquad \text{-----(7)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรกรองความถี่ในลูป</u>

สำหรับกรณีวงจรกรองความถี่ต่ำผ่าน F(s)ในลูปซึ่งเป็นตัวควบคุมคุณสมบัติไดนามิกของลูป สำหรับในที่นี้ขอกล่าวไว้ 2 ประเภทคือ วงจรกรองแบบพาสซีฟหรือวงจรกรองเป็นลีด-แล็ก (lead-lag filter)และวงจรกรองความถี่แบบแอคตีฟ



รูปที่ 2.1.1.ข แสดงวงจรกรองแบบพาสซีฟ รูป 2.1.1.ค แสดงวงจรกรองแบบแอคตีฟ

วงจรกรองแบบพาสซีฟ หรือวงจรกรองเป็นลีด-แล็ก (lead-lag filter)แสดงในรูปที่ 2.1.1.ข ทรานเฟอร์ฟังก์ชันคือ

$$F(s) = \frac{sT_2 + 1}{sT_1 + 1} \qquad \text{-----(8)}$$

โดย $T_1 = (R_1 + R_2)C$

$T_2 = R_2C$

วงจรกรองแบบแอคตีฟ มีทรานเฟอร์ฟังก์ชันแสดงได้คือ

$$F(s) = \frac{(sT_2 + 1)}{sT_1} \qquad \text{-----(9)}$$

โดย $T_1 = R_1C$

$T_2 = R_2C$

โดย A เป็นเกนของวงจรขยายกำหนดให้มีค่ามากๆ ถ้าแทนสมการ (8) ลงในสมการ (7) จะได้ทรานเฟอร์ฟังก์ชันของเฟสเอาท์พุทต่อเฟสอินพุทคือ

$$H_1(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_oK_d(sT_2 + 1)/T_1}{s^2 + s(1 + K_oK_dT_2)/T_1 + K_oK_d/T_1} \qquad \text{-----(10)}$$

หรือถ้าวงจรกรองแบบแอคตีฟ แทนสมการ (9) ลงในสมการ (7) จะได้ทรานเฟอร์ฟังก์ชันของ PLL คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H_2(s) = \frac{K_o K_d (sT_2+1)/T_1}{s^2 + s(K_o K_d T_2)/T_1 + K_o K_d/T_1} \qquad \text{-----(11)}$$

จากทรานเฟอร์ฟังก์ชัน (10),(11) เขียนให้อยู่ในเทอมของ ระบบป้อนกลับแบบเซอร์โว (servo)ได้เป็น

$$H_1(s) = \frac{s(2\zeta\omega_n - \omega_n^2/K_o K_d) + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \qquad \text{-----(12)}$$

โดย $\omega_n = \sqrt{K_o K_d/T_1}$

$$\zeta = \frac{1}{2}\sqrt{(K_o K_d/T_1)\times(T_2 + 1/K_o K_d)}$$

ถ้าค่า $K_o K_d >> \omega_n$ แล้วทรานเฟอร์ฟังก์ชัน H_1 จะประมาณได้ว่า

$$H_1 = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \qquad \text{-----(13)}$$

สำหรับ PLL ที่ใช้วงจรกรองความถี่แบบแอคตีฟในลูป ทรานเฟอร์ฟังก์ชันคือ

$$H_2(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \qquad \text{-----(14)}$$

โดย $\omega_n = \sqrt{K_o K_d/T_1}$

$$\zeta = \frac{T_2\sqrt{K_o K_d/T_1}}{2} = \frac{T_2\omega_n}{2}$$

และถ้าค่าเฟสเออเรอร์เป็นความแตกต่างระหว่างเฟสอินพุทต่อเฟสที่ป้อนกลับแล้วจะได้

$$\theta_e(s) = \theta_i(s) - \theta_o(s) \qquad \text{-----(15)}$$

ซึ่งทรานเฟอร์ฟังก์ชันของเฟสเออเรอร์ต่อเฟสอินพุทของ PLL แสดงได้คือ

$$\frac{\theta_e(s)}{\theta_i(s)} = 1 - \frac{\theta_o(s)}{\theta_i(s)} \qquad \text{-----(16)}$$

หรือเขียนได้

$$\frac{\theta_e(s)}{\theta_i(s)} = \frac{s}{s + K_o K_d F(s)} \qquad \text{-----(17)}$$

ถ้า PLL ใช้วงจรกรองชนิดลีดเล็คแบบพาสซีฟแล้ว ทรานเฟอร์ฟังก์ชันของเฟสเออเรอร์ต่อเฟสอินพุทเขียนได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H_3(s) = \frac{\theta_e(s)}{\theta_i(s)} = \frac{s(s + \omega_n^2/K_oK_d)}{s^2 + 2\zeta\omega_n s + \omega_n^2} \qquad \text{-----(18)}$$

$$= \frac{s[s + 1/T_2]}{s^2 + 2\zeta\omega_n s + \omega_n^2} \qquad \text{-----(19)}$$

ถ้ากำหนดค่าลูปเกนมากกว่าความถี่ธรรมชาติ ($K_oK_d >> \omega_n$) แล้ว

$$H_3(s) = \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \qquad \text{-----(20)}$$

สำหรับทรานเฟอร์ฟังก์ชันของเฟสเออเรอร์ต่อเฟสอินพุทของ PLL ที่ใช้ วงจรกรองแบบแอคตีฟหาได้โดยแทนสมการที่ (9) ลงในสมการ (17) ทรานเฟอร์ฟังก์ชันของเฟสเออเรอร์คือ

$$H_4(s) = \frac{\theta_e(s)}{\theta_i(s)} = \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \qquad \text{-----(21)}$$

ซึ่งมีค่าเท่ากับสมการที่ (20)

2.1.2 <u>เฟสดีเทคเตอร์</u>

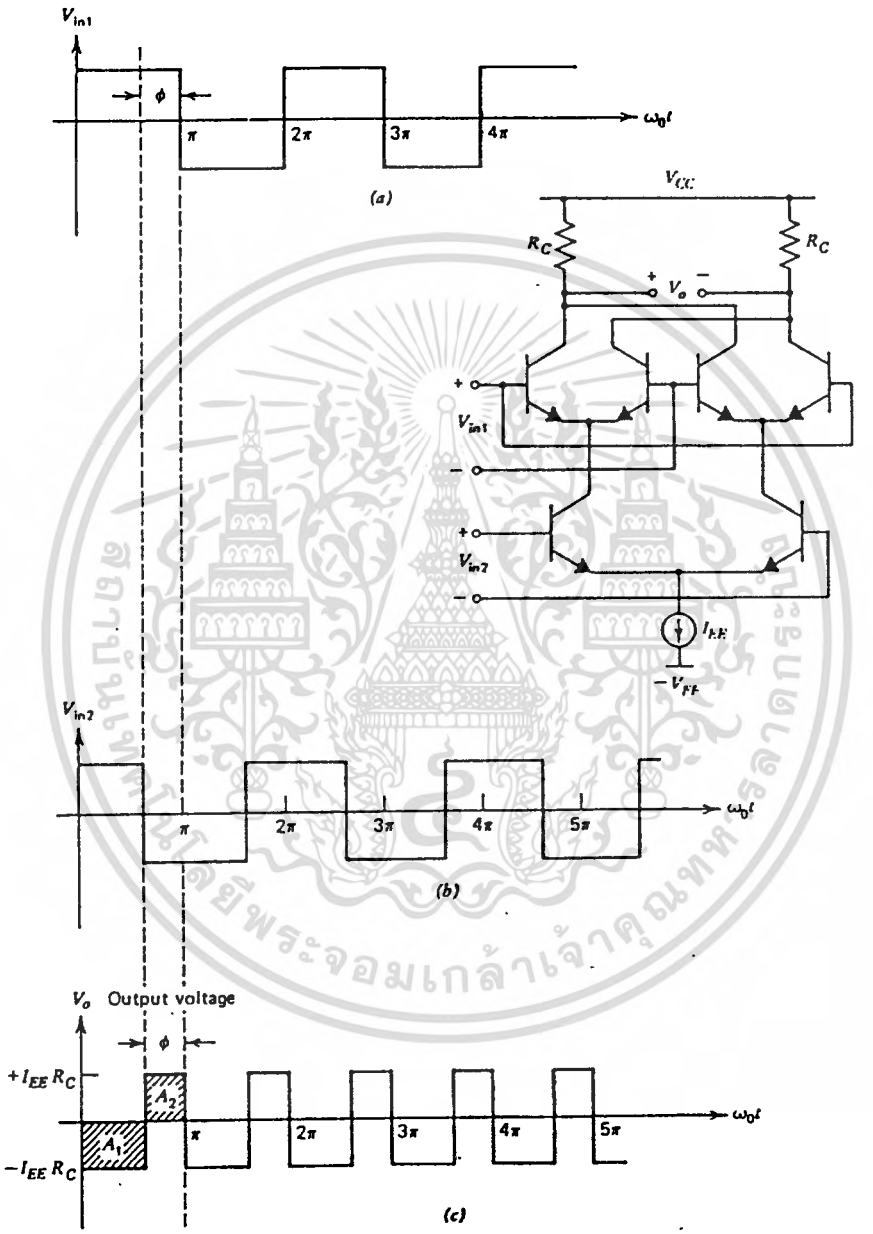
สำหรับเฟสดีเทคเตอร์ หรืออาจเรียกว่าเฟสคอมพาราเตอร์ (phase comparator) เป็นอุปกรณ์ที่เปรียบเทียบสัญญาณอ้างอิงหรือเฟสอินพุทกับเฟสเอาท์พุทที่ป้อนกลับจาก VCO และให้แรงดันเอาท์พุทเป็นแรงดันที่แปรตามค่าความต่างเฟส สำหรับเฟสดีเทคเตอร์สามารถแบ่งออกเป็น 2 ประเภทคือ อนาลอกเฟสดีเทคเตอร์และดิจิตอลเฟสดีเทคเตอร์ โดย PLL ที่ใช้อนาลอกเฟสดีเทคเตอร์หรืออาจเรียกว่าอนาลอกเฟสล็อกลูป (analog phase locked loop) และใน PLL ที่ใช้ดิจิตอลเฟสดีเทคเตอร์ หรืออาจเรียกว่า ดิจิตอลเฟสล็อกลูป (digital phase locked loop :DPLL) โดยทั่วไปแล้วถ้ากล่าวถึง PLL นั่นหมายถึงอนาลอกเฟสล็อกลูปสำหรับเฟสดีเทคเตอร์ที่ใช้ใน อนาลอกเฟสล็อกลูปที่ใช้กันมากก็คือ วงจรคูณแบบกิลเบริต์ (gilbert multiplier) และสำหรับ DPLL มักใช้เฟสดีเทคเตอร์ แบบเฟสฟรีเควนซีดีเทคเตอร์(phase frequency detector:PFD)

<u>วงจรคูณแบบกิลเบริต์</u>[4]

โครงสร้างวงจรแสดงดังรูป 2.1.2 โดยสัญญาณอินพุทของเฟสดีเทคเตอร์ จะมาจากสัญญาณอ้างอิง และสัญญาณที่ป้อนกลับจากเอาท์พุทของ VCO โดยสัญญาณจาก VCO จะให้สัญญาณรูปสี่เหลี่ยม ส่วนสัญญาณอินพุทของเฟสดีเทคเตอร์โดยทั่วไปจะเป็นสัญญาณไซน์มีขนาดใหญ่เมื่อเปรียบเทียบกับแรงดันความร้อนสมมูลย์ (thermal voltage =26 mv) ดังนั้นทรานซิสเตอร์คู่ล่างของวงจรคูณจะปิดและเปิดตามซีกบวกหรือลบของสัญญาณไซน์ ในที่นี้วงจรคูณจะทำหน้าที่เป็น

เอกสารนี้ ... ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชิงโครไนซ์สวิชท์ (synchronous switched) โดยอินพุทป้อนเข้าที่จุด V_{in1},V_{in2} สามารถเขียนสัญญาณการทำงานได้ดังรูป 2.1.2.ก



รูปที่ 2.1.2.ก แสดงวงจรอนาลอกเฟสดีเทคเตอร์

สำหรับสัญญาณเอาท์พุทประกอบด้วย dc และ สัญญาณส่วนประกอบที่เป็น ac ที่มีความถี่เป็น 2 เท่าของสัญญาณอินพุท ดังนั้นค่าเฉลี่ยของสัญญาณเอาท์พุทแสดงได้คือ

$$V_{ave} = \frac{1}{\pi}\int_{0}^{\pi} V_o(t)dt \qquad \text{-----(22)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้

$$V_{avg} = (A_1-A_2)/\pi \qquad \text{-----(23)}$$

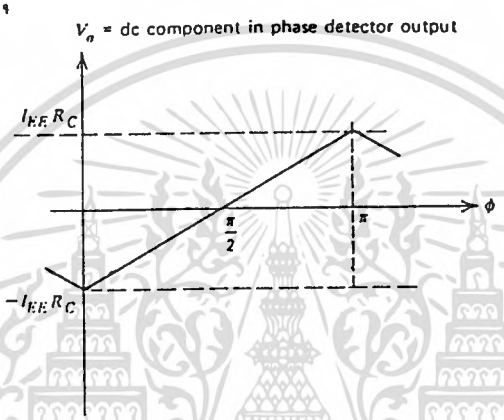
สำหรับ A_1, A_2 เป็นพื้นที่แสดงดังรูป ดังนั้น

$$V_{avg} = -[I_{EE}R_C(\pi-\phi)/\pi - I_{EE}R_C\phi/\pi] \qquad \text{-----(24)}$$

จะได้

$$V_{avg} = I_{EE}R_C(2\phi/\pi - 1) \qquad \text{-----(25)}$$

โดยแสดงแสดงคุณสมบัติโอนย้ายของอนาลอกเฟสดีเทคเตอร์ได้ดังรูป 2.1.2.ข



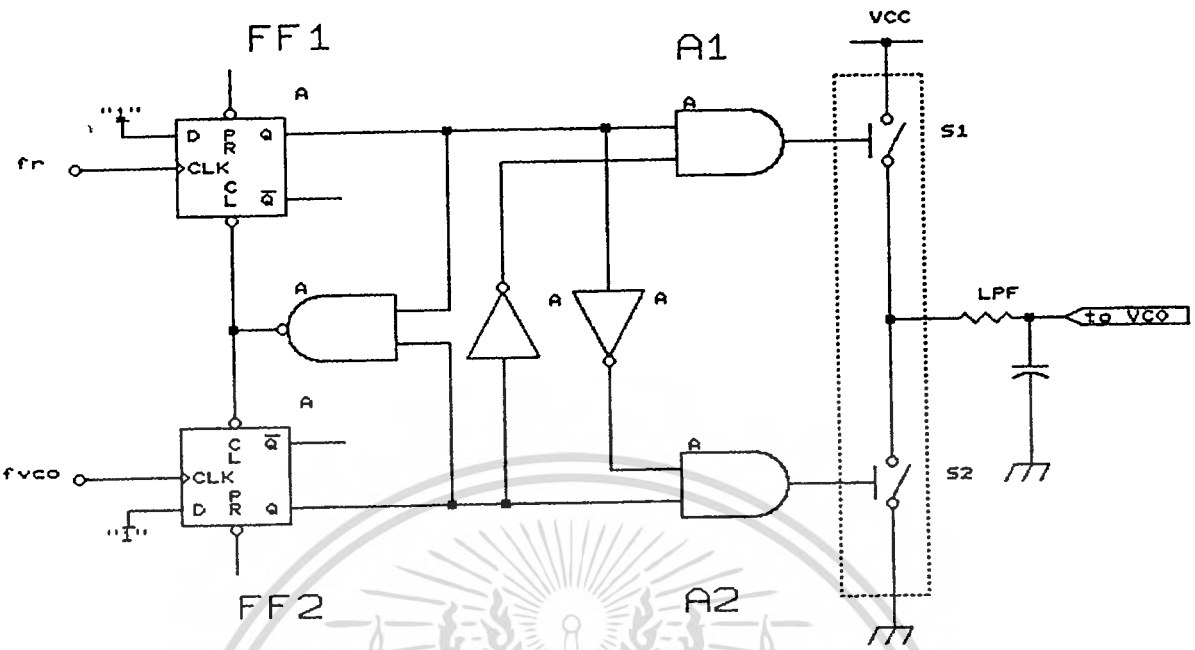
รูปที่ 2.1.2.ข แสดงคุณสมบัติโอนย้ายของอนาลอกเฟสดีเทคเตอร์

<u>วงจรเฟสฟรีเควนซีดีเทคเตอร์</u>

สำหรับเฟสฟรีเควนซีดีเทคเตอร์(Phase Frequency Detector:PFD) เป็นวงจรที่รับสัญญาณอินพุทเป็นสัญญาณดิจิตอลและ ให้เอาท์พุทเป็นสัญญาณดิจิตอลที่ขึ้นอยู่กับความต่างเฟสของสัญญาณอินพุท นอกจากจะทำการดีเทคความต่างเฟสแล้ว วงจร PFD สามารถที่จะดีเทคความแตกต่างระหว่างความถี่อินพุททั้งสองด้วยสำหรับวงจรของ PFD แสดงได้ดังรูป 2.1.2.ค

วงจรจะประกอบด้วย ฟลิบฟลอบ,วงจรเกท,และ ต่อร่วมกันกับส่วนที่เรียกว่า ชาร์จปั๊ม (charge pump) ซึ่งเป็นส่วนเปลี่ยนสัญญาณเอาท์พุทลอจิกเป็นแรงดัน โดยแสดงวงจรสมมูลย์ของวงจรชาร์จปั๊มเป็นสวิชท์ที่จะปิดเมื่อมีสัญญาณลอจิกที่มาขับเท่ากับ "1" และเปิดเมื่อลอจิกที่มาขับเท่ากับ "0" โดยที่อินพุท f_r เป็นสัญญาณจากความถี่อ้างอิง ส่วนอินพุท f_{vco} เป็นอินพุทจากความถี่ป้อนกลับจาก VCO สำหรับการทำงานแสดงรูปคลื่นอินพุท,เอาท์พุทของเฟสฟรีเควนซีดีเทคเตอร์และที่เอาท์พุทของวงจรกรองความถี่ต่ำผ่าน(LPF) โดยสามารถแบ่งการรอธิบายการทำงานได้เป็น 3 ช่วง คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



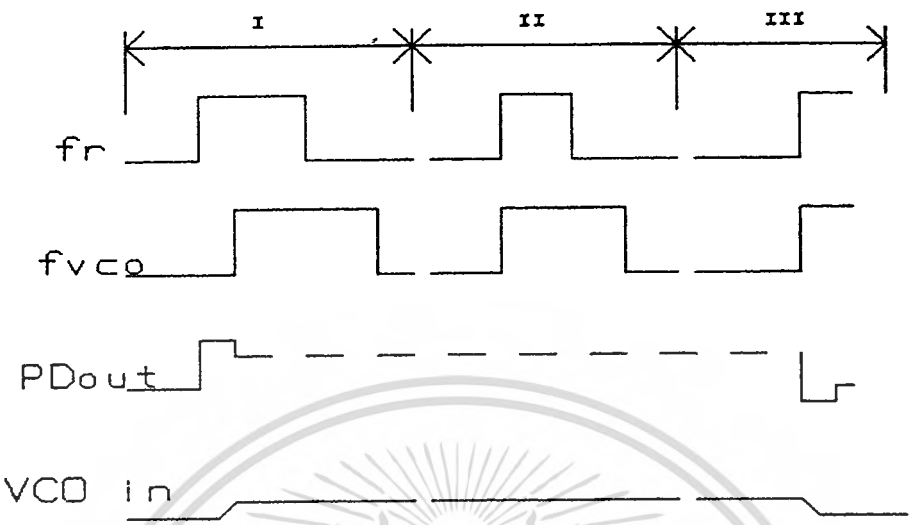
รูปที่ 2.1.2.ค โครงสร้างของวงจรเฟสฟรีเควนซีดีเทคเตอร์

<u>ช่วงแรก</u> เริ่มต้นสัญญาณ f_r ที่มีเฟสนำหน้าสัญญาณ f_{vco} ขอบของสัญญาณ f_r จะเซ็ทฟลิปฟลอบ FF_1 ให้สัญญาณที่ขา Q เป็นลอจิก "1" ส่วนสัญญาณที่ขา Q ของ FF_2 นั้นจะเป็นลอจิก "0" ดังนั้นที่เอาท์พุทเกท A_1 มีลอจิก "1" ทำให้ S_1 ปิด ดังนั้นกระแสจะไหลจากแหล่งจ่าย VCC ผ่านความต้านทานเข้าสู่คาปาซิเตอร์ในวงจร LPF ซึ่งเป็นการชาร์จแรงดันให้กับคาปาซิเตอร์ ขณะต่อมาขอบของสัญญาณ f_{vco} ที่ตามมาจะเซ็ทให้ขา Q ของฟลิปฟลอบ FF_2 เป็น "1" ดังนั้นที่เอาท์พุทของแนนเกทจะได้เอาท์พุท "0" เป็นการรีเซ็ทฟลิปฟลอบทั้งสองตัว ดังนั้นที่สวิชท์ S_1 จะเปิดออกสำหรับปรากฏการณ์ในช่วงแรกนี้เราเรียกว่าเป็นการปั๊มขึ้น (pump up)โดยอาจจะเกิดขึ้นหลายๆไซเคิลต่อๆกันโดย PFD จะทำการปั๊มขึ้นจนกระทั่งเฟสของ f_r และเฟสของ f_{vco} ไม่แตกต่างกัน

<u>ช่วงสอง</u> เนื่องจากเฟสของ f_r และ f_{vco} เท่ากันแล้ว S_1 และ S_2 อยู่ในสภาวะเปิดออกทั้งคู่ สภาวะเช่นนี้ที่จุดที่ต่อกับ LPF จะเป็นสถานะไฮอิมพีแดนซ์ (hi-impedance) แรงดันที่ควบคุม VCO จะเป็นแรงดันซึ่งคงค้างในคาปาซิเตอร์จากการชาร์จ

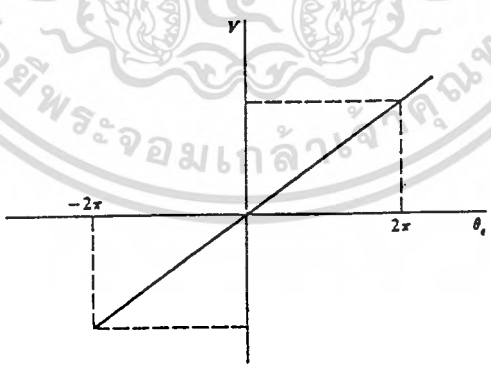
<u>ช่วงสาม</u> กรณีเฟสของสัญญาณจาก VCO เริ่มนำหน้าสัญญาณ f_{in} ขอบของสัญญาณ f_{vco}จะเซ็ทให้ฟลิปฟลอบ FF_2 ให้ลอจิกเอาท์พุทเท่ากับ "1" และที่เอาท์พุทของเกท A_2 มีค่าเป็นลอจิก "1" ทำให้ S_2 ถูกปิดแรงดันในคาปาซิเตอร์ จะถูกดิสชาร์จผ่านความต้านทาน,สวิชท์ S_2 ลงกราวน์ และเฟสของ f_{in} ที่ตามมาจะเซ็ทฟลิปฟลอบ FF_1 ทำให้เอาท์พุทของ A_2 เป็นลอจิก "0" และ S_2 ถูกเปิดออกสำหรับลักษณะการทำงานในช่วงนี้เรียกว่า การปั๊มลง (pump down โดยอาจจะเกิดเป็นหลายๆไซเคิลเช่นเดียวกับการปั๊มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1.2.ง แสดงผังเวลาของเฟสฟรีเควนซีดีเทคเตอร์ในช่วงเวลาต่างๆ

กล่าวได้ว่าในกรณีถ้าความถี่อินพุทไม่เท่ากันแล้ว ที่อินพุทของ PFD จะมีความต่างเฟสกันตลอดเวลาดังนั้นฟลิปฟลอบ FF_1,FF_2 จะถูกเซ็ทตลอดเช่นถ้า $f_{in}>f_{vco}$ ที่เอาท์พุทของ Q_1 จะเป็น "1" ตลอดทำให้ S_1 ปิดวงจร,แรงดันชาร์จเข้าสู่คาปาซิเตอร์ เป็นการเพิ่มแรงดันให้กับ VCO สร้างความถี่เพิ่มขึ้นตาม f_{in} สำหรับคุณสมบัติโอนย้ายของเฟสฟรีเควนซีดีเทคเตอร์แสดงได้ดังรูป



รูปที่ 2.1.2.จ แสดงคุณสมบัติโอนย้ายของเฟสฟรีเควนซีดีเทคเตอร์

2.2 ผลตอบสนองของลูปต่อสัญญาณอินพุท

ในการวิเคราะห์ผลของ PLL ต่อสภาวะทรานเซียนและสเทดดีสเตท (steady state) เนื่องจากการเปลี่ยนแปลงของสัญญาณอินพุทนั้น มีประโยชน์สำหรับการนำเอา PLL ไปออกแบบสำหรับลูปที่ใช้ติดตาม(tracking) สัญญาณหรือลูปที่ใช้สำหรับสังเคราะห์ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 ผลตอบสนองการเปลี่ยนเฟส (phase step response)

จากรูป 2.1.1.ก เมื่อสัญญาณอินพุทมีการเปลี่ยนแปลง เนื่องจากการเปลี่ยนเฟสสัญญาณอินพุทเขียนอยู่ในรูปของเฟสได้เป็น

$$\theta_i(t) = u(t)\Delta\theta \qquad \text{-----(26)}$$

$u(t)$ = ยูนิตสเตปฟังก์ชัน

$\Delta\theta$ = ขนาดเฟสอินพุทที่เปลี่ยนแปลง

หรือเขียนให้อยู่ในรูป s โดเมนได้ว่า

$$\theta_i(s) = \frac{\Delta\theta}{s} \qquad \text{-----(27)}$$

จากสมการที่ (19),(21) สำหรับ PLL ที่มีค่าลูปเกนสูงๆ จะได้เฟสเออเรอร์จากการเปลี่ยนแปลงเฟสอินพุทได้ว่า

$$\theta_e(s) = \frac{\Delta\theta s^2}{s(s^2 + 2\zeta\omega_n s + \omega_n^2)} \qquad \text{-----(28)}$$

เมื่อต้องการทราบผลตอบสนองของ θ_e ในรูปโดเมนของเวลาทำได้โดยอินเวอสลาปลาซทรานฟอร์มสมการที่ (28) จะได้

$$\theta(t) = \Delta\theta\left(\cos\sqrt{1-\zeta^2}\,\omega_n t - \frac{\zeta}{\sqrt{1-\zeta^2}}\sin\sqrt{1-\zeta^2}\,\omega_n t\right)\exp(-\zeta\omega_n t) \quad \text{เมื่อ } \zeta<1$$

$$\theta(t) = \Delta\theta(1-\omega_n t)\exp(-\omega_n t) \quad \text{เมื่อ } \zeta=1 \qquad \text{-----(29)}$$

$$\theta(t) = \Delta\theta\left(\cosh\sqrt{\zeta^2-1}\,\omega_n t - \frac{\zeta}{\sqrt{\zeta^2-1}}\sinh\sqrt{\zeta^2-1}\,\omega_n t\right)\exp(-\zeta\omega_n t) \quad \text{เมื่อ } \zeta>1$$

ซึ่งผลตอบสนองของการเปลี่ยนเฟสอินพุท ในสภาวะทรานเซียนแสดงได้โดยรูป 2.2.1 สำหรับเฟสเออเรอร์ต่อสัญญาณอินพุทในสภาวะสเทดดีสเตท ทำได้โดยแทนค่า $\theta_i(s)$ ของสมการ (27) ในสมการ (17)

$$\theta_e(s) = \frac{s}{s + K_o K_d F(s)} \cdot \frac{\Delta\theta}{s} \qquad \text{-----(30)}$$

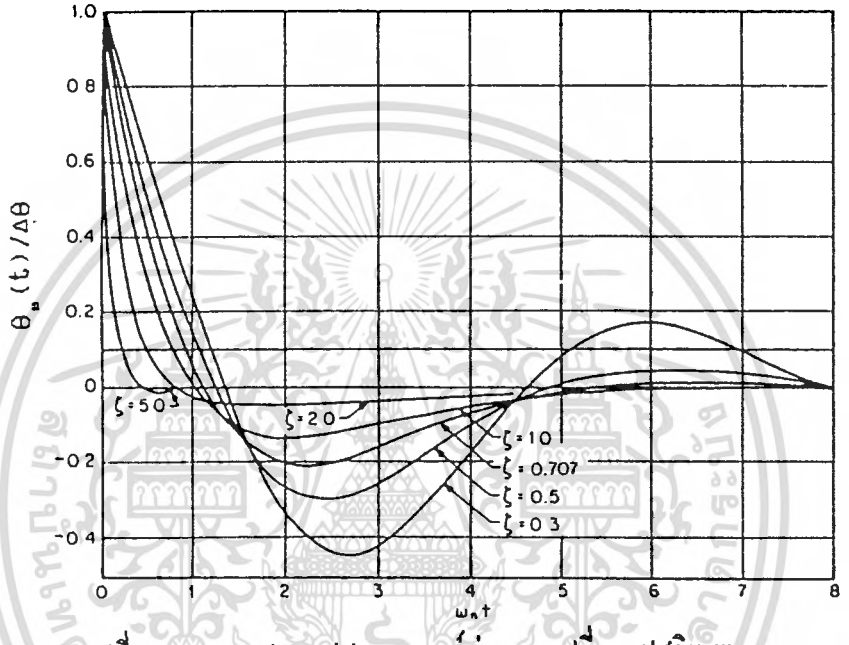
โดยใช้ทฤษฎีค่าสุดท้าย (final value theorem) สำหรับลาปลาซทรานฟอร์มสำหรับหาสภาวะของระบบในช่วงสเทดดีสเตท จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\lim_{t\to\infty} \theta_o = \lim_{s\to 0} \frac{s^2}{s + K_o K_d F(s)\, s} \cdot \frac{\Delta\theta}{s} = s\Delta\theta \qquad \text{-----(31)}$$

$$= 0$$

ซึ่งหมายถึงค่าสำหรับอินพุทที่เป็นการเปลี่ยนแปลงทางเฟส ค่าเฟสเออเรอร์ของลูปในสภาวะสเทดดีสเตทจะเป็นศูนย์



รูปที่ 2.2.1 แสดงเฟสเออเรอร์ต่อการเปลี่ยนเฟสอินพุท

2.2.2 ผลตอบสนองการเปลี่ยนความถี่ (frequency step response)

เมื่อสัญญาณอินพุทเป็นการเปลี่ยนแปลงทางความถี่หรือการเลื่อนจากความถี่หนึ่งไปสู่อีกความถี่หนึ่งสมการความถี่ของอินพุทเขียนได้เป็น

$$\omega_1 = \omega_o + \Delta\omega \qquad \text{-----(32)}$$

ω_o = ความถี่อินพุทเดิม

ω_1 = ความถี่ที่เปลี่ยนแปลงใหม่

$\Delta\omega$ = ขนาดของความถี่ที่เปลี่ยนแปลง

ดังนั้นเฟสอินพุทเขียนได้เป็น

$$\theta_1(t) = \Delta\omega t \qquad \text{-----(33)}$$

หรือใน s โดเมน

$$\theta_1(s) = \frac{\Delta\omega}{s^2} \qquad \text{-----(34)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (20) สำหรับ PLL ที่มีค่าลูปเกนสูงๆ จะได้เฟสเออเรอร์จากการเปลี่ยนแปลงความถี่ได้ว่า

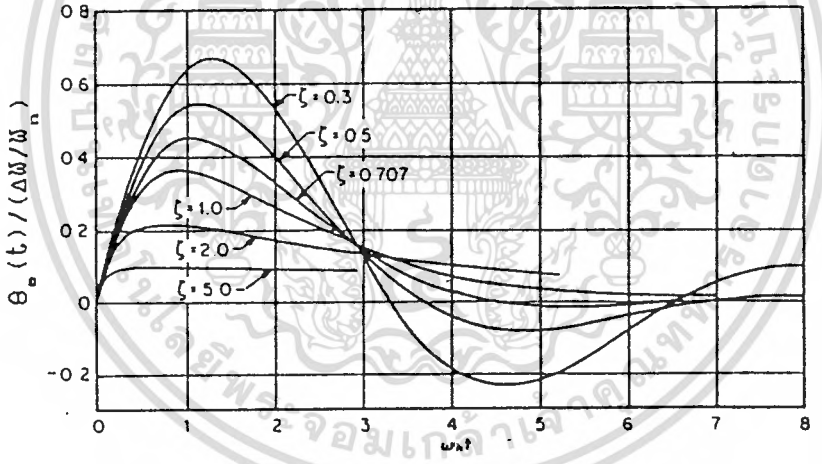
$$\theta_e(s) = \frac{\Delta\omega s^2}{s^2(s^2 + 2\zeta\omega_n s + \omega_n^2)} \qquad \text{-----(35)}$$

ผลตอบสนองในสภาวะทรานเซียนหาได้โดยการอินเวอสลาปลาซสมการ (35) จะได้

$$\theta(t) = \frac{\Delta\omega}{\omega_n}\left(\frac{1}{\sqrt{1-\zeta^2}}\sin\sqrt{1-\zeta^2}\,\omega_n t\right)\exp(-\zeta\omega_n t) \quad \text{เมื่อ } \zeta<1$$

$$\theta(t) = \frac{\Delta\omega}{\omega_n}(\omega_n t)\exp(-\omega_n t) \quad \text{เมื่อ } \zeta=1$$

$$\theta(t) = \frac{\Delta\omega}{\Delta\omega_n}\left(\frac{1}{\sqrt{\zeta^2-1}}\sin\sqrt{\zeta^2-1}\,\omega_n t\right)\exp(-\zeta\omega_n t) \quad \text{เมื่อ } \zeta>1 \qquad \text{-----(36)}$$



รูปที่ 2.2.2 แสดงเฟสเออเรอร์ต่อการเปลี่ยนความถี่อินพุท

สำหรับเฟสเออเรอร์ในสภาวะสเทดดีสเตท แทนค่าสมการเฟสอินพุทสมการที่ (34) ลงในสมการที่ (7)

$$\theta_e(s) = \frac{s}{s + K_o K_d F(s)\, s^2}\cdot\frac{\Delta\omega}{s} \qquad \text{-----(37)}$$

ใช้ทฤษฎีค่าสุดท้ายสเทดดีสเตทจะได้

$$\lim_{t\to\infty}\theta_e(t) = \lim_{s\to 0} s\theta_e(s) \qquad \text{-----(38)}$$

หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\theta_e(\alpha) = \frac{\Delta\omega}{K_o K_d F(o)} \qquad \text{-----(39)}$$

โดยค่า F(o) เป็นอัตราการขยายของวงจรกรองในลูป ถ้าในกรณีวงจรชนิดพาสซีฟแล้ว ดีซีเกนของวงจรกรองในลูป ประมาณเท่ากับ 1 ดังนั้นเฟสออเรอร์แสดงได้คือ

$$\theta_e(\alpha) = \frac{\Delta\omega}{K_o K_d} \qquad \text{-----(40)}$$

สำหรับวงจรกรองความถี่แบบแอคตีฟ ค่าดีซีเกนของวงจรกรองในลูปมีค่ามากๆ แล้วค่าเฟสออเรอร์แสดงได้คือ

$$\theta_e(\alpha) = 0 \qquad \text{-----(41)}$$

ซึ่งหมายถึงว่าในทางปฏิบัติแล้ว เอาท์พุทเฟสเออเรอร์ของลูปที่ใช้วงจรกรองความถี่แบบแอคตีฟให้เอาท์พุทน้อยกว่าลูปที่ใช้วงจรกรองแบบพาสซีฟ

2.2.3 การเข้าสู่สภาวะล็อกและการติดตามสัญญาณของ PLL

เนื่องจากการประยุกต์ใช้งานที่สำคัญอันหนึ่งในระบบโทรคมนาคม สำหรับ PLL ก็คือการใช้สำหรับติดตามสัญญาณเพื่อจะทำการดีมอดูเลทหรือทำการซิงค์โครไนซ์สัญญาณขึ้นมาใหม่จากสัญญาณอินพุทซึ่งเป็นคลื่นพาห์ ดังนั้นการวิเคราะห์ความสามารถติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุทและความสามารถสำหรับเริ่มต้นล็อกความถี่อินพุทจึงมีความสำคัญ โดยในที่นี้จะเป็นการวิเคราะห์สำหรับอนาลอกเฟสล็อกลูปเท่านั้น

1.พิสัยล็อก (lock range) เป็นพิสัยที่ความถี่ของ VCO ของลูปสามารถติดตามความถี่อินพุท(tracking) หลังจากลูปเริ่มต้นล็อกกับสัญญาณอินพุทแล้ว ดังนั้นอาจเรียกพิสัยแทรคกิ้ง (tracking range) หรือพิสัยโฮล (hold in range) การหาพิสัยล็อกสูงสุดนั้น หาได้จากการ สมมติว่าความถี่ที่ป้อนเข้าลูปเป็นความถี่สูงสุดของ PLL ทำการล็อก จากสมการ (38) ซึ่งเป็นเฟสเออเรอร์ของ PLL ที่จำลองระบบในสภาวะที่ค่าของเฟสเออเรอร์มีค่าน้อยๆ สำหรับเฟสเออเรอร์ที่มีค่ามาก ๆ เขียนได้

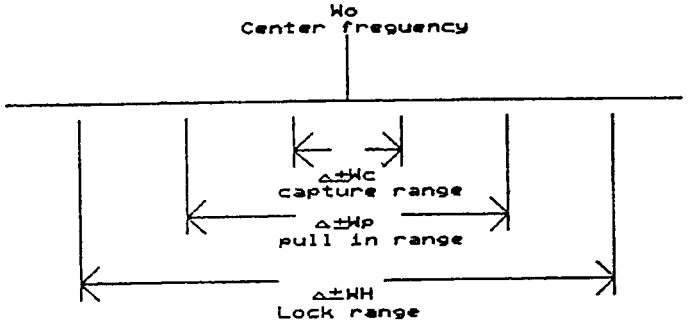
$$\lim_{t \to \infty} \sin\theta_e(t) = \frac{\Delta\omega_H}{K_o K_d F(o)} \qquad \text{-----(41)}$$

ค่า $\Delta\omega_H$ เป็นค่าพิสัยล็อกซึ่งจะเกิดขึ้นสูงสุดเมื่อมุมของ θ_e เท่ากับ $\pm \pi/2$ หรือฟังก์ชัน $\sin \theta_e(t)$ มีค่าสูงสุดคือ $\pm$ 1 ดังนั้น

$$\Delta\omega_H = K_o K_d F(o) \qquad \text{-----(42)}$$

หรือจะเท่ากับลูปเกนในกรณีของ PLL ที่ใช้วงจรกรองแบบพาสซีฟ และ $\Delta\omega_H$ มีค่าเท่ากับ α กรณี PLL ในวงจรกรองแบบแอคตีฟ

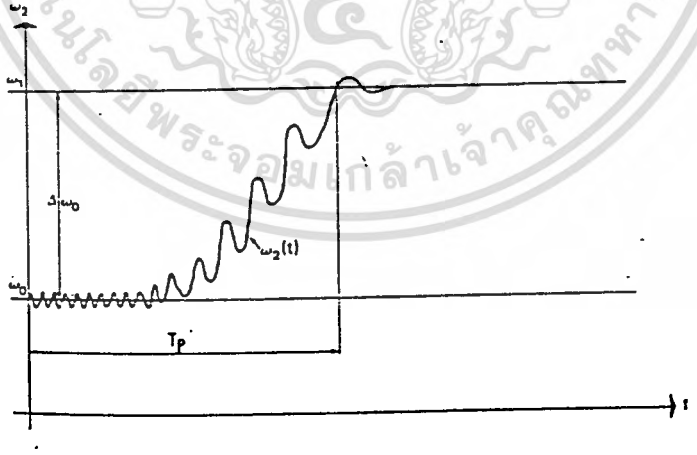
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2.3.ก แสดงพิสัยล็อก,พิสัยพูลอิน,พิสัยแคปเจอร์

2.พิสัยพูลอิน (pull in range) เป็นพิสัยที่ PLL สามารถจะล็อกกับสัญญาณอินพุทได้โดยลูปอยู่ในสภาวะเริ่มต้นไม่ได้ล็อกกับความถี่อินพุท ปรากฏการเริ่มต้นล็อกสามารถอธิบายได้โดยสมมติให้ลูปเปิดออกระหว่างวงจรกรองความถี่ในลูป (loop filter) และ VCO ถ้าที่อินพุทมีความถี่เข้ามา(ω_1) ใกล้ความถี่ VCO (ω_2) เฟสดีเทคเตอร์ซึ่งเป็นอนาลอกมัลติพลายเรอร์จะให้ผลรวมและผลต่างของความถี่ระหว่างความถี่อินพุทและความถี่เอาท์พุท VCO โดยที่เอาท์พุทของวงจรกรองจะมีเพียงผลต่างของความถี่ ถ้าลูปเปิดอย่างทันทีทันใด ผลต่างของความถี่ซึ่งกำหนดให้เท่ากับ $\Delta\omega_o$ หรือเขียนได้

$$\Delta\omega_o = \frac{d\theta_e}{dt} \qquad \text{-----(44)}$$



รูปที่ 2.2.3.ข แสดงการเกิดสัญญาณบีทโน๊ต

ความถี่ $\Delta\omega_o$ จะเป็นสัญญาณอินพุทของ VCO ซึ่งจะมอดูเลทแบบ FM หรือสัญญาณเอาท์พุทเป็นสัญญาณไซน์โดยขนาดของความถี่เปลี่ยนแปลงตามเวลาถ้าระหว่างขบวนการมอดูเลท ค่าความถี่ของ VCO เคลื่อนเข้าใกล้ความถี่อินพุทดังนั้นค่า $\Delta\omega_o$ จะลดลงค่า $d\theta_e/dt$ ลดลงผลการเปลี่ยนแปลงแรงดันของเฟสดีเทคเตอร์ ทางด้านเอาท์พุทจะช้าลงเมื่อเทียบเวลา แต่ถ้าระหว่างขบวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การมอดูเลท ค่าความถี่ของ VCO เคลื่อนจากความถี่อินพุทจะทำให้ค่า $\Delta\omega_o$ เพิ่มมากขึ้น ค่า $d\theta_e/dt$ เพิ่มขึ้นแรงดันเอาท์พุทของเฟสดีเทคเตอร์เปลี่ยนแปลงอย่างรวดเร็วเมื่อเทียบกับเวลา แสดงการเกิดสัญญาณบีทโน๊ตในรูป 2.2.3.ข

ภายใต้เงื่อนไขดังกล่าวแสดงสัญญาณเฟสดีเทคเตอร์เอาท์พุท ได้ดังรูปสัญญาณบีทโน๊ตที่เป็นลักษณะไม่สมมาตรจะให้ค่าแรงดันดีซีเฉลี่ย ที่ทำให้ความถี่ของ VCO เคลื่อนที่เข้าไปสู่ความถี่อินพุทจนกระทั่งเท่ากันหรือเกิดการล็อกช่วงเวลาที่ PLL ใช้สำหรับการล็อกนี้เรียกว่า เวลาพูลอิน (pull in time) โดยถ้า $\Delta\omega_o$ มากกว่าลูปเกนมากๆ แล้ว ($\Delta\omega_o >> K_oK_d$)ค่าเวลาพูลอินจะประมาณได้คือ

$$T_p = \frac{(\Delta\omega_o)^2}{2\zeta\omega_n^3} \qquad \text{-----(45)}$$

ซึ่งค่า $\Delta\omega_o$ ที่เป็นความแตกต่างระหว่างความถี่อินพุทและความถี่อิสระของ VCO

3.พิสัยแคปเจอร์ เป็นพิสัยที่ PLL สามารถจะล็อกกับความถี่อินพุท โดยสภาพของลูปไม่ได้เริ่มต้นล็อกเช่นเดียวกับพิสัยพูลอิน ซึ่งพิสัยแคปเจอร์นี้ช่วงความถี่จะแคบกว่า โดยผลต่างความถี่อินพุทเข้ามากับความถี่ของ VCO ไม่ทำให้เกิดลักษณะสัญญาณบีทโน๊ต ที่เอาท์พุทของของเฟสดีเทคเตอร์หรือกล่าวได้ว่าผลต่างของความถี่สามารถผ่านลูปฟิลเตอร์โดยไม่ถูกลดทอน ดังนั้นเฮียนสมการของความถี่สูงสุดของ VCO เอาท์พุทได้จากการถูกมอดูเลท โดยแรงดันที่ผ่านลูปฟิลเตอร์นี้ได้

$$|\Delta\omega_c| = K_oK_d|F|j\Delta\omega|| \qquad \text{-----(46)}$$

โดย $|F(j\Delta\omega)|$ เป็นอัตราการลดทอนของวงจรกรองความถี่ต่อความถี่ที่แตกต่างกันระหว่างความถี่อินพุทและความถี่ของ VCO (ที่เป็นความถี่อิสระ) สำหรับวงจรกรองความถี่แบบพาสซีฟขนาดของแมกนีจูดทรานเฟอร์ฟังก์ชันแสดงได้คือ

$$F(j\omega) = \sqrt{\frac{1 + (\omega T_2)^2}{1 + (\omega T_1)^2}} \qquad \text{-----(47)}$$

หรือประมาณได้ว่า

$$F(j\Delta\omega) = \frac{T_2}{T_1} \qquad \text{-----(48)}$$

ดังนั้น

$$\Delta\omega_c = \frac{K_oK_d\ T_2}{T_1} \qquad \text{-----(49)}$$

หรือ $\Delta\omega_c = 2\zeta\omega_n$ -----(50)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 PLL ต่อสัญญาณอินพุทที่มีสัญญาณนอยส์

ในกรณีที่อินพุทของ PLL มีสัญญาณนอยส์(noise) เขียนได้เป็น

$$V_i(t) = V_s \sin(\omega_i t+\theta_i) + n(t) \qquad \text{-----(51)}$$

สัญญาณนอยส์ n(t) เป็นนอยส์ที่ผ่านวงจรกรองความถี่ผ่านย่านก่อนเข้า PLL ดังนั้นแสดงได้ว่า

$$n(t) = n_c(t)\cos\omega_i t - n_s(t)\sin\omega_i t \qquad \text{-----(52)}$$

สำหรับแรงดันจากเอาท์พุทของ VCO สำหรับ PLL ที่ใช้เฟสดีเทคเตอร์แบบมัลติพลายเรอร์ (multiplier)เมื่อลูปล็อก สัญญาณเอาท์พุทจะต่างเฟสกับอินพุท 90 องศา ดังนั้นเขียนแรงดันเอาท์พุทได้

$$V_o(t) = V_o\cos(\omega_i+\theta_o) \qquad \text{-----(53)}$$

ดังนั้นที่เอาท์พุทของเฟสดีเทคเตอร์เขียนได้

$$V_d(t) = K_m V_i(t)V_o(t) \qquad \text{-----(54)}$$

$$V_d(t) = 1/2[K_m V_s V_o \sin(\theta_i-\theta_o)]+1/2[K_m n_c V_o\cos\theta_o]+$$
$$1/2[K_m V_o n_s\sin\theta_o]+1/2\sin[K_m V_s V_o(2\omega_i t+\theta_i+\theta_o)$$
$$+1/2[K_m V_o n_c\cos(2\omega_i t+\theta_o)]-1/2[K_m V_o n_s\sin(2\omega_i t+\theta_o)] \text{---(55)}$$

โดย K_m เป็นค่าคงที่ของการคูณ

ในการวิเคราะห์ผลของสัญญาณนอยส์ เราสนใจเฉพาะสามเทอมแรกของสมการ (55) โดยเทอมที่เป็นความถี่สองเท่าของความถี่อินพุทและ VCO จะถูกกรองทิ้ง โดยวงจรกรองความถี่ต่ำผ่านในลูป

กำหนดค่าเฟสดีเทคเตอร์เกน $K_d = 1/2[K_m V_s V_o]$ ดังนั้นสมการ (55)เขียนได้

$$V_d(t) = K_d\sin(\theta_i-\theta_o)+\frac{n_c K_d}{V_s}\cos\theta_o+\frac{n_s K_d}{V_s}\sin\theta_o \qquad \text{-----(56)}$$

และกำหนด $n'(t)$

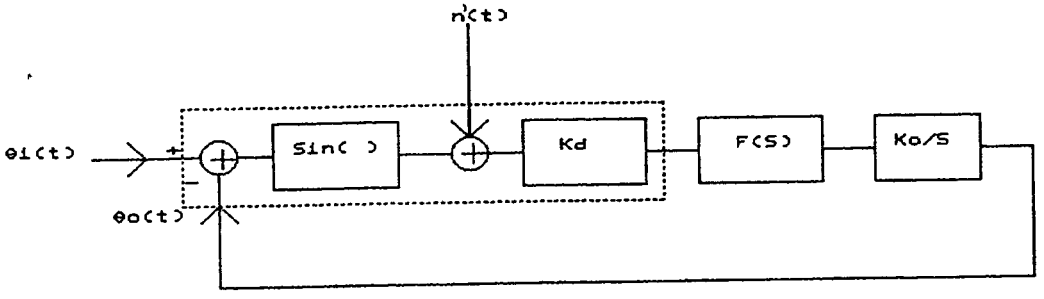
$$n'(t) = \frac{n_c(t)}{V_s}\cos\theta_o + \frac{n_s(t)}{V_s}\sin\theta_o \qquad \text{-----(57)}$$

ดังนั้นเอาท์พุทของเฟสดีเทคเตอร์เขียนได้

$$V_d(t) = K_d[\sin(\theta_i-\theta_o) + n'(t)] \qquad \text{-----(58)}$$

ซึ่งทำให้แบบจำลองของวงจรเฟสดีเทคเตอร์และระบบ PLL แสดงได้ดังรูป 2.2.4 ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2.4.ก แสดงแบบจำลองของลูปเมื่ออินพุทมีสัญญาณนอยส์

ซึ่งผลของสัญญาณนอยส์ทำให้เฟสของสัญญาณเอาท์พุท $\theta_o(t)$ แกว่งจากจุดตัดศูนย์หรือเกิดจิทเตอร์ (jitter) หรือเป็นสัญญาณนอยส์ในรูปของเอาท์พุทเฟสนอยส์ (phase noise) หรือเฟสจิทเตอร์วาเรียนซ์(phase jitter variance) แสดงได้คือ

$$\overline{\theta_n^2} = \int_{-\infty}^{+\infty} |H(j2\pi f)|^2 s_n(f)df \qquad (rad^2) \qquad -----(59)$$

โดย s_n เป็นกำลังสเปคตรัมของนอยส์อินพุทของไวท์เกาส์เซียลนอยส์ ซึ่งมีความเข้มข้นคงที่ตลอดความถี่ ตั้งแต่ความถี่ 0 Hz เป็นต้นไปดังนั้นเราสามารถประมาณสเปคตรัมของนอยส์อินพุทได้คือ

$$S_n = N_o/2V^2 \qquad -----(60)$$

แทนสมการ (60) ลงใน (59) จะได้

$$\overline{\theta_n^2} = \frac{N_o}{2V^2} \int_{\infty}^{+\infty} |H(\omega)|^2 df \qquad -----(61)$$

เรานิยามลูปนอยส์แบนด์วิดท์ B_L

$$B_L = \int_0^{\alpha} |H(\omega)|^2 df \qquad (Hz) \qquad -----(62)$$

สำหรับลูปที่ใช้วงจรกรองแบบพาสซีฟสำหรับลูปเกนสูงๆแล้วค่านอยส์แบนด์วิดท์ประมาณได้

$$B_L = \frac{1}{2}\omega_n(\zeta + \frac{1}{4\zeta}) \qquad -----(63)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการ (61) เขียนได้

$$\overline{\theta_n^2} = \frac{N_o B_L}{V^2} \qquad \text{-----(64)}$$

กำหนดก่อนหน้าวงจร PLL เป็นวงจรกรองความถี่ผ่านย่านมีแบนด์วิดท์ เท่ากับ B_i แล้ว สามารถหาค่ากำลังของนอยส์ทางด้านอินพุทได้คือ

$$N_i = N_o B_i$$

สัญญาณต่อสัญญาณนอยส์อินพุทคือ $SNR_i = V^2/N_i$ ดังนั้นเฟสจิทเตอร์เขียนได้

$$\overline{\theta_n^2} = \frac{B_L}{SNR_i B_i} \qquad \text{-----(65)}$$

หมายถึงว่าค่าเฟสจิทเตอร์จะแกว่งมากเมื่ออัตราของ SNR_i ลดลงหรือขนาดของวงจรกรองความถี่ผ่านที่อินพุทมีขนาดมากขึ้นโดยขนาดของเฟสจิทเตอร์ที่เอาท์พุทของ PLL ที่ป้อนกลับไปเปรียบเทียบกับเฟสอินพุทแล้วทำให้ PLL สามารถจะล็อกอยู่ได้นั้น ขนาดของเฟสจิทเตอร์ต้องแกว่งอยู่ในย่านเชิงเส้นของเฟสดีเทคเตอร์หรือเฟสจิทเตอร์ rms($\sqrt{\theta_n^2}$) น้อยกว่า 0.3 rad จากสมการ(65) เราสามารถจำกัดขนาดเฟสจิทเตอร์โดยการจำกัดขนาดของค่าลูปแบนด์วิดท์แต่การจำกัดขนาดของค่าลูปแบนด์วิดท์หรือให้ค่า ω_n มีขนาดน้อย ๆแล้ว จากสมการ (45)ค่าเวลาพลูอินของลูปจะมีค่ามาก ดังนั้นการกำหนดค่าลูปแบนด์วิดท์ต้องคำนึงถึงค่าเวลาพลูอินด้วย

ถ้าเรานิยาม

$$\overline{\theta_n^2} = 1/2SNR_L \qquad \text{-----(66)}$$

โดย SNR_L เป็นสัญญาณต่อสัญญาณนอยส์อินพุทของลูปจะได้

$$SNR_L = \frac{SNR_i B_i}{2B_L} \qquad \text{-----(67)}$$

ซึ่งหมายถึงค่า SNR_L จะขึ้นอยู่กับค่าสัญญาณต่อสัญญาณนอยส์อินพุท แบนด์วิดท์ของวงจรกรองความถี่ผ่านย่าน ค่าลูปแบนด์วิดท์,โดยค่า SNR_L เป็นตัวบอกว่าคุณภาพของลูปว่าสามารถปรับปรุงอัตราส่วนสัญญาณต่อสัญญาณนอยส์ขึ้นได้ดีเพียงใด โดยในทางปฏิบัติกำหนดค่า SNR_L มากกว่า 6 dB จึงทำให้ PLL สามารถล็อกสัญญาณอินพุทโดยไม่เกิดการหลุด(loss of locked)

<u>วงจร PLL ที่อินพุทเป็นวงจรยกกำลัง 2</u>

สำหรับการใช้วงจร PLL สำหรับล็อกสัญญาณฮาร์โมนิคที่ 2 ของสัญญาณโดยก่อนหน้าของสัญญาณ PLL เป็นวงจรยกกำลังสองขนาดของเฟสจิทเตอร์วาเรียนซ์จะเพิ่มขึ้น โดยถ้าให้อินพุทของวงจรยกกำลังสองเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_{in}(t) = m(t)\cos(\omega_i t+\theta_i) + n(t) \qquad \text{-----(68)}$$

โดย n(t) เป็น band pass gassian noise ที่เอาท์พุทของวงจรยกกำลังสอง หรืออินพุทของ PLL เขียนได้คือ

$$v_{sq}(t) = (m(t)\cos(\omega_i t+\theta_i) + n(t))^2 \qquad \text{-----(69)}$$

$$= [\tfrac{1}{2}m^2(t)\cos 2(\omega_i t+\theta_i) + \tfrac{1}{2}n_c\cos 2\omega_i t - \tfrac{1}{2}n_s\cos 2\omega_i t$$

$$+ n_c m(t)\sin(2\omega_i+\theta_i) + n_s m(t)\cos(2\omega_i t+\theta_i)$$

$$- n_c n_s \sin 2\omega_i t] \qquad \text{-----(70)}$$

และสำหรับอนาลอก PLL สัญญาณเอาท์พุทเขียนได้คือ

$$v_o(t) = v_o \sin 2(\omega_i t+\theta_o) \qquad \text{-----(71)}$$

แรงดันเอาท์พุทของวงจรเฟสดีเทคเตอร์ เขียนได้คือ

$$v_d(t) = v_{sq}(t)\times v_o(t) \qquad \text{-----(72)}$$

$$= \tfrac{1}{2} k_m [\tfrac{1}{2}m^2(t)\sin 2(\theta_i-\theta_o) + \tfrac{1}{2}(n_c^2-n_s^2)\sin 2\theta_o$$

$$- n_c n_s \cos 2\theta_o + n_c m(t)\cos(\theta_i-2\theta_o)$$

$$- n_s m(t)\sin(\theta_i-2\theta_o)] \qquad \text{-----(73)}$$

กำหนด

$$k_d = \tfrac{1}{4}k_m m(t)^2 \qquad \text{-----(74)}$$

$$n'(t) = \tfrac{1}{2}(n_c^2-n_s^2)\sin 2\theta_o - n_c n_s \cos 2\theta_o + n_c m(t)\cos(\theta_i-2\theta_o)$$

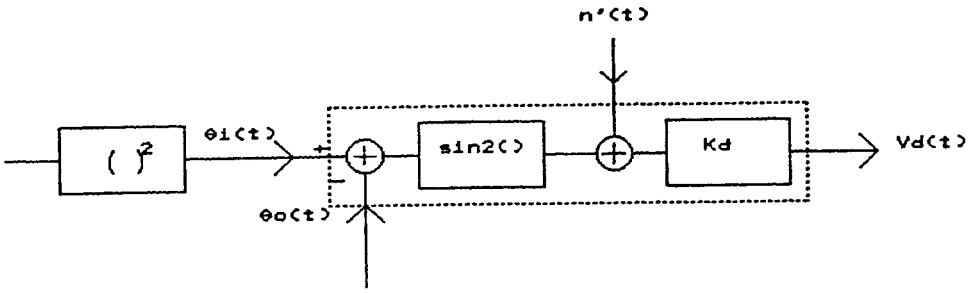
$$- n_s m(t)\sin(\theta_i-2\theta_o) \qquad \text{-----(75)}$$

ดังนั้นสามารถเขียนสมการข้างบนได้

$$V_d = k_d[\sin 2(\theta_i - \theta_o) + n'(t) \qquad \text{-----(76)}$$

โดย n(t) เป็นนอยส์และอินเตอร์มอดูเลชั่นนอยส์ (inter modulation noise) ของ PD ดังนั้นวงจรสมมูลย์ของนอยส์ของเฟสดีเทคเตอร์จึงเขียนได้รูปที่ 2.2.4.ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2.4.ข แสดงวงจรสมมูลย์ของเฟสดีเทคเตอร์ที่มีวงจรยกกำลังสองที่อินพุท

ซึ่งผลของคุณสมบัติโอนย้ายของเฟสดีเทคเตอร์เปลี่ยนไป ขนาดของจิทเตอร์วาเรียนซ์ที่ทำไม่ให้เกิดการหลุดจากการล็อกหรือเกิด cycle slip จะลดลงเนื่องจากขนาดของเฟสดีเทคเตอร์ลดลงครึ่งหนึ่งโดยขนาดเฟสจิทเตอร์ rms($\overline{\theta_n^2}$) ที่ไม่ทำให้เกิด cycle slip ต้องน้อยกว่า 0.15 rad โดยค่าเฟสจิทเตอร์เกิดขึ้น จากสัญญาณนอยส์ที่อินพุท PLL ซึ่งกรณีอินพุทเป็นวงจรยกกำลังสอง แสดงค่าเอาท์พุทเฟสจิทเตอร์วาเรียนซ์ ได้คือ

$$\overline{\theta_n^2} = \frac{B_L}{B_i SNR_i}\left[1 + \frac{1}{2SNR_i}\right] \qquad \text{-----(77)}$$

โดยเทอมที่อยู่ในวงเล็บเป็นเทอมที่เพิ่มขึ้นจากอินเตอร์มอดูเลชชั่นนอยส์ที่อินพุทของ PLL โดยถ้าหากขนาดของ SNR_i สูงพอแล้วค่าเทอมในวงเล็บที่อาจเรียกว่า squaring loss จะไม่มีผล แต่เนื่องจากขนาดของเฟสดีเทคเตอร์ลดลงครึ่งหนึ่งดังนั้นค่า SNR_L จะต้องเพิ่มขึ้น 6 dB หรือ SNR_L ต้องมากกว่า 12 dB จึงทำให้ PLL ล็อกสัญญาณอินพุทได้มีเสถียรภาพ

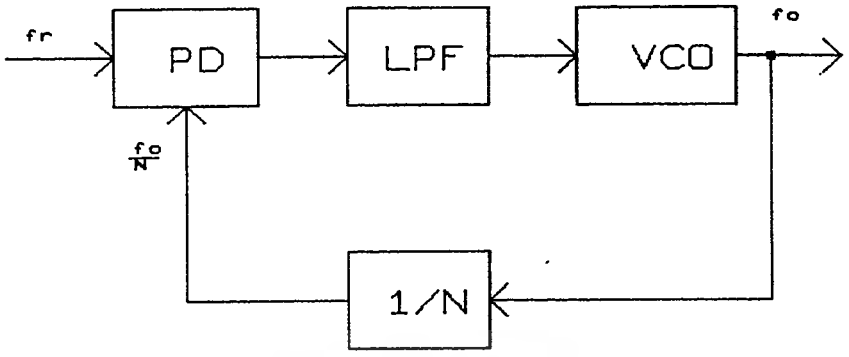
2.3 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูป

การสังเคราะห์ความถี่ด้วย PLL เป็นการสร้างความถี่ขึ้นใหม่ ด้วยสัญญาณความถี่อ้างอิงที่มาตราฐานโดยโครงสร้างสำหรับการสังเคราะห์ความถี่แสดงได้ดังรูป 2.3

จากรูปส่วนที่เพิ่มเข้าไปจากโครงสร้างของ PLL ที่ได้กล่าวมาแล้วคือวงจรหาร N (1/N) โดยถ้า f_r เป็นความถี่อ้างอิงที่มีความถี่ที่คงที่แล้ว ความถี่เอาท์พุทของ VCO จะเท่ากับขนาดของความถี่อ้างอิง (frequency reference:f_r) คูณกับจำนวน หาร N หรือเขียนได้

$$f_o = f_r \times N \qquad \text{-----(78)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 แสดงโครงสร้าง PLL สำหรับการสังเคราะห์ความถี่

หรือกล่าวได้ว่าความถี่เอาท์พุท(f_o) จะเป็นจำนวนเท่าของความถี่อ้างอิงความถี่ที่ป้อนกลับจากวงจร VCO ที่นำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์ (PD) หารด้วยจำนวน N ให้เท่ากับความถี่อ้างอิง สำหรับการทรานเฟอร์ฟังก์ชันของ PLL ที่มีวงจรหาร N ในส่วนป้อนกลับเขียนทรานเฟอร์ฟังก์ชันได้คือ

$$\frac{\theta_o(s)}{\theta_r(s)} = \frac{K_o K_d F(s)/s}{1 + K_o K_d F(s)/Ns} \qquad \text{-----(79)}$$

สำหรับทรานเฟอร์ฟังก์ชันของลูปใดๆเขียนได้

$$\frac{\theta_o(s)}{\theta_r(s)} = \frac{G(s)}{1+G(s)H(s)} \qquad \text{-----(80)}$$

G(s) = ฟอร์เวิร์ดเกน (forword gain)

H(s) = เกนป้อนกลับ (feedback gain)

G(s)H(s) = เกนลูปเปิด (open loop gain)

จาก (79) เราได้ฟอร์เวิร์ดเกนคือ

$$G(s) = \frac{K_o K_d F(s)}{s} \qquad \text{-----(81)}$$

และเกนลูปเปิดของ PLL คือ

$$G(s)H(s) = \frac{K_o K_d F(s)}{N \times s} \qquad \text{-----(82)}$$

สำหรับในการสังเคราะห์ความถี่วงจรกรองความถี่ต่ำ (LPF) ในลูปจะเลือกใช้วงจรกรองแบบแอคตีฟ เนื่องจากดิงกระแสอินพุทน้อย ทำให้ค่าความผิดพลาดในสภาวะสงบของเฟสดีเทคเตอร์เอาท์พุทมีค่าน้อย จากวงจรกรองในลูปในรูป 2.1.1 ค ซึ่งมีทรานเฟอร์ฟังก์ชันแสดงในสมการที่ (9) แทนลงในสมการ (79) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{\theta_o}{\theta_r} = \frac{K_o K_d (sT_2+1)/T_1}{s^2 + s \times K_o K_d T_2/NT_1 + K_o K_d/NT_1} \qquad \text{-----(83)}$$

จะได้ความถี่ธรรมชาติของลูป และ ค่าแดมปิ้งแฟคเตอร์คือ

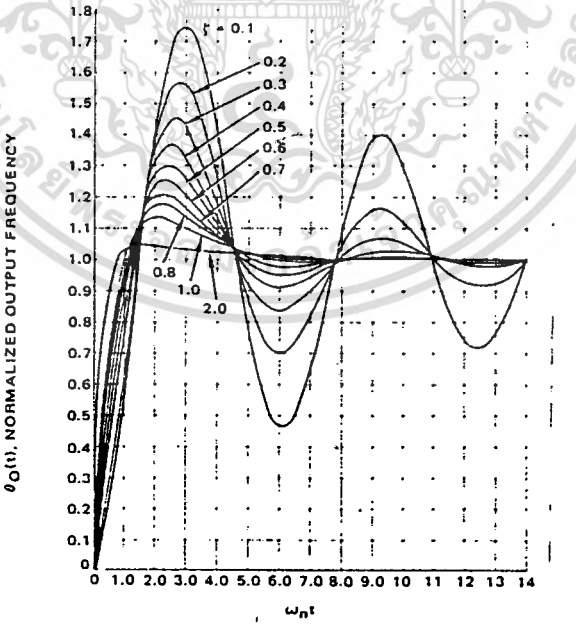
$$\omega_n = (K_o K_d/NT_1)^{1/2}$$

$$\zeta = (T_2/2)\omega_n \qquad \text{-----(84)}$$

ค่าความถี่ธรรมชาติ,ค่าแดมปิ้งแฟคเตอร์ของลูปจะเป็นพารามิเตอร์ที่เราสามารถกำหนดได้โดยการกำหนดค่าพารามิเตอร์ดังกล่าว เราจะกำหนดโดยพิจารณาจากความต้องการต่อการตอบสนองของลูปในสภาวะทรานเซียน ความสามารถมอดูเลทความถี่ที่ต้องการในกรณีที่ลูปถูกมอดูเลทด้วยสัญญาณเบสแบนด์ และความเสถียรภาพของลูป

2.3.1 ผลตอบสนองสภาวะทรานเซียน

สำหรับ PLL การสังเคราะห์ความถี่การเปลี่ยนสเตปของความถี่ โดยการเปลี่ยนการหารในลูปป้อนกลับทำให้เกิดการเปลี่ยนแปลงเฟสเอาท์พุท โดยสามารถหาการเปลี่ยนแปลงในสภาวะทรานเซียนโดยการทำ unit step สมการที่ (19) แล้วอินเวอร์สลาปลาซทรานสฟอร์ม ซึ่งผลของเฟสเอาท์พุทในสภาวะทรานเซียนของ PLL ที่ใช้วงจรกรองแบบแอคตีฟแสดงได้ดังรูป



รูปที่ 2.3.1 แสดงเฟสเอาท์พุทในสภาวะทรานเซียนของ PLL ใช้วงจรกรองแบบแอคตีฟ

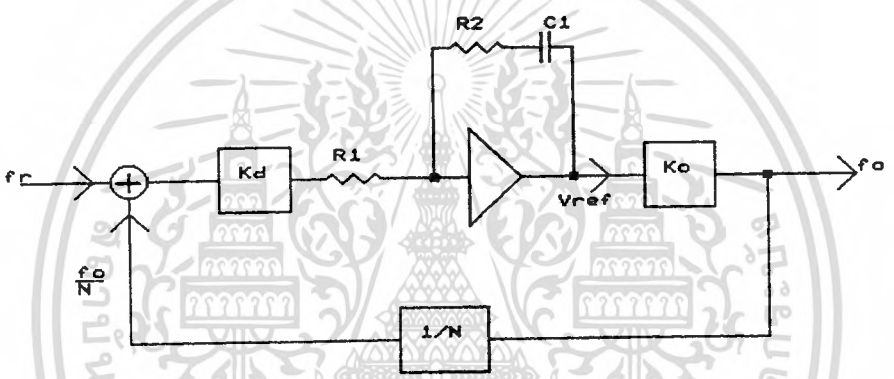
จากรูป ค่าอัตราแดมปิ้งที่ 0.707 ซึ่งเป็นค่าเหมาะสมสำหรับลูปอันดับสอง จากรูปเมื่อค่า $\omega_n t > 4.5$ ค่าพีคโอเวอร์ชูท (peak over shoot) จะน้อยกว่า 20 % ดังนั้นเราสามารถกำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนดค่าเวลาเซ็ทติ้ง(setting time)ได้เท่ากับ $t_s=4.5/\omega_n$ หรือค่าความถี่ธรรมชาติของลูป มีผลต่อเวลาเซ็ทติ้งของลูป

2.3.2 การลดทอนของไซด์แบนด์นอยส์

เนื่องจากการสังเคราะห์ความถี่ด้วย PLL เป็นการควบคุมโดยการป้อนกลับ สัญญาณอินพุทที่ควบคุมให้วงจร VCO กำเนิดความถี่ให้มีความถี่คงที่เป็นแรงดันดีซี ถ้าหากมีสัญญาณรบกวนใดๆ ปะปนสัญญาณดีซี สัญญาณรบกวนนี้จะเป็นสัญญาณที่มอดูเลทเข้าไปในวงจร VCO เกิดเป็นไซด์แบนด์ที่ไม่ต้องการขึ้น การวิเคราะห์การเกิดไซด์แบนด์ แสดงโครงสร้างได้ดังรูป 2.3.2.ก



รูปที่ 2.3.2.ก แสดงโครงสร้างของลูปสำหรับวิเคราะห์หาไซด์แบนด์นอยส์

จากรูปให้ V_{ref} เป็นสัญญาณขาเอาท์พุทของวงจรกรองแบบแอคตีฟ มีลักษณะเป็นสัญญาณริปเปิล(ripple)เกิดขึ้นเนื่องจากการอินทีเกรทของวงจรกรองโดยอินพุทของวงจรกรอง เป็นพัลซ์เล็กๆเกิดจากการที่วงจรชาร์จปั๊มของเฟสฟรีเควนซ์ดีเทคเตอร์ต้องทำการปิดสวิทช์ช่วงสั้นๆ ทุกคาบความถี่อ้างอิง โดยไซด์แบนด์ที่เกิดจากการมอดูเลทโดยสัญญาณ V_{ref} ซึ่งมีขนาดเล็กๆซึ่งถือว่าเป็นการมอดูเลทเอฟเอ็มแบบค่าดัชนีการมอดูเลทน้อย (low modulation index) ไซด์แบนด์ที่เกิดขึ้น[5]หรือ J_1 จะมีขนาดประมาณเท่ากับ ค่ามอดูเลชั่นอินเดคซ์ส่วน 2

$$J_1 = (1/2)\beta \qquad \text{-----(85)}$$

แล้วเขียนไซด์แบนด์เกิดจาก V_{ref} ได้

$$J_1 = V_{ref} K_o/2\omega_{ref} \qquad \text{-----(86)}$$

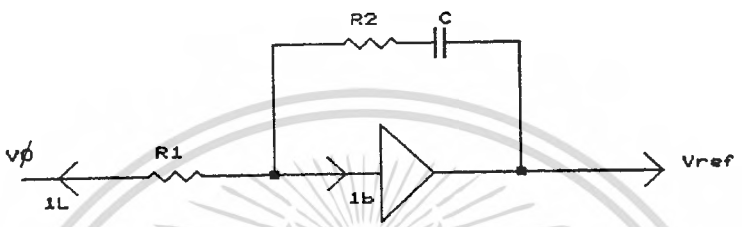
โดยค่า β หลังมอดูเลชั่นอินเดคซ์เท่ากับความถี่ที่เบี่ยงเบน หารด้วยความถี่ที่มอดูเลท ซึ่งขนาดของความถี่เบี่ยงเบนจะเท่ากับขนาดของ V_{ref} คูณกับค่าเกนของ VCO โดยค่าแรงดันของ V_{ref} มีขนาดของคาบความถี่เท่ากับความถี่อ้างอิงของลูป ในทางปฏิบัติการออกแบบจะกำหนดค่าขนาดของไซด์แบนด์ต่อความถี่ที่ต้องการจริงๆ หรือเป็นไซด์แบนด์ต่อคลื่นหาห์ เป็นรูปขนาดของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

dB หรือเขียนได้

$$\frac{\text{sideband}}{\text{carrier}} = 20\log\left(\frac{V_{ref}\, K_o}{2\omega_{ref}}\right) \qquad \text{-----(87)}$$

จากสมการ (87) V_{ref} เป็นค่า peak เกิดจากกระแสรั่วไหลของเฟสดีเทคเตอร์(I_L) และกระแสไบอัสอินพุทออปแอมป์ (I_b)



รูปที่ 2.3.2.ข กระแสรั่วไหลของเฟสดีเทคเตอร์และกระแสไบอัสอินพุทออปแอมป์

ถ้าให้ V_{avg} เป็นแรงดันอินพุทเฉลี่ยเกิดจากกระแส I_L, I_b หรือแสดงได้

$$V_{avg} = (I_L+I_b)R_1 \qquad \text{-----(88)}$$

V_* เป็นขนาดแรงดันจากยอดถึงยอด (peak to peak) จะมีขนาด 2 เท่าของ V_{avg} ดังนั้นเราสามารถเขียนแรงดัน V_* เกิดจากกระแส I_L, I_b ได้คือ

$$V_* = 2(I_L+I_b)R_1 \qquad \text{----- (89)}$$

โดย V_{ref} จะถูกขยายด้วยอัตราส่วนของ R_2/R_1 จากอินพุท V_* ดังนั้นสมการ (87) เขียนใหม่ได้ว่า

$$\frac{\text{Sideband}}{\text{Carrier}} = 20\log\left(\frac{(I_L+I_b)R_2K_o}{\omega_{ref}}\right) \qquad \text{-----(90)}$$

โดยถ้าหากค่า Sideband/Carrier มีค่าลดทอนไม่มากเราอาจจะเพิ่มวงจรกรองความถี่ต่ำผ่านเข้าไปในลูปได้ โดยความถี่คัทออฟของวงจรออกแบบให้ขนาดเท่ากับ $\omega_c = 5\omega_n$ โดยอัตราลดทอนของไซด์แบนด์จะลดทอนคือ SB

$$SB = n\times 20\times\log(\omega_c/\omega_{ref}) \qquad \text{-----(91)}$$

โดย n เป็นจำนวนอันดับของวงจรกรองในลูป แต่ผลของการเพิ่มวงจรกรองความถี่ต่ำผ่านเข้าไปในลูปจะทำให้เกิดการเลื่อนเฟสในลูปทำให้ผลของเสถียรภาพของลูปเปลี่ยนแปลงไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3 เสถียรภาพของลูป

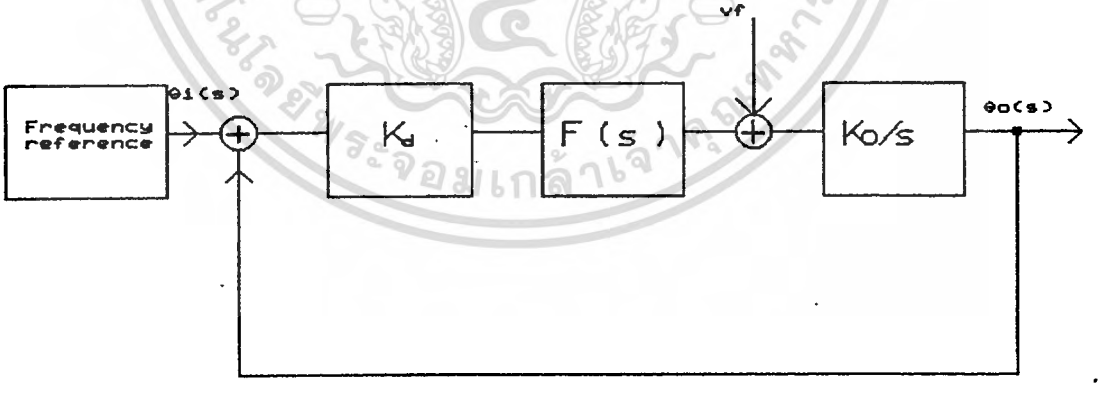
สำหรับการหาเสถียรภาพของลูปอาจจะวิเคราะห์ได้จากการใช้ โบดพล็อต(Bode plot) ทั้งแมกนิจูดและเฟสของเกนลูปเปิดในสมการ (83) เทียบกับความถี่โดยค่าของเกนลูปเปิดที่เท่ากับ 0 dB ค่าเฟสต้องมีขนาดน้อยกว่า -180 องศา หรือกำหนดเฟสมาจิน (phase margin) ของลูปคือ

$$\phi_m = 180 + a_{rg}\, G(j\omega_1)\times H(j\omega_1) \qquad \text{-----(92)}$$

ω_1 เป็นค่าของความถี่ที่ขนาดเกนของลูปเปิดเท่ากับ 1 หรือ 0 dB โดยค่าเฟสมาจินจะเท่ากับ 180 องศา บวกกับเฟสที่เลื่อนของทรานเฟอร์ฟังก์ชันลูปเปิดซึ่งจะเป็นค่าลบ ถ้าหากค่าเฟสมาจินนี้มาก PLL จะมีเสถียรภาพมากโดยเราไม่คำนึงถึงการเลื่อนเฟสจากผลของค่าพาราซิติก (parasitic) ในลูป สำหรับการเพิ่มวงจรกรองเข้าไปในลูปเพื่อลดลอนขนาดของไซด์แบนด์จะทำให้ค่าเฟสมาจินลดลง โดยถ้าหากเฟสมาจินมีขนาดน้อยกว่า 0 PLL ก็จะไม่มีเสถียรภาพ

2.3.4 การมอดูเลทด้วยสัญญาณเบสแบนด์

สำหรับการสังเคราะห์ความถี่ด้วย PLL เราอาจจะทำการมอดูเลทสัญญาณเบสแบนด์เข้ากับความถี่ f_o ซึ่งถือว่าเป็นความถี่พาห์ที่มีเสถียรภาพทางความถี่ขึ้นอยู่กับความถี่อ้างอิงของลูปโดยแสดงการมอดูเลทแบบ FM ได้ดังรูป



รูปที่ 2.3.4 แสดงการมอดูเลท FM ใน PLL

จากรูปสัญญาณเบสแบนด์ถูกบวกเข้าที่อินพุทของ VCO ทำให้ความถี่ของ VCO เปลี่ยนแปลงตามแรงดัน Vf จากการป้อนความถี่กลับมาเปรียบเทียบกับความถี่อ้างอิงจาก อินพุทเป็นแรงดัน ผลของเฟสเอาท์พุทต่อแรงดันอินพุท Vf คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\theta_o(s) = \frac{K_o\, Vf(s)/s}{[1+(K_o K_d F(s)/s)]} \qquad \text{-----(93)}$$

สำหรับเอาท์พุทในรูปของความถี่ ซึ่งเขียนลาปลาซทรานสฟอร์มของเฟสได้คือ

$$\Omega_o(s) = S\theta_o(s) \qquad \text{-----(94)}$$

ดังนั้นสมการความถี่เอาท์พุทจากผลของแรงดัน Vf คือ

$$\Omega_o(s) = \frac{SK_o Vf(s)}{S + K_o K_d F(s)} \qquad \text{-----(95)}$$

จากสมการข้างบนทรานเฟอร์ฟังก์ชันของความถี่เอาท์พุทต่อแรงดันอินพุทคือ

$$\frac{\Omega_o(s)}{Vf(s)} = \frac{sK_o}{s + K_o K_d F(s)} \qquad \text{-----(96)}$$

ซึ่งส่วนของเทอม $s/(s + K_o K_d F(s))$ มีลักษณะมีผลตอบสนองความถี่สูงผ่าน ดังนั้นกล่าวได้ว่าลูปแบนด์วิดท์ต้องมีค่าต่ำกว่าความถี่ต่ำสุดที่ทำการมอดูเลทเข้ามาในลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ทฤษฎีการออกแบบวงจรมอดูเลทสัญญาณ FM สำหรับการกระจายเสียงแบบสเตอริโอ

ในบทนี้จะกล่าวถึงทฤษฎีการออกแบบวงจรมอดูเลทสำหรับความถี่ FM ที่ใช้ในการกระจายเสียงพร้อมทั้งส่วนวงจรเข้ารหัสสัญญาณสเตอริโอ(stereo encoder) โดยวงจรมอดูเลท FM ออกแบบที่ความถี่ 107.5 MHz

3.1 การส่งกระจายเสียงแบบ FM[7]

สำหรับการส่งกระจายเสียงแบบ FM นั้น FCC (Federal Communication Commission) ได้กำหนดให้ออกอากาศที่ความถี่ตั้งแต่ 88 - 108 MHz โดยความถี่พาห์จะคลาดเคลื่อนได้ไม่เกิน $\pm$ 2KHz ความถี่เบี่ยงเบน (deviation) สำหรับการมอดูเลท 100% ต้องไม่เกิน 75 KHz โดยความถี่ที่มอดูเลทสำหรับสัญญาณเสียงจะมีความถี่ตั้งแต่ 50Hz-15KHz

3.1.1 การกระจายเสียงแบบ FM สเตอริโอ

การกระจายเสียง FM สเตอริโอเป็นการส่งสัญญาณเบสแบนด์สองสัญญาณ คือสัญญาณข้างซ้ายและขวาไปยังเครื่องรับ โดยขบวนการผลิตสัญญาณสเตอริโอเพื่อให้ภาครับแบบสเตอริโอสามารถดีมอดูเลทได้ทั้งสัญญาณซ้ายและขวาและเครื่องรับแบบโมโนก็สามารถรับสัญญาณได้เช่นกัน เทคนิคที่ใช้สำหรับการส่งสัญญาณ FM สเตอริโอคือใช้เทคนิคผลบวกและผลต่างของซ้ายและขวา (L + R), (L - R) โดยภาคส่งจะส่งสัญญาณ (L + R) และ (L- R) โดยที่ภาครับใช้หลักการบวกและลบสัญญาณผลบวกและผลต่างที่ส่งมาจากภาคส่ง จะได้สัญญาณซ้ายและขวาตามลำดับ หรือแสดงได้

$$(L + R) + (L - R) = 2L \qquad \text{-----(1)}$$

$$(L + R) - (L - R) = 2R \qquad \text{-----(2)}$$

โดยสัญญาณ (L - R)ที่ภาคส่งจะมอดูเลทกับความถี่คลื่นพาห์รอง(sub carrier)ที่เท่ากับ 38 KHz ซึ่งเป็นการมอดูเลทแบบดับเบิลไซด์แบนด์ซัพเพรสแคเรีย (double sideband suppress carrier:DSBSC) แล้วจึงมอดูเลทเข้ากับความถี่คลื่นพาห์ของคลื่น FM และรวมเอาสัญญาณ(L + R) และสัญญาณไพล็อททโทน (pilot tone) ที่มีความถี่ 19 KHz เพื่อทำให้ภาครับสามารถสร้างสัญญาณแคเรีย 38 KHz เพื่อดีมอดูเลทสัญญาณเบสแบนด์ (L-R) สำหรับสัญญาณรวมเบสแบนด์สเตอริโอ m(t) เขียนได้

$$m(t) = (L+R) + (L-R)\cos 2\pi f_s t + p\cos 2\pi f_s t \qquad \text{-----(3)}$$

โดย L : สัญญาณเบสแบนด์ข้างซ้ายจะถูกจำกัดให้มีความถี่สูงสุดไม่เกิน 15 KHz

R : สัญญาณเบสแบนด์ข้างขวาจะถูกจำกัดให้มีความถี่สูงสุดไม่เกิน 15 KHz

f_s : ความถี่คลื่นพาห์รองมีความถี่เท่ากับ 38 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f_p : ความถี่ของไพล็อทโทนเท่ากับ 19 KHz

p : ระดับสัญญาณไพล็อทโทน

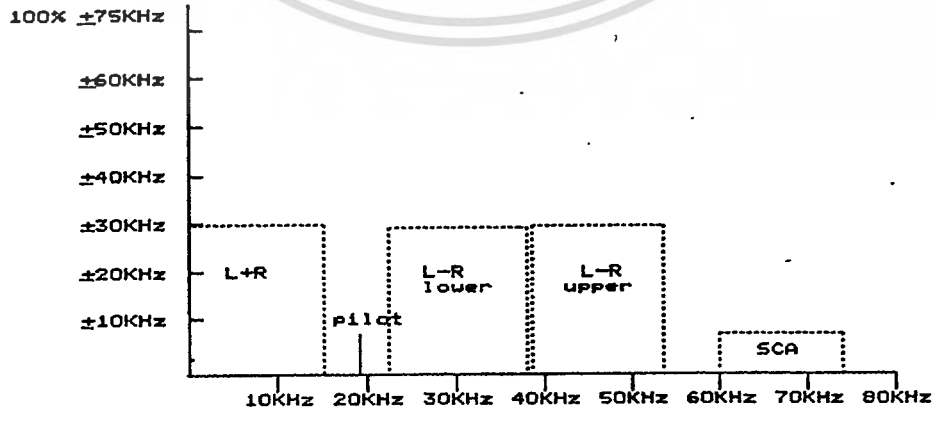
สำหรับอัตราการมอดูเลท FCC กำหนดให้คลื่นพาห์เบี่ยงเบนได้ไม่เกิน $\pm$ 75 KHz โดยสัญญาณ (L+R) หรือเรียกว่าสัญญาณหลัก (main signal) และสัญญาณ (L-R) หรือสัญญาณรอง (sub signal) จะมีขนาดแต่ละสัญญาณเท่ากับ 45% หรือทำให้ความถี่คลื่นพาห์เบี่ยงเบนได้ไม่เกิน $\pm$ 33.75 KHz ส่วนสัญญาณไพล็อทโทนมีขนาดเท่ากับ 10% ซึ่งจะทำให้คลื่นพาห์ของ FM เบี่ยงเบนได้ไม่เกิน $\pm$ 7.5 KHz

3.1.2 การส่งสัญญาณ SCA ในระบบ FM สเตอริโอ

สำหรับสัญญาณ FM SCA (subsidiary communication authorization) เป็นการใช้ภาคส่ง FM สเตอริโอ ส่งสัญญาณอื่นนอกเหนือโปรแกรมที่ส่งตามปกติ โดย FCC กำหนดคุณสมบัติของสัญญาณ SCA ซึ่งเป็นเบสแบนด์อันหนึ่งของคลื่นพาห์ FM ดังนี้

1. กำหนดความถี่ศูนย์กลางอยู่ที่ 67 KHz โดยเปลี่ยนแปลงได้เท่ากับ $\pm$ 500 Hz
2. ความถี่เบสแบนด์ SCA มีขนาดไม่เกิน 10% ของสัญญาณรวมทั้งหมดก่อนมอดูเลทหรือทำให้ความถี่พาห์เบี่ยงเบนได้เท่ากับ $\pm$ 7.5 KHz โดยสัญญาณ (L+R),(L-R) จะมีขนาดแต่ละสัญญาณเท่ากับ 40% หรือทำให้ความถี่คลื่นพาห์เบี่ยงเบนได้ไม่เกิน $\pm$ 30 KHz
3. สเปคตรัมของความถี่ SCA จำกัดอยู่ในช่วงความถี่ 57-75 KHz
4. สัญญาณรบกวนของ SCA ที่ข้ามช่อง (cross talk) เข้าไปในช่องของสัญญาณสเตอริโอเบสแบนด์ต้องน้อยกว่า 60 dB

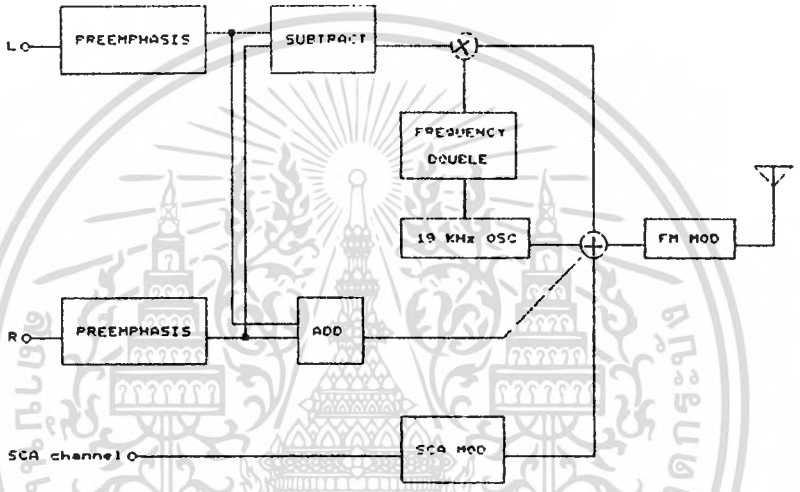
จากข้อกำหนดของระบบสเตอริโอและ SCA สามารถแสดงสัญญาณเบสแบนด์และภาคส่งดังรูป



รูปที่ 3.1.2 ก แสดงสัญญาณเบสแบนด์ของ FM สเตอริโอและสัญญาณ SCA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับขบวนการผลิตและโครงสร้างภาคส่งสัญญาณ FM แสดงได้ดังรูป 3.1.2.ข จากรูป ภาคส่งสัญญาณ L,R จะต้องเข้าวงจรพรีเอ็มพาซีสเพื่อชดเชยสัญญาณความถี่สูงก่อนแล้วจึงเข้าวงจรผลต่าง subtract(L-R) และวงจรผลรวม adder(L+R) สัญญาณผลต่างคูณเข้ากับความถี่ 38 KHz ซึ่งได้จากสัญญาณไพล็อทโทนคูณสอง เอาท์พุทของการคูณสัญญาณ(L-R) กับสัญญาณความถี่ 38 KHz ซึ่งเป็นการมอดูเลทแบบดับเบิลไซด์แบนด์ซัพเพรสแคเรีย จะเข้าไปมอดูเลทกับคลื่นพาห์ FM พร้อมกับสัญญาณ (L+R) และสัญญาณไพล็อทโทนโดยการมอดูเลทโดยตรง (direct modulation)



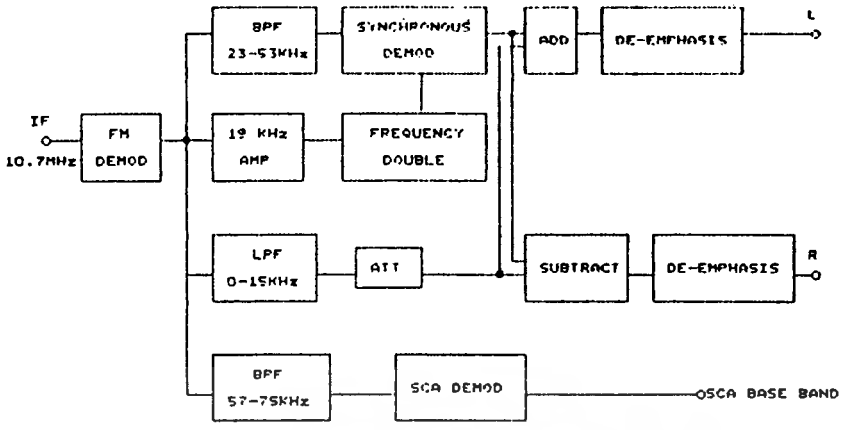
รูปที่ 3.1.2 ข แสดงโครงสร้าง ภาคส่งสัญญาณ FM สเตอริโอ สัญญาณ SCA

สำหรับขบวนการดีมอดูเลทสัญญาณ FM สเตอริโอที่ภาครับแสดงโครงสร้างได้ดังรูป 3.1.2.ค จากรูป สัญญาณความถี่ไอเอฟของ FM ซึ่งมีความถี่ 10.7 MHz สัญญาณจะถูกดีมอดูเลทโดยวงจรดิสคริมมิเนเตอร์ซึ่งจะให้สัญญาณเบสแบนด์ครอบคลุมตั้งแต่ 0-75 KHz สัญญาณเบสแบนด์สามารถแยกเอาสัญญาณ (L+R),(L-R) และ SCA โดยวงจรกรองความถี่ต่ำ 0-15 KHz จะกรองเอาสัญญาณ(L+R) ออกจากสัญญาณรวมแล้วลดระดับสัญญาณครึ่งหนึ่งแล้วจึงป้อนเข้าวงจรบวก(add) และลบ(subtract) ตามลำดับ สัญญาณ (L-R) นั้นได้จากการนำเอาสัญญาณเบสแบนด์ที่อยู่ในช่วง 23-53 KHz ไปคูณเข้ากับความถี่ 38 KHz ที่ได้สร้างจากไพล็อทโทนคูณ 2 จะได้ว่า

$$(L-R)\cos 2\pi f_s \times \cos 2\pi f_s = (L-R)/2 - ((L-R)/2)\cos 4\pi f_s \quad \text{-----(4)}$$

สัญญาณข้างขวามือประกอบด้วย 2 เทอมคือ (L-R)/2 และ ((L-R)/2)×cos4πf_s โดยสัญญาณผ่านวงจรกรองความถี่ต่ำจะเหลือสัญญาณ (L-R)/2 ซึ่งขบวนการคูณและกรองความถี่นี้เรียกว่า synchronous demodulator โดยสัญญาณ (L-R)/2 และ (L+R)/2 เมื่อเข้าวงจรบวกและวงจรลบแล้วก็จะได้สัญญาณ L และ R ตามลำดับ ส่วนสัญญาณ SCA นั้นได้จากเอาสัญญาณเบสแบนด์ในช่วง 57-75 KHz ผ่านวงจรกรองความถี่ผ่านย่านแล้วจึงทำการดีมอดูเลทสัญญาณ SCA นี้

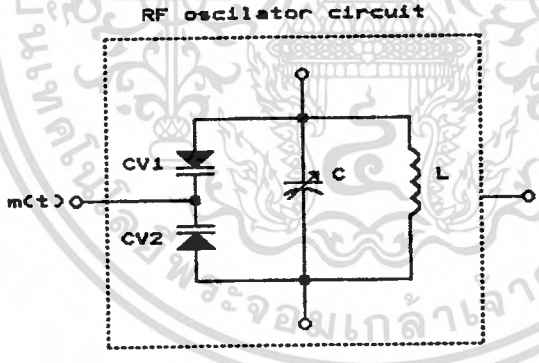
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1.2.ค แสดงโครงสร้างภาครับสัญญาณ FM สเตอริโอ

3.1.3 การมอดูเลทสัญญาณ FM

การมอดูเลทสัญญาณ FM ซึ่งเป็นการเปลี่ยนแปลงขนาดความถี่ของคลื่นพาห์ตามสัญญาณเบสแบนด์ที่มอดูเลท สำหรับในที่นี้จะกล่าวถึงการมอดูเลทแบบตรง (direct FM) ซึ่งเป็นการมอดูเลทสัญญาณเบสแบนด์เข้ากับวงจรกำเนิดคลื่นพาห์โดยตรง การสร้างสัญญาณ FM ใช้วงจรกำเนิดความถี่เช่น วงจรกำเนิดความถี่แบบ LC โดยแสดงวงจรสมมูลย์ได้ดังรูป 3.1.3



รูปที่ 3.1.3 แสดงวงจรสมมูลย์วงจรกำเนิดความถี่แบบ LC

ค่าของความถี่ที่กำเนิดขึ้นอยู่กับค่าของ LC ซึ่งเขียนได้เป็น

$$\omega_i = 1/\sqrt{LC} \qquad \text{-----(5)}$$

ω_i คือความถี่ที่กำเนิดจากวงจรกำเนิดความถี่ LC

โดยค่า C หรือค่าคาปาซิแตนซ์สามารถเปลี่ยนแปลงค่าตามความถี่ที่เข้ามามอดูเลทหรือเขียนได้เป็น

$$C = C_o - K_c\, m(t) \qquad \text{-----(6)}$$

โดย C_o เป็นค่าคาปาซิแตนซ์ขณะที่ไม่มีความถี่อินพุท

K_c ค่าของความไวในการเปลี่ยนแปลงของคาปาซิแตนซ์

$m(t)$ สัญญาณเบสแบนด์ที่มอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นความถี่ชั่วขณะใด ๆ คือ

$$\omega_i(t) = \frac{1}{\sqrt{L(C_o - K_c m(t))}} \qquad \text{-----(7)}$$

จากสมการ (7)เขียนได้

$$\omega_i(t) = -\frac{\omega_o}{\sqrt{1 - K_c m(t)/C_o}} \qquad \text{-----(8)}$$

โดย ω_o เป็นความถี่ของวงจรที่ไม่ถูกมอดูเลทด้วยสัญญาณเบสแบนด์สมการ(8) ประมาณได้

$$\omega_i(t) = \omega_o\left(1 + \frac{K_c m(t)}{2C_o}\right) \qquad \text{-----(9)}$$

ถ้ากำหนดค่าคงที่ในการมอดูเลท

$$Kf = \frac{\omega_o K_c}{2C_o} \qquad \text{-----(10)}$$

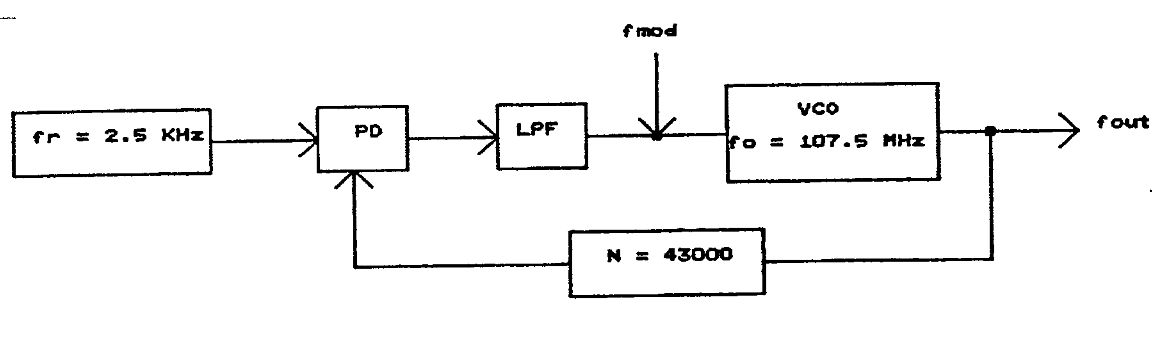
ดังนั้นแสดงได้ว่าวงจรกำเนิดความถี่แบบ LC ใดๆ ที่ C สามารถเปลี่ยนแปลงตามสัญญาณเบสแบนด์อินพุทสามารถกำเนิดสัญญาณ FM ได้ดังสมการของ FM คือ

$$\omega_i(t) = \omega_o + Kf \times m(t) \qquad \text{-----(11)}$$

ซึ่งเป็นสมการของสัญญาณ FM[8]

3.2 <u>การออกแบบวงจรมอดูเลทสัญญาณ FM</u>

สำหรับในส่วนนี้จะกล่าวถึง การออกแบบวงจรมอดูเลท FM แบบตรง (direct modulation) การควบคุมความถี่ของคลื่นพาห์ให้มีเสถียรภาพใช้เฟสล็อกลูป ซึ่งหลักการได้กล่าวไว้ในส่วนที่ 2.3 สำหรับวงจรมอดูเลทแบบตรงหรือวงจรที่มอดูเลทสัญญาณเบสแบนด์โดยตรงกับวงจรกำเนิดความถี่ใช้วงจรกำเนิดความถี่ควบคุมด้วยแรงดันดังที่ได้กล่าวมาข้างต้น สำหรับวงจรมอดูเลท FM แสดงโครงสร้างดังรูป



รูปที่ 3.2 แสดงโครงสร้างวงจรมอดูเลทสัญญาณ FM

จากรูปต้องการสร้างสัญญาณคลื่นพาห์ที่มีความถี่เท่ากับ 107.5 MHz กำหนดให้สัญญาณคลื่นพาห์ต่อไซด์แบนด์ที่ยังไม่ทำการมอดูเลทมีขนาดลดทอนมากกว่า -60 dB สำหรับความถี่อ้างอิง

ของลูป กำหนดให้มีขนาด 2.5 KHz เพื่อจะให้ลูปทำการหารความถี่ของคลื่นพาห์ลงจำนวนมากๆ (43,000) เพื่อไม่ให้ลูปเกิดการหลุดจากการล็อก (loss of lock) เมื่อเกิดความถี่เบี่ยงเบนสูงๆ เนื่องจากการมอดูเลทด้วยความถี่ต่ำเกินช่วงเชิงเส้นของเฟสดีเทคเตอร์ สำหรับค่าความถี่ธรรมชาติของลูปกำหนดให้มีขนาดเท่ากับความถี่ต่ำสุดที่ต้องการมอดูเลทในที่นี้จะเท่ากับ 20 Hz สำหรับวงจรกรองในลูปใช้วงจรกรองแบบแอคทีฟชนิดลีดแล็ค จากสมการ (84) ในบทที่ 2 แสดงความถี่ธรรมชาติของลูป และค่าแดมปิ้งเฟคเตอร์คือ

$$\omega_n = [K_o K_d / N \times T_1]^{1/2} \qquad \text{-----(12.1)}$$

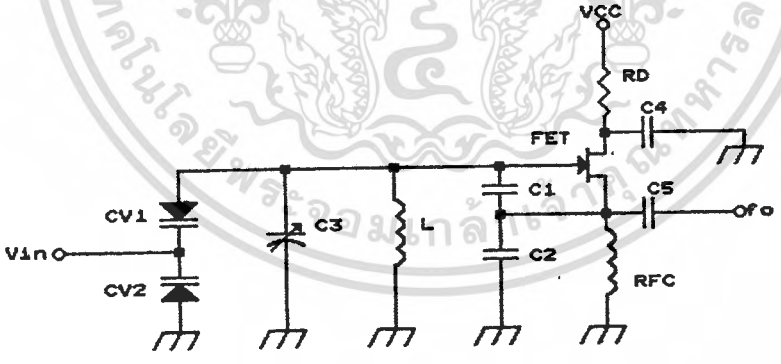
$$\zeta = T_2 \omega_n / 2 \qquad \text{-----(12.2)}$$

โดย $T_1 = R_1 C$ และ $T_2 = R_2 C$

สำหรับค่า K_d เป็นเฟสดีเทคเตอร์เกนในการออกแบบใช้ ดิจิตอลเฟสดีเทคเตอร์ซึ่งเป็นวงจรรวม 4046 มีค่า $K_d = Vcc/4\pi$ ค่า K_o เป็นค่าเกนของ VCO หาได้จากวงจร VCO ซึ่งมีการออกแบบดังต่อไปนี้

3.2.1 วงจร VCO

สำหรับการออกแบบวงจร VCO ใช้วงจรโคพิทออสซิเลทเตอร์ต่อร่วมกับวาริแคป ดังแสดงวงจรได้ดังรูป[9]



รูปที่ 3.2.1.ก แสดงวงจรโคพิทออสซิเลเตอร์

จากวงจรให้ค่ารีแอคแตนซ์ของ RFC มีขนาดสูงมากที่ความถี่ออสซิเลท ค่าคาปาซิแตนซ์ทางด้านอินพุทของ FET มีขนาดน้อยมากเมื่อเทียบกับ C_1 และ C_2 ดังนั้นค่าความถี่ที่ออสซิเลท จะเท่ากับ

$$f_o = \frac{1}{2\pi\sqrt{LC_o}} \qquad \text{-----(13)}$$

$$C_o = \frac{C_1 C_2}{C_1 + C_2} + \frac{C_{v1} C_{v2}}{C_{v1} + C_{v2}} + C_3 \qquad \text{-----(14)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่นใด ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยค่า C_{v1} และ C_{v2} เป็นค่าคาปาซิแตนซ์ของวาริแคปที่ถูกควบคุมด้วยแรงดัน V_{in} ซึ่งขนาดของค่าคาปาซิแตนซ์ต่อแรงดันใดๆ ของวาริแคปแสดงได้คือ [10]

$$C_v(v) = C_s\left(\frac{\phi - V_s}{\phi - v}\right)^{\gamma} \qquad \text{-----(15)}$$

γ = ค่าชี้กำลังที่ขึ้นกับชนิดของรอยต่อซึ่งเท่ากับ 1/2 สำหรับ hyper arupt junction

ϕ = แรงดันระหว่างรอยต่อของไดโอด (0.7 V)

V_s = แรงดันที่จุดไบอัส

C_s = ค่าคาปาซิแตนซ์ที่จุดไบอัส

สำหรับค่าอัตราการเปลี่ยนแปลงความถี่จาก fo ต่อการเปลี่ยนแปลงแรงดันอินพุทแสดงได้คือ[11]

$$\frac{\Delta f_o}{\Delta v} = \frac{C_s\sqrt{\phi - V_s}}{8\pi^2 L\,[C(\phi - V)]^{3/2}} \qquad \text{-----(16)}$$

การออกแบบในทางปฏิบัติเลือกใช้ FET เบอร์ 2N5486 กำหนดให้แรงดันของวงจรมีขนาด 12 V แรงดันควบคุมของอินพุท Vin มีขนาด 1-12 V ถ้ากำหนดให้ค่าอินดัคแตนซ์ (L)ในวงจรมีขนาด 100 nH และ C_s มีขนาด 4 pF แล้วให้วงจร VCO ทำงานตั้งแต่ความถี่ 100 MHz ถึง 110 MHz จากสมการ (5) หา C ที่ความถี่ 100 MHz - 110 MHz ได้คือ

$$C = \frac{1}{4\pi^2 f^2 L} \qquad \text{-----(17)}$$

$C_{100\ MHz} = 25$ pF

$C_{110\ MHz} = 20$ pF

ซึ่งหมายถึงว่าค่าการเปลี่ยนแปลงของค่าคาปาซิแตนซ์ในวงจร VCO ที่จะทำให้ความถี่-เปลี่ยนแปลงตั้งแต่ 100-110 MHz มีขนาดเท่ากับ 5 pF การออกแบบเลือกใช้วาริแคปเบอร์ - MV2101 ซึ่งมีขนาด 4pF เมื่อถูกรีเวิร์ดไบอัสเท่ากับ 12 V และมีขนาด 10 pF เมื่อถูกรีเวิร์ดไบอัสที่ 1 V ซึ่งค่าเปลี่ยนแปลงของค่าคาปาซิแตนซ์มีขนาดใกล้เคียงกับความต้องการ

โดยในทางปฏิบัติถ้าต่อวาริแคปอนุกรมกันค่าความจุจะลดลงกึ่งหนึ่ง ดังนั้นจึงต้องต่อวาริแคปขนานเข้าไปอีก 1 ชุดดังรูป 3.1.2.ข โดย $C_1 = C_2 = 22$ pF $C_3 = 4$ pF

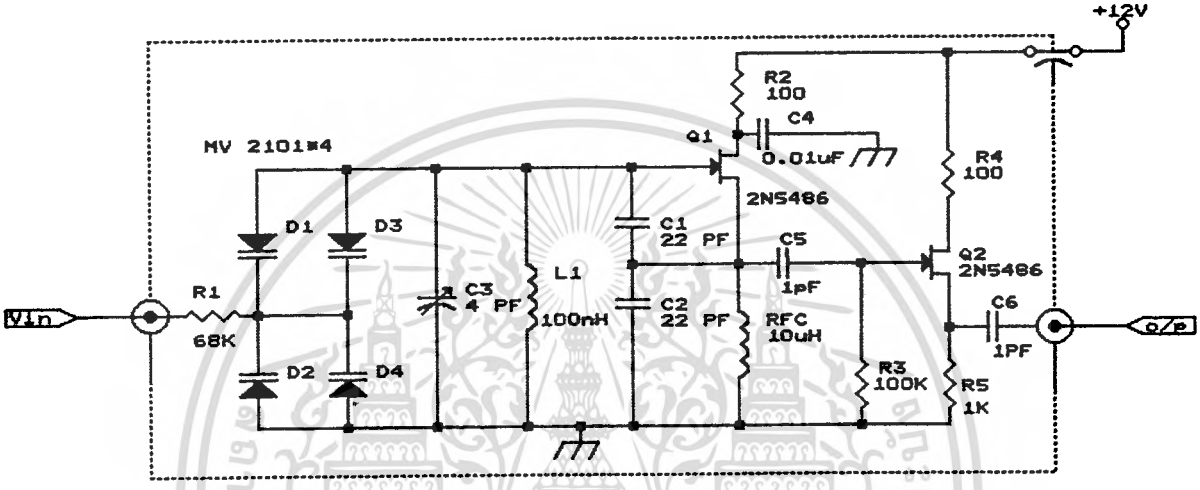
จากสมการ (16) ถ้าแรงดันควบคุม VCO ที่ความถี่ 107.5 MHz มีขนาด 10 V แล้วค่า C_s ที่ 4 V. ของ MV2101 เท่ากับ 6.8 PF ค่า C ที่ 107.5 MHz จากสมการ (17) มีค่าประมาณ 22 PF แล้ว ค่า $\Delta f/\Delta v$ หรือค่า VCO gain ได้จากสมการ (16)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left.\frac{\Delta f}{\Delta v}\right|_{107.5\ MHz} = \frac{6.8\times10^{-12}\sqrt{0.7-(-4)}}{8\pi\sqrt{0.1\times10^{-6}}\left[22\times10^{-12}(0.7-(-10))\right]^{3/2}} \qquad \text{------(18)}$$

$$= 516.4 \quad \text{KHz/V}$$

สำหรับวงจรที่สมบูรณ์แสดงได้ดังรูป



รูปที่ 3.2.1.ข แสดงวงจร VCO ที่ใช้ในทางปฏิบัติ

3.2.2 วงจรกรองในลูป

จากสมการ (12.1),(12.2) ค่าความต้านทานของวงจรกรองในลูปเท่ากับ

$$R_1 = K_o K_d / N\omega_n^2 C \qquad \text{-----(19.1)}$$

$$R_2 = 2\zeta/\omega_n \qquad \text{-----(19.2)}$$

ข้อกำหนดในการออกแบบ ถ้าแรงดันสำหรับเฟสดีเทคเตอร์ 4046 เท่ากับ 12 V แล้ว

K_d = 12 / 4π V/rad

K_o = 516.4 KHz/V

N = 43,000

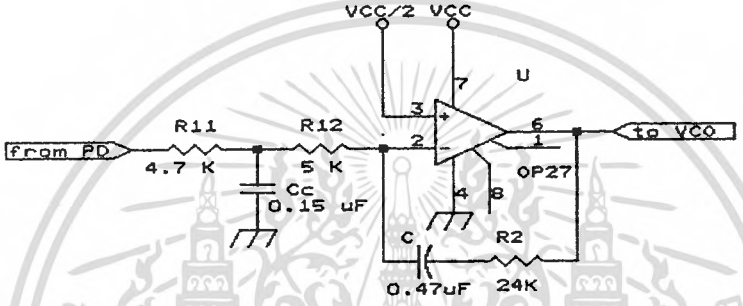
ω_n = 2π×20 rad/s

และในการออกแบบต้องเลือกให้อัตราส่วนของ R_2/R_1 ของวงจรมีอัตราส่วนน้อยกว่า 10 เท่า เพื่อป้องกันไม่ให้ ออปแอมป์เกิดการอิ่มตัวเมื่อเฟสดีเทคเตอร์ให้ค่าผิดพลาดเชิงเส้นขนาดใหญ่ในช่วงโอเวอร์ชูทรวมทั้งค่า R_1 จะต้องมีค่ามากพอที่จะไม่โหลดเอาท์พุทของเฟสดีเทคเตอร์ สำหรับการออกแบบให้เลือก C เท่ากับ 0.47 μF จากสมการ 19.1 และ 19.2 ได้ค่า R_1 - เท่ากับ 9.7 KΩ และ R_2 เท่ากับ 23.9 KΩ เราสามารถหาอัตราการลดทอนไซด์แบนด์แบบต่อแคร์-เรียร์ได้ในสมการ (90) ในบทที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{\text{sideband}}{\text{carrier}} = 20 \log \frac{(I_L + I_b) K_o}{\omega_{ref}} \qquad \text{-----(20)}$$

สำหรับกระแสรั่วไหลของเฟสดีเทคเตอร์ 4046 มีค่าน้อยมากๆ(<10 PA) และกระแสไบอัสอินพุทของออปแอมป์ ในที่นี้เลือกใช้ออปแอมป์เบอร์ OP27 ซึ่งมีขนาด I_b = 10 nA อัตราการลดทอนไซด์แบนด์ของแคเรียร์ ในสมการที่ (20) มีขนาดเท่ากับ -60.15 dB ซึ่งเป็นการลดทอนเพียงพอกับเงื่อนไขที่ต้องการ สำหรับวงจรกรองในลูปแสดงได้ดังรูป 3.2.2 ก

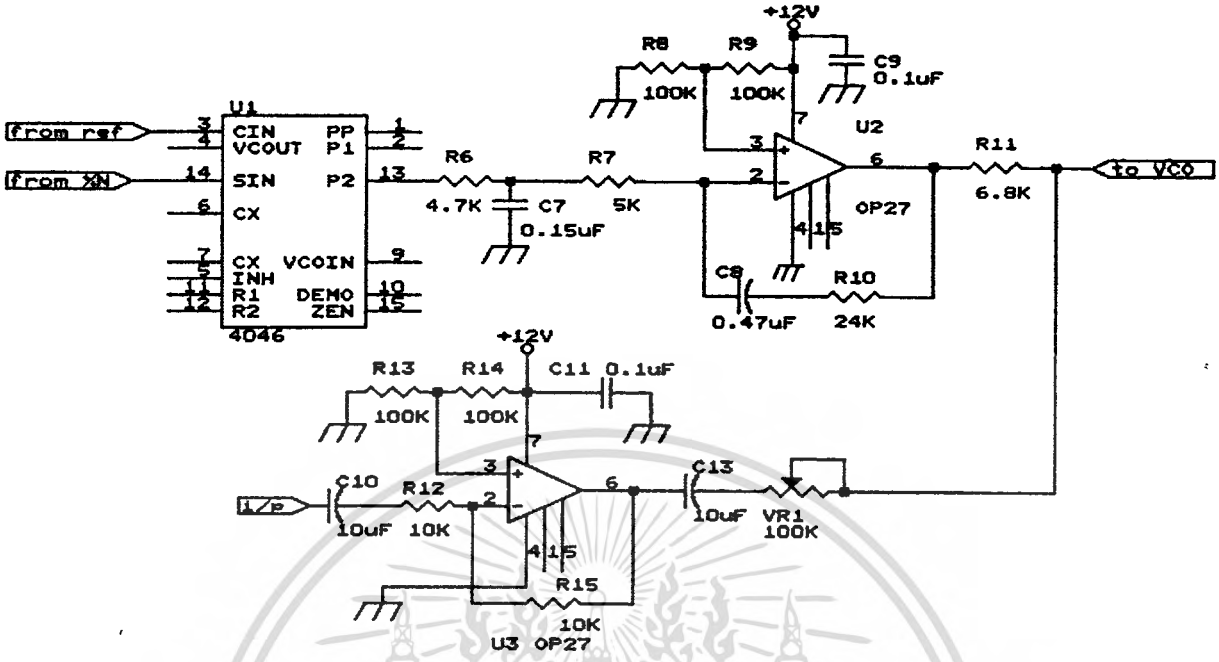


รูปที่ 3.2.2 ก แสดงวงจรกรองที่ใช้ในลูป

โดยค่า R_1 นั้นแยกออกเป็นค่า R_{11} อนุกรมกับ R_{12} โดยที่ระหว่าง R_{11} และ R_{12} มีคาปาซิเตอร์ C_c ต่อลงกราวน์อยู่ โดยการออกแบบให้ค่า R_{11},C_c เป็นวงจรกรองความถี่ต่ำผ่านโดยมีความถี่หักมุมประมาณ 10 เท่าของค่า ω_n ซึ่งเป็นการแก้ไขปัญหาเนื่องจากการอิ่มตัวของออปแอมป์ในสภาวะทรานเซียนโอเวอร์ชูท

สำหรับวงจรกรองและเฟสดีเทคเตอร์ที่ใช้ในงานแสดงดังรูป 3.2.2.ข โดยค่า R_1,R_2 สำหรับวงจรจริงเป็น R6 และ R7 ตามลำดับ โดย C_c คือ C7 โดยเฟสดีเทคเตอร์ใช้วงจรรวม 4046 (U1) ซึ่งเป็นเฟสฟรีเควนซีดีเทคเตอร์โดยอินพุทขา Sin หรือเมื่อเทียบกับ PD ในรูป 2.1.2.ค คือ fr(frequency reference) โดยส่วนนี้ต่อกับสัญญาณที่ป้อนกลับจาก VCO แล้วผ่านวงจรหาร ส่วนอินพุทขา Cin หรือขา fvco ต่อกับสัญญาณความถี่อ้างอิง สำหรับเหตุผลการต่อสลับขาจากตามปกติ เพราะแรงดันเอาท์พุทที่ไปควบคุมวงจร VCO ผ่านวงจรกรองซึ่งเป็นวงจรขยายแบบอินเวอร์ติ้ง(Inverting) สำหรับสัญญาณที่มอดูเลทเข้ามาในลูปนั้นต่อผ่านวงจรบัฟเฟอร์ซึ่งใช้ในวงจรรวม OP27 โดยที่เอาท์พุทก่อนต่อเข้าวงจร VCO มีความต้านทานปรับค่าได้ขนาด 100 KΩ สำหรับปรับอัตราการมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

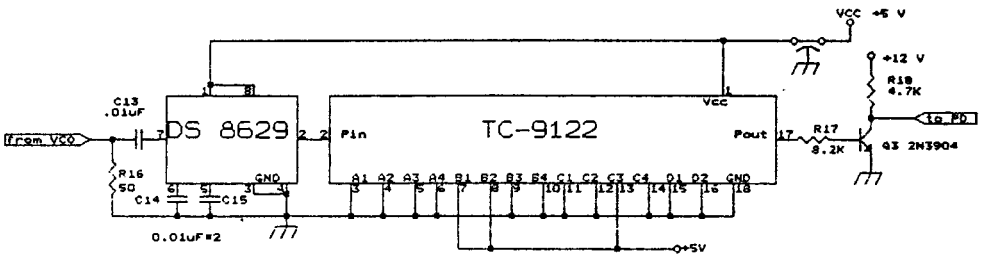


รูปที่ 3.2.2.ข แสดงวงจรกรองและเฟสดีเทคเตอร์ที่ใช้ในวงจรสร้างสัญญาณ FM

3.2.3 วงจรหาร N

วงจรหารในลูปเป็นการหารความถี่ของคลื่นพาห์ขนาด 107.5 MHz ให้เหลือ 2.5 KHz เพื่อเป็นความถี่อ้างอิงของลูป เนื่องจากวงจรหารในลูปนี้ต้องหารความถี่สูง ในการออกแบบใช้วงจรรวม DS8629 ต่อร่วมกับวงจรรวม TC-9122 โดย DS8629 เป็นวงจรหาร 100 (pre scaler) ต้องการขนาดแรงดันอินพุทขนาด 100 mV เป็นอย่างต่ำและวงจรรวม TC-9122 เป็นวงจรหารที่สามารถโปรแกรมได้ สำหรับสัญญาณคลื่นพาห์ที่ออกจากวงจรออสซิเลเตอร์ที่มีขนาดเล็กมากๆและเพื่อให้เกิดการแยกโดยไม่ให้สัญญาณดิจิตอลเข้าไปรบกวนวงจรออสซิเลเตอร์ ต้องใช้วงจรขยายความถี่ย่านกว้าง (wide band amplifier) ต่อที่อินพุทวงจรหารภาคแรก-โดยเอาท์พุทของวงจรภาคแรกจะมีความถี่เหลือขนาด 1.075 MHz เป็นระดับสัญญาณ TTL ป้อนเข้าสู่วงจรรวม TC-9122 ซึ่งเป็นวงจรรวมที่สามารถโปรแกรมการหารได้โดยโปรแกรมได้ตั้งแต่ 0- 3,999 โดยผ่านขา A_1,A_2 ถึง D_2 โดยหลัก A_1 เป็นหลักที่มีนัยสำคัญน้อยที่สุด(Least Significant Bit:LSB) และหลัก D_2เป็นหลักที่มีนัยสำคัญมากที่สุด (Most Significant Bit: MSB) โดยการหาร 1.075 MHz ให้เหลือ 2.5 KHz เป็นการหารเท่ากับ 430 ดังนั้นต้องโปรแกรมที่ขา A_1 - A_4 เป็นระดับลอจิก "0" ขา B_1 และ B_2 เป็นลอจิก "1"ขา B_3 และ B_4 เป็นลอจิก "0" ขา C_1,C_2,C_4 เป็นลอจิก "0" ขา C_3 เป็นลอจิก "1" และขา D_1 ,D_2 เป็นลอจิก "0" สำหรับวงจรภาคปฏิบัติแสดงได้ดังรูป 3.2.3

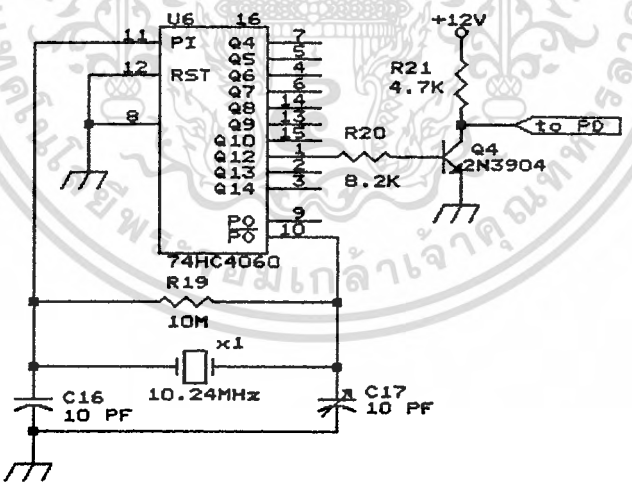
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2.3 แสดงวงจรหาร N

3.2.4 วงจรกำเนิดความถี่อ้างอิง

วงจรกำเนิดความถี่อ้างอิง 2.5 KHz สร้างจากวงจรรวม 74HC4060 ซึ่งภายในประกอบด้วยเกทอินเวอร์เตอร์ และวงจรหารแบบไบนารีจำนวน 14 สเตทโดยที่เอาท์พุท Q_4 เป็นสัญญาณหาร 16 จนถึงสัญญาณหาร 16,384 ที่ขา Q_{14} โดยวงจรเกทต่อรวมกับคริสตอลสำหรับการออสซิเลท ทำงานที่ความถี่ 10.24MHz ซึ่งความถี่ขนาด 2.5 KHz จะได้จากการหาร 10.24 MHz ด้วย 4096 ดังนั้นเอาท์พุทความถี่ 2.5 KHz จะได้ที่ขา Q_{12} โดยเป็นสัญญาณแรงดัน TTL- ขนาด 0 V สำหรับลอจิก "0" ขนาด 5V สำหรับลอจิก "1"สำหรับเฟสดีเทคเตอร์ซึ่งใช้แรงดันไฟเลี้ยงขนาด 12 V จะต้องเปลี่ยนระดับแรงดัน TTL ขนาด 0-5 V เป็น 0-12 V โดยใช้ทรานซิสเตอร์ 2N3904 เป็นวงจรเปลี่ยนระดับแรงดัน โดยแสดงวงจรทั้งหมดแสดงในรูป

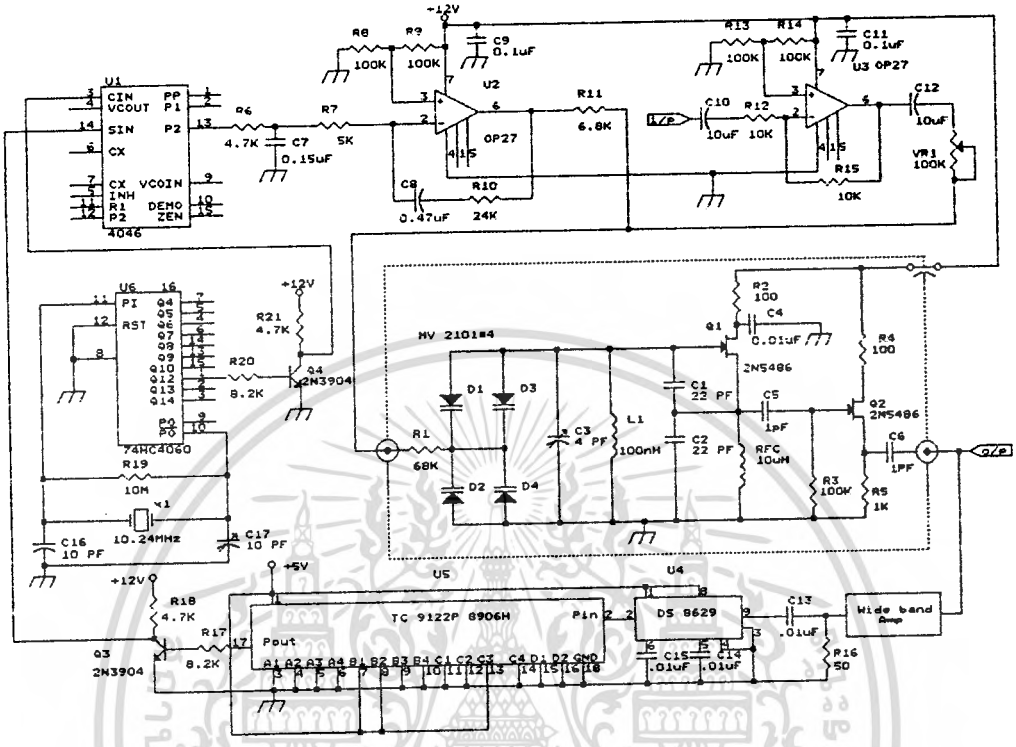


รูปที่ 3.2.4 แสดงวงจรกำเนิดความถี่อ้างอิง

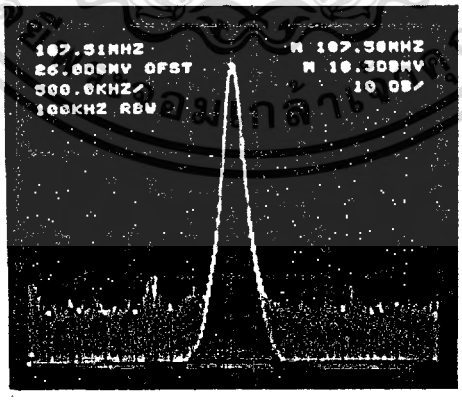
สำหรับวงจรเกทออสซิเลท ซึ่งอยู่ภายในวงจรรวม 74HC4060 เกทเปรียบเหมือนวงจรขยายกลับเฟส โดยมี R19,C16,C17 และคริสตอลเป็นส่วนของวงจรป้อนกลับสัญญาณจากเอาท์พุทของเกทให้อินพุทของเกทมีเฟสกลับไป 180 องศา R19 เป็นความต้านทานสำหรับไบอัสให้เกททำงานเลือกใช้ขนาด 10 MΩ สำหรับค่า C16 และ C17 กำหนดให้ ค่า C16 และ C17 อนุกรมกันจะมีขนาดเท่ากับค่าโหลดคาปาซิแตนซ์ของคริสตอล โดยการออกแบบเลือกค่า C16 ขนาด 10 pF และ C17 เป็นทริมเมอร์ปรับค่าได้ขนาด 10 pF

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรสร้างสัญญาณ FM และผลการทดลองวัดสัญญาณเอาท์พุทของวงจรแสดงได้ดังรูป



รูปที่ 3.2.5.ก แสดงวงจรมอดูเลทสัญญาณ FM ทั้งหมด

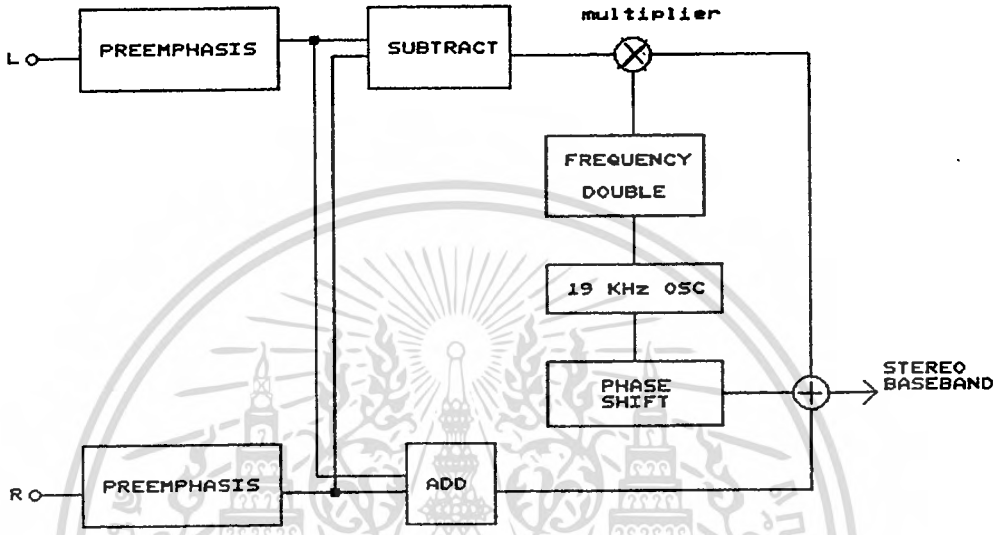


รูปที่ 3.2.5.ข แสดงสเปคตรัมที่ความถี่ 107.5 MHz ที่เอาท์พุทของวงจรมอดูเลท FM โดยจากรูปแสดงสเปคตรัมของสัญญาณความถี่ที่กำหนดขึ้นโดยมีขนาดเอาท์พุทเท่ากับ 18 dBmv

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การออกแบบวงจรเข้าสัญญาณสเตริโอ

จากการส่งกระจายเสียงแบบ FM สเตอริโอที่ใช้เทคนิคผลบวกและผลต่างที่กล่าวมาแสดงโครงสร้างเฉพาะวงจรเข้าสัญญาณสเตอริโอ ได้คือ

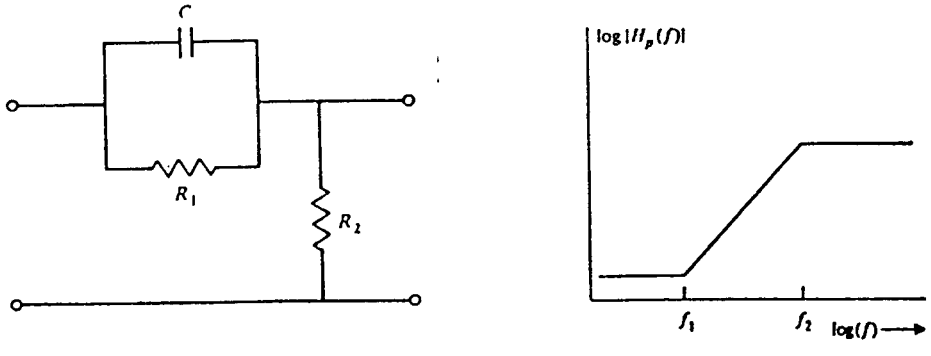


รูปที่ 3.3 แสดงโครงสร้างของวงจรเข้าสัญญาณสเตอริโอ

จากรูปวงจรเข้าสัญญาณสเตอริโอจะประกอบด้วยวงจรต่างๆ คือวงจรพรีเอ็มพาซีส, วงจรบวกสัญญาณ(L+R), วงจรลบสัญญาณ(L-R))หรือเรียกว่าวงจรแมทริก, วงจรคูณสัญญาณ(L-R) กับความถี่ 38 KHz, วงจรสร้างสัญญาณ 38 KHz, วงจรรวมสัญญาณ, วงจรสร้างสัญญาณ 19 KHz และวงจรเลื่อนเฟสของสัญญาณ 19 KHz โดยอธิบายรายละเอียดของวงจรต่างๆ ดังนี้

3.3.1 วงจรพรีเอ็มพาซีส

วงจรพรีเอ็มพาซีสเป็นวงจรยกระดับสัญญาณความถี่สูงเพื่อที่จะชดเชยอัตราของสัญญาณต่อสัญญาณรบกวนที่ภาครับสำหรับวงจรพรีเอ็มพาซีสแสดงวงจรและผลตอบสนองความถี่ได้ดังรูป



รูปแสดงที่ 3.3.1 วงจรพรีเอ็มพาซีสและผลตอบสนองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทรานเฟอร์ฟังก์ชันของวงจรพรีเอ็มพาซีสแสดงได้ดังนี้คือ

$$H_p(f) = \frac{K[1 + j(f/f1)]}{[1 + j(f/f2)]} \qquad \text{-----(21)}$$

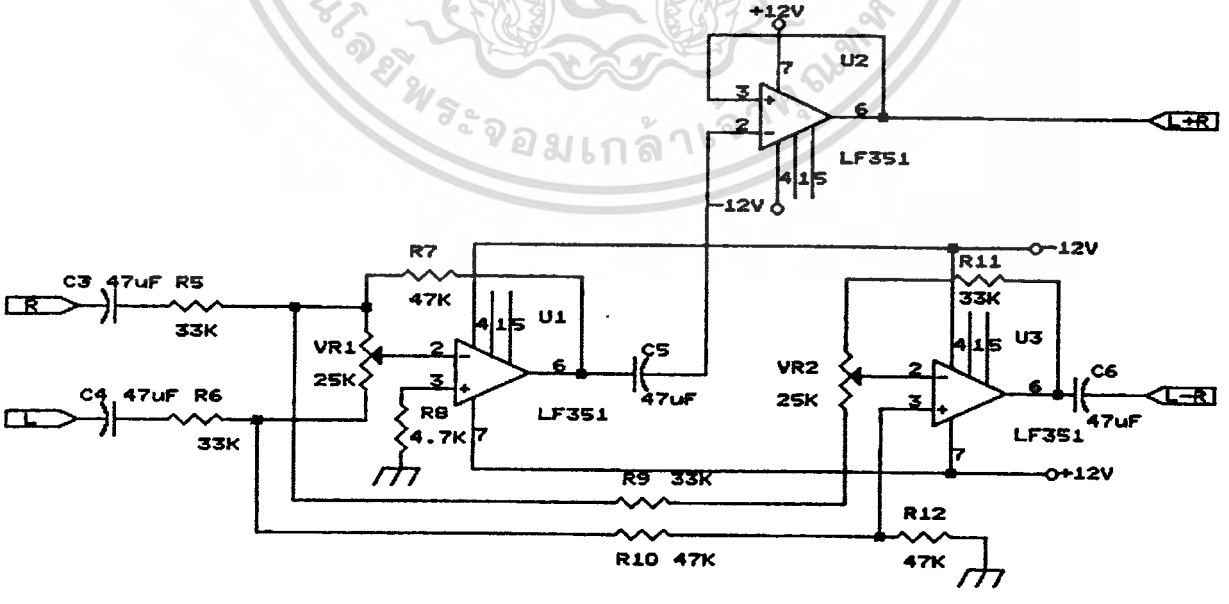
$f1 = 1/2\pi R1C$

$f2 = (R1+R2)/(2\pi R1R2C)$

โดยค่า R1C ของวงจรจะมีค่าคงที่ของเวลาเท่ากับ 75 µS ความถี่ f1 จะมีความถี่หักมุมที่ 2.1 KHz โดยอัตราความลาดชันต่อผลตอบสนองความถี่ระหว่าง f1 และ f2 มีขนาด 20 dB/decade หรือ ความถี่ตั้งแต่ 2.1 KHz ถูกเอ็มพาซีส โดยค่า f2 มีค่าประมาณ 15 KHz ดังนั้นในการออกแบบเลือก C เท่ากับ 0.0033 µF ค่า R1 ใช้ค่า 22 KΩ และ R2 ใช้ค่า 3.9 KΩ

3.3.2 วงจรแมทริก

วงจรแมทริกเป็นวงจรสร้างสัญญาณ (L+R) และ (L-R) ซึ่งสามารถสร้างจากวงจรบวก (Adder)และวงจรลบสัญญาณ(Subtract) โดยใช้ออปแอมป์ดังรูป โดยวงจรรวม U1(LF351) และ วงจรรวม U2(LF351) สำหรับบวกสัญญาณ และวงจรรวม U3(LF351)สำหรับลบสัญญาณ โดยเอาท์พุทของวงจรรวม (L+R) จะไปรวมกับสัญญาณไพล็อททโทนและสัญญาณ 38KHz×(L-R) สำหรับเอาท์พุทของวงจร(L-R) ป้อนเข้าสู่อินพุทของวงจรคูณ(L-R) กับซับแคเรีย 38 KHz

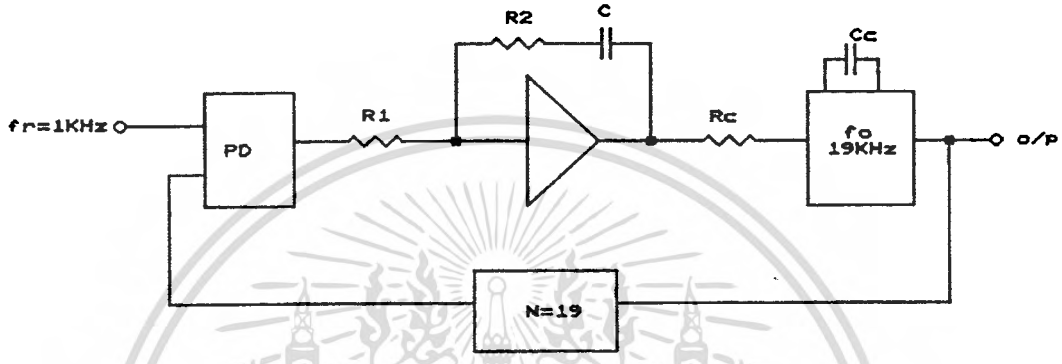


รูปที่ 3.3.2 แสดงวงจรแมทริก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 วงจรกำเนิดสัญญาณไพล็อทโทน (19 KHz)

สัญญาณไพล็อทโทน เป็นสัญญาณที่มีความถี่ขนาด 19 KHz โดย FCC กำหนดให้มีค่าผิดพลาดได้ $\pm$ 2 Hz ในการกำเนิดสัญญาณออกแบบสร้างสัญญาณขนาด 19 KHz โดยใช้วิธีสังเคราะห์ความถี่โดยวิธีเฟสล็อกลูป โดยโครงสร้างของวงจรแสดงได้ดังรูป 3.3.3.ก



รูปที่ 3.3.3.ก แสดงโครงสร้างของวงจร PLL สำหรับสังเคราะห์ความถี่ 19 KHz

การสังเคราะห์ความถี่สร้างจากความถี่อ้างอิงขนาด 1 KHz กำเนิดโดยใช้คริสตอลออสซิเลเตอร์เป็นตัวควบคุมความถี่ ในการออกแบบเนื่องจากเราให้ลูปกำเนิดความถี่ 19 KHzเพียงความถี่เดียว การเลือกค่า VCO เกน ต้องเลือกให้มีขนาดต่ำ เพื่อป้องกันมิให้เกิดการแกว่งของความถี่ เนื่องจากการมอดูเลทสัญญาณรบกวนเข้าที่ VCO หรือที่เรียกว่า จิทเตอร์ (jitter) โดยออกแบบให้ VCO เกนเท่ากับ 500 Hz/V ความถี่ศูนย์กลางของ VCO จะมีขนาดประมาณ 19 KHz สำหรับวงจรกรองในลูปเลือกใช้วงจรกรองชนิดแอคทีฟ ซึ่งสมการความถี่ธรรมชาติของลูปซึ่งเป็นลูปอันดับ 2 ซึ่งทฤษฎีได้กล่าวในบทที่ 2 แสดงได้ดังนี้คือ

$$\omega_n = (K_o K_d)/NT_1 \qquad \text{-----(22)}$$

และค่าแดมปิ้งแฟคเตอร์ของลูป คือ

$$\zeta = (\omega_n T_2)/2 \qquad \text{-----(22)}$$

โดย $T_1 = R_1 C$

$T_2 = R_2 C$

สำหรับการกำหนดค่าความถี่ธรรมชาติของลูปกำหนดให้มีค่าเท่ากับ 10 Hz ซึ่งค่าเวลาเซทติ้ง (Setting-time :ts)จะประมาณได้ ts = 71 mS ซึ่งเป็นค่าที่ยอมรับได้ สำหรับการออกแบบลูปที่ไม่ได้เปลี่ยนแปลงความถี่ของลูปตลอดการใช้งาน สำหรับเฟสดีเทคเตอร์เกน K_d มีค่าเท่ากับ

$$K_d = (VCC)/4\pi \qquad \text{-----(25)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

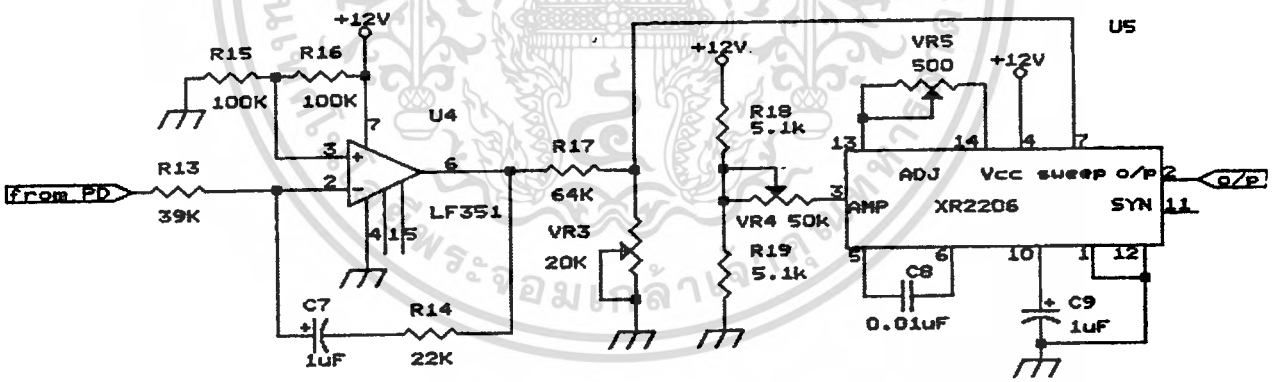
โดยการออกแบบเลือกใช้ VCC ขนาด 12 V ดังนั้น K_d มีค่าเท่ากับ 0.95 V/rad สำหรับการกำหนดค่าเกนของ VCO ซึ่งใช้ วงจรรวม XR 2206 โดยค่า VCO เกนได้จากดาต้าชีทคือ $K_o = -0.32/R_cC_c$

โดย R_c เป็นค่าความต้านทานที่อนุกรมระหว่างเอาท์พุทของวงจรในลูป และขาอินพุทแรงดันสำหรับควบคุมความถี่ของ XR 2206 C_c เป็นค่าคาปาซิแตนซ์ ที่ใช้ควบคุมขนาดของความถี่ VCO สำหรับการออกแบบให้ K_o = 500 Hz/V ถ้าให้ C_c มีขนาด 0.01μF แล้วค่า R_c จะมีขนาดเท่ากับ 64 KΩ ดังนั้นสมการ(23) ,และสมการที่(24) ถ้าให้ค่าความถี่ธรรมชาติของลูปเท่ากับ 10 Hz และค่าแดมปิ้งแฟคเตอร์ของลูปเท่ากับ 0.707 ถ้ากำหนดค่า C ของวงจรกรองในลูปเท่ากับ 1 μF หา R_1, R_2 ในวงจรกรองของลูปได้ คือ

$$R_1 = (K_oK_d)/N(\omega_n^2)C \qquad \text{-----(26.1)}$$

$$R_2 = (2\zeta)/\omega_nC \qquad \text{-----(26.2)}$$

โดย R_1 มีค่าเท่ากับ 39.948 KΩ และ R_2 มีค่าเท่ากับ 22.5 KΩ โดยแสดงส่วนของวงจรกรอง และวงจรรวม XR 2206 ที่ใช้สำหรับเป็นวงจร VCO ดังรูป



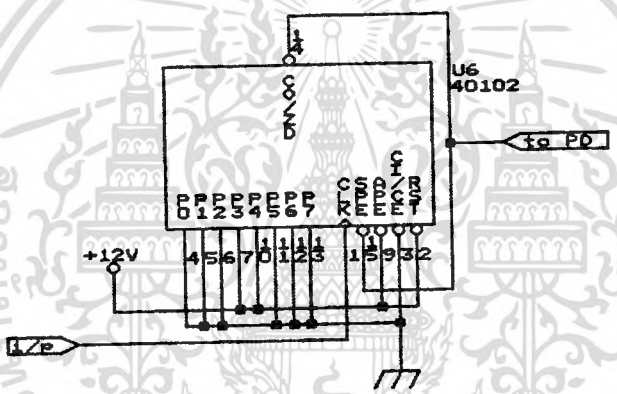
รูปที่ 3.3.3.ข แสดงวงจร VCO และวงจรกรองของลูป

โดยวงจรกรองใช้วงจรรวม LF 351 ค่า R_1 คือ R13 ในทางปฏิบัติใช้ขนาด 39 KΩ ค่า R_2 คือ R14 ใช้ขนาด 22 KΩ โดยค่า C สำหรับวงจรกรองของลูปคือ C7 เท่ากับ 1 μF ค่า R_c,C_c สำหรับตั้งค่าเกนของ VCO ในวงจรคือ R17 และ C8 สำหรับเอาท์พุทของ VCO ที่ขา 2 จะเป็นสัญญาณสำหรับการใช้งานและที่เอาท์พุทขา 11 เป็นสัญญาณสี่เหลี่ยมมีระดับแรงดันขนาด 12 V สำหรับลอจิก 1 และ 0 V สำหรับลอจิก 0 โดยความต้านทานที่ต่อที่ขา 3 ของ VCO สำหรับปรับกระแสเพื่อที่จะปรับขนาดสัญญาณไซน์เอาท์พุทที่ขา 2 และค่าความต้านทาน VR5 ที่ต่อระหว่างขา 13 และขา 14 เป็นการปรับให้เอาท์พุทไซน์มีค่าดิสทอร์ชั่นให้น้อยที่สุด โดยค่า VR3 เป็นความต้านทานสำหรับปรับความถี่ศูนย์กลางของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น โดยไม่ได้รับอนุญาตจากผู้เขียนก่อน ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรหารในลูป

สำหรับวงจรหารในลูปใช้วงจรรวม 40102 เป็นวงจรนับถอยหลัง(Binary Code Digit :BCD) สองหลัก การต่อเป็นวงจรหารแบบโปรแกรมค่าได้ โดยการป้อนสัญญาณอินพุทที่ต้องการจะหารเข้าที่ขา 1 (clock) โดยสัญญาณที่ถูกหารจะให้เอาท์พุทที่ขา 14 (Co/2D) ค่าที่จะต้องการหารสามารถตั้งได้ที่ขา P_0 - P_7 โดยค่า P_7 เป็นบิทที่มีนัยสำคัญสูงสุด และค่า P_0 เป็นบิทที่มีนัยสำคัญต่ำสุด สำหรับการโปรแกรมค่า P_7 - P_0 จะให้มีค่าเท่ากับจำนวนที่ต้องการหารลบหนึ่ง โดยถ้าต้องการหาร 19 ต้องโปรแกรมค่า P_0 - P_7 ให้มีค่า 18 หรือให้ P_1,P_3 และ P_4 เป็นลอจิก 1 หรือต่อกับแรงดัน VCC และค่า P_0,P_2,P_5,P_6,P_7 เป็นลอจิก 0 หรือต่อลงกราวน์

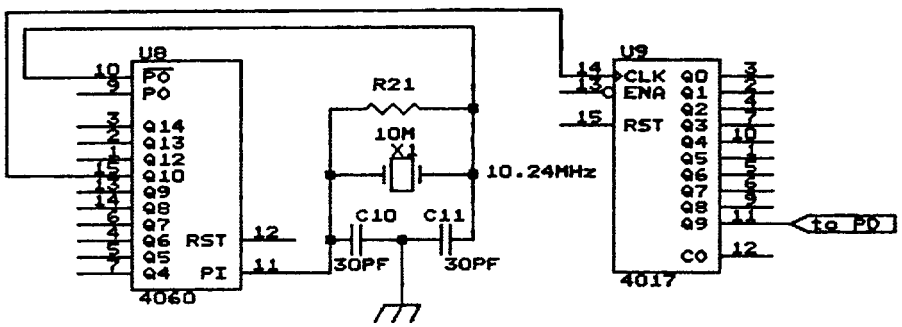


รูปที่ 3.3.3.ค แสดงวงจรหาร 19

วงจรสร้างความถี่อ้างอิง

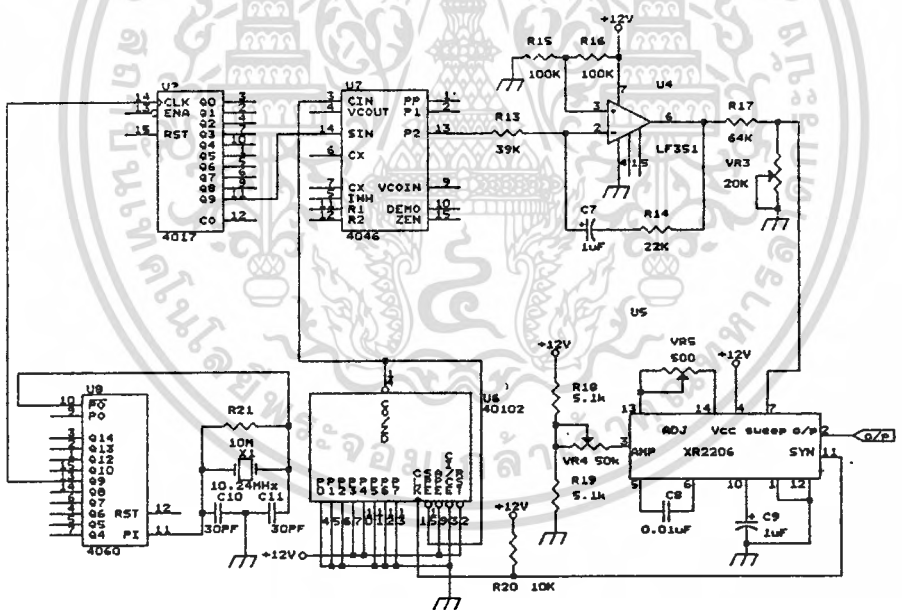
สำหรับวงจรสร้างความถี่อ้างอิงของลูปใช้วงจรรวม 4060 ซึ่งเป็นวงจรรวมนับไบนารี่ 14 หลักพร้อมด้วยวงจรเกทออสซิเลเตอร์ในตัว เช่นเดียวกับ 74HC4060 ที่ใช้ในวงจร Exciter แต่ 4060 เป็นตระกูลซีมอส (CMOS) ที่ใช้กับไฟ 12 V สำหรับเกทออสซิเลเตอร์ใช้คริสตอลขนาด 10.24 MHz สำหรับควบคุมความถี่โดยที่เอาท์พุทที่ขา Q_{10} ของ 4060 จะได้ความถี่ขนาด 10 KHz ซึ่งจะเป็นอินพุทของ 4017 ซึ่งเป็นวงจรรวมหาร 10 โดยเอาท์พุทที่ขา Q_9 - Q_0 จะมีค่าเท่ากับความถี่ อินพุทที่ขา CLK หารด้วย 10 ซึ่งสามารถนำเอาเอาท์พุทขา Q_9 - Q_0 ซึ่งจะมีความถี่ 1 KHz เป็นความถี่อ้างอิงของลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3.3.ง แสดงวงจรสร้างความถี่อ้างอิงของ

สำหรับวงจรเฟสดีเทคเตอร์ใช้วงจรรวม 4046 เช่นเดียวกับวงจรสร้างความถี่ 107.5 MHz ถึงแม้ว่าวงจรกรองในลูปจะเป็นวงจรขยายแบบอินเวอร์ติ้ง แต่เนื่องจากค่าเกนของ VCO มีค่าเป็นลบ ดังนั้นจึงไม่จำเป็นต้องสลับขาอินพุทอ้างอิง (Sin) กับอินพุทที่ป้อนกลับจาก VCO (Cin) เช่นเดียวกับวงจรมอดูเลทสัญญาณ FM สำหรับวงจรสร้างความถี่ 19 KHz ทั้งหมดแสดงได้ในรูป



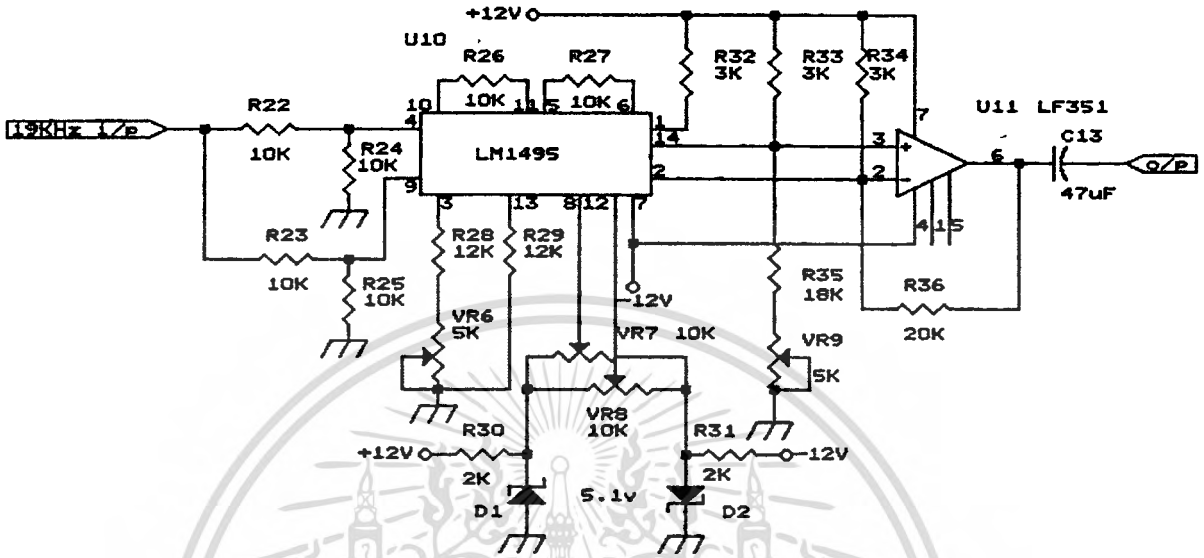
รูปที่ 3.3.3.จ แสดงวงจรสร้างความถี่ 19 KHz ทั้งหมด

3.3.4 วงจรสร้างสัญญาณ 38 KHz

วงจรสร้างสัญญาณ 38 KHz ได้จากการนำเอาสัญญาณ 19 KHz เข้าสู่วงจรสร้างความถี่สองเท่า โดยใช้วงจรคูณโดยให้อินพุทของวงจรคูณทั้งคู่เป็นสัญญาณ 19 KHz ซึ่งในทางปฏิบัติใช้วงจรรวม MC 1495 ซึ่งเป็นวงจรรวมสำหรับคูณ 4 ควอแดนท์ สัญญาณอินพุทป้อนเข้าที่ขา 4 และขา 9 โดยค่าความต้านทานที่ขา 5,6,3,10,11 กับกราวน์ และขา 13 กับกราวน์ใช้ปรับกระแสสำหรับสเกลค่าการคูณโดยเอาท์พุทของวงจรรวมให้กระแสเอาท์พุทที่ขา 14 ซึ่งเป็น นอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

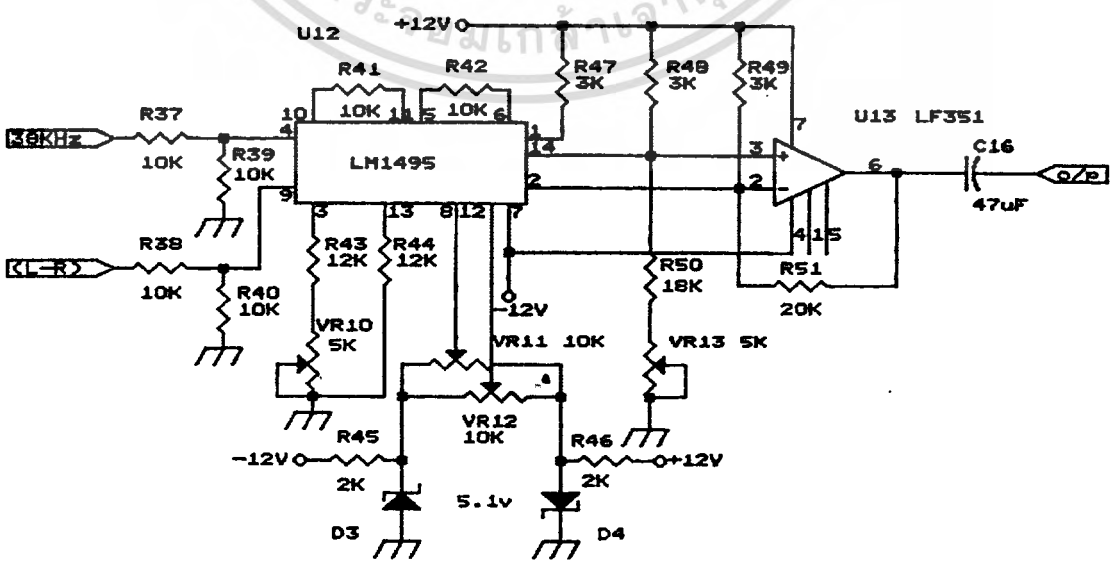
อินเวอร์ติ้งเอาท์พุทและขา 2 เป็น อินเวอร์ติ้งเอาท์พุท โดยที่เอาท์พุทต่อร่วมกับวงจรรวม LF 351 สำหรับเปลี่ยนกระแสเป็นแรงดัน



รูปที่ 3.3.4 แสดงวงจรสร้างสัญญาณ 38 KHz

3.3.5 วงจรมอดูเลทสัญญาณ 38 KHz กับ สัญญาณ (L-R)

สำหรับวงจรคูณสัญญาณ 38 KHz กับ สัญญาณ (L-R) หรือมอดูเลทสัญญาณ 38 KHz แบบดับเบิ้ลไซด์แบนด์ซัพเพสแคเรีย กับสัญญาณ (L-R) ในทางปฏิบัติใช้วงจรรวม 1495 เช่นเดียวกับวงจรสร้างความถี่ 2 เท่าโดยอินพุทที่ ขา 4 เป็นอินพุทจากสัญญาณความถี่ 38 KHz และที่อินพุท ขา 9 เป็นอินพุทจากสัญญาณ (L-R)



รูปที่ 3.3.5 แสดงวงจรมอดูเลทสัญญาณ 38 KHz กับ สัญญาณ (L-R)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.6 วงจรเลื่อนเฟสสัญญาณไพล็อทโทน[12]

สำหรับเลื่อนหรือหน่วงเวลาของสัญญาณไพล็อทโทน โดยแสดงทรานเฟอร์ฟังก์ชันของแรงดันเอาท์พุทและอินพุท คือ

$$H(f) = \frac{1 - j(f/f_o)}{1 + j(f/f_o)} \qquad \text{-----(27)}$$

โดย

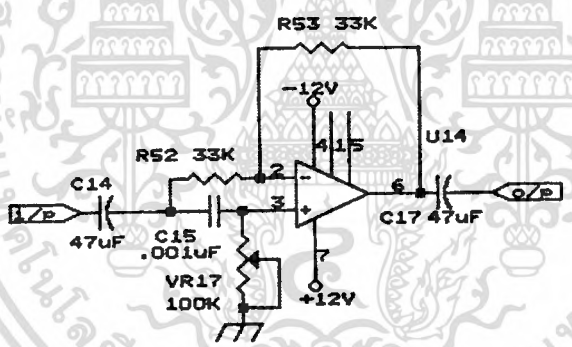
$$f_o = \frac{1}{2\pi RC}$$

และเฟสทรานเฟอร์ฟังก์ชันแสดงได้ คือ

$$\theta(f) = -2\tan^{-1}(f/f_o) \qquad \text{-----(28)}$$

(โดยที่ความถี่ fo เฟสเอาท์พุทจะเลื่อนล้าหลังไป -90 องศา)

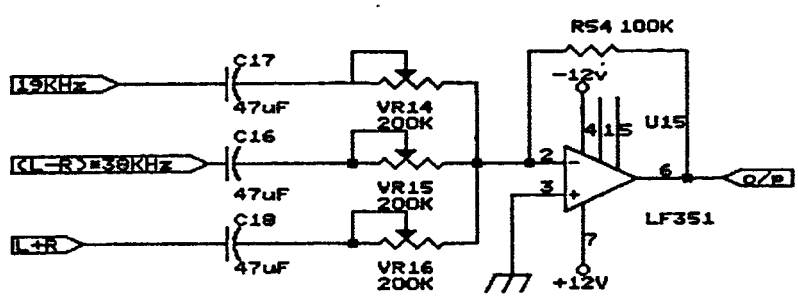
ในการออกแบบให้เอาท์พุทเลื่อนเฟสได้ 10 - 180 องศา ถ้ากำหนดค่า C เท่ากับ 0.001 μF และใช้ค่า R ปรับค่าได้ขนาด 100 KΩ



รูปที่ 3.3.6 แสดงวงจรเลื่อนเฟส

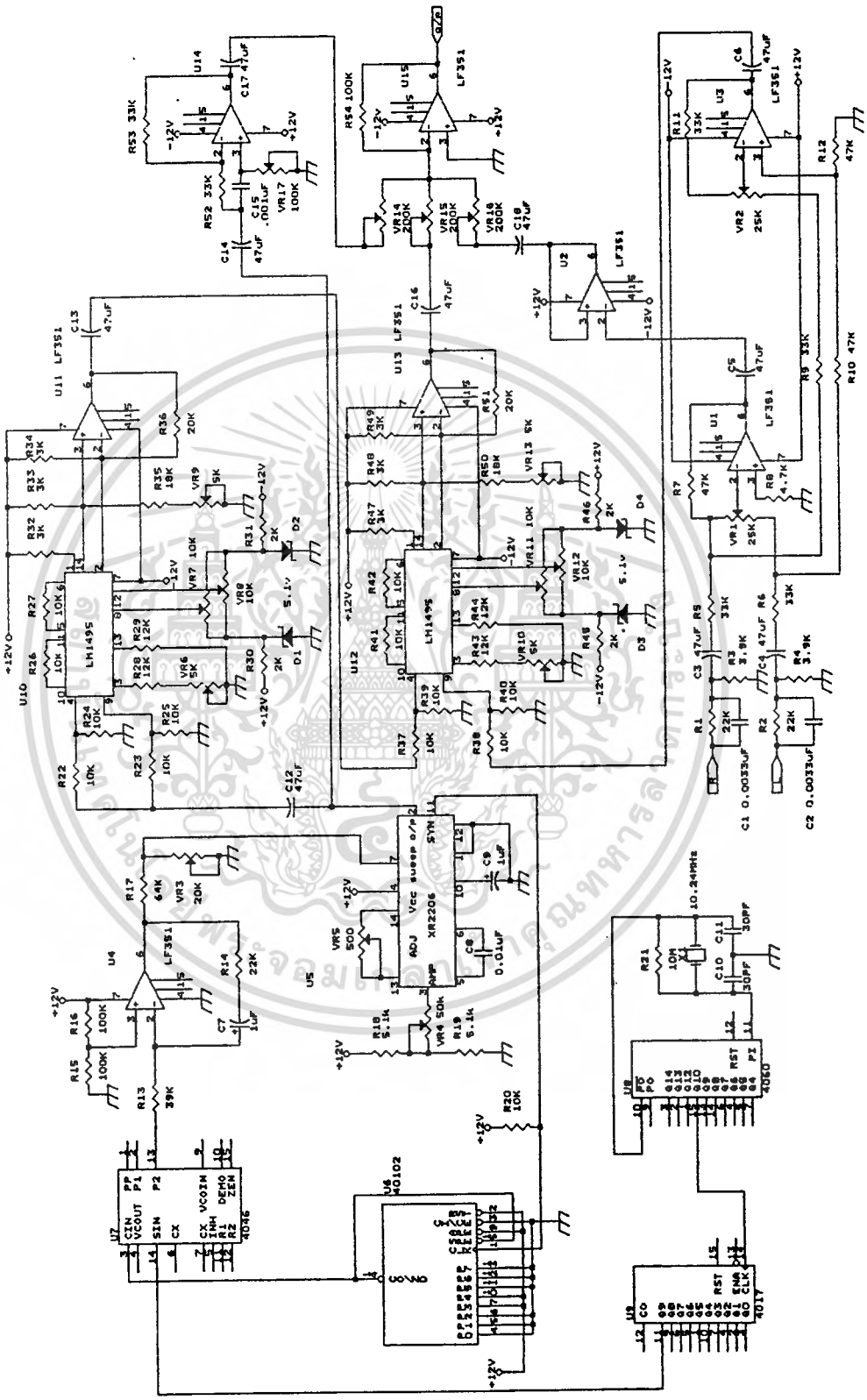
3.3.7 วงจรรวมสัญญาณ

สำหรับรวมสัญญาณไพล็อทโทน, สัญญาณ(L-R)คูณกับคลื่นพาห์ 38 KHz, กับสัญญาณ L+R ใช้วงจรรวมอินเวอร์ติ้ง แสดงได้ดังรูป การปรับอัตราการผสมสัญญาณโดยใช้ VR ขนาด 200 KΩ เป็นตัวปรับเกน



รูปที่ 3.3.7 แสดงวงจรรวมสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



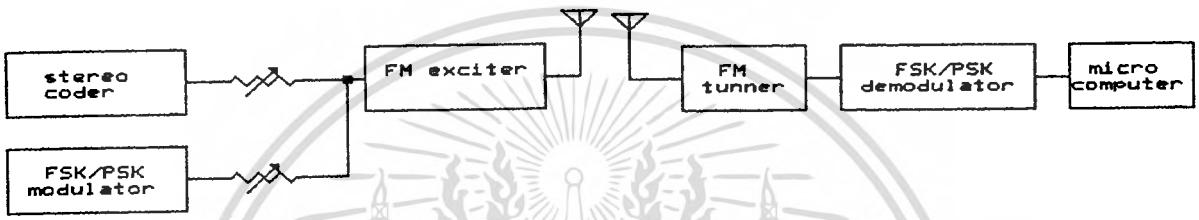
รูปที่ 3.3.7.ข แสดงวงจรเข้าสัญญาณสเตอริโอทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบวงจรโมเดมในช่องสัญญาณ FM-SCA

ในบทนี้กล่าวถึงการออกแบบวงจรมอดูเลทและดีมอดูเลท สัญญาณดิจิตอลเพื่อส่งในช่องสัญญาณ FM-SCA โดยในบทนี้จะกล่าวถึงการเข้ารหัสสัญญาณเบสแบนด์ วงจรโมเดมแบบ FSK และวงจรโมเดมแบบ PSK ที่ออกแบบใช้ในช่องสัญญาณ FM-SCA โดยส่วนของระบบการรับส่งข้อมูลของวิทยานิพนธ์นี้แสดงได้ดังรูป



รูปที่ 4 แสดงระบบการส่งข้อมูลในช่องสัญญาณ FM-SCA

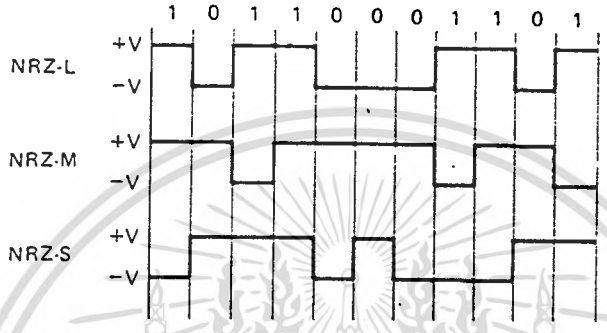
โดยสัญญาณ FSK หรือ PSK ที่ใช้ส่งเป็นสัญญาณเบสแบนด์อยู่ในช่องสัญญาณ FM-SCA โดยจากข้อกำหนดความถี่ศูนย์กลางขนาด 67 KHz $\pm$ 500 Hz นั่น สำหรับระบบที่ได้ออกแบบเพื่อให้ง่ายต่อการมอดูเลทกับสัญญาณดิจิตอล จึงเลือกใช้ความถี่ศูนย์กลางหรือความถี่คลื่นพาห์ สำหรับสัญญาณ FSK และ PSK ขนาด 67.2 KHz ซึ่งเป็นขนาด 14 เท่าของ สัญญาณบิทเรท ขนาด 4800 bps ซึ่งเป็นจำนวนขนาดของบิทเรทที่มีขนาดสูงสุดสำหรับ FSK และ PSK ที่ไม่ทำให้เกิดไซด์แบนด์ไปรบกวนช่องสัญญาณเมนโปรแกรมของระบบ FM สำหรับการมอดูเลทกับวงจร exciter การออกแบบปรับให้สัญญาณ SCA มีขนาด 10 % ของสัญญาณเบสแบนด์ FM ทั้งหมดดังที่กล่าวมาแล้วในส่วนที่ 3.1

4.1 สัญญาณดิจิตอลเบสแบนด์

สำหรับสัญญาณเบสแบนด์สำหรับการใช้ส่งข้อมูลดิจิตอล สามารถจะเลือกการทำเข้ารหัส (encode) ได้เป็นหลายประเภทขึ้นอยู่กับความเหมาะสมของช่องสัญญาณ ความต้องการของภาครับที่สามารถจะกู้สัญญาณนาฬิกา (clock)จากสัญญาณเบสแบนด์ที่รับได้หรือไม่,หรืออาจจะทำการเข้ารหัสเพื่อแก้ไขการกลับ (invert)ของสัญญาณที่ภาครับเนื่องจากการส่งสัญญาณผ่านวงจรที่ทำให้เกิดการกลับเฟส ในที่นี้จะกล่าวถึงเฉพาะสัญญาณไม่กลับศูนย์แบบระดับ (Non Return to-zero-level) หรือเรียกย่อว่าสัญญาณ NRZ-L และการเข้าระหัสสัญญาณ NRZ-L ให้เป็นสัญญาณไม่กลับศูนย์แบบอินเวอร์ส (Non Return to Zero Invert) หรือสัญญาณ NRZ-I สัญญาณ NRZ-I นั้นเป็นการใช้การเปลี่ยนระดับ (transition) ของสัญญาณเป็นข้อมูลแทนการใช้ระดับแรงดันแทนข้อมูลซึ่งในสัญญาณ NRZ-L โดยอาจจะให้สัญญาณเอาท์พุทเปลี่ยนแปลงระดับทุก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ครั้งที่สัญญาณข้อมูลอินพุทมีค่าระดับลอจิกเป็น "1" หรือให้เอาท์พุทเปลี่ยนแปลงระดับทุกครั้งที่สัญญาณอินพุทมีค่าเป็นศูนย์หรือเรียกสัญญาณ NRZ-I สองประเภทนี้คือสัญญาณไม่กลับศูนย์แบบมาร์ค (Non Return to Zero-Mark :NRZ-M) และสัญญาณไม่กลับศูนย์แบบสเปซ(Non Return to Zero : NRZ-S) ตามลำดับ



รูป 4.1 แสดงสัญญาณ NRZ-L, NRZ-M, NRZ-S

4.1.1 หลักการเข้ารหัสสัญญาณดิฟเฟอเรนเชียล

กระทำได้โดยหาความแตกต่างระหว่าง สัญญาณที่เอาท์พุทล่วงหน้ากับสัญญาณอินพุทปัจจุบันถ้าเกิดความแตกต่างกันก็จะได้เอาท์พุทที่เป็น "1" (ในกรณี NRZ-M) แต่ถ้าไม่แตกต่างกันเอาท์พุทจะเป็น "0" โดยการเข้ารหัสแสดงในรูป 4.1.1 การหาความแตกต่างของสัญญาณนั้นกระทำได้โดยการมอดูโลสัญญาณ a_k, a_{k-1} สมการสถานะซีเควนเอาท์พุทแสดงได้ดังนี้

$$a_k = b_k + a_{k-1} \qquad \text{-----(1)}$$

a_k = เอาท์พุทซีเควนเวลาปัจจุบันของ NRZ-M

a_{k-1} = เอาท์พุทซีเควนถูกหน่วงไป 1 บิท NRZ-M

b_k = อินพุทซีเควนเวลาปัจจุบัน NRZ-L

สำหรับการถอดรหัสสัญญาณ NRZ-M ให้กลับเป็นสัญญาณ NRZ-L ดังเดิม ทำได้โดยนำเอาสัญญาณ NRZ-M ที่ส่งมาหน่วงเวลาไป 1 บิท แล้วทำการมอดูโลเข้ากับสัญญาณปัจจุบัน

ดังนั้นสมการแสดงซีเควนคือ

$$b_k = a_k + a_{k-1} \qquad \text{-----(2)}$$

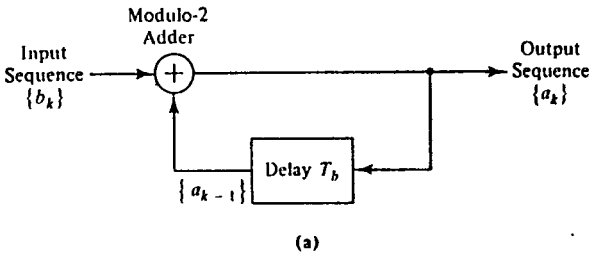
a_k = อินพุทซีเควนปัจจุบันของสมการ NRZ-M

a_{k-1} = อินพุทซีเควนถูกหน่วงเวลาไป 1 บิท ของ NRZ-M

b_k = เอาท์พุทซีเควนของสัญญาณ NRZ-L

สำหรับการพิสูจน์เพื่อแสดงว่า สมการ (2) สามารถทำการถอดรหัสได้ แสดงได้โดยใช้ซีเควนของค่าไบนารี่ในรูป 4.1.1 โดยให้สถานะเริ่มต้นของเอาท์พุทก่อนหน้าเวลา t_0 เป็นลอจิก "1" (a_{k-1} ที่เวลา $t_0 = 0$) แล้วแสดงจำนวน 14 บิท

เอกสารนี้เป็นของที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

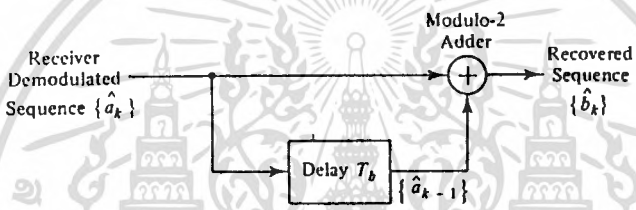


(a)

Input Sequence $\{b_k\}$		1	1	0	0	0	1	0	1	1	1	0	0	1	0
Output Sequence $\{a_k\}$	1	0	1	1	1	1	0	0	1	0	1	1	1	0	0
Sequence $\{a_{k-1}\}$		1	0	1	1	1	1	0	0	1	0	1	1	1	0

Initial Value

(b)



รูปที่ 4.1.1 แสดงการเข้าและถอดรหัสสัญญาณดิฟเฟอเรนเชียล

4.1.2 <u>ความเข้มข้นของสเปคตรัมกำลังของสัญญาณเบสแบนด์</u>

การหาความเข้มข้นของสเปคตรัมกำลังสัญญาณแรนดัมสามารถเขียนได้เป็น

$$S(f) = \frac{1}{T_s} |V(f)|^2 \qquad \text{-----(3)}$$

โดย $|V(f)|^2$ เป็นค่าเฉลี่ยของฟูเรียทรานฟอร์มของสัญญาณ T_s เป็นช่วงเวลาที่วัดสัญญาณแรนดัม จากสัญญาณ NRZ ช่วงเวลา T_s เท่ากับช่วงเวลาของแต่ละบิทและถ้าที่ t ที่ o เท่ากับกึ่งกลางบิทของสัญญาณ NRZ สามารถเขียนสัญญาณในโดเมนของเวลาได้ว่า

$$v(t) = \begin{cases} V_b & |t| < T_b/2 \\ 0 & \text{ช่วงเวลาใดๆ} \end{cases} \qquad \text{-----(4)}$$

ฟูเรียทรานฟอร์มของสัญญาณ v(t) คือ

$$V(f) = \int_{-T_b/2}^{T_b/2} V_b \exp(-j2\pi ft)\, dt \qquad \text{-----(5)}$$

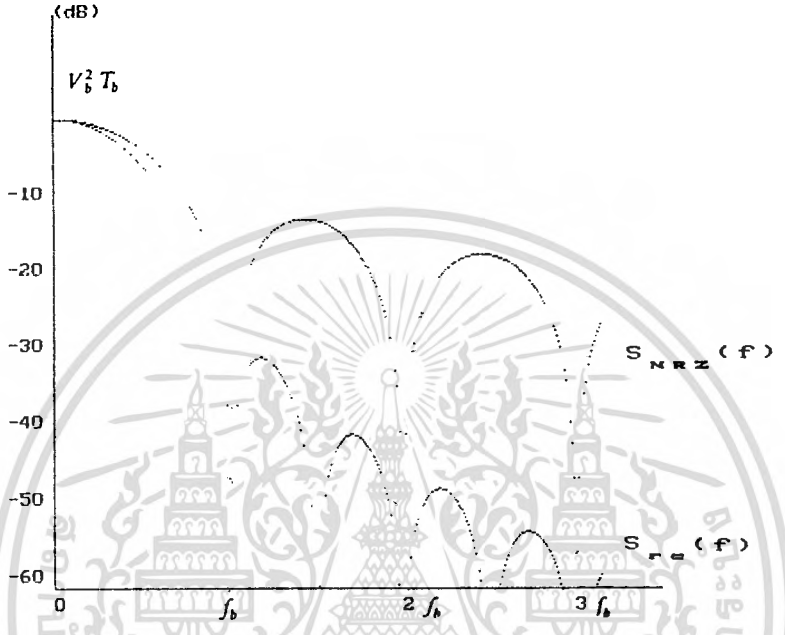
ดังนั้น

$$V(f) = V_b T_b (\sin \pi f T_b / \pi f T_b) \qquad \text{-----(6)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (3) หาความเข้มข้นของสเปคตรัมที่เป็นแรนดัมค่าเฉลี่ยเท่ากับค่าฟูเรียทรานฟอร์มของสัญญาณโดย T_a เท่ากับ T_b ดังนั้น

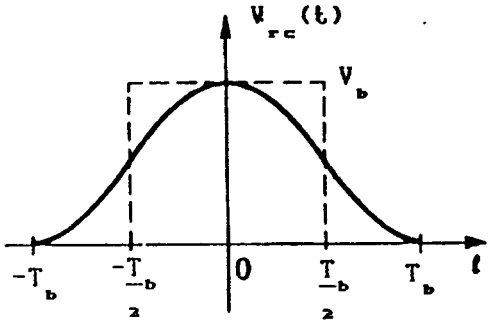
$$S_{NRZ}(f) = V_b^2 T_b \left[\frac{\sin \pi f T_b}{\pi f T_b}\right]^2 \qquad \text{-----(7}$$



รูปที่ 4.1.2.ก แสดงความเข้มข้นของสเปคตรัมกำลังของสัญญาณ NRZ, สัญญาณรีสโคไซน์

ความเข้มข้นของสเปคตรัมกำลังนั้นเกิดขึ้นเป็นลักษณะ sinc function โดยจะมีค่าเป็นศูนย์ (null) ทุกๆ ระยะความถี่ f_b ($f_b = 1/T_b$) โดยกำลังส่วนใหญ่จะอยู่ในความถี่ 0-f_b ขนาดของสเปคตรัมกระจายอยู่นอกช่วง f_b มีขนาดเล็กน้อย โดยขนาดของแมกนีจูดสูงสุดอยู่ในช่วง f_b-$2f_b$ นั้นเท่ากับ -14 dB เมื่อเทียบกับความถี่ที่ 0 Hz สำหรับการมอดูเลทสัญญาณเบสแบนด์เข้ากับคลื่นพาห์ ในกรณีที่เป็นการมอดูเลทแบบเชิงเส้น เช่นแอมปิจูดชิฟคีย์อิ้ง (Amplitude shift keying:ASK) หรือเฟสชิฟคีย์อิ้ง(Phase shift keying:PSK) การกระจายของความเข้มข้นของสเปคตรัมกำลังของสัญญาณที่มอดูเลทแล้ว เท่ากับการย้ายแกนของความถี่จาก 0 Hz ไปยังความถี่ของคลื่นพาห์ ดังนั้นสเปคตรัมของสัญญาณ NRZ ที่กระจายออกจากช่วง 0-f_b จะทำให้เกิดไซด์โลบ (side lobe) ออกไปทำให้การใช้แบนด์วิทด์เป็นไปอย่างไม่มีประสิทธิภาพ การแก้ปัญหาเช่นนี้เราใช้วิธีการจัดรูป(shaping) ของสัญญาณให้อยู่ในรูปที่เหมาะสมโดยรูปแบบหนึ่งที่ใช้กันคือ รีสโคไซน์ (raised cosine)เบสแบนด์ โดยแสดงลักษณะสัญญาณได้ดังรูป 4.1.2.ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1.2.ข แสดงสัญญาณรีสโคไซน์ NRZ

โดยถ้าให้ t = 0 เป็นช่วงเวลากึ่งกลางจากสัญญาณเบสแบนด์รีสโคไซน์ที่เป็นแรนดัมแล้ว สัญญาณรีสโคไซน์ได้ในรูปของเวลาคือ

$$V_{rc}(t) = \begin{cases} \dfrac{V(1 + \cos\pi t/T_b)}{2} & |t| < T_b \\ 0 & |t| > T_b \end{cases} \qquad \text{-----(8)}$$

ฟูเรียทรานฟอร์มของสมการ (8) คือ

$$V_{rc}(f) = V[(\sin 2\pi f T_b)/fT_b(1 - 4f^2T_b^2)] \qquad \text{-----(9)}$$

ดังนั้นเราหาความเข้มข้นของสเปคตรัมกำลังได้ดังนี้

$$S_{rc}(f) = V^2T_b\left[\frac{\sin 2\pi f T_b}{2\pi f T_b(1 - 4f^2T_b^2)}\right]^2 \qquad \text{-----(10)}$$

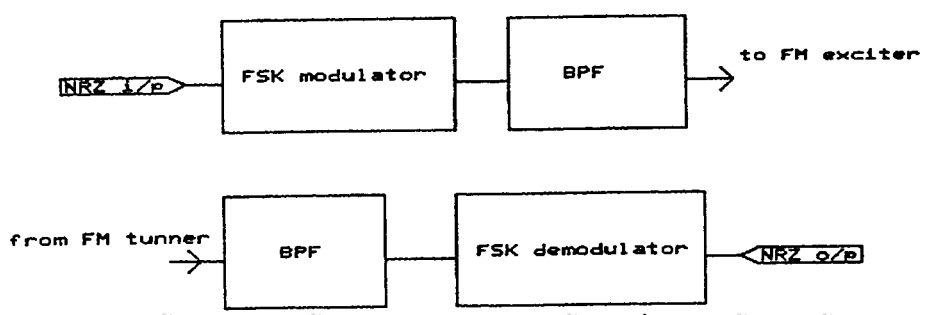
4.2 การออกแบบวงจร FSK โมเดม

สำหรับการส่งสัญญาณดิจิตอลในช่องสัญญาณ FM-SCA สัญญาณที่เป็นการมอดูเลทแบบดิจิตอลที่ใช้เทคนิคการมอดูเลทและดีมอดูเลทที่ง่ายที่สุดคือการส่งโดยใช้สัญญาณ FSK โดยแทนความถี่

$$f_c(t) = A\cos\omega_1 t \qquad \text{-----(11.1)}$$

$$f_c(t) = A\cos\omega_2 t \qquad \text{-----(11.2)}$$

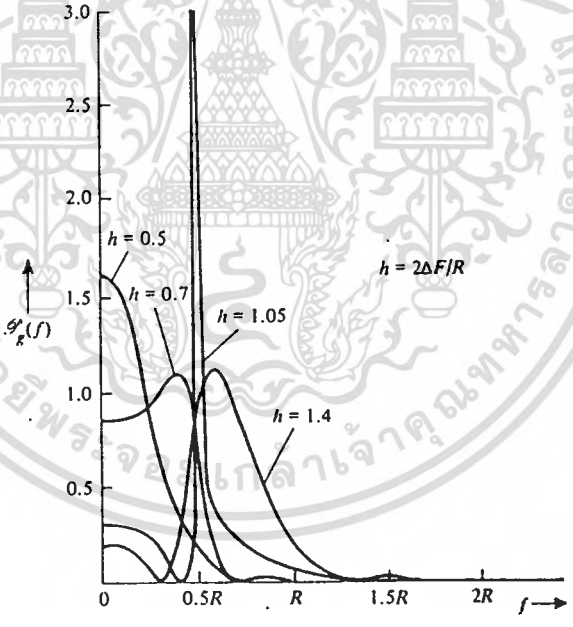
โดยความถี่ ω_1 เป็นความถี่สำหรับสัญญาณเบสแบนด์ที่เป็น "0" และความถี่ ω_2 เป็นความถี่สำหรับสัญญาณเบสแบนด์ที่เป็น "1" สำหรับโครงสร้างสำหรับการมอดูเลทและดีมอดูเลทแสดงได้ดังรูป



รูปที่ 4.2.ก แสดงโครงสร้างการมอดูเลทและดีมอดูเลทสัญญาณ FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยโครงสร้างของวงจรภาคมอดูเลเตอร์จะประกอบด้วยวงจรมอดูเลทสัญญาณ FSK และวงจรกรองความถี่ผ่านย่านสำหรับกรองเฉพาะกลุ่มของความถี่ FSK ที่อยู่ในช่วงของ SCA เท่านั้น โดยมีความถี่ศูนย์กลางของวงจรกรองเท่ากับ 67.2 KHz ก่อนที่เข้าไปมอดูเลทกับวงจร FM exciter สำหรับภาครับประกอบด้วยวงจรกรองความถี่ผ่านย่านซึ่งกรองเอาเฉพาะสัญญาณ FSK มาทำการดีมอดูเลทโดยใช้วงจร PLL สำหรับสัญญาณ FSK ขนาดแบนด์วิดท์ของสัญญาณจะขึ้นอยู่กับค่ามอดูเลชั่นอินเดคซ์ โดยการเลือกค่ามอดูเลชั่นอินเดคซ์ที่เหมาะสมในการส่ง ถ้าเลือกค่ามอดูเลชั่นอินเดคซ์ที่มากๆแล้วค่า SNR ของการส่งสัญญาณ FM ก็จะสูงหรือหมายถึงว่าค่า Bit-Error Rate สำหรับกรณีส่งสัญญาณ FSK ก็จะต่ำ แต่ขนาดแบนด์วิทด์ของสัญญาณจะสูงตามมอดูเลชั่นอินเดคซ์ ดังนั้นในการเลือกค่ามอดูเลชั่นอินเดคซ์สำหรับสัญญาณ FSK จึงเลือกให้สูงสุดเท่าที่จะกระทำได้ โดยทำให้เกิดการรบกวนช่องสัญญาณเมนโปรแกรมน้อยที่สุด โดยสามารถแสดงขนาดความเข้มข้นสเปคตรัมกำลังของสัญญาณ FSK ขนาดต่าง ๆ แสดงได้ ดังรูป[14]



รูปที่ 4.2.ข ความเข้มข้นสเปคตรัมกำลังของสัญญาณ FSK-

จากรูปสเปคตรัมกำลังจะมีขนาดขึ้นอยู่กับมอดูเลชั่นอินเดคซ์(h) โดยขนาดของสเปคตรัมจะกระจายอยู่ในช่วงความถี่ 0 - ความถี่บิทเรท (R) สำหรับมอดูเลชั่นอินเดคซ์ที่น้อยกว่า 1, สำหรับมอดูเลชั่นอินเดคซ์มากกว่า 1 ขึ้นไปสเปคตรัมกระจายอยู่ในช่วงความถี่ 0 -1.5 เท่าของบิทเรท (R) สำหรับในวิทยานิพนธ์นี้ใช้มอดูเลชั่นอินเดคซ์เท่ากับ 0.6

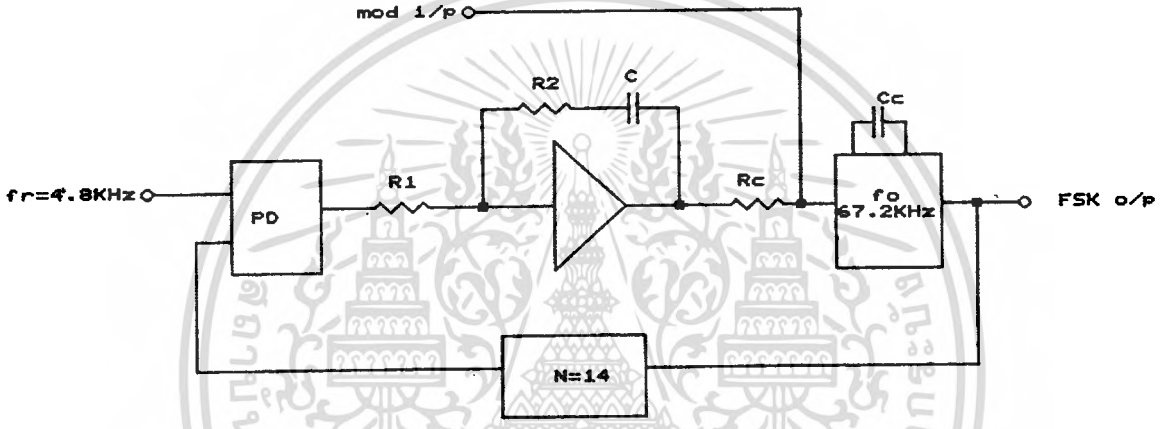
4.2.1 <u>การออกแบบวงจรมอดูเลทสัญญาณ FSK ด้วย PLL</u>

สำหรับในส่วนของวงจรมอดูเลทประกอบด้วย 2 ส่วน คือ วงจรมอดูเลทโดยใช้ PLL และวงจรกรองความถี่ผ่าน 67.2 KHz โดย วงจรมอดูเลทสัญญาณ FSK ในทางปฏิบัติใช้วงจรสร้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ควบคุมด้วยแรงดัน(VCO) โดยการป้อนสัญญาณเบสแบนด์เข้าที่อินพุทของวงจร VCO โดยเอาท์พุทของสัญญาณจะเปลี่ยนแปลงขนาดของความถี่ขึ้นอยู่กับสัญญาณเบสแบนด์อินพุท

วงจรมอดูเลทสัญญาณ FSK ซึ่งออกแบบให้มีความถี่ศูนย์กลางอยู่ที่ 67.2 KHz เพื่อให้ความถี่ศูนย์กลางของคลื่นพาห์มีเสถียรภาพจึงใช้หลักการของ PLL สำหรับควบคุมความถี่ สำหรับการออกแบบ PLL เพื่อสร้างความถี่ 67.2 KHz และสัญญาณที่มอดูเลทเข้าในลูปเป็นสัญญาณไบนารี่ที่เป็นระดับแรงดัน TTL มีบิทเรทเท่ากับ 4800 bps โครงสร้างของลูปแสดงได้ดังรูป 4.2.1.ก



รูปที่ 4.2.1.ก แสดงโครงสร้างของวงจรมอดูเลทสัญญาณ FSK

โดยลูปออกแบบให้มีความถี่อ้างอิงเท่ากับ 4.8 KHz สำหรับค่าความถี่ธรรมชาติของลูปต้องออกแบบให้มีความถี่ต่ำกว่าความถี่ต่ำสุดของสัญญาณที่มอดูเลทเข้ามาในลูป สำหรับในลูปของการสร้างสัญญาณ FSK นี้ เลือกค่าความถี่ธรรมชาติของลูปเท่ากับ 10 Hz VCO เกนกำหนดให้สามารถเบี่ยงเบนตามความถี่ที่มอดูเลทเข้ามาทางอินพุทที่ป้อนโดยตรงกับ VCO โดยในที่นี้ออกแบบให้มีขนาด 1600 Hz/V

โดยโครงสร้างของลูปใช้วงจรกรองแบบแอคทีฟเป็นวงจรกรองในลูป วงจร VCO ใช้วงจรรวม XR2206 และเฟสดีเทคเตอร์ใช้วงจรรวม 4046 เช่นเดียวกับวงจรสร้างสัญญาณ 19 KHz ดังนั้นจากการกำหนดค่า K_o และจากสมการของ VCO เกนที่กล่าวในบทที่ 3 ถ้าให้ค่าคาปาซิแตนซ์สำหรับควบคุมความถี่ของ VCO มีขนาด 1000 pF ค่า R_c สามารถหาได้ คือ

$$R_c = (0.32)/K_oC_c \qquad \text{-----(12)}$$

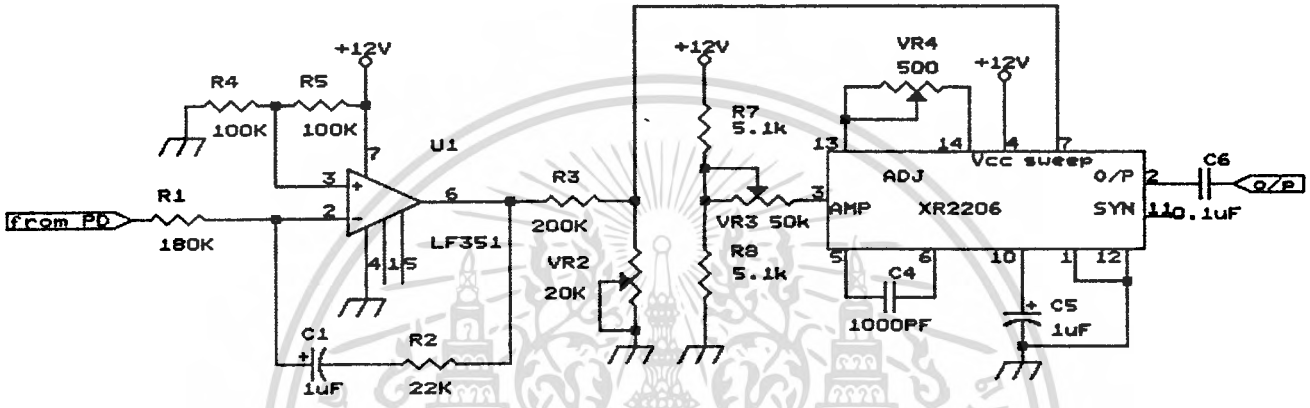
ค่า R_c หรือความต้านทานที่อนุกรมระหว่างวงจรกรองความถี่ในลูปและวงจร VCO จะมีค่า 200 KΩ สำหรับค่า R และ c ของวงจรกรองในลูปกำหนดค่าแดมปิ้งแฟคเตอร์ในลูปเท่ากับ 0.707 ค่า R_1 และ R_2 สำหรับลูปฟิลเตอร์ถ้ากำหนดค่า C เท่ากับ 1 μF ค่า R_1, R_2 จะแสดงได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_1 = (K_o K_d)/N(\omega_n^2)C \qquad \text{-----(13)}$$

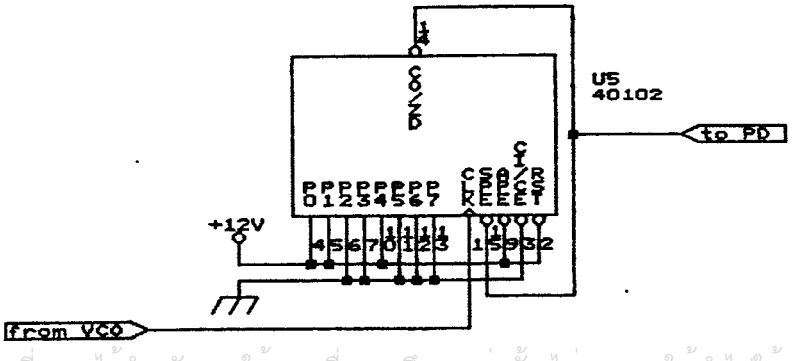
$$R_2 = 2\zeta/\omega_n C \qquad \text{-----(14)}$$

โดยค่า R_1 จะมีขนาดเท่ากับ 172 KΩ และ R_2 มีขนาด 22.5 KΩ โดยวงจรในทางปฏิบัติแสดงได้ในรูปที่ 4.1.2.ข โดยค่า R_1 ในที่นี้คือ R1 ซึ่งใช้ขนาด 180 KΩ และ R_2 ในวงจรคือ R2 ใช้ขนาด 22 KΩ ค่า R_C คือ R3 ใช้ 200 KΩ และค่า C_C สำหรับ VCO คือ C4



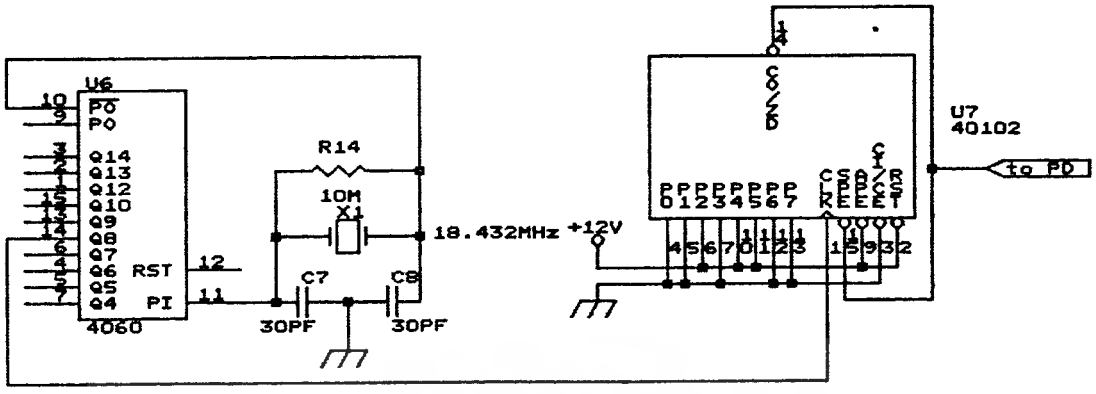
รูปที่ 4.1.2.ข แสดงวงจร VCO และ วงจรกรองของลูป

สำหรับวงจรหารและวงจรสร้างความถี่อ้างอิงของลูปแสดงได้ในรูปที่ 4.1.2.ค,4.1.2.ง โดยใช้การหารใช้วงจรรวม 40102 เช่นเดียวกับวงจรสร้างสัญญาณ 19 KHz ค่าที่ต้องการหารคือ 14 ค่าที่ต้องโปรแกรมตัวหารจะเท่ากับ 13 โดยขาวงจรรวม P_4, P_1, P_0 ต่อกับ VCC และ P_7, P_6, P_5, P_3, P_2 ต่อลงกราวน์ การสร้างความถี่อ้างอิงสำหรับลูปสร้างจากความถี่ 18.432 MHz ซึ่งใช้เกทภายในวงจรรวม 4060 ต่อร่วมกับคริสตอลขนาด 18.432 MHz โดยสัญญาณขนาด 4,800 Hz ได้จากเอาท์พุท Q_8 ของ 4060 ซึ่งเป็นการหารความถี่ 18.432 MHz ด้วย 256 , ต่อเข้าสู่วงจรหาร 15 ซึ่งใช้วงจรรวม 40102(U7)โดยให้เอาท์พุทที่ขา 14 ที่มีความถี่ขนาด 4,800 Hz เป็นสัญญาณดิจิตอลมีระดับ 0 ถึง 12 V



รูปที่ 4.1.2.ค แสดงวงจรหารความถี่

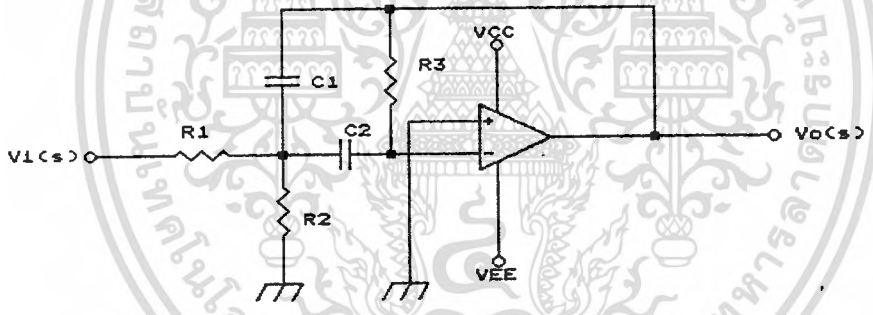
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1.2.ง แสดงวงจรสร้างความถี่อ้างอิง

4.2.2 วงจรกรองความถี่ผ่านย่าน

สำหรับวงจรกรองความถี่ผ่านย่าน 67.2 KHz เลือกใช้วงจร Multiple feedback-ขนาดออร์เดอร์ 2 ที่มีโครงสร้าง ดังรูป



รูปแสดง 4.2.2.ก วงจรกรองความถี่ผ่านย่านแบบ Multiple feedback

ถ้าให้ Q เป็นค่า Quality factor ของวงจร

ω_o ความถี่ศูนย์กลาง

H เกนของวงจรที่ความถี่ผ่าน

ทรานเฟอร์ฟังก์ชันของวงจรแสดงได้คือ

$$\frac{V_o(s)}{V_i(s)} = \frac{H\times(\omega/Q)\times s}{s^2+(\omega_o/Q)\times s+\omega_o^2} \qquad \text{-----(15)}$$

$$\omega_o^2 = \frac{1}{R_3C_1C_2}\left(\frac{1}{R_1}+\frac{1}{R_2}\right) \qquad \text{-----(16.1)}$$

$$Q = \frac{1}{\sqrt{\frac{1}{R_3}\left(\frac{1}{R_1}+\frac{1}{R_2}\right)}\left(\sqrt{\frac{C_1}{C_2}}+\sqrt{\frac{C_2}{C_1}}\right)} \qquad \text{-----(16.2)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H = \frac{-R_3 C_2}{R_1(C_1 + C_2)} \qquad \text{-----(16.3)}$$

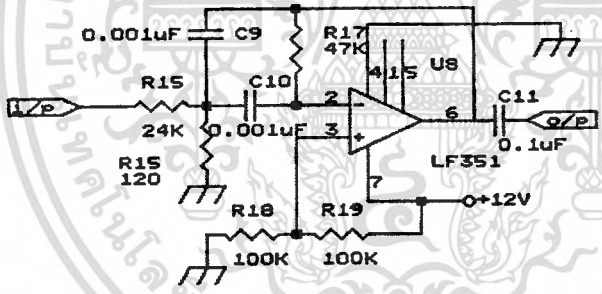
สำหรับการออกแบบกำหนดค่า Q, H, ω_o และกำหนดค่า C_1 และ C_2 โดยให้ $C_1 = C_2$ ค่า R_1, R_2, R_3 สามารถหาได้จาก

$$R_1 = \frac{Q}{|H|\omega_o C_1} \qquad \text{-----(17.1)}$$

$$R_2 = \frac{Q}{(2Q^2 - |H|)\omega_o C_1} \qquad \text{-----(17.2)}$$

$$R_3 = \frac{2Q}{\omega_o C_1} \qquad \text{-----(17.3)}$$

สำหรับวงจรกรองความถี่ผ่านย่านสำหรับ ภาคการมอดูเลทสัญญาณ FSK กำหนดความถี่ศูนย์กลางเท่ากับ 67.2 KHz และค่า Q สำหรับวงจรกรองความถี่เท่ากับ 10 สามารถหา R_1, R_2, R_3 โดยวงจรในทางปฏิบัติแสดงได้ ดังรูป

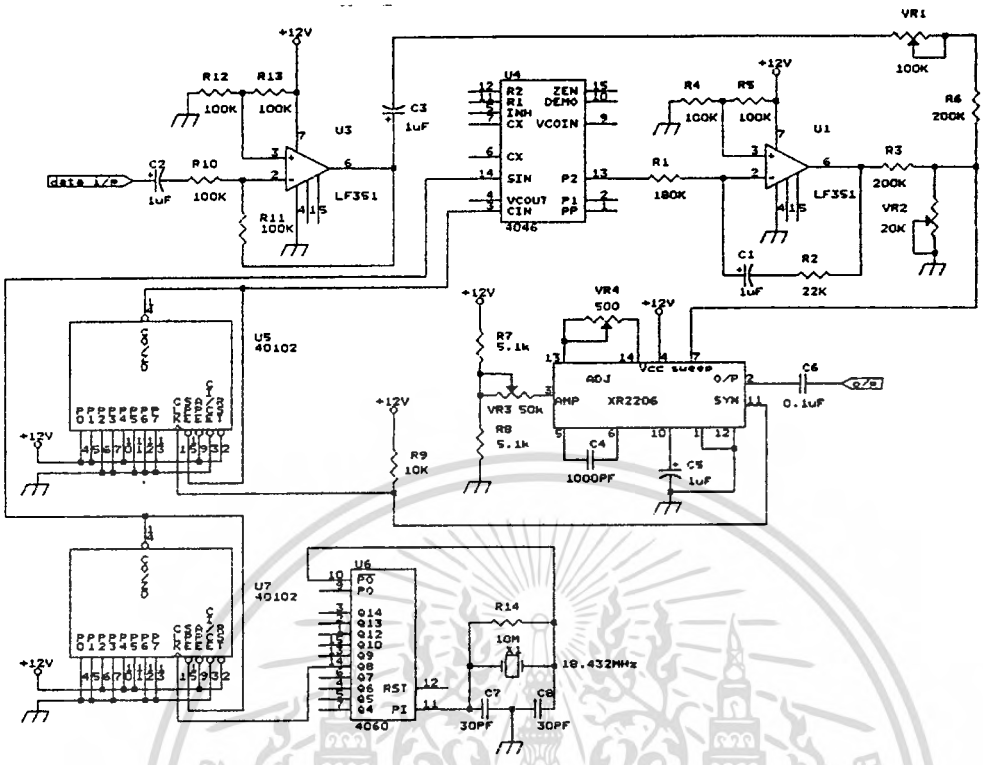


รูปที่ 4.2.2.ข แสดงวงจรกรองความถี่ผ่าน 67.2 KHz สำหรับภาคมอดูเลทสัญญาณ FSK

โดยจากรูป R_1 ใช้ค่า 24KΩ R_3 ใช้ค่า 470KΩ โดย R_2 อาจใช้ R เกือกม้าขนาด 150 Ω สำหรับการปรับเพื่อให้ตรงกับค่า R_2 ที่ได้จากการคำนวณ

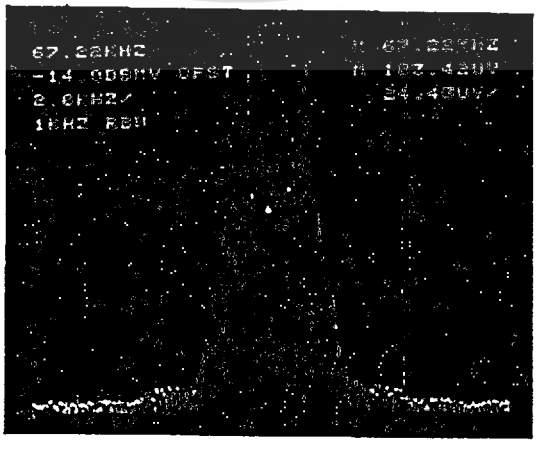
โดยวงจรมอดูเลทสัญญาณทั้งหมดแสดงไว้ดังรูป 4.2.2.ค สำหรับส่วนที่มอดูเลทสัญญาณเบสแบนด์เข้ากับวงจร VCO ใช้วงจรรวม LF351(U3) ต่อเป็นบัฟเฟอร์ที่อินพุทสำหรับการมอดูเลทสัญญาณเบสแบนด์เข้ากับ VCO โดยตรงโดยมี VR1 100 KΩ ต่ออนุกรมกับความต้านทานขนาด 200 KΩ เป็นความต้านทานสำหรับปรับอัตราการมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.2.ค แสดงวงจรมอดูเลทสัญญาณ FSK ทั้งหมด

สำหรับผลของการทดลองวงจรมอดูเลทสัญญาณ FSK ที่ได้ออกแบบ แสดงสเปคตรัมของสัญญาณเอาท์พุทได้ดังรูป 4.2.2.ง โดยอินพุทของวงจรเป็นสัญญาณข้อมูลกึ่งแรนดัม (ดูบทที่ 5) ขนาด $2^{0} - 1$ และบิทเรทเท่ากับ 4,800 bps. โดยจากรูปปรับอัตราการมอดูเลทให้ค่ามอดูเลชั่นอินเดคซ์เท่ากับประมาณ 0.6 สเปคตรัมของสัญญาณจะกระจายอยู่ในช่วงความถี่คลื่นพาห์ 67.2 KHz และบวกลบไปขนาด 3 KHz หรือสัญญาณใช้ขนาดแบนด์วิดท์ 6 KHz โดยมีช่วงความถี่ตั้งแต่ 64.2 KHz - 70.2 KHz ในช่องสัญญาณ SCA

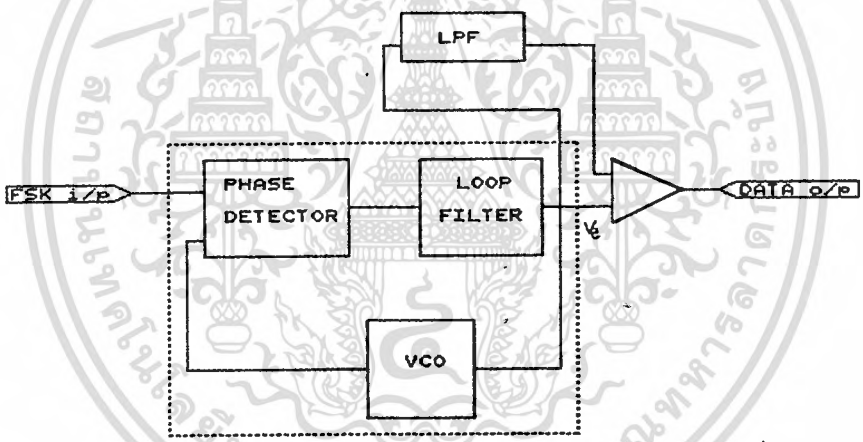


รูปที่ 4.2.2.ง แสดงสเปคตรัมของสัญญาณ FSK ที่เอาท์พุทของวงจรมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การออกแบบวงจรดีมอดูเลทสัญญาณ FSK

การดีมอดูเลทสัญญาณ FSK ด้วย PLL สามารถแสดงโครงสร้างได้ดังรูป 4.3 เอาท์พุทของสัญญาณเบสแบนด์จะได้ที่แรงดันอินพุทของ VCO ของ PLL ซึ่งจะเปลี่ยนแปลงความถี่ที่ชิฟท์ สำหรับส่วนประกอบที่เพิ่มขึ้นจากวงจร PLL คือวงจรกรองความถี่ต่ำผ่าน(Low Pass Filter) และวงจรเปรียบเทียบ(comparator) สำหรับการดีมอดูเลทเมื่อความถี่ VCO ล็อกกับความถี่ที่ชิฟท์ f_L หรือ f_H แรงดันอินพุทที่ป้อนเข้ากับ VCO และอินพุทหนึ่งของวงจรเปรียบเทียบจะมีค่าเท่ากับ $V_{c1}=(f_L-f_o)/K_o$ และ $V_{c2}=(f_H-f_o)/K_o$ โดยความแตกต่างแรงดันระหว่าง V_{c1} และ V_{c2} คือ $(f_L-f_H)/K_o$ สำหรับแรงดันอ้างอิงอีกอินพุทหนึ่งของวงจรเปรียบเทียบได้จากการป้อนแรงดันอินพุทของ VCO เข้าวงจรกรองความถี่ต่ำผ่าน (LPF) ซึ่งมีค่าเวลาคงตัวนานมากเมื่อเทียบกับความถี่ของสัญญาณ FSK ดังนั้นที่เอาท์พุทของ (LPF) จะเป็นค่าสัญญาณ dc ซึ่งสัญญาณ dc จะมีค่าครึ่งหนึ่งของ V_{c1} และ V_{c2}



รูปที่ 4.3 แสดงโครงสร้างการดีมอดูเลทสัญญาณ FSK ด้วย PLL

ในการกำหนดเงื่อนไขในการออกแบบ PLL สำหรับการดีมอดูเลทสัญญาณ FSK แสดงได้จากเออเรอร์ทรานเฟอร์ฟังก์ชัน (ในบทที่ 2) ของ PLL ที่ใช้วงจรกรองหาสชีพแบบลีด-แล็ก คือ

$$H_e = \frac{\theta_e(s)}{\theta_i(s)} = \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \qquad \text{-----(18)}$$

หาค่าเฟสเออเรอร์ของสมการ (18)โดยอินพุท $\theta_i(s)$เป็นสัญญาณ FSK ซึ่งสามารถเขียนได้คือ

$$\theta_e(s) = \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \cdot \frac{\Delta\omega}{s} \qquad \text{-----(19)}$$

หา $\theta_e(t)$ โดยการอินเวอร์ลาปาสทรานฟอร์มสมการ (19) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\theta_e(t) = \frac{\Delta\omega}{\omega_n}\exp(-\zeta\omega_n t)\frac{1}{\sqrt{1-\zeta^2}}\sin\sqrt{1-\zeta^2}\,\omega_n t\,\exp(-\zeta\omega_n t) \qquad \text{-----(20)}$$

ถ้าให้ค่า ζ ของลูปเท่ากับ 0.707 แล้วค่า $\theta_e(t)$ ถูกนอร์มอลไลซ์ด้วย $(\Delta\omega/\omega_n)$ ค่า θ_{max} จะมีค่าสูงสุดที่ $\omega_n(t) = 1.1$ (รูป 2.2.2 บทที่ 2) โดยค่า θ_{max} แสดงได้

$$\theta_{e\ max} = 0.45\Delta\omega/\omega_n \qquad \text{-----(21)}$$

ในการออกแบบสำหรับดีมอดูเลทสัญญาณค่าเฟสเออเรอร์ ของเฟสดีเทคเตอร์ต้องอยู่ในช่วง $\pi/2$ rad สำหรับการออกแบบเพื่อให้ลูปของวงจรดีมอดูเลทสัญญาณ FSK ทางานได้อย่างมีเสถียรภาพในกรณีที่อินพุทมีสัญญาณนอยส์เข้ามากับสัญญาณ FSK ค่าลูปนอยส์แบนด์วิดท์ของลูป (SNR_L) จะต้องมากกว่า 6 dB ซึ่งค่าลูปนอยส์แบนด์วิดท์ซึ่งกล่าวในบทที่ 2 แสดงได้ดังนี้คือ

$$SNR_L = (SNR_i B_i)/(2B_L) \qquad \text{-----(22)}$$

โดย B_i เป็นแบนด์วิดท์สมมูลย์ของวงจรกรองด้านอินพุท โดยในทางปฏิบัติมีขนาดเท่ากับขนาดแบนด์วิดท์ของวงจรกรองโดยค่า B_L สำหรับ PLL ที่ใช้วงจรกรองแบบพาสซีฟลีด-แล็ค แสดงได้คือ

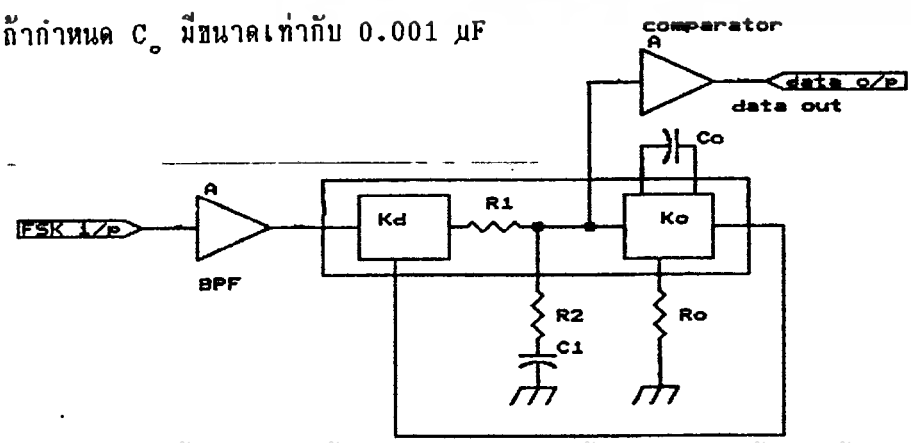
$$B_L = (\omega_n/2)(\zeta + 1/4\zeta) \qquad \text{-----(23)}$$

สำหรับข้อพิจารณาสุดท้ายสำหรับการดีมอดูเลทสัญญาณ FSK ด้วย PLL คือต้องให้ความถี่ที่เบี่ยงเบน(f_d) อยู่ในพิสัยแคปเจอร์ ซึ่งพิสัยแคปเจอร์ แสดงได้คือ

$$\Delta\omega_c = 2\zeta\omega_n \qquad \text{-----(24)}$$

4.3.1 <u>การออกแบบวงจรดีมอดูเลทสัญญาณ FSK ด้วย PLL ในการปฏิบัติ</u>

สำหรับวงจรในทางปฏิบัติแสดงวงจรสมมูลย์ได้ดังรูป โดย PLL ใช้วงจรรวม 565 [15] ซึ่งมีค่าลูปเกน($K = K_o K_d$) เท่ากับ $33.6\ f_o/V_{cc}$ ค่าความถี่อิสระของ VCO กำหนดได้ $f_o = 1/(3.7R_oC_o)$ สำหรับการออกแบบวงจรกรองในลูปนั้นค่า R_1 ของ 565 ที่มีขนาด 3600Ω การออกแบบถ้าความถี่อิสระของลูปกำหนดให้เท่ากับ 67.2 KHz สำหรับค่าขนาดของ R_o ถ้ากำหนด C_o มีขนาดเท่ากับ 0.001 μF



รูปที่ 4.3.1.ก แสดงโครงสร้างการดีมอดูเลทสัญญาณ FSK ด้วยวงจรรวม 565

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_o = 1/(3.7f_oC_o) = 4021 \quad \text{------(25)}$$

R_o มีค่าเท่ากับ 4021 ในทางปฏิบัติใช้ความต้านทานปรับค่าได้ขนาด 5 KΩ สำหรับค่า R_2 และ C_1 ซึ่งเป็นค่าที่กำหนดเวลาคงที่ของวงจรกรองในลูป โดย

$$(R_1+R_2)C_1 = K_oK_d/(\omega_n^2) \quad \text{------(26)}$$

$$(R_2C_1) = (2\zeta)/\omega_n \quad \text{------(27)}$$

ค่า K_oK_d ลูปเกนมีขนาดเท่ากับ $33.6\times f_o/VCC$ ในการออกแบบที่ใช้แรงดัน VCC = +12 V และ VEE = -12 V ดังนั้นจึงคิดแรงดัน VCC = 24 V ค่าลูปเกนมีขนาดเท่ากับ 94.080 (1/sec) สำหรับค่า ζ กำหนดให้เท่ากับ 0.707 ค่า ω_n กำหนดได้จากสมการ (21) โดยจะต้องเป็นไปตามเงื่อนไขของสมการที่ (22) และ (23)

โดยสมการที่ (21) กำหนดค่าเฟสเออเรอร์ขนาดสูงสุดให้มีขนาดเท่ากับ 1 rad ค่า $\Delta\omega$ มีขนาดเท่ากับ $2\pi(2fd)$ ดังนั้นค่า

$$\omega_n = 13,531 \text{ rad/s}$$

จากสมการ (23) ลูปนอยส์แบนด์วิดท์มีค่าเท่ากับ

$$B_L = 7,171 \text{ Hz}$$

ที่อินพุทของ PLL เป็นวงจรกรองความถี่ผ่านย่าน มีแบนด์วิดท์ = 6.72 KHz ดังนั้นถ้ากำลังสัญญาณต่อกำลังสัญญาณนอยส์ (SNR) ที่เอาท์พุทของวงจรกรองหรือ SNR_i ของ PLL มีขนาดไม่ต่ำกว่า 10 dB แล้วค่า SNR_L จากสมการที่ (22) จะมีขนาด

$$SNR_L = 6.73 \text{ dB}$$

ซึ่งเพียงพอที่ให้ PLL ทำงานได้อย่างมีเสถียรภาพสำหรับขนาดของพิสัยแคปเจอร์ในสมการที่ (24) มีขนาด

$$f_{cap} = 8,045 \text{ Hz}$$

ซึ่งค่าความถี่เบี่ยงเบนอยู่ในพิสัยแคปเจอร์ ดังนั้นค่า ω_n ขนาด 13,531 rad/s จึงเป็นขนาดที่ใช้ได้ จากสมการ (26) ค่า

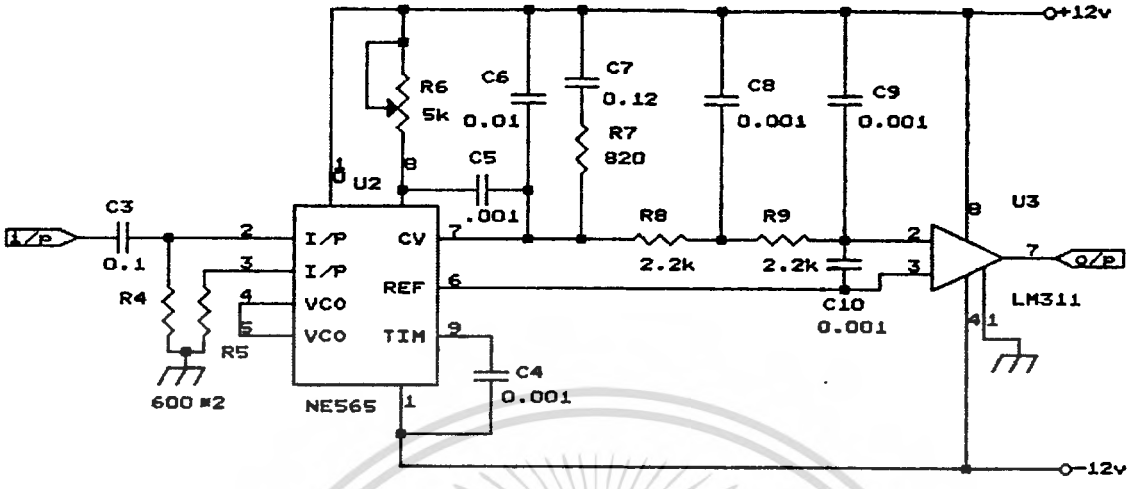
$(R_1 + R_2)C_1 = 0.53$ ms

$(R_2C_1) = 0.104$ ms

ถ้า R_1 ภายในวงจรรวมเท่ากับ 3.6 KΩ แล้ว

$$C_1 = 0.118 \ \mu F$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



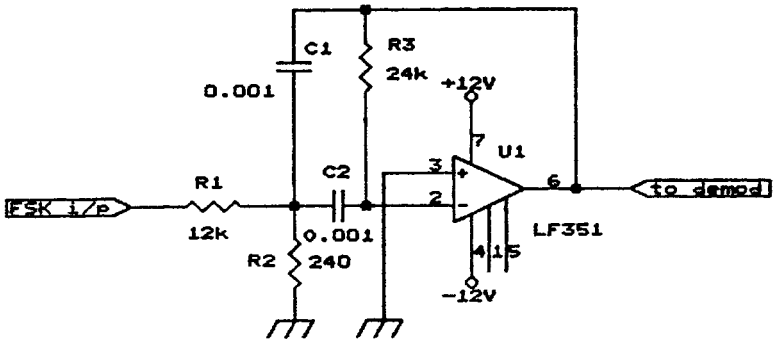
รูปที่ 4.3.1.ข แสดงวงจรดีมอดูเลทสัญญาณ FSK

โดยทางปฏิบัติแล้วใช้ C_1= 0.12 μF และ R_2 มีขนาดเท่ากับ 860Ω หรือเลือก R_2 ขนาด 890Ω โดยจากรูป 4.3.1.ข C_1 และ R_2 คือ C6 และ R7 ส่วน R_o และ C_o คือความต้านทานปรับค่าได้ R6 และ C4 ตามลำดับสำหรับส่วนของวงจรเปรียบเทียบ ใช้วงจรรวม LM 311 ซึ่งเป็นวงจรรวมสำหรับการเปรียบเทียบ ซึ่งเอาท์พุทสามารถที่จะพูลอัพต่อกับแรงดันขนาด 5 V เพื่อให้เชื่อมต่อกับระดับสัญญาณ TTL ซึ่งเป็นภาคต่อไปได้ โดยอินพุทแรงดันอ้างอิงของ LM 311 ที่ขา 3 ต่อกับขา 6 ของวงจรรวม 565 ซึ่งเป็นขาสัญญาณอ้างอิงซึ่งให้แรงดันดีซีออกจากวงจรรวม 565 สำหรับสัญญาณ FSK เอาท์พุทได้จากแรงดันที่ควบคุม VCO ของ PLL ซึ่งในวงจรรวม 565 คือขา 7 โดยระหว่างเอาท์พุท 565 และอินพุทของ LM 311เป็นวงจรกรองความถี่ต่ำผ่าน RC ต่อกัน 2 ชุด โดยค่าความถี่หักมุมของวงจรกรองนี้ประมาณระหว่างความถี่ของสัญญาณที่มอดูเลท 2,400 Hz และ 2 เท่าของความถี่อินพุทสูงสุด (139.2 KHz)

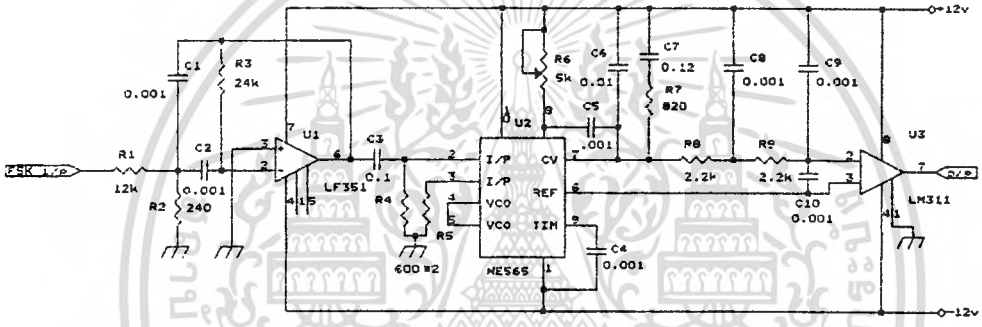
4.3.2 วงจรกรองความถี่ผ่านย่าน 67.2 KHz

สำหรับวงจรกรองความถี่ผ่านสำหรับวงจรดีมอดูเลทสัญญาณ FSK เพื่อให้สัญญาณ FSK มีขนาดมอดูเลชั่นอินเดคซ์ประมาณเท่ากับ 0.6 ผ่านได้และตัดสัญญาณนอยส์ ให้มากที่สุดนั้นกำหนดค่า Q ของวงจรเท่ากับ 10 และอัตราการขยายของวงจรที่ความถี่ศูนย์กลางเท่ากับ 10 ซึ่งสามารถออกแบบวงจรกรองความถี่ผ่านจากข้อกำหนดดังกล่าวโดยใช้วงจร multiple feedback ออร์เดอร์ 2 ดังนั้นจากสมการ 17.1,17.2,17.3 ถ้ากำหนดค่า C เท่ากับ 0.001 μF แล้วจะได้ R_1=12KΩ R_2=240KΩ R3=24KΩ สำหรับวงจรในทางปฏิบัติแสดงได้ดังรูป 4.3.2.ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3.2.ก แสดงวงจรกรองความถี่ผ่าน 67.2 KHz ที่ภาคดีมอดูเลทสัญญาณ FSK



รูปที่ 4.3.2.ข แสดงวงจรดีมอดูเลทสัญญาณ FSK ทั้งหมด

4.4 การออกแบบวงจรมอดูเลทสัญญาณ PSK

สำหรับโมเดมอีกชนิดหนึ่งซึ่งเสนอในวิทยานิพนธ์นี้ ใช้การมอดูเลทแบบ PSK หรือเป็นการเปลี่ยนแปลงเฟสของสัญญาณแทนการเปลี่ยนแปลงทางความถี่ของสัญญาณ PSK สามารถเขียนได้

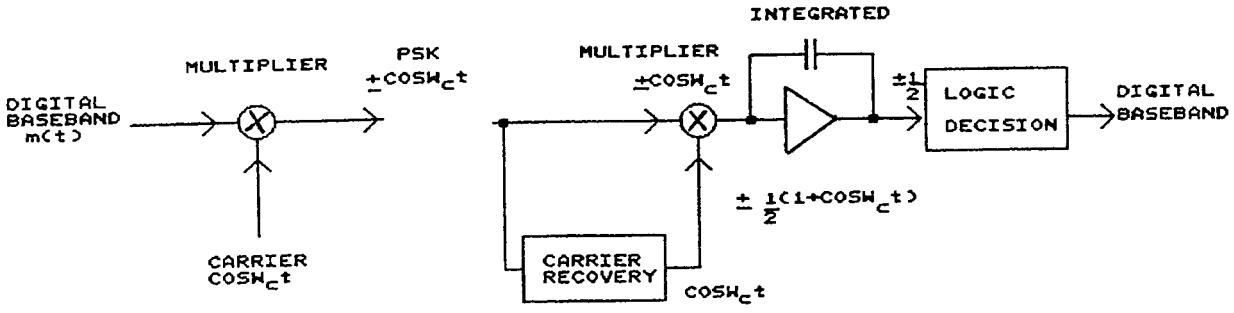
$$v(t) = m(t)\cos\omega_c t \qquad \text{-----(28)}$$

โดย $m(t) = +1,-1$ ขึ้นอยู่กับสัญญาณเบสแบนด์อินพุทซึ่งความเข้มข้นของสเปคตรัมกำลังสำหรับสัญญาณ PSK ที่มอดูเลทสัญญาณเบสแบนด์ NRZ ที่เป็นแรนดัมจะเป็นการย้ายแทนความถี่ที่ 0 Hz ของความเข้มข้นของสเปคตรัมกำลังของสัญญาณ NRZ มาที่ความถี่คลื่นพาห์ ดังนั้นความเข้มข้นของสเปคตรัมของสัญญาณ PSK จึงแสดงได้โดยอาศัยสมการที่ (6) แล้วย้ายแกนความถี่ แสดงได้คือ

$$S_{psk}(f) = A^2 T_b \left[\frac{\sin(f-f_c)T_b}{(f-f_c)T_b}\right]^2 \qquad \text{-----(29)}$$

สำหรับการสร้างสัญญาณ PSK สามารถสร้างโดยนำเอาสัญญาณคลื่นพาห์คูณกับสัญญาณเบส-แบนด์ NRZ ที่มีขั้ว(bi-polar NRZ) ซึ่งแสดงโครงสร้างได้ดังรูป 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4.ก แสดงการมอดูเลทและดีมอดูเลทสัญญาณ PSK

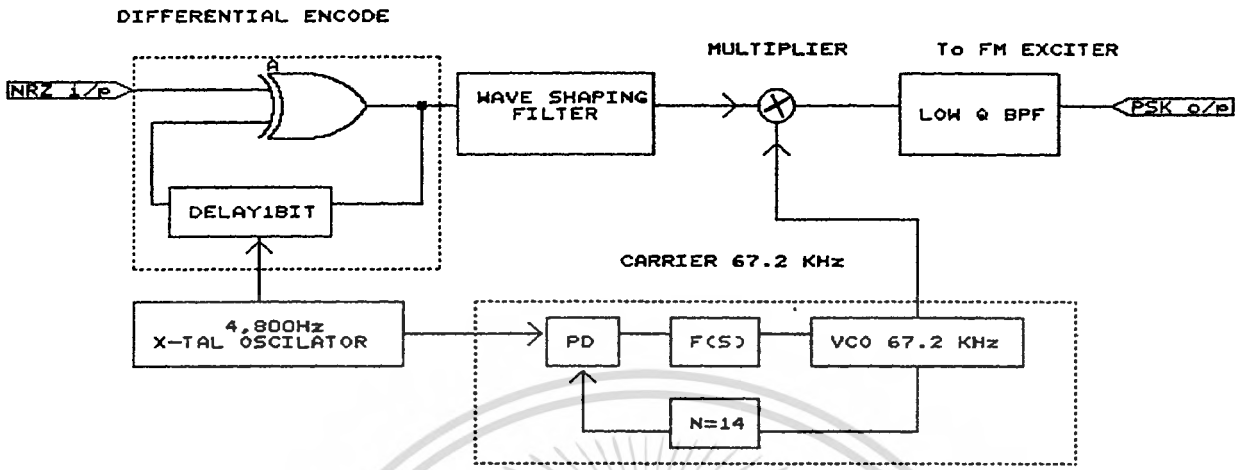
สำหรับภาคดีมอดูเลทสัญญาณ PSK ใช้การดีมอดูเลทแบบ correlation receiver[16] โดยวงจรประกอบด้วย วงจรคูณ, วงจรอินทีเกรท และวงจรตัดสินระดับลอจิก โดยวงจรคูณจะคูณสัญญาณ PSK ที่รับมาทางด้านอินพุท ($\pm\cos\omega_c t$)กับสัญญาณคลื่นพาห์ ($\cos\omega_c t$) ที่ภาครับโดยคลื่นพาห์นี้จะต้องซิงโครไนซ์(synchronize) กับทางภาคส่งหรือ ต้องสร้างสัญญาณ $\cos\omega_c t$ จากสัญญาณ $\pm\cos\omega_c t$ ซึ่งส่วนที่ทำหน้าที่นี้เรียกว่าวงจรกู้สัญญาณคลื่นพาห์ (carrier recovery) สำหรับเอาท์พุทของวงจรคูณจะประกอบด้วยสัญญาณ dc ซึ่งขึ้นอยู่กับสัญญาณ PSK ทางด้านอินพุทโดยสัญญาณ dc และสัญญาณความถี่ $\cos\omega_c t$ จะเป็นอินพุทของวงจรอินทีเกรท โดยเอาท์พุทเอาเฉพาะสัญญาณ $\pm$dc เพื่อ เป็นอินพุทให้กับวงจรตัดสินระดับลอจิกให้เอาท์พุทเป็นสัญญาณเบสแบนด์

$$V_o = \pm \cos\omega_c t.\cos\omega_c t$$

$$= \pm \frac{1}{2}(1+\cos 2\omega_c t) \qquad \text{-----(30)}$$

สำหรับวงจรมอดูเลทสัญญาณ PSK จากข้อกำหนดให้มีความถี่คลื่นพาห์เท่ากับ 67.2 KHz มีบิทเรทเท่ากับ 4,800 bps โครงสร้างของวงจรแสดงได้ดังรูปที่ 4.2.ข โดยวงจรมอดูเลทสัญญาณ PSK จะเป็นวงจรคูณสัญญาณคลื่นพาห์ ความถี่ 67.2 KHz กับสัญญาณเบสแบนด์ NRZ โดยวงจรมอดูเลทสัญญาณ PSK ประกอบด้วยวงจรสร้างสัญญาณความถี่คลื่นพาห์ 67.2 KHz วงจรเข้ารหัสสัญญาณ วงจรจัดรูปสัญญาณ,วงจรคูณและวงจรกรองความถี่ผ่านย่าน สำหรับวงจรสร้างความถี่ 67.2 KHz ใช้การสร้างความถี่โดยการสังเคราะห์จากวงจร PLL โดยมีความถี่อ้างอิงของลูปเท่ากับ 4,800 Hz ซึ่งเป็นความถี่ของบิทเรทของสัญญาณเบสแบนด์ NRZ สำหรับวงจรกรองความถี่ผ่านย่านเป็นวงจรกรองความถี่ฮาร์โมนิคของสัญญาณ PSK ที่จะเข้าไปรบกวนสัญญาณ FM ที่ส่งตามปกติ

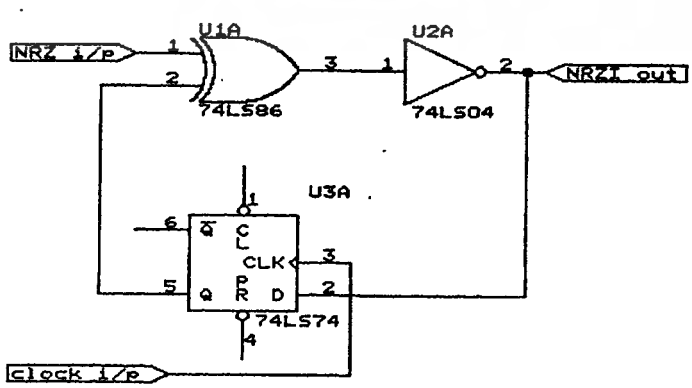
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4.ข แสดงโครงสร้างของวงจรมอดูเลทสัญญาณ PSK

4.4.1 วงจรเข้ารหัสสัญญาณ NRZ/NRZ-I

สำหรับสาเหตุที่ต้องเข้ารหัสสัญญาณเบสแบนด์ NRZ เป็น NRZ-I หรือ differentail-encode ซึ่งใช้การเปลี่ยนแปลงขอบสัญญาณแทนการเปลี่ยนแปลงระดับสัญญาณ สำหรับการมอดูเลทสัญญาณแบบ PSK เพื่อป้องกันการสับสนทางเฟส (phase ambiguity) ซึ่งเป็นเฟสของวงจรกู้สัญญาณคลื่นพาห์ผิดจาก $\cos\omega_c t$ เป็น $-\cos\omega_c t$ ผลจะทำให้การดีมอดูเลทผิดจากความเป็นจริง ถ้าหากทำการส่งข้อมูลด้วยสัญญาณ NRZ แต่ถ้าหากเราทำการเข้ารหัสสัญญาณ NRZ เป็น NRZ-I แล้วการใช้การเปลี่ยนแปลงขอบของสัญญาณแทนการส่ง 0 หรือ 1 จะสามารถแก้ไขปัญหาเนื่องจากการสับสนทางเฟสได้ สำหรับการเข้ารหัสสัญญาณ NRZ เป็น NRZ-I ซึ่งในการออกแบบใช้ NRZ-I แบบ NRZ-S สามารถแสดงวงจรได้ดังรูปที่ 4.4.1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

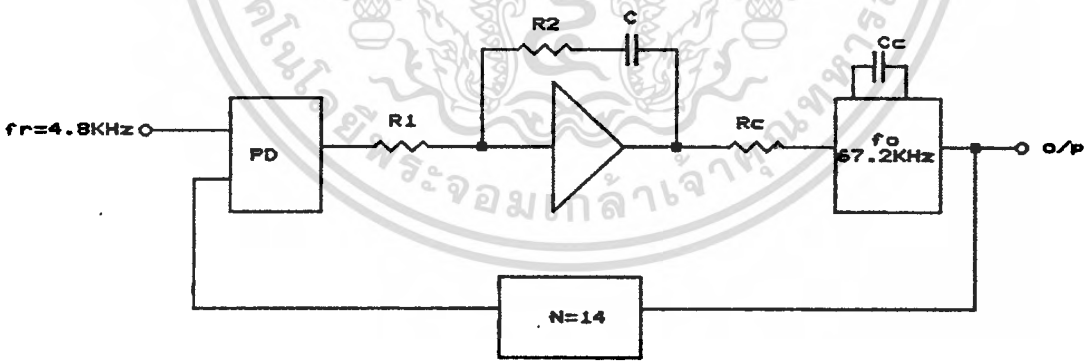
รูปที่ 4.4.1 แสดงวงจรเข้ารหัสสัญญาณ NRZ เป็น NRZ-I

การเข้ารหัสสัญญาณ NRZ หรือ Non Return to Zero Level:NRZ-L เป็น NRZ-S (Non Return to Zero Space) ใช้หลักการ differential encode ดังแสดงในหัวข้อ 4.1 โดยการมอดูโลแทนได้ด้วยเอ็กซ์คูซีฟออเกทซึ่งในทางปฏิบัติใช้วงจรรวม 74LS86 และสำหรับการหน่วงเวลาไป 1 บิทใช้ ดีฟลิปฟลอป โดยสัญญาณนาฬิกาของฟลิปฟลอปได้จากสัญญาณกำหนดบิทเรทของสัญญาณเบสแบนด์ โดยดีฟลิปฟลอปใช้วงจรรวม 74LS74

4.4.2 วงจรสร้างความถี่ 67.2 KHz

สำหรับการออกแบบวงจรผลิตความถี่ 67.2 KHz เพื่อให้มีเสถียรภาพทางความถี่คงที่จึงใช้การสังเคราะห์ความถี่จากแหล่งความถี่อ้างอิงที่มีเสถียรภาพคงที่ ซึ่งสร้างได้จากสัญญาณนาฬิกาที่เป็นตัวกำหนดบิทเรทของสัญญาณเบสแบนด์มีความถี่ 4,800 Hz โดยโครงสร้างของ PLL ที่ทำหน้าที่สร้างความถี่ 67.2 KHz ซึ่งเป็นคลื่นพาห์ สำหรับการมอดูเลทสัญญาณ PSK แสดงได้ดังรูปที่ 4.4.2.ก โดยโครงสร้างวงจรสร้างความถี่ จะมีโครงสร้างคล้ายกับวงจรสร้างสัญญาณ FSK โดยความถี่อ้างอิงของลูปเท่ากับ 4.8 KHz และความถี่ศูนย์กลางของลูปเท่ากับ 67.2 KHz และวงจรหารเท่ากับ 14

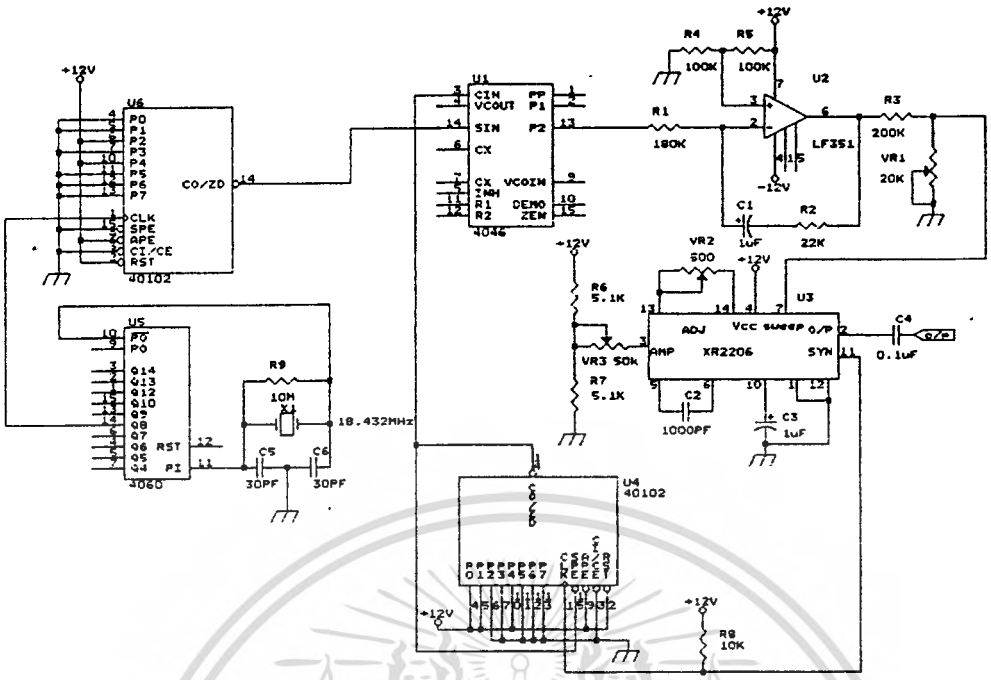
สำหรับการออกแบบวงจรสร้างความถี่ 67.2 KHz การออกแบบค่าความถี่ธรรมชาติของลูปและ VCO เกน ให้เท่ากับวงจรสร้างสัญญาณ FSK คือเท่ากับ 10 Hz และ 1600 Hz/V ตามลำดับ ดังนั้นค่า RC,C และ R_1,R_2,C จะมีขนาดเช่นเดียวกับ วงจรสร้างสัญญาณ FSK



รูปที่ 4.4.2.ก แสดงโครงสร้างวงจรสร้างความถี่ 67.2 KHz

โดยวงจรในทางปฏิบัติแสดงได้ดังรูปที่ 4.4.2.ข โดยที่ค่า R_c ในวงจรคือ R3 ค่า C_c คือ C2 ค่า R_1,R_2 คือ R1,R2 ตามลำดับและค่า C คือ C1 สัญญาณเอาท์พุทความถี่ 67.2 KHz ได้ที่ขา 2 ของวงจรรวม XR2206

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



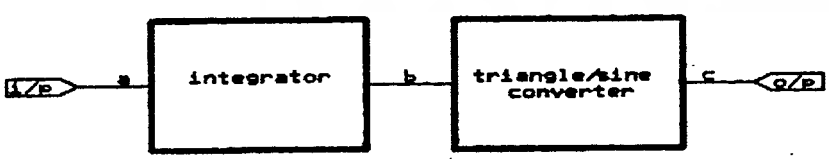
รูปที่ 4.4.2.ข แสดงวงจรสร้างสัญญาณความถี่ 67.2 KHz ในทางปฏิบัติ

4.4.3 วงจรจัดรูปสัญญาณเบสแบนด์

สำหรับวงจรจัดรูปสัญญาณ (wave shaping) สำหรับสัญญาณเบสแบนด์ NRZ ที่อยู่ในรูปของสัญญาณรีสโคไซน์เพื่อเป็นการลดไซด์โลบของสัญญาณหลังจากผ่านการมอดูเลทชั่นแล้วสมการของความเข้มข้นของสเปคตรัมกำลังของสัญญาณ PSK ที่สัญญาณเบสแบนด์เป็นรีสโคไซน์จะเป็นการย้ายแกนความถี่ที่ 0 Hz ของความถี่เบสแบนด์รีสโคไซน์ไปที่ความถี่คลื่นพาห์ ซึ่งแสดงได้คือ

$$S(f) = V^2 T_b \left[\frac{\sin 2\pi (f-f_c)T_b}{2\pi (f-f_c)T_b (1-4(f-f_c)^2 T_b^2)} \right]^2 \qquad \text{-----(31)}$$

สำหรับวงจรจัดรูปสัญญาณในทางปฏิบัติอาจใช้วงจรกรองถี่ต่ำผ่านแบบรีสโคไซน์หรือวงจรจัดรูปสัญญาณ[17]ซึ่งมีหลักการดังรูปที่ 4.4.3.ก

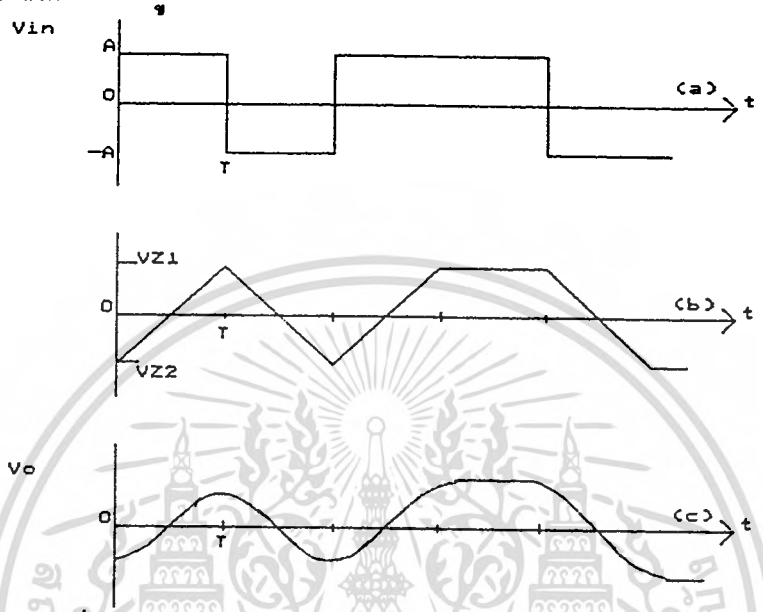


รูปที่ 4.4.3.ก โครงสร้างวงจรจัดรูปสัญญาณ

วงจรจัดรูปสัญญาณประกอบด้วย วงจรอินเวอร์ติ้งอินทีเกรทเตอร์ วงจรปรับสามเหลี่ยมเป็นไซน์ โดยอินพุทของวงจรจัดรูปสัญญาณเป็นเบสแบนด์ NRZ แบบ Bi-polar (A) โดยถ้าสัญญาณเป็นระดับแรงดันบวกและลบสลับกันไปวงจรอินทีเกรทจะทำการอินทีเกรท ให้เอาท์พุทของสัญญาณเป็นสัญญาณสามเหลี่ยม linear ramp (B) แต่ถ้าอินพุทเป็นแรงดันบวกหรือลบคงที่เอาท์พุทของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรอินทีเกรทเตอร์จะให้ระดับแรงดันคงที่ สำหรับวงจรปรับสัญญาณสามเหลี่ยมเป็นไซน์ทำหน้าที่ปรับสัญญาณสามเหลี่ยมเป็นไซน์ครึ่งลูกแสดงในรูป(C) สำหรับสัญญาณจุดต่างๆของโครงสร้างในรูป 4.4.3.ก แสดงได้ดังรูป 4.4.3.ข



รูปที่ 4.4.3.ข แสดงสัญญาณจุดต่างๆของโครงสร้างในรูป 4.4.3.ก

วงจรอินทีเกรทจะประกอบด้วย ซีเนอร์ไดโอดสำหรับให้แรงดันเอาท์พุทของวงจรมีค่าคงที่เท่ากับ V_{z1}, V_{z2} และความต้านทานกับคาปาซิเตอร์ใช้สำหรับกำหนดค่าเวลาคงตัวในการอินทีเกรท ซึ่งค่าเวลาคงที่ของการอินทีเกรทคือค่า RC ของวงจรแสดงค่าได้คือ

$$RC = \frac{AT}{V_{z1}+V_{z2}} \qquad \text{-----(32)}$$

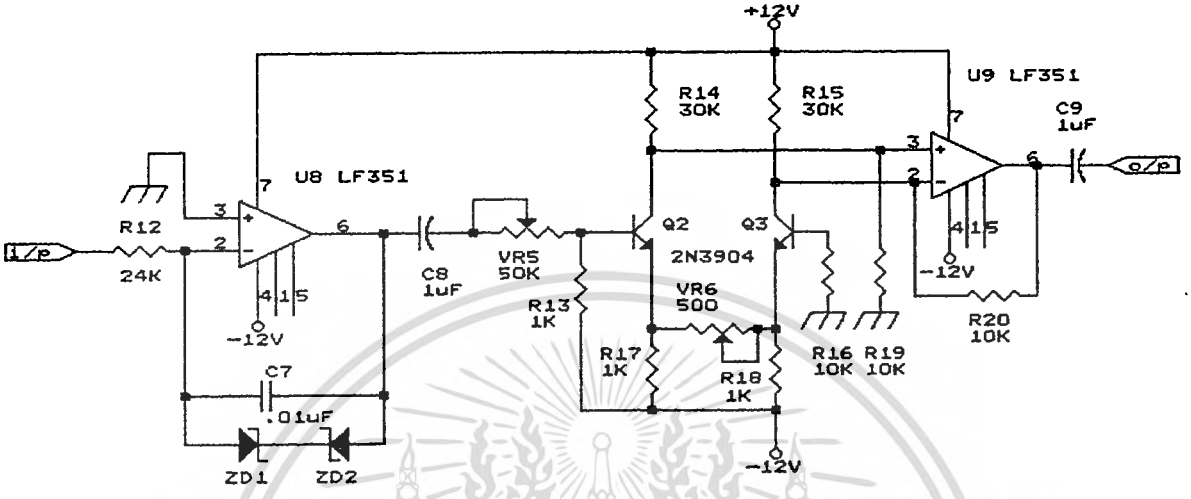
โดย A เป็นขนาดแรงดันบวกและลบของสัญญาณ NRZ และช่วงเวลา T แต่ละบิทซึ่งมีขนาดเท่ากัน ให้ $V_{z1} = V_{z2} = V_z$ ดังนั้น

$$RC = \frac{AT}{2V_z} \qquad \text{-----(33)}$$

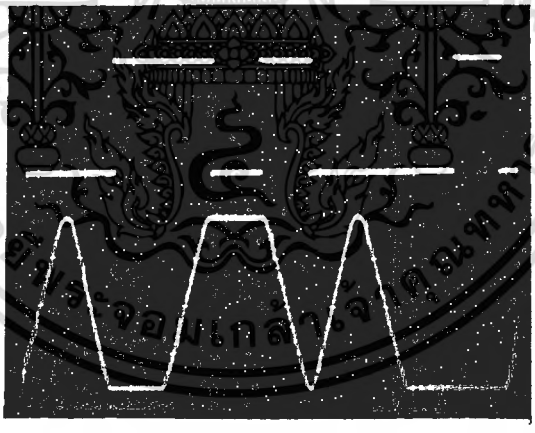
ให้ขนาดแรงดัน A ของ NRZ เท่ากับ 12 Vและใช้ V_z ขนาด 5.1 V และขนาด C กำหนดเท่ากับ 0.01 μF ค่า R ในวงจรอินทีเกรทหาได้คือ 24.47 KΩ โดยในทางปฏิบัติใช้ขนาด 24 KΩ สำหรับวงจรปรับสัญญาณสามเหลี่ยมเป็นไซน์สำหรับวงจรจัดรูปสัญญาณใช้วงจรดิฟแอมป์ซึ่งแสดงวงจรดังรูปที่ 4.4.3.ค

วงจรปรับสัญญาณสามเหลี่ยมเป็นไซน์ประกอบด้วยวงจรออปแอมป์ขยายความแตกต่าง(Differtial amplitier) สำหรับเปลี่ยนกระแสเป็นแรงดันและคู่ทรานซิสเตอร์ Q_1Q_2 โดยทรานซิสเตอร์ Q_1Q_2 จะทำงานในย่านที่ไม่เป็นเชิงเส้น (non linear) โดย VR 50KΩ เป็นความต้านทานสำหรับปรับแรงดันรูปสามเหลี่ยมที่ป้อนเข้าขาเบสของทรานซิสเตอร์โดย VR 50KΩ ที่ต่

ระหว่างขาอิมิเตอร์ของทรานซิสเตอร์ ใช้สำหรับปรับสัญญาณไซน์ที่เอาท์พุทให้มีความผิดเพี้ยนต่ำสุด โดยแสดงรูปสัญญาณเอาท์พุทของวงจรจัดรูปสัญญาณที่ออกแบบได้ดังรูป



รูปที่ 4.4.3.ค แสดงวงจรจัดรูปสัญญาณ

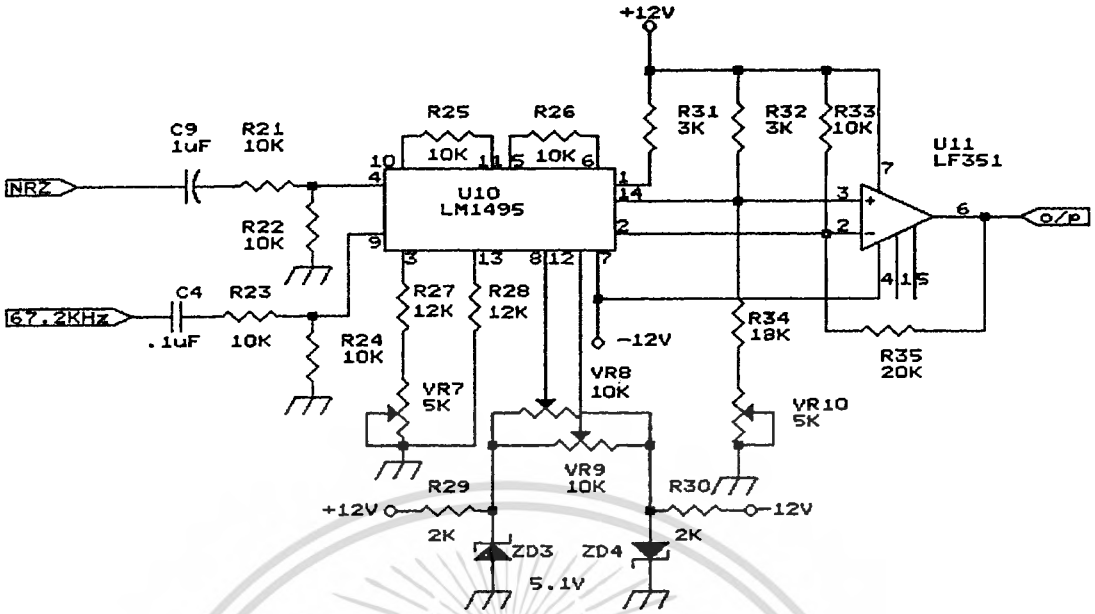


รูปที่ 4.4.3.ง แสดงสัญญาณเบสแบนด์รีสโคไซน์ที่เอาท์พุทของวงจรจัดรูปสัญญาณ

4.4.4 วงจรคูณสัญญาณเบสแบนด์กับสัญญาณคลื่นพาห์

สำหรับวงจรคูณสัญญาณเบสแบนด์ ที่ผ่านการจัดรูปสัญญาณให้เป็นสัญญาณรีสโคไซน์ เข้ากับความถี่คลื่นพาห์ขนาด 67.2 KHz นั้นใช้วงจรรวม LM1495 ซึ่งเป็นวงจรรวมที่ทำหน้าที่คูณโดย LM1495 สามารถทำการคูณสัญญาณที่มีขนาดใหญ่ สำหรับวงจรคูณสัญญาณแสดงได้ดังรูป 4.4.4.ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

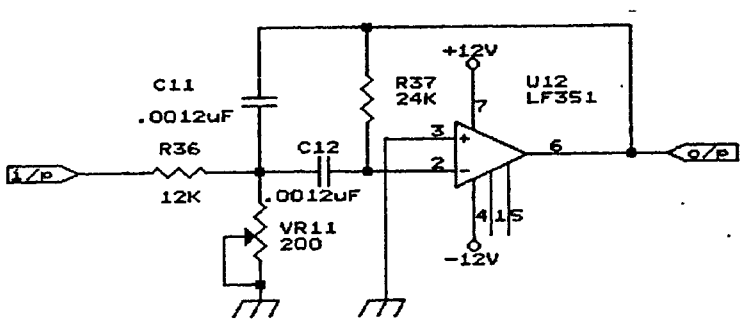


รูปที่ 4.4.4.ก วงจรคูณสัญญาณเบสแบนด์รีสโคไซน์เข้ากับสัญญาณความถี่คลื่นพาห์

จากรูปสัญญาณรีสโคไซน์ถูกป้อนเข้าที่ขา 9 และสัญญาณความถี่ 67.2 KHz ป้อนเข้าที่ขา 4 ของ LM1495 โดยการจัดค่าความต้านทานสำหรับค่าสเกลการคูณคือความต้านทานที่ต่อที่ขา 5,6 ขา 10,11 ขา 3 กับกราวน์ ขา 13 กับกราว น์ ใช้ค่าเช่นเดียวกับวงจรคูณในส่วนของการสร้างสัญญาณสเตอริโอ (L-R คูณกับ 38 KHz)โดยเอาท์พุทของ LM1495 ที่อยู่ในรูปของกระแสจะเปลี่ยนเป็นแรงดันโดยใช้วงจรรวม LF351 ซึ่งเอาท์พุทที่ขา 6 ของ LF351 จะเป็นส่วนที่ป้อนเข้าวงจรกรองความถี่ผ่าน 67.2 KHz

4.4.5 <u>วงจรกรองความถี่ผ่าน 67.2 KHz</u>

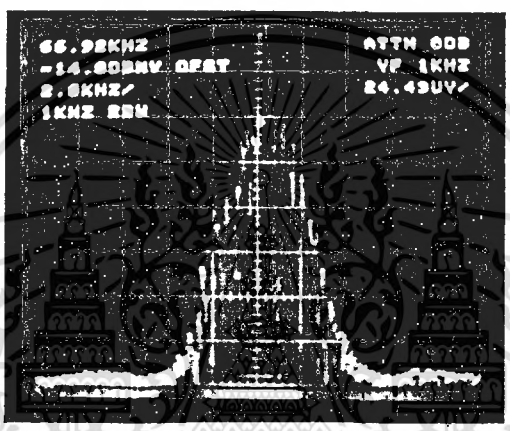
การออกแบบวงจรกรองความถี่ผ่าน 67.2 KHz กำหนดอัตราขยายที่ความถี่ศูนย์กลางเท่ากับ 1 สำหรับขนาดของแบนด์วิทด์ต้องให้มีขนาดมากกว่า 2 เท่าของความถี่บิทเรทของสัญญาณเบสแบนด์ ดังนั้นค่า Q ของวงจรจริงต้องน้อยกว่า 7 ในการออกแบบเลือกให้ค่า Q มีขนาดเท่ากับ 6 โดยขนาดของแบนด์วิทด์จะประมาณเท่ากับ 11.2 KHz ค่าความต้านทานและค่าคาปาซิแตนซ์ของวงจรหาได้จากสมการ 17.1 17.2 17.3 โดยค่า R_1 R_2 R_3 คือ R36 , VR11 และ R37 ตามลำดับ



รูปที่ 4.4.5.ก แสดงวงจรกรองความถี่ผ่าน 67.2 KHz

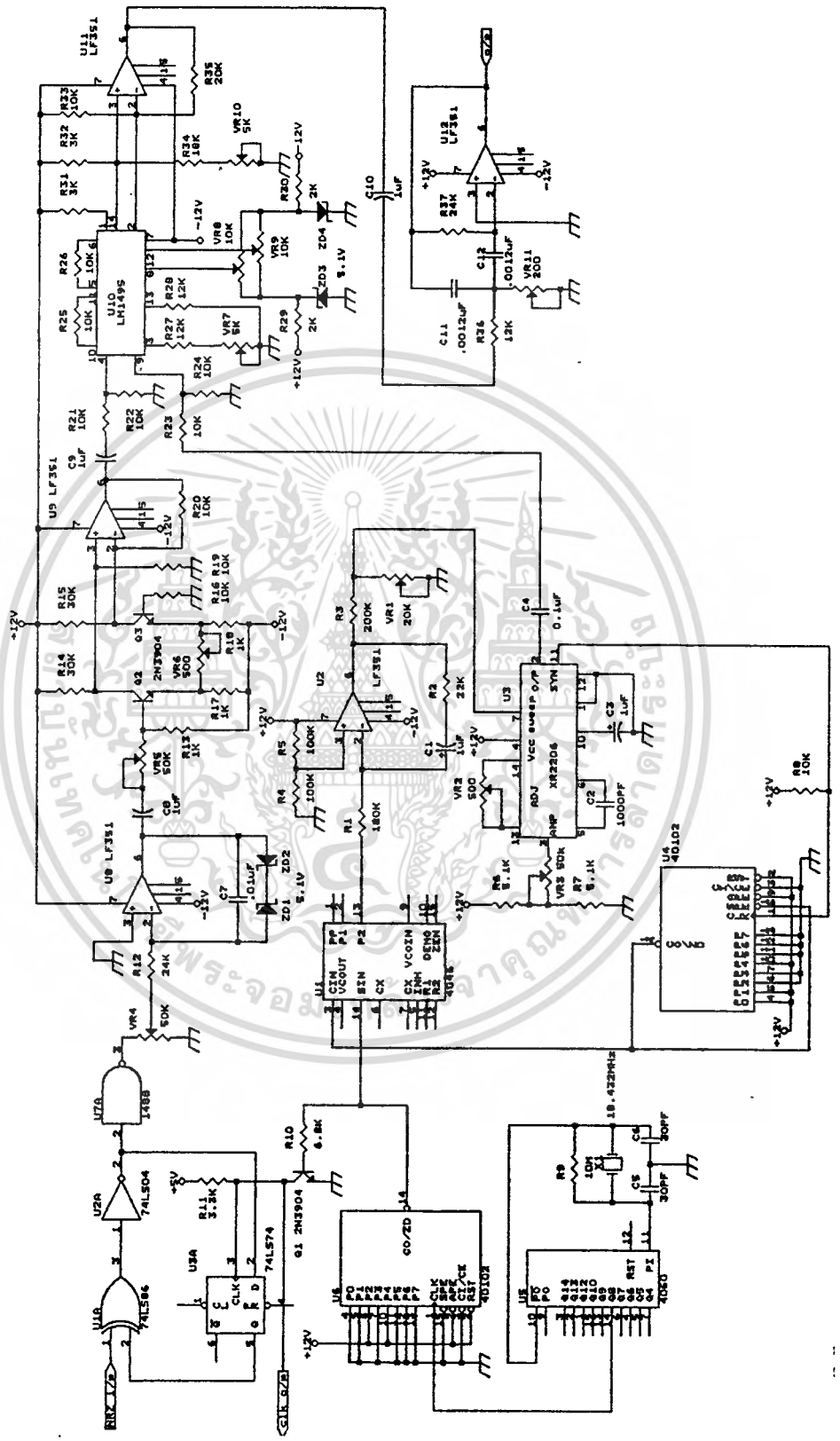
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับความเข้มข้นของสเปคตรัมกำลังของสัญญาณ PSK ที่มอดูเลทด้วยสัญญาณเบสแบนด์ที่เป็นสัญญาณกึ่งแรนดัมขนาด $2^{9}-1$ โดยความเข้มข้นของสเปคตรัมกำลังส่วนใหญ่จะกระจายอยู่ในช่วงความถี่คลื่นพาห์บวกลบไปขนาดของบิทเรท(67.2 KHz$\pm$ 4.8 KHz) หรือใช้แบนด์วิดท์ขนาด 2 เท่าของบิทเรท โดยสัญญาณ PSK จะใช้แบนด์วิดท์อยู่ในช่วง 62.4 KHz - 72 KHz แสดงได้ดังรูป 4.4.5.ข สำหรับวงจรมอดูเลทสัญญาณ PSK ทั้งหมดแสดงได้ดังรูป 4.4.5.ค



4.4.5.ข แสดงสเปคตรัมของสัญญาณ PSK ที่เอาท์พุทวงจรมอดูเลท PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

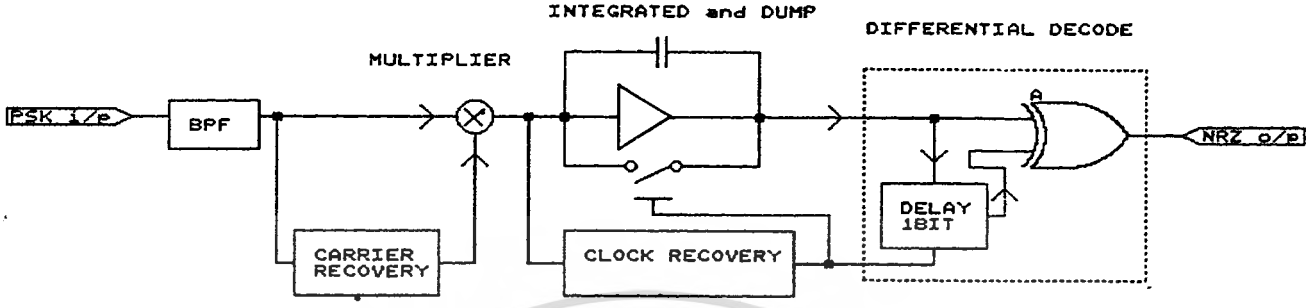


รูปที่ 4.4.6 แสดงวงจรมอดูเลทสัญญาณ PSK ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ทั้งนี้ห้ามมิให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ในการแสวงหาผลประโยชน์ทางการค้าในเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การออกแบบวงจรดีมอดูเลทสัญญาณ PSK

สำหรับภาคดีมอดูเลทสัญญาณ PSK ในวิทยานิพนธ์นี้แสดงโครงสร้างได้ดังรูปที่ 4.5

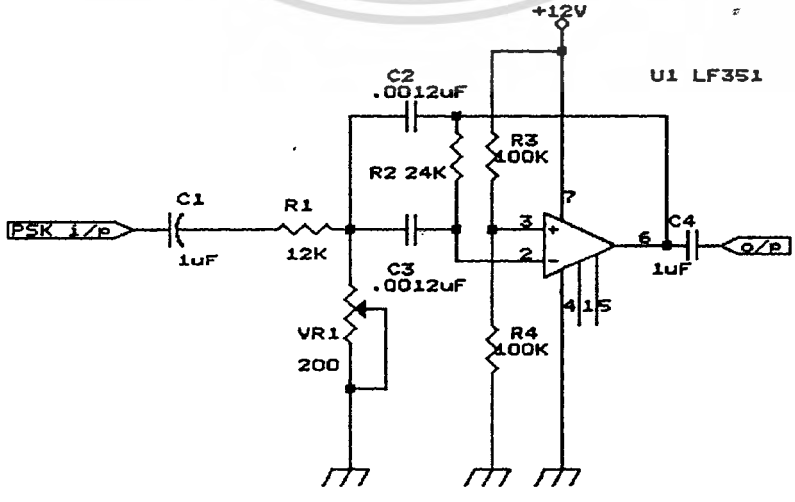


รูปที่ 4.5 แสดงโครงสร้างภาคดีมอดูเลทสัญญาณ PSK

โครงสร้างวงจรดีมอดูเลทสัญญาณ PSK ซึ่งประกอบด้วยส่วนใหญ่ๆ คือวงจรกรองความถี่ วงจรโคฮีเรนท์ดีมอดูเลทเตอร์ (coherent demodulator) ซึ่งประกอบด้วยวงจรกู้สัญญาณคลื่นพาห์ (carrier recovery) วงจรคูณสัญญาณ วงจรอินทีเกรทแอนดัมพ์ (intergated and dump) และสำหรับการส่งสัญญาณ PSK ที่ภาคส่งส่วนของสัญญาณเบสแบนด์เข้ารหัสเป็น NRZ-I ดังนั้นเพื่อให้สามารถถอดรหัสเป็น NRZ ได้ที่ภาครับจะต้องมีวงจรกู้สัญญาณนาฬิกา(clock recovery) และวงจรถอดรหัสสัญญาณ NRZ-I เป็น NRZ

4.5.1 วงจรกรองความถี่ผ่าน

สำหรับวงจรกรองความถี่ผ่าน 67.2 KHz สำหรับภาคดีมอดูเลทสัญญาณ PSK กำหนดให้มีค่า Q เท่ากับ 6 และค่าอัตราการขยายที่ความถี่ศูนย์กลางเท่ากับ 1 ขนาดความต้านทานและคาปาซิแตนซ์ของวงจรกรองความถี่ 67.2 KHz มีขนาดเช่นเดียวกับวงจรกรองความถี่ผ่านย่านในภาคมอดูเลทสัญญาณ PSK สำหรับวงจรกรองความถี่ แสดงดังรูป 4.5.1

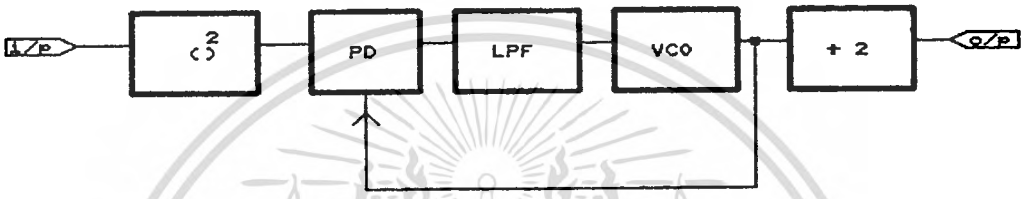


รูปที่ 4.5.1 วงจรกรองความถี่ 67.2 KHz สำหรับภาคดีมอดูเลทสัญญาณ PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.2 วงจรกู้สัญญาณคลื่นพาห์[3]

วงจรกู้สัญญาณคลื่นพาห์เป็นวงจรสร้างสัญญาณคลื่นพาห์ขึ้นที่ภาครับของวงจรดีมอดูเลทสัญญาณ PSK โดยสัญญาณที่สร้างขึ้นมาจะมีคุณสมบัติซิงโครไนซ์ทางเฟสกับคลื่นพาห์ที่ภาคส่งโดยวงจรกู้สัญญาณคลื่นพาห์ หรือวงจรสร้างสัญญาณ $\cos\omega_c t$ ขึ้นที่ภาครับ มีหลายชนิดเช่น squaringloop, costas loop แต่ในการทดลองนี้จะกล่าวกับ squaring loop หรือ ลูปยกกำลังสองสำหรับการกู้สัญญาณคลื่นพาห์โดยสามารถแสดงหลักการวงจรได้ดังรูปที่ 4.5.2.ก



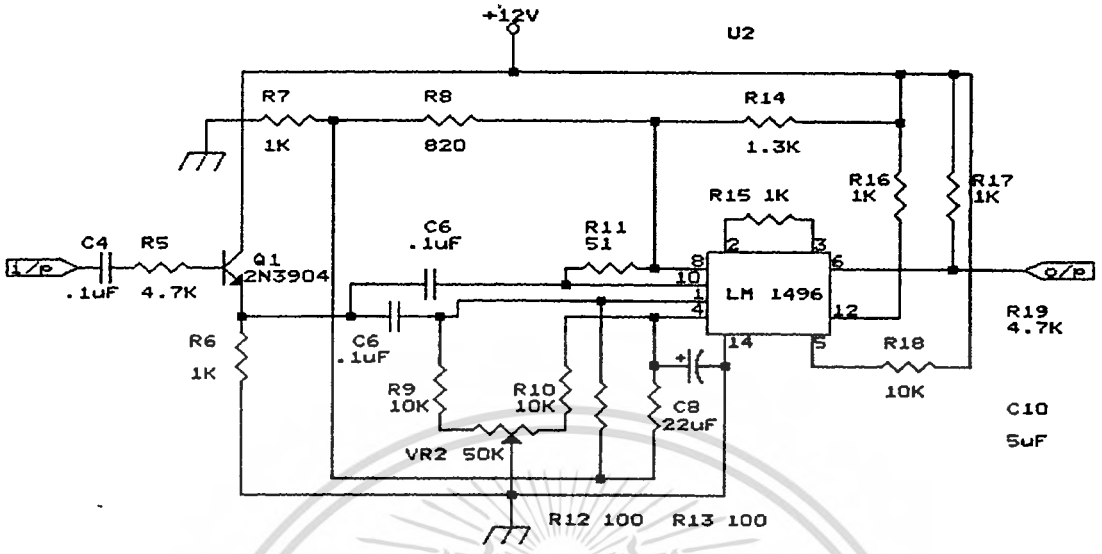
รูปที่ 4.5.2.ก แสดงโครงสร้างลูปยกกำลังสองสัญญาณ

โดยลูปยกกำลังสอง(squaring loop)จะประด้วยภาคยกกำลังสองของสัญญาณ(squaring),วงจร PLL,วงจรหารสอง การทำงานของลูปยกกำลังสองเมื่อรับสัญญาณอินพุท PSK ซึ่งมีเฟส $\cos\omega_c t$ หรือ $-\cos\omega_c t$ ขึ้นอยู่กับสัญญาณเบสแบนด์ วงจรยกกำลังสองทำหน้าที่ยกกำลังสองของสัญญาณคลื่นพาห์โดยเอาท์พุทของวงจรยกกำลังสองจะได้ฮาร์โมนิคที่ 2 ของ $\cos\omega_c t$ หรือ $\cos 2\omega_c t$,สัญญาณ$\cos 2\omega_c t$ จะเป็นอินพุทหรือสัญญาณอ้างอิงของ PLL โดย PLL จะล็อกเฉพาะสัญญาณ $\cos 2\omega_c t$ เอาท์พุทของ PLL จะเป็นอินพุทของวงจรหารสอง ซึ่งจะหารความถี่ให้เป็น $\cos\omega_c t$ สำหรับเป็นสัญญาณอ้างอิงเพื่อการดีมอดูเลทสัญญาณ PSK ต่อไปโดยในทางปฏิบัติสามารถแสดงการออกแบบของส่วนต่างๆได้ดังนี้

1 วงจร ยกกำลังสอง

หลักการวงจรยกกำลังสอง จะใช้วงจรคูณสัญญาณโดยอินพุททั้งสองของวงจรคูณสัญญาณต่อเข้าด้วยกันกับสัญญาณที่ต้องการยกกำลัง โดยวงจรที่ใช้คูณเป็นวงจรรวมสำหรับคูณสัญญาณขนาดเล็กซึ่งใช้วงจรรวม LM1496 โดยอินพุทมีขนาดสัญญาณ 100 mv ซึ่งเป็นสัญญาณเอาท์พุทของวงจรเครื่องรับ FM (FM tuner)

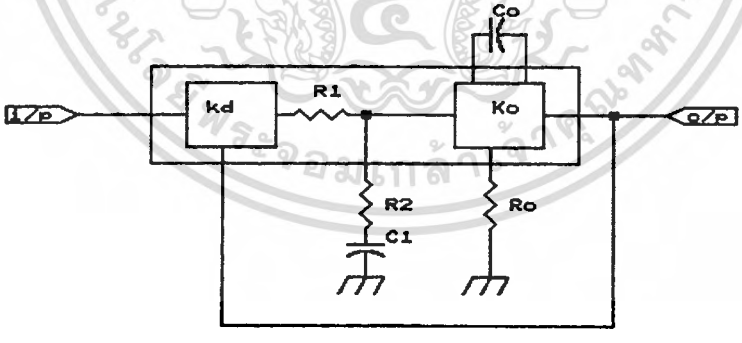
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5.2.ข แสดงวงจรสำหรับยกกำลังสองสัญญาณ

2 วงจร PLL

สำหรับวงจร PLL สำหรับล็อกสัญญาณ $\cos 2\omega_c t$ นั้นใช้วงจรรวม LM565 โดยแสดงโครงสร้างของวงจรได้ดังรูป 4.4.5.ค ค่าความถี่ศูนย์กลาง f_o ของลูปตั้งได้จากค่า R_oC_o ตั้งให้มีขนาดเท่ากับ 2 เท่าของ 67.2 KHz หรือเท่ากับ 134.4 KHz



รูปที่ 4.5.2.ค แสดงโครงสร้าง PLL สำหรับลูปยกกำลังสองสัญญาณ

โดยค่าความถี่ f_o กำหนดได้คือ

$$f_o = \frac{1}{3.7R_oC_o} \qquad \text{-----(34)}$$

ถ้ากำหนด C_o เท่ากับ 330 pF ค่า R_o จะมีขนาดเท่ากับ 6039 Ω ในทางปฏิบัติใช้ความต้านทานขนาด 5.6 KΩ ต่ออนุกรมกับความต้านทานปรับค่าได้ขนาด 2 KΩ สำหรับการกำหนดค่าเวลาคงตัวของวงจรกรองความถี่ต่ำผ่านในลูปซึ่งเป็นตัวกำหนดลูปนอยส์แบนด์วิดท์(loop noise band width) และความถี่ธรรมชาติของลูป สำหรับ PLL ทำหน้าที่กู้สัญญาณคลื่นพาห์ หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แคเรียชิงโครไนซ์ ค่าของลูปนอยส์แบนด์วิดท์หรือความถี่ธรรมชาติของลูปต้องมีขนาดแคบที่สุดเท่าที่จะทำได้เพื่อให้สัญญาณนอยส์ที่เอาท์พุทของ PLL ที่อยู่ในรูปของจิทเตอร์มีขนาดน้อยที่สุดแต่ขนาดของเวลาพูลอิน (pull in time) ของลูป(กล่าวในบท 2.2.3)จะมีค่าสูง ดังนั้นการกำหนดค่าลูปนอยส์แบนด์วิดท์จะต้องมีขนาดไม่แคบเกินไป โดยจากลูปนอยส์แบนด์วิดท์แสดงได้

$$B_L = \frac{SNR_i B_i}{2 \times SNR_L} \qquad \text{-----(35)}$$

โดยค่า SNR_L สำหรับ PLL ที่อินพุทเป็นวงจรยกกำลังสอง จะต้องมีขนาดมากกว่าหรือเท่ากับ 12 dB ค่า B_i เป็นแบนด์วิดท์ของวงจรกรองความถี่ที่อินพุทของวงจรยกกำลังสองซึ่งมีขนาดแบนด์วิดท์เท่ากับ 11.2 KHz

สำหรับค่า SNR_i หรืออัตราส่วนระหว่างกำลังของสัญญาณต่อสัญญาณรบกวนที่อินพุทของวงจรดีมอดูเลท PSK จะมีมากกว่า 10 dB ดังนั้นจากสมการ (35) ลูปนอยส์แบนด์วิดท์จะต้องมีขนาดน้อยกว่าหรือเท่ากับ 4.6 KHz สำหรับลูปนอยส์แบนด์วิดท์ซึ่งแสดงความสัมพันธ์กับความถี่ธรรมชาติ (ส่วนที่ 2.2.4) โดยถ้าลูปมีค่า $\zeta = 0.707$ แล้วค่าลูปนอยส์แบนด์วิดท์ของ PLL ที่ใช้วงจรกรองแบบลีดแล็คจะแสดงได้คือ

$$B_L = 0.53\ \omega_n \qquad \text{-----(36)}$$

และค่า ω_n กำหนดจาก(บทที่ 2.1.1)

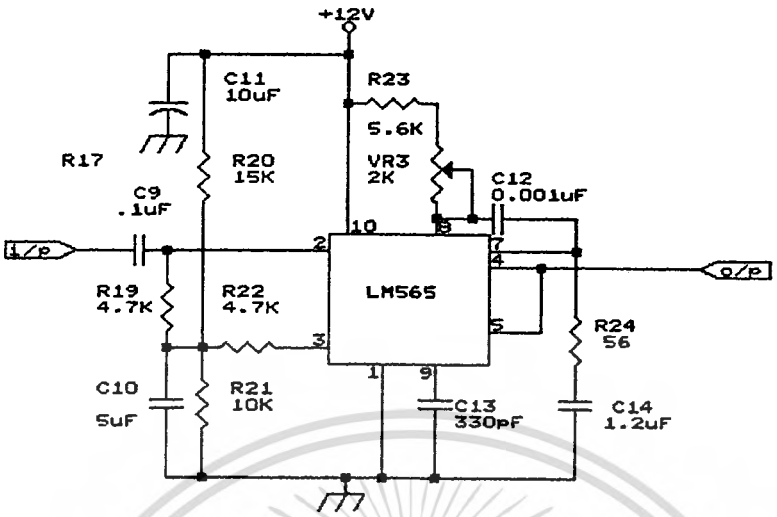
$$\omega_n = \sqrt{\frac{K_o K_d}{(R_1 + R_2)C}} \qquad \text{-----(37)}$$

และ

$$\zeta = \frac{R_2 C \omega_n}{2} \qquad \text{-----(38)}$$

จากค่า B_L กำหนดให้เท่ากับ 4.6 KHz แล้วค่า R_1 อยู่ภายในวงจรรวม LM 565 เท่ากับ 3600Ω จากสมการ(37),(38) ค่า C ในวงจรกรองเท่ากับ 1.23 μF ซึ่งในทางปฏิบัติเลือกใช้ขนาด 1.2 μF และค่า R_2 สำหรับกำหนดค่า ζ จะเท่ากับ 56 Ω สำหรับวงจรในทางปฏิบัติแสดงได้ดังรูป 4.5.2.ง โดยค่า Ro จากสมการ (34) คือ R23 ต่ออนุกรมกับ VR3 และ C_o คือ C_{13} ส่วนค่า R_2 และ C คือ R24 และ C14 ตามลำดับ

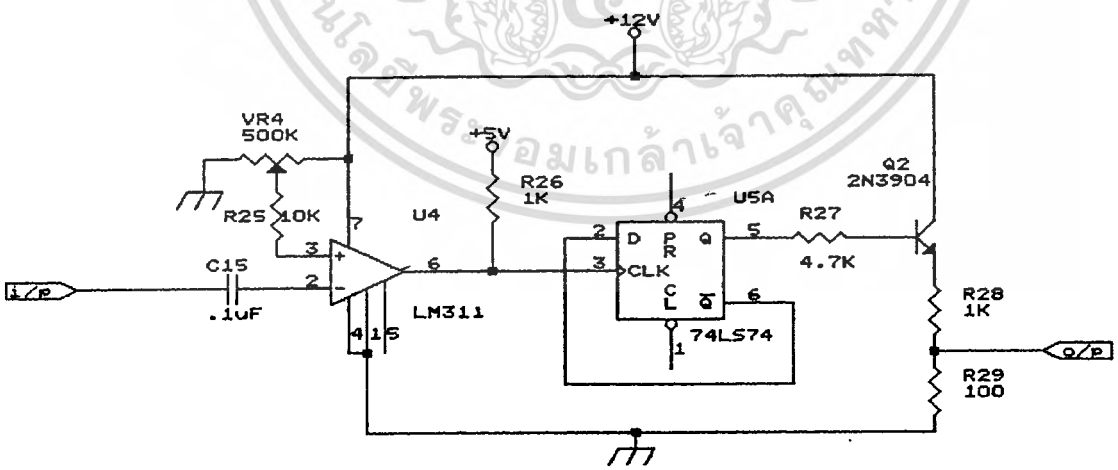
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5.2.ง แสดงวงจร PLL สำหรับลูปยกกำลังสอง

3 วงจรหาร 2

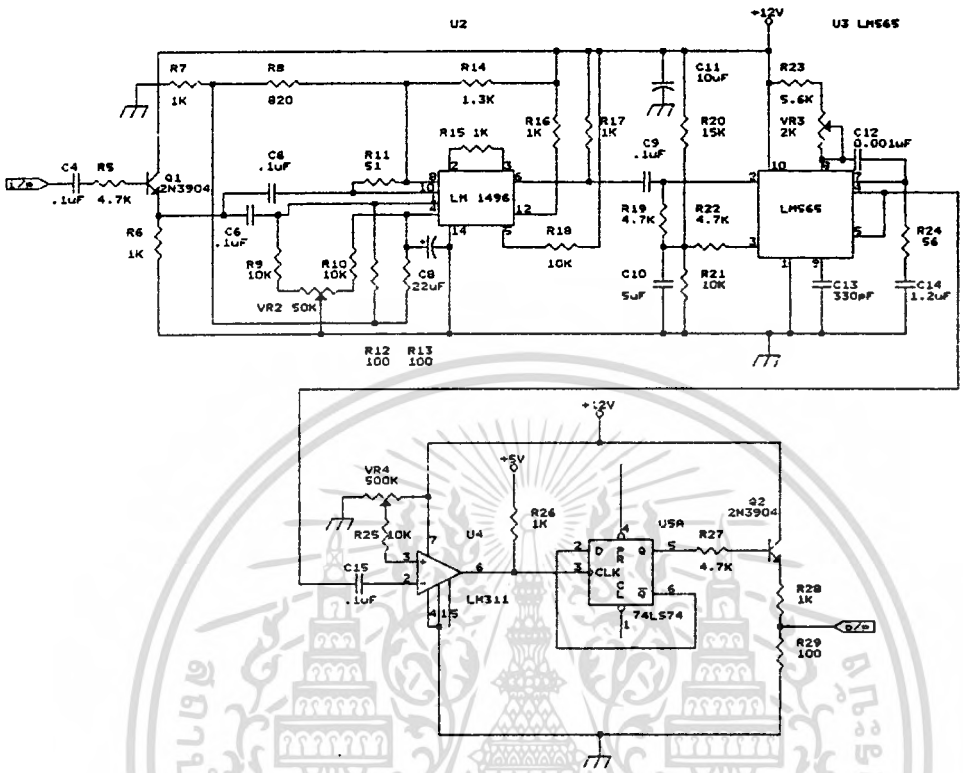
สำหรับวงจรหาร 2 สำหรับหารเอาท์พุทของสัญญาณจากวงจร PLL แสดงได้ดังรูป 4.5.2.จ โดยวงจรประกอบด้วยวงจรรวม LM311 สำหรับปรับแรงดันเอาท์พุทของวงจร PLL เป็นระดับแรงดัน TTL, วงจรรวม 74LS74 สำหรับเป็นวงจรหาร 2 และทรานซิสเตอร์ Q_2 ซึ่งต่อเป็นวงจรบัฟเฟอร์ที่เอาท์พุทโดยระดับสัญญาณเอาท์พุทของวงจรหาร 2 จะถูกลดระดับแรงดันลงเหลือประมาณ 100 mv สำหรับวงจรคูณภาคต่อไป



รูปที่ 4.5.2.จ แสดงวงจรหาร 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรกู้สัญญาณคลื่นพาห์ทั้งหมดแสดงได้ดังรูป

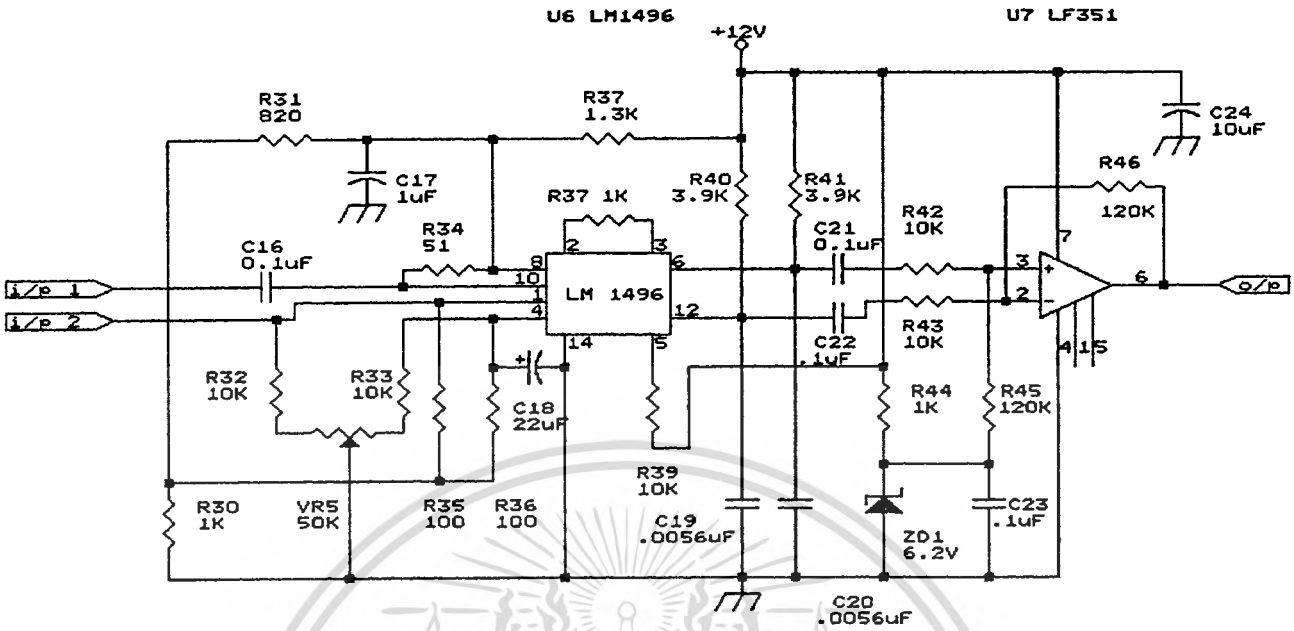


รูปที่ 4.5.2.ฉ แสดงวงจรกู้สัญญาณคลื่นพาห์แบบยกกำลังสอง

4.5.3 วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK

วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK ใช้วงจรรวม LM1496 เช่นเดียวกับวงจรยกกำลัง (squaring) โดยสัญญาณที่คูณจะป้อนเข้าที่ ขา 1 และขา 10 โดยสัญญาณอินพุทที่ขา 1 เป็นอินพุทจากสัญญาณ PSK และสัญญาณอินพุทที่ขา 10 เป็นสัญญาณจากวงจรกู้สัญญาณคลื่นพาห์ โดยขนาดของสัญญาณเป็นขนาดเล็กไม่เกิน 100 mv เช่นเดียวกับวงจรยกกำลังสอง สำหรับเอาท์พุทของวงจรคูณคือ ขา 6 และ ขา 12 ให้สัญญาณที่กลับเฟสกันโดยสัญญาณเอาท์พุทความถี่สูงจะถูกคัปปิ้งลงกราวน์และสัญญาณเบสแบนด์ที่ดีมอดูเลทได้ ใช้เป็นอินพุทอินเวอร์ติ้งและนอนอินเวอร์ติ้ง ของออปแอมป์ สำหรับอัตราการขยายออปแอมป์ของสามารถกำหนดได้โดย กำหนดอัตราส่วนระหว่างความต้านทานที่ป้อนกลับและความต้านทานอินพุท โดยในที่นี้ กำหนดอัตราขยายเท่ากับ 12 และสำหรับการออกแบบเพื่อให้ใช้กับแหล่งจ่าย +12 V กับกราวน์นั้นที่ ขานอนอินเวอร์ติ้งอินพุทของออปแอป์ต้องจัดไบอัสแรงดัน ที่มีขนาดประมาณกึ่งหนึ่งของแหล่งจ่าย VCC ซึ่งกำหนดโดยใช้ซีเนอร์ไดโอดขนาด 6.2 V สำหรับวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK แสดงดังรูปที่ 4.5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



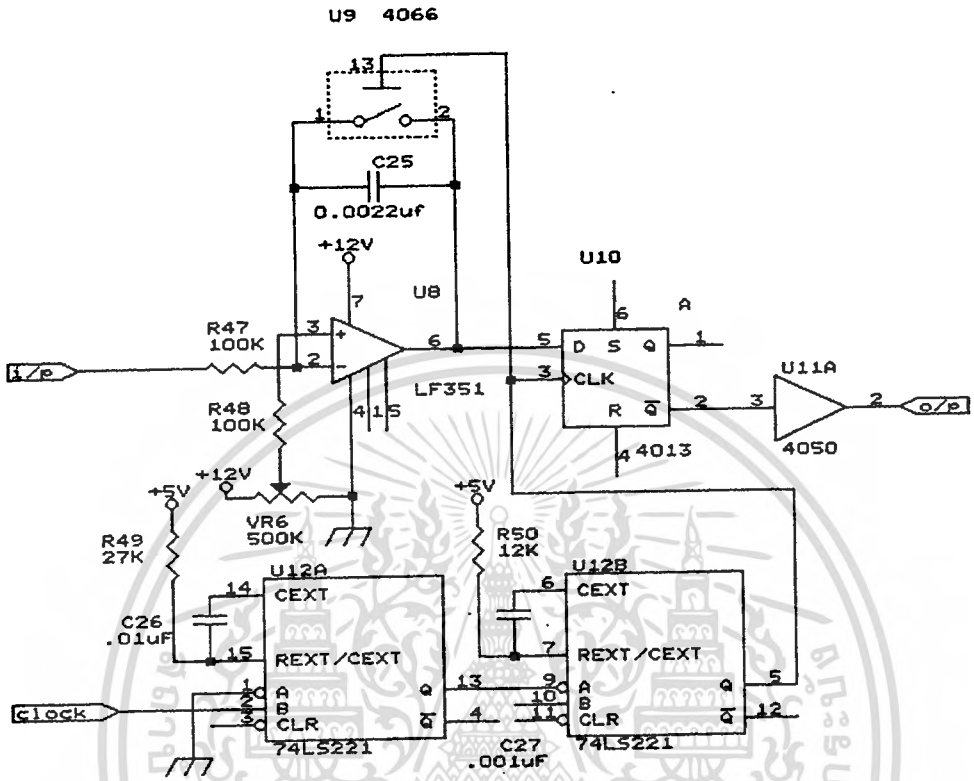
รูปที่ 4.5.3 แสดงวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK

4.5.4 วงจรอินทีเกรทแอนดัมท์(integrated and dump)

ถึงแม้ว่าสัญญาณเอาท์พุทของวงจรคูณจะเป็นสัญญาณเบสแบนด์ NRZ-I แล้วก็ตามแต่สัญญาณจะเกิดการสั่น (jilter) เนื่องจากสัญญาณรบกวน เพื่อให้ได้สัญญาณ NRZ-I ที่แน่นอนทางภาครับจึงต้องทำการอินทีเกรทสัญญาณไปในช่วง 1 บิท เพื่อพิจารณาว่าสัญญาณเบสแบนด์จะมีระดับที่แน่นอนไปในทิศทางใด แล้วทำการตัดสินระดับที่ปลายที่ช่วงเวลา 1 บิท และก่อนที่จะทำการอินทีเกรท สัญญาณลูกต่อไปต้องทำการรีเซ็ท (reset) หรือดัมท์ (dump) ให้วงจรอินทิเกรทที่ค่า 0 ก่อนทุกครั้ง วงจรอินทีเกรทแอนดัมท์จะประกอบด้วย วงจรอินทีเกรท,ฟลิปฟลอป,อีเล็คทรอนิคส์สวิทช์ และ วงจรสร้างชิงพัลซ์(syn pulse) โดยแสดงรูปวงจรได้ดังรูป 4.5.4.ก

จากรูปอินพุทของวงจรคือสัญญาณ NRZ_{in} ที่มาจากเอาท์พุทของวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK โดยสัญญาณอินพุทนี้จะมีการสั่น(jitter) อยู่โดยขึ้นอยู่กับขนาด SNR ของสัญญาณที่อินพุทของวงจรดีมอดูเลท PSK (SNR_i) โดยสัญญาณเบสแบนด์ที่ถูกอินทีเกรทดังแสดงในรูปที่ 4.5.4.ข ซึ่งเป็นเอาท์พุทของวงจรอินเวอร์ติ้งอินทีเกรท (inverting integrated)จากรูปปลายช่วงสัญญาณเบสแบนด์แต่ละช่วงจะถูกรีเซ็ทโดย syn pulse ซึ่งสัญญาณ syn pulse จะได้จากวงจรกู้สัญญาณนาฬิกา (clock recovery) สำหรับเอาท์พุทของวงจรอินเวอร์ติ้งอินทีเกรทเตอร์จะป้อนให้กับฟลิปฟลอปเพื่อให้ตัดสินค่าระดับลอจิก โดยเอาท์พุทของฟลิปฟลอปจะให้สัญญาณเบสแบนด์ NRZ-I ที่ถูกหน่วงเวลาไป 1 บิทดังแสดงในรูป โดยขนาดของการสั่นของสัญญาณเบสแบนด์จะลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5.4.ก แสดงวงจรอินทีเกรทแอนดัมท์

สำหรับสมการแสดงเอาท์พุทของวงจรอินทีเกรทเขียนได้คือ

$$V_o(t) = \frac{1}{RC} \int_0 V_{in}(t)\, dt \qquad \text{-----(39)}$$

โดยค่า RC เป็นค่าเวลาคงตัวของวงจรอินทีเกรท เพื่อให้ค่าแรงดันที่เอาท์พุทของวงจรอินทีเกรทมีค่าสูงสุดในช่วงเวลา 1 บิท ค่า RC กำหนดให้เท่ากับช่วงเวลา 1 บิท ซึ่งเท่ากับ 208 µs สำหรับบิทเรทขนาด 4,800 บิทต่อวินาที จากสมการ(39)ถ้ากำหนดค่า C ให้เท่ากับ 0.0022 µF แล้วค่า R จะเท่ากับ 94.6 KΩ หรือเลือกใช้ขนาด 100 KΩ สำหรับวงจรสร้าง syn pluse ที่ใช้สำหรับสุ่มเพื่อตัดสิน ค่าระดับสัญญาณลอจิกและทำการรีเซ็ทวงจรอินทีเกรท สัญญาณ syn pluse สร้างจากการหน่วงสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกา โดย syn pluse จะเกิดในช่วงปลายของสัญญาณ NRZ-I แต่ละลูกโดยเป็นพัลซ์ขนาดแคบๆการหน่วงเวลาและการทำพัลซ์ให้มีขนาดแคบ ใช้โมโนสเตเบิ้ลจำนวน 2 ชุดโดย ใช้วงจรรวม 74LS221

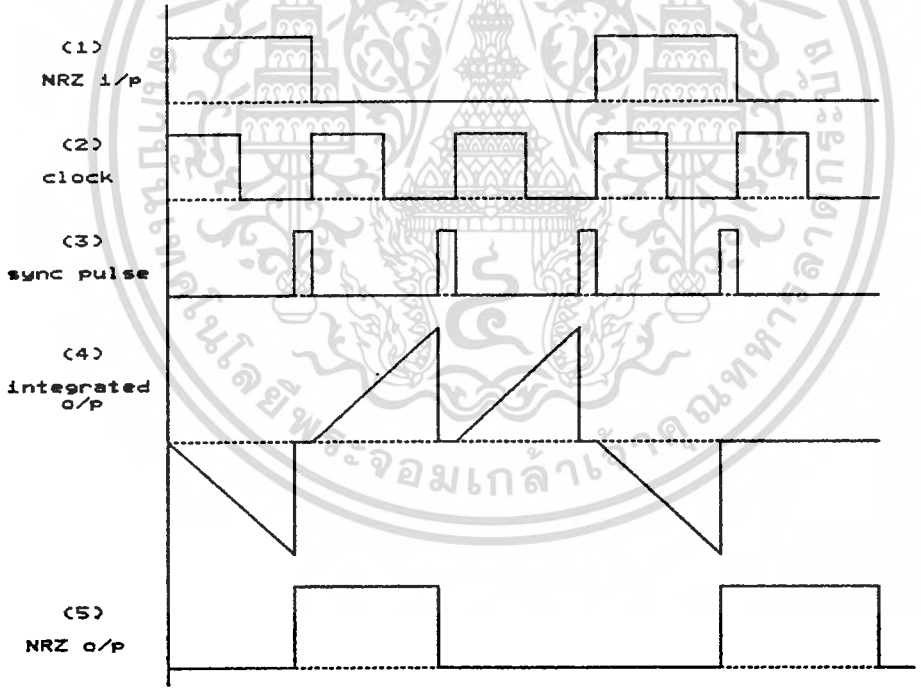
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งมีโมโนสเตเบิ้ล 2 ชุดอยู่ในวงจรรวมตัวเดียวกัน โดยอินพุทของสัญญาณนาฬิกาเป็นอินพุทของโมโนสเตเบิ้ลตัวที่หนึ่ง กำหนดให้ทำงานที่อินพุทขอบขาขึ้นโดยตั้งเวลาให้หน่วงเวลาเท่ากับ 200 μs โดยช่วงเวลากำหนดได้ดังสมการ

$$T_w = 0.7R_TC_T \qquad \text{-----(40)}$$

T_w เป็นช่วงเวลาอินพุทของโมโนสเตเบิ้ล

R_TC_T เป็นความต้านทานและคาปาซิเตอร์ต่อที่ขา RC_{xx} ของโมโนสเตเบิ้ล สำหรับโมโนสเตเบิ้ลตัวที่สอง สร้าง syn pluse กำหนดให้อินพุททำงานที่ขอบขาลง โดยช่วงเวลาจะมีขนาดประมาณ 10 μs ถ้าหากกำหนดให้ C_T สำหรับโมโนสเตเบิ้ลตัวที่หนึ่งให้มีค่าเท่ากับ 0.01 μF แล้วค่า R_T เท่ากับ 28.5 KΩ และ C_T สำหรับโมโนสเตเบิ้ลตัวที่สองเท่ากับ 0.001 μF ค่า R_T เท่ากับ 11.4 KΩ โดยในทางปฏิบัติใช้ความต้านทานขนาด 27 KΩ และ 12 KΩ ตามลำดับสำหรับสัญญาณที่จุดต่างๆของวงจรแสดงดังรูป 4.5.4.ข

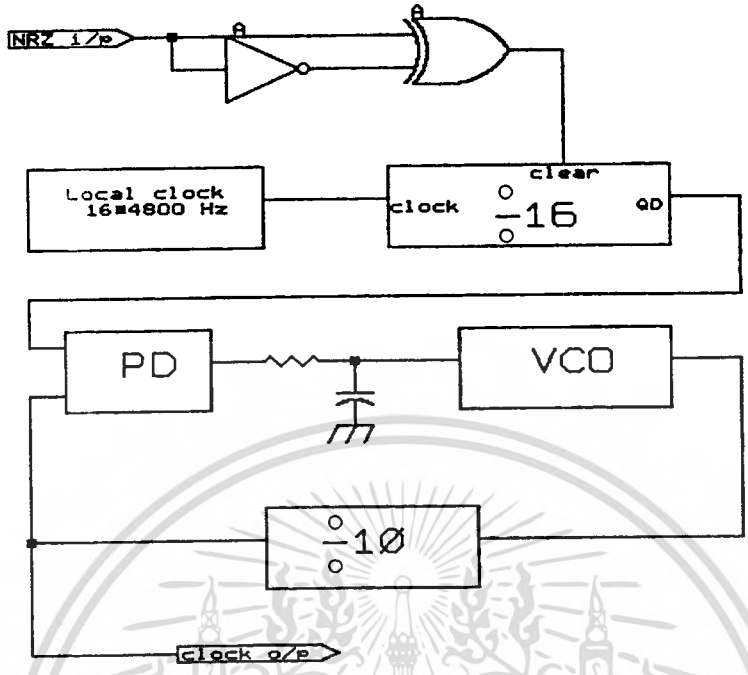


รูปที่ 4.5.4.ข แสดงสัญญาณที่จุดต่างๆของวงจรอินทีเกรทแอนดัมพ์

4.5.5 วงจรกู้สัญญาณนาฬิกา

สำหรับการสร้างสัญญาณนาฬิกาที่ภาครับขนาด 4,800 bps ให้สามารถซิงโครไนซ์กับภาคส่งได้ใช้หลักการแสดงดังรูป 4.5.5.ก

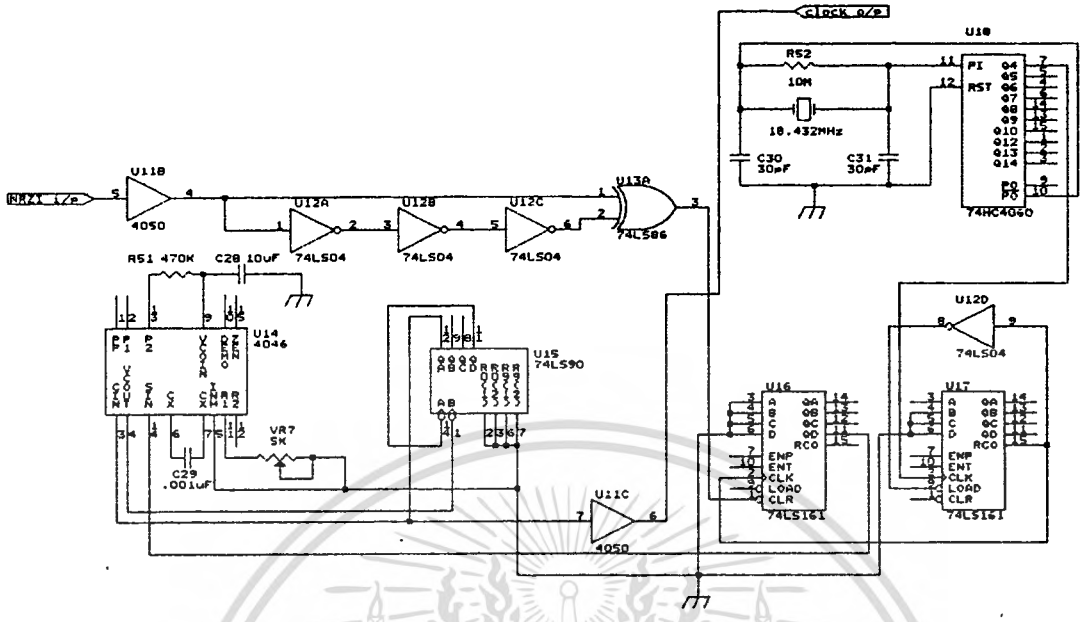
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5.5.ก แสดงหลักการวงจรกู้สัญญาณนาฬิกา

จากรูปวงจรประกอบด้วยวงจรสร้างความถี่อ้างอิง (local clock) ซึ่งสร้างความถี่ขนาด 16 เท่าของ 4,800 Hz, วงจรหาร 16, วงจรหาการเปลี่ยนแปลงของขอบสัญญาณ, วงจร PLL โดยจากอินพุทสัญญาณ NRZ จะถูกนำมาหาขอบสัญญาณ(transition)โดยใช้วงจรนอทเกทหน่วงสัญญาณ NRZ-I ที่อินพุทแล้วทำการเอ็กซ์คูลซีฟออเข้ากับสัญญาณ NRZ-I เดิมซึ่งจะทำให้ที่เอาท์พุทของเอ็กซ์คูลซีฟออเกทได้สัญญาณพัลซ์แคบๆ ซึ่งเกิดขึ้นทุกการเปลี่ยนแปลงสัญญาณอินพุท โดยสัญญาณพัลซ์นี้จะเป็นสัญญาณเคลียร์ (clear) ให้กับวงจรหาร 16 โดยที่อินพุทเป็นความถี่ขนาด 16 เท่าของความถี่บิทเรท ดังนั้นความถี่ของสัญญาณนาฬิกาที่เอาท์พุทวงจรหาร 16 จะเป็นความถี่ของสัญญาณนาฬิกาที่ซิงโครไนซ์กับสัญญาณเบสแบนด์ที่รับเข้ามา โดยขนาดของความถี่สัญญาณนาฬิกาที่เอาท์พุทวงจรหาร 16 จะถูกปรับอัตราการหารด้วยขนาดต่างๆ กัน โดยขึ้นอยู่กับขอบของสัญญาณเบสแบนด์ที่อินพุทของวงจรกู้สัญญาณนาฬิกา โดยที่เอาท์พุทของวงจรหาร 16 จะเป็นความถี่ขนาด 4,800 Hz แต่ยังมีการสั่น (jitter) ดังนั้นจึงใช้วงจร PLL ซึ่งทำหน้าที่คล้ายวงจรกรองความถี่ผ่านย่านทำการสร้างเฉพาะความถี่นาฬิกาที่ไม่มีการสั่นผ่านไปเป็นสัญญาณนาฬิกาเอาท์พุท สำหรับวงจรในทางปฏิบัติแสดงได้ดังรูป 4.4.5.ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



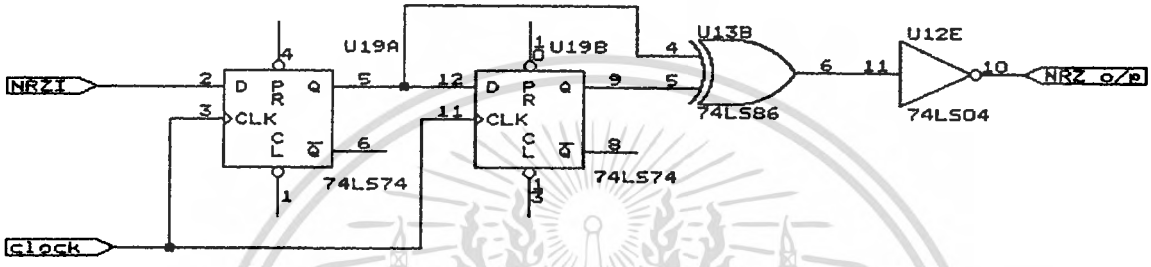
รูปที่ 4.5.5.ข แสดงวงจรกู้สัญญาณนาฬิกาใช้ในทางปฏิบัติ

จากรูปวงจรสร้างความถี่อ้างอิง (local clock) สร้างความถี่ 16 เท่าของ 4,800 Hz ประกอบด้วยวงจรรวม 4060 วงจรรวม 74LS161 โดยวงจรรวม 4060 เป็นวงจรหารไบนารี่และมีเกทออสซิเลทอยู่ภายใน โดยเกทออสซิเลทใช้สร้างความถี่อ้างอิง ซึ่งกำหนดโดยคริสตอลขนาด 18.432 MHz สำหรับความถี่ 16 เท่าของ 4,800 Hz ได้เอาท์พุท Q4 ของ 4060 หาร 15 โดยวงจรรวม 74LS161 สำหรับวงจรหาร 16 ใช้วงจรรวม 74LS161 โดยสัญญาณอินพุทเคลียร์ที่ได้จากวงจรหาการเปลี่ยนแปลงของขอบ ซึ่งเป็นการต่อรวมระหว่างนอทเกทและวงจรเอกซ์คูลซีฟออดังได้กล่าวมาข้างต้น สำหรับส่วนของวงจร PLL ประกอบด้วยวงจรรวม 4046 และวงจรรวม 74LS90 โดยวงจรรวม 4046 ประกอบด้วยส่วนวงจร VCO และเฟสดีเทคเตอร์โดยขนาดของความถี่ VCO ตั้งให้มีขนาด 10 เท่าของสัญญาณอินพุทหรือขนาดเท่ากับ 48 KHz โดยวงจรรวม 74LS90 เป็นวงจรหาร 10 สำหรับป้อนสัญญาณกลับไปเปรียบเทียบเฟสกับอินพุทที่มีจิทเตอร์ขนาด 4,800 Hz โดยเอาสัญญาณป้อนกลับนี้ไปใช้งานเป็นสัญญาณนาฬิกา สำหรับค่า RC สำหรับวงจรกรองในลูปของ PLL ซึ่งต่อที่ขา 13 และ 9 ของวงจร 4046 ทดลองเลือกจากทางปฏิบัติใช้ขนาด 470 KΩ และ 10 μF ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.6 วงจรถอดรหัสสัญญาณ NRZ-I/NRZ

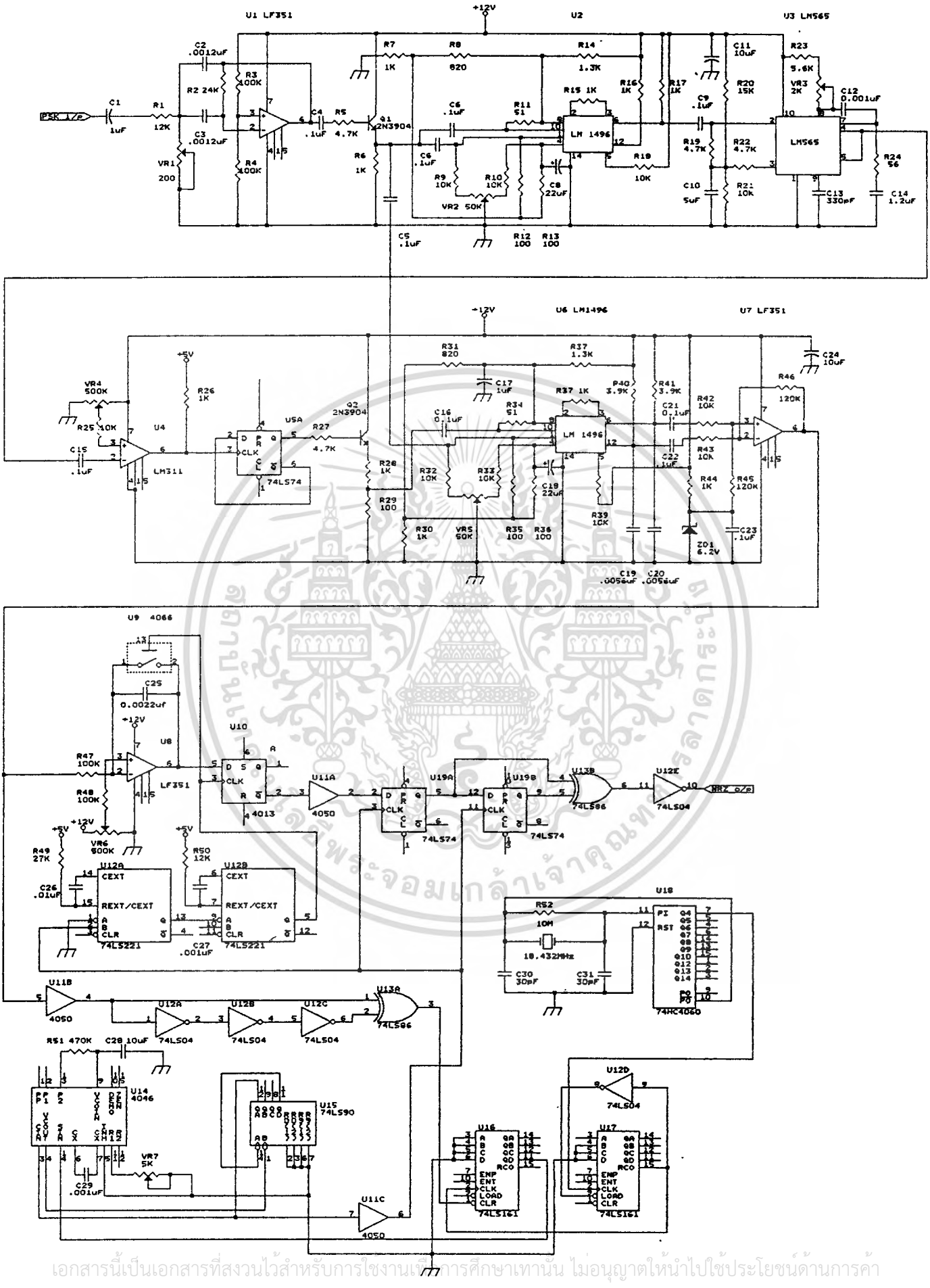
สำหรับการถอดรหัสสัญญาณ NRZ-I ซึ่งใช้ NRZ-S เป็น NRZ-L นั้นใช้วงจรดังรูป 4.5.6 จากรูปการมอดูโลและการหน่วงเวลา 1 บิทใช้เอ็กซ์คลูซีฟออเกท 74LS86 และดีฟลิปฟลอบเช่นเดียวกับวงจรเข้ารหัสสัญญาณ



รูปที่ 4.5.6 วงจรถอดรหัสสัญญาณ NRZ-I เป็น NRZ

สำหรับวงจรดีมอดูเลทสัญญาณ PSK ทั้งหมดแสดงได้ดังรูป 4.5.7.ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5.6.ข แสดงวงจรดีมอดเลทสัญญาณ PSK ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบเครื่องวัดอัตราการผิดพลาดของบิท

ในการสื่อสารข้อมูลนั้นตัวการที่ทำให้เกิดการผิดพลาดในการรับข้อมูล นอกจากจะเป็นคุณสมบัติของช่องสัญญาณซึ่งมีความผิดเพี้ยนทางด้านแอมปลิจูดหรือเฟสแล้ว สัญญาณรบกวนแบบเกาส์เซียน (Gaussion Noise) และสัญญาณรบกวนแบบอิมพัลส์ (Impulsive noise) นั้นก็มีผลต่อการรับข้อมูลโดยตรง โดยสัญญาณรบกวนแบบเกาส์เซียน จะทำให้ข้อมูลที่รับผิดพลาดเป็นแรนดัมแบบเดี่ยวๆ (Single Random Error) ส่วนสัญญาณรบกวนแบบอิมพัลส์ จะทำให้เกิดการผิดพลาดของข้อมูลเป็นแบบเบริส (Burst Error) รวมทั้งการเกิดที่การรับเกิดการผิดพลาดแบบเบริส สำหรับการจางหายในกรณีที่เป็นการสื่อสารแบบเคลื่อนที่ (Mobile Communication) หรือการเชื่อมต่อโดยระบบไมโครเวฟ

ในการวัดสมรรถภาพของระบบสื่อสารระบบอนาลอก (Analog Communication System) คุณสมบัติของสัญญาณที่รับได้มักบอกเป็นจำนวนสัญญาณที่ต้องการต่อสัญญาณรบกวน (Signal to Noise Ratio:SNR) ซึ่งก็พอที่จะทราบคุณสมบัติของช่องสัญญาณหรือคุณภาพของสัญญาณที่รับได้ว่าสามารถที่จะสื่อสารกันได้รู้เรื่อง หรือมีประสิทธิภาพมากน้อยเพียงใด

5.1 การวัดสมรรถภาพของระบบโดยใช้ข้อมูลกึ่งแรนดัม[18]

ในทางระบบสื่อสารทางดิจิตอล (Digital Communication System) เรามักจะบอกสมรรถภาพของระบบ หรือคุณสมบัติของช่องสัญญาณว่าดีหรือไม่เพียงใด โดยการบอกอยู่ในลักษณะของอัตราบิทที่ผิด (Bit Error Rate:BER) ต่อการส่งของข้อมูลทั้งหมด ในการส่งข้อมูลในความเป็นจริงข้อมูลที่เกิดขึ้นจะไม่มีรูปแบบที่แน่นอน ดังนั้นการสร้างสัญญาณขึ้นทดสอบจึงต้องมีคุณสมบัติทางสถิติใกล้เคียงกับข้อมูลที่ส่งจริง คือมีความเป็นแรนดัม (Random) แต่จะต้องมีคุณสมบัติในการสามารถที่จะทำการซิงโครไนซ์สัญญาณกลับที่ภาครับ สัญญาณที่ใช้ทดสอบดังกล่าวนี้คือสัญญาณข้อมูลกึ่งแรนดัม (Pseudo Random Binary Sequence:PRBS) หรือรหัสกึ่งแรนดัม (Pseudo Random Code)

แต่การวัดอัตราการผิดพลาดของบิทเป็นการบอกว่ามีบิทผิดมากเท่าไหร่ในจำนวนที่ส่งทั้งหมด ซึ่งไม่ได้บอกตำแหน่งหรือระยะห่างของบิทที่ผิดพลาดที่เกิดขึ้นในระบบ อาจไม่เพียงพอสำหรับการการออกแบบขนาดของแพคเกตสำหรับการส่งข้อมูลในช่องสัญญาณ สำหรับการวัดอัตราการผิดพลาดที่เกิดขึ้นในระบบอาจแสดงพร้อมช่วงปราศจากการผิดพลาด (Error Free Interval: EFI) โดยค่า EFI นี้จะวัดจากระหว่างช่วงของการผิดพลาดที่เกิดขึ้นในระบบซึ่งแสดงได้ดังรูปที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

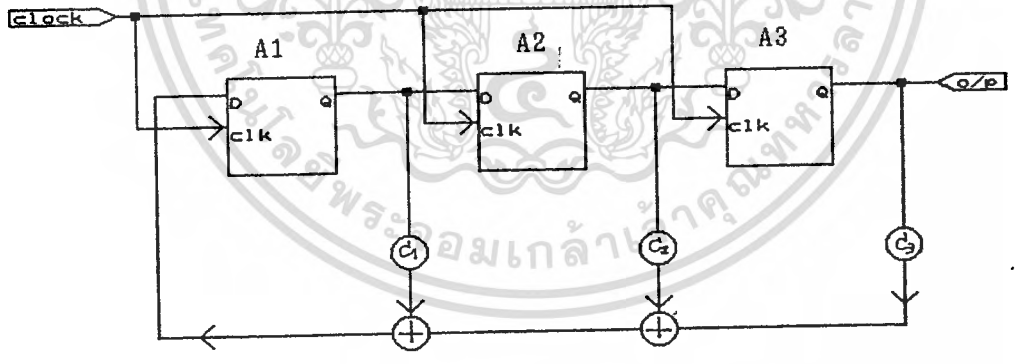
```
100.............0000001 0100110101010001010 00.....................000
<-Error Free Interval-><- Burst Error -><-Error Free Interval ->
```

รูปที่ 5 แสดงการวัด EFI

จากรูปแสดงช่วงปราศจากการผิด (EFI) โดยการผิดพลาดที่เกิดขึ้นเป็นแบบเบริสโดยช่วงของการวัด EFI จะแยกจากการเกิดความผิดพลาดแบบเบริส โดยจะสนใจระยะความห่างระหว่างบิทผิดตั้งแต่จำนวน 100 บิทขึ้นไป การแสดงผลของ EFI อาจจะแสดงผลในรูปของกราฟฮิสโตแกรม (Histogram) ซึ่งแสดงขนาดของ EFI ต่อความถี่ที่เกิดซึ่งจะมีประโยชน์ในการนำไปใช้เป็นข้อมูลสำหรับการออกแบบขนาดแพคเกต (Packet)ของการส่งข้อมูลในช่องสัญญาณ

5.1.1 การสร้างข้อมูลกึ่งแรนดัม[19]

การสร้างข้อมูลกึ่งแรนดัมสามารถสร้างได้โดยวงจรชิฟท์รีจีสเตอร์โดยจำนวนชีเควนที่เกิดขึ้นของรหัสจะมีความยาวเท่ากับสองยกกำลังด้วยจำนวนรีจีสเตอร์ลบหนึ่ง ซึ่งเราอาจจะเรียกรหัสกึ่งแรนดัมอย่างนี้ว่า รหัสมีชีเควนสูงสุด (Maximum Length Sequence Code) การสร้างรหัสโดยชิฟท์รีจีสเตอร์สามารถแสดงได้ดังรูป 5.1.1.ก



รูปที่ 5.1.1.ก แสดงโครงสร้างวงจรกำเนิดสัญญาณข้อมูลกึ่งแรนดัม

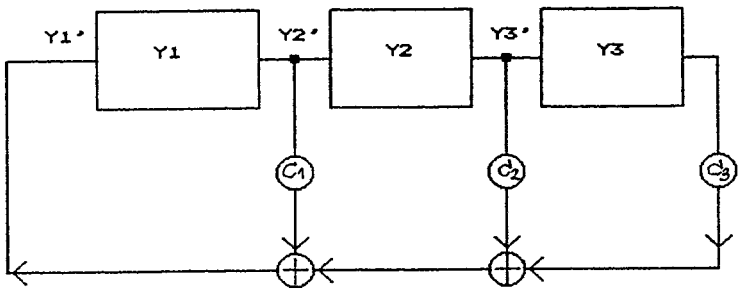
A1, A2, A3 เป็นฟลิบฟลอบต่ออนุกรมเป็นชิฟท์รีจีสเตอร์

C_1, C_2, C_3 เป็นค่าสัมประสิทธิ์การป้อนกลับ (Feedback Coeffiency)

$\oplus$ เป็นเครื่องหมายการมอดูโลสอง (Modulo 2)

กรณีที่จะทำให้วงจรรูป 5.1.1.ก สามารถสร้างชีเควนสูงสุดได้นั้น การเลือกสัมประสิทธิ์การป้อนกลับจะต้องเลือกให้ถูกต้องจากรูป 5.1.2.ข ถ้าให้ Y_1', Y_2', Y_3' เป็นสถานะปัจจุบัน (present State) และ Y_1, Y_2, Y_3 เป็นสถานะภายหน้า(next state) ของฟลิบฟลอบเขียนได้คือ

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1.1.ข แสดงสถานะของฟลิปฟลอป

$$Y_1' = C_1Y_1 + C_2Y_2 + C_3Y_3$$
$$Y_2' = Y_1 \qquad \text{-----(1)}$$
$$Y_3' = Y_2$$

จากสมการข้างบน เขียนเป็นแมทริกได้คือ

$$\begin{bmatrix} C_1 & C_2 & C_3 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} Y_1 \\ Y_2 \\ Y_3 \end{bmatrix} = \begin{bmatrix} Y_1' \\ Y_2' \\ Y_3' \end{bmatrix} \qquad \text{-----(2)}$$

หรือ

$$T[y] = [y'] \qquad \text{-----(3)}$$

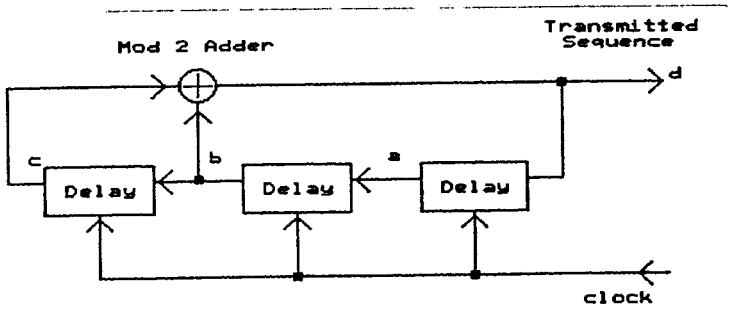
โดย T เป็น transition matrix ถ้านำค่า [y'] แทนที่ใน [y] จนกระทั่ง y ซ้ำค่า เราสามารถหา Characteristic Polynomial ของเลขคณิตมอดูโล2 ของ T Matrix คือ

$$\phi(x) = \det (T - XI) \qquad \text{-----(4)}$$

โดย I เป็น Unity Matrix หรือแสดงในรูป โพลีโนเมียลได้คือ

$$\phi(X) = X^n + C_1X^{n-1} + C_2X^{n-2} + \ldots\ldots + C_n \qquad \text{-----(5)}$$

ถ้าต้องการให้ชุดชิฟท์รีจิสเตอร์ กำเนิดสัญญาณรหัสมีชีเควนสูงสุด (Maximum Sequence-Code) แล้ว $\phi(X)$ ต้องเป็น irreducible Polynomial



รูปที่ 5.1.1.ค แสดงการกำเนิดสัญญาณกึ่งแรนดัม ขนาด 2^3-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

time	Values at points			
	a	b	c	d (Output)
0	1	1	1	0
1	0	1	1	0
2	0	0	1	1
3	1	0	0	0
4	0	1	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0
8	0	1	1	0
9	0	0	1	1
10	1	0	0	0
11	0	1	0	1
12	1	0	1	1

3 7 bit$(2-1)$ Pseudo-Random Sequence

ตารางที่ 5.1.1.ก แสดงชีเควนของ PRBS ขนาด 2^3-1

สำหรับรีจีสเตอร์จำนวนใดๆ ได้ตามตารางดังนี้

จำนวนรีจีสเตอร์ N	รหัสสูงสุด 2^{n-1}	จำนวนแทปที่เลือกได้	แทปตัวอย่าง
4	15	2	(4,1),(4,3)
6	63	6	(6,1),(6,5,2,9)
9	511	48	(9,4),(9,8),(9,6,4,3)
11	2047	176	(11,2),(11,8,5,2)

ตารางที่ 5.1.1.ข แสดงจำนวนรีจีสเตอร์,ชีเควนที่เกิดขึ้นและการเลือกแทป

5.1.2 คุณสมบัติของสัญญาณกึ่งแรนดัม

1. จำนวน "1"ที่เกิดในชีเควนมากกว่า "0" อยู่เท่ากับหนึ่งหรือถ้ารหัสมีความยาว 2^n-1 จะมี "1" อยู่เท่ากับ $2^n/2$ หรือถ้ามีจำนวนชีฟท์รีจีสเตอร์แล้วประมาณได้ว่าโอกาสการเกิดหนึ่งเท่ากับโอกาสการเกิดศูนย์
2. จำนวนบิทที่ติดกันสำหรับชิฟท์รีจีสเตอร์ขนาด n สภาวะแล้ว

จำนวนบิท 1 ติดกัน n บิทจะมี 1 ครั้งในชีเควน

จำนวนบิท 0 ติดกัน n-1 บิทจะมี 1 ครั้งในชีเควน

จำนวนบิท 0 และ 1 ติดกัน n-2 บิทจะมี 2 ครั้งในชีเควน

จำนวนบิท 0 และ 1 ติดกัน n-3 บิทจะมี 4 ครั้งในชีเควน

จำนวนบิท 0 และ 1 ติดกันสองครั้ง บิทจะมี 2^{n-4} ในชีเควน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำนวนบิท 0 และ 1 เป็นบิทเดี่ยวๆจะมี 2^{n-3} ในซีเควน

3. ค่าออโตคอรีเรชันสัญญาณจะมีค่าสูงสุดที่จุดศูนย์และค่าสูงสุดทุกระยะชิฟท์ของออโตคอรีเรชันเท่ากับ 2^{n-1} นอกจากนั้นแล้วค่าออโตรีเรชันจะมีค่าเท่ากับ $-1/2^{n-1}$ ดังนั้นอาจกล่าวได้ว่าถ้าหากสเตทของชิฟท์รีจิสเตอร์หรือ n มีจำนวนมากๆแล้วรหัสกึ่งแรนดัมก็จะมีความใกล้เคียงในความเป็นแรนดัม ดังนั้นความเข้มข้นของสเปคตรัมกำลังของสัญญาณข้อมูลกึ่งแรนดัม สามารถหาได้จากทฤษฎีของ วินเนอร์ คินชิน (Winer Kinchine Theorem) ที่กล่าวว่าความเข้มข้นของสเปคตรัมกำลังเป็นฟูเรียทรานฟอร์มของออโตคอรีเรชันฟังก์ชัน

$$S(f) = \int_{-\alpha}^{\alpha} R_x(\tau)\exp(-j2\pi f\tau)d\tau \qquad \text{-----(6)}$$

และ

$$R_x(\tau) = \int_{-\alpha}^{\alpha} s(f)\exp(j2\pi f\tau)df \qquad \text{-----(7)}$$

โดยจากคุณสมบัติข้างต้นค่าออโตคอรีเรชันของสัญญาณกึ่งแรนดัมแสดงได้คือ

$$X = \begin{cases} A^2\left[1-\dfrac{(N+1)|\tau|}{NT}\right] & |\tau|<=T \\ -\dfrac{A^2}{N} & \text{สำหรับช่วงเวลาที่เหลือ} \end{cases} \qquad \text{-----(8)}$$

จากออโตคอรีเรชั่นใน (8) สามารถหาความเข้มข้นของสเปคตรัมกำลังของสัญญาณข้อมูลแรนดัมได้โดยทำการใช้ฟูเรียทรานฟอร์ม

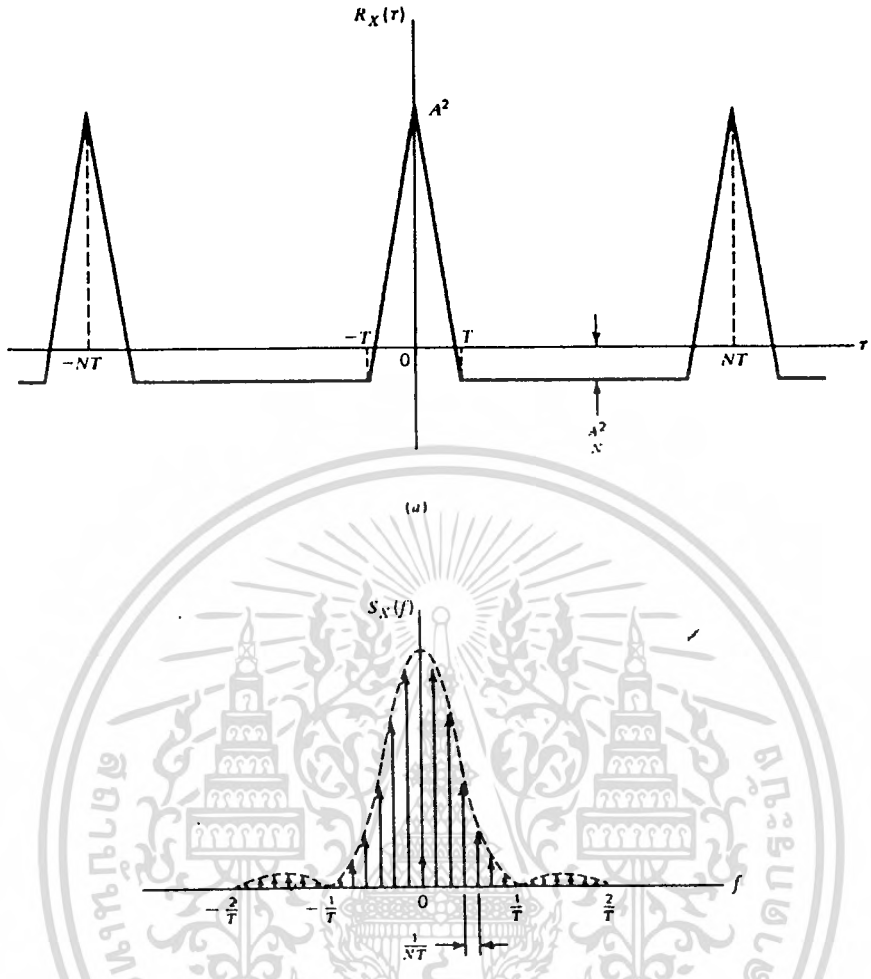
$$S_x(f) = \int_{-\alpha}^{\alpha} R(\tau)\exp(-j2\tau f)d\tau \qquad \text{-----(9)}$$

ซึ่งจะได้

$$S_x(f) = \frac{(A^2)}{N}\delta(f)+\frac{A^2}{N^2}(1+N)\sum_{n=-\alpha,\ n\neq 0}^{\alpha} \operatorname{sinc}^2\left(\frac{n}{N}\right)\delta\left(\frac{f-n}{NT}\right) \qquad \text{-----(10)}$$

จากสมการ (10) แสดงรูปความเข้มข้นสเปคตรัมกำลังได้ในรูปที่ 5.1.2 โดยไลน์สเปคตรัมเกิดขึ้นทุกๆ ระยะ 1/NT และจะมีเอนวิโลปของไลน์สเปคตรัม เป็นฟังก์ชัน $[\sin\pi fT / \pi fT]^2$ โดยสเปคตรัมจะเท่ากับศูนย์ทุกๆ ระยะเท่ากับ 1/T

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1.2 แสดงค่าออโตคอรีเรชันและความเข้มข้นของสเปคตรัมกำลังของสัญญาณกึ่งแรนดัม

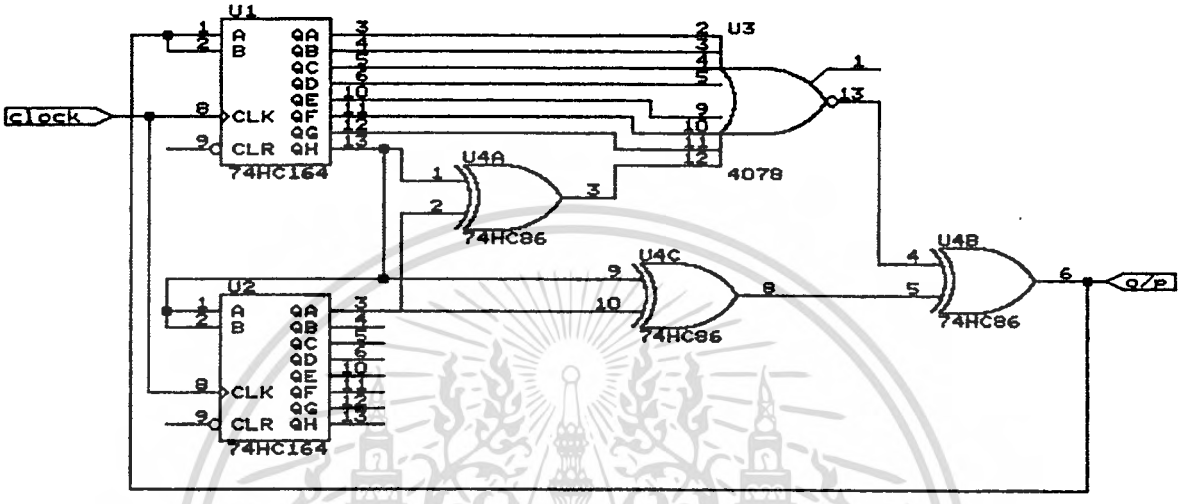
5.1.3 <u>การสร้างสัญญาณข้อมูลกึ่งแรนดัมในทางปฏิบัติ</u>

สำหรับในวิทยานิพนธ์นี้การส่งข้อมูลมีความเร็วขนาด 4,800 bps ซึ่งการเลือกขนาดของชิฟท์รีจิสเตอร์เพื่อสร้างสัญญาณข้อมูลกึ่งแรนดัม ให้มีความเข้มข้นของสเปคตรัมกำลังที่เกิดขึ้นมีขนาดใกล้เคียงกับการส่งข้อมูลโดยสัญญาณคอมพิวเตอร์ ในที่นี้เลือกขนาดของชิฟท์รีจิสเตอร์เท่ากับ 9 โดยวงจร ที่ใช้งานจริงแสดงได้ดังรูป 5.1.3

วงจรประกอบด้วยวงจรรวม 74HC164 สองตัว ซึ่งแต่ละตัวเป็นชิฟท์รีจิสเตอร์ขนาด 8 บิท การเลือกแทป(Tap) เพื่อให้เกิดซีเควนสูงสุด สำหรับสัญญาณข้อมูลกึ่งแรนดัมขนาด 2^{9}-1 นั้น เลือกแทป 9 และ 8 ของชุดชิฟท์รีจิสเตอร์ หรือ Q_H ของวงจรรวม 74HC164(U1) ตัวล่าง และ Q_A ของ 74HC164(U2) ตัวบนในวงจรแล้วป้อนเข้าอินพุทของวงจรรวม 74HC86 ซึ่งเป็นเอ็กซ์คูลซีฟออ ทำหน้าที่เป็นโมดูโล 2 สำหรับวงจรรวม 74HC86 และ 4078 นอร์เกทที่เพิ่มเข้าไปในวงจร ใช้เพื่อป้องกันสภาวะที่เอาท์พุทของชิฟท์รีจีสเตอร์เป็น "0" พร้อมกันหมดซึ่งเมื่อเกิดสภาวะนี้แล้วจะทำให้ซีเควนเอาท์พุทที่เกิดขึ้นเป็น "0" ตลอด ดังนั้นเมื่อเกิดสภาวะ "0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ทุกเอาท์พุทของชิฟท์รีจีสเตอร์แล้วที่เอาท์พุทของ 4078 จะได้ลอจิก "1" ซึ่งจะทำให้ลอจิก "1" ป้อนกลับที่อินพุทของชิฟท์รีจีสเตอร์ ทำให้ไม่เกิดการค้างสภาวะ "0" ตลอดไป



รูปที่ 5.1.3 แสดงวงจรกำเนิดสัญญาณข้อมูลกึ่งแรนดัมขนาด 2^{9}-1

5.2 เทคนิคการออกแบบเครื่องวัดอัตราการผิดพลาดของบิท

สำหรับการวัดอัตราผิดพลาดของบิทโดยใช้สัญญาณข้อมูลกึ่งแรนดัม วิธีเปรียบเทียบสัญญาณที่ภาครับกับภาคส่งเพื่อวัดความผิดพลาดทำได้โดย

1.กำเนิดสัญญาณ PRBS แล้วส่งผ่านช่องสัญญาณแล้วทำการรับข้อมูลที่ส่งมา เปรียบเทียบกับภาคส่ง (loop back) ซึ่งวิธีนี้เป็นการทดสอบระบบที่ใช้ส่งแบบ full duplex

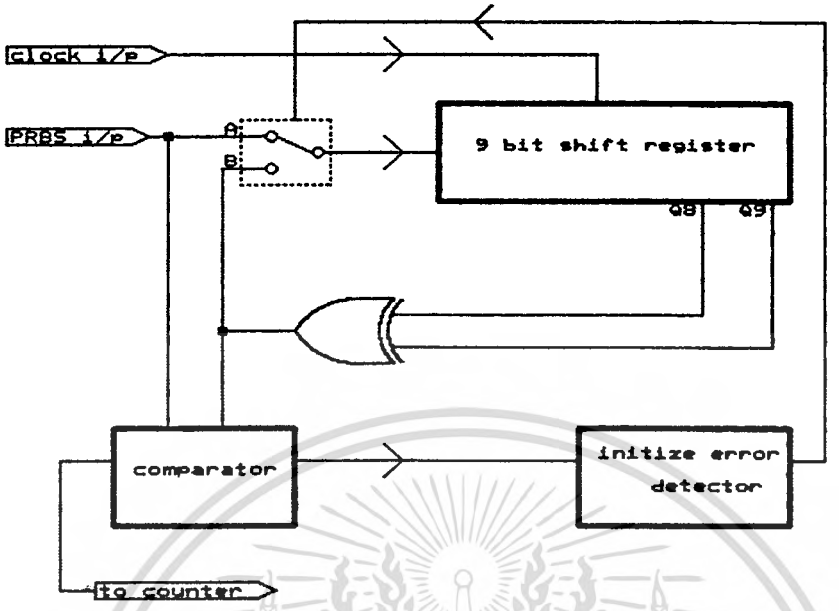
2.กำเนิดสัญญาณ PRBS ที่ภาคส่งแล้วส่งผ่านช่องสัญญาณแล้วที่ภาครับให้สัญญาณรับได้ผ่านชุดอินเวอร์สชิฟท์รีจิสเตอร์มามอดูโลกับสัญญาณ PRBS ที่รับได้โดยเอาท์พุทมอดูโลจะให้เป็นรูปแบบของบิทที่ผิด แต่การวัดโดยวิธีไม่นิยมใช้วัดเพราะว่ามีปัญหาจากการคูณของบิทผิด(error multi plication)

3.กำเนิดสัญญาณ PRBS ที่ภาคส่งแล้วส่งผ่านช่องสัญญาณแล้วที่ภาครับสร้างสัญญาณ PRBS ที่ซิงโครไนซ์กับภาคส่งขึ้นมาเปรียบเทียบ ซึ่งเป็นวิธีที่ใช้ในวิทยานิพนธ์นี้

5.2.1 หลักการออกแบบเครื่องวัดอัตราการผิดพลาดของบิท

การวัดการผิดพลาดของบิทที่เกิดขึ้นโดยใช้ข้อมูลกึ่งแรนดัมที่ได้กล่าวมาแล้วนั้น ที่ภาครับจะสร้างสัญญาณที่มีชีเควนตรงกันในเวลาเดียวกันหรือ สัญญาณภาครับมีการซิงโครไนซ์กับภาคส่งโดยโครงสร้างของวงจรภาครับแสดงได้ดังรูป 5.2.1.ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

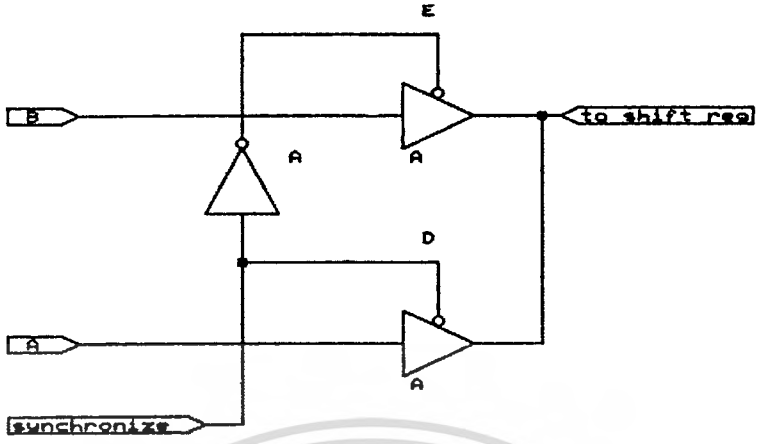


รูปที่ 5.2.1.ก แสดงโครงสร้างการวัดอัตราความผิดพลาดของบิท

โดยในตอนแรกที่ภาครับวงจรกำเนิดข้อมูลกึ่งแรนดัมทำงานเป็นอิสระ หรือสวิทช์อยู่ในตำแหน่ง B สัญญาณข้อมูลกึ่งแรนดัมที่ภาครับถูกเปรียบเทียบกับภาคส่งที่วงจรเปรียบเทียบ (Comparator) แล้วป้อนเข้าสู่เริ่มต้นดีเทคความผิดพลาด (Initial error detector)ซึ่งจะพบบิทที่ผิดพลาดมากในช่วงเวลาสั้นๆ ดังนั้นจะทำให้วงจรเริ่มต้นดีเทคความผิดพลาดให้สัญญาณเอาท์พุทที่ทำให้สวิทช์ไปอยู่ที่ตำแหน่ง A ซึ่งเป็นการชิงโครไนซ์ข้อมูล หลังจากสวิทช์อยู่ในตำแหน่ง A ในช่วงเวลาหนึ่งก็จะกลับสู่ตำแหน่ง B ซึ่งเป็นการสร้างสัญญาณกึ่งแรนดัมที่ภาครับที่มีซีเควนตรงกันกับภาคส่งตลอดไป สำหรับส่วนที่เป็นวงจรเปรียบเทียบใช้เอ็กซ์คลูซีฟออเช่นเดียวกับการมอดูโล 2 คือถ้าอินพุททั้งสองต่างกันจะให้เอาท์พุทเป็น "1" ถ้าอินพุททั้งคู่เหมือนกันจะได้เอาท์พุทเป็น "0" สำหรับส่วนที่เป็นสวิทช์สำหรับเลือกสัญญาณให้กับชุดชิฟท์รีจีสเตอร์ ซึ่งมีขนาด 9 บิท เช่นเดียวกับภาคส่งนั้นสามารถใช้วงจรรวมมัลติเพล็กเซอร์ (Multiplexer) แต่การออกแบบในที่นี้ออกแบบโดยใช้วงจรรวมบัฟเฟอร์ที่สามารถควบคุมให้อยู่ในสภาวะไฮอิมพีแดนซ์ได้ โดยการต่อเป็นสวิทช์ 2 ทางสามารถแสดงได้ดังรูป 5.2.1.ข

จากรูปสัญญาณ Synchronize เป็นสัญญาณเอาท์พุทจากวงจรเริ่มต้นดีเทคความผิดพลาดถ้าสัญญาณสภาวะ "0" สัญญาณจากอินพุท A ซึ่งเป็นสัญญาณที่รับจากภาคส่งโดยตรงมาทำการชิงโครไนซ์ให้ชิฟท์รีจีสเตอร์ที่ภาครับกำเนิดสัญญาณให้มีซีเควนตรงกันกับภาคส่ง แต่ถ้าสัญญาณ Synchronize เป็นสภาวะ "1" จะทำให้สัญญาณจากอินพุท B ซึ่งเป็นการป้อนกลับจากชุดชิฟท์รีจีสเตอร์เข้าที่ชิฟท์รีจีสเตอร์ที่ภาครับเอง

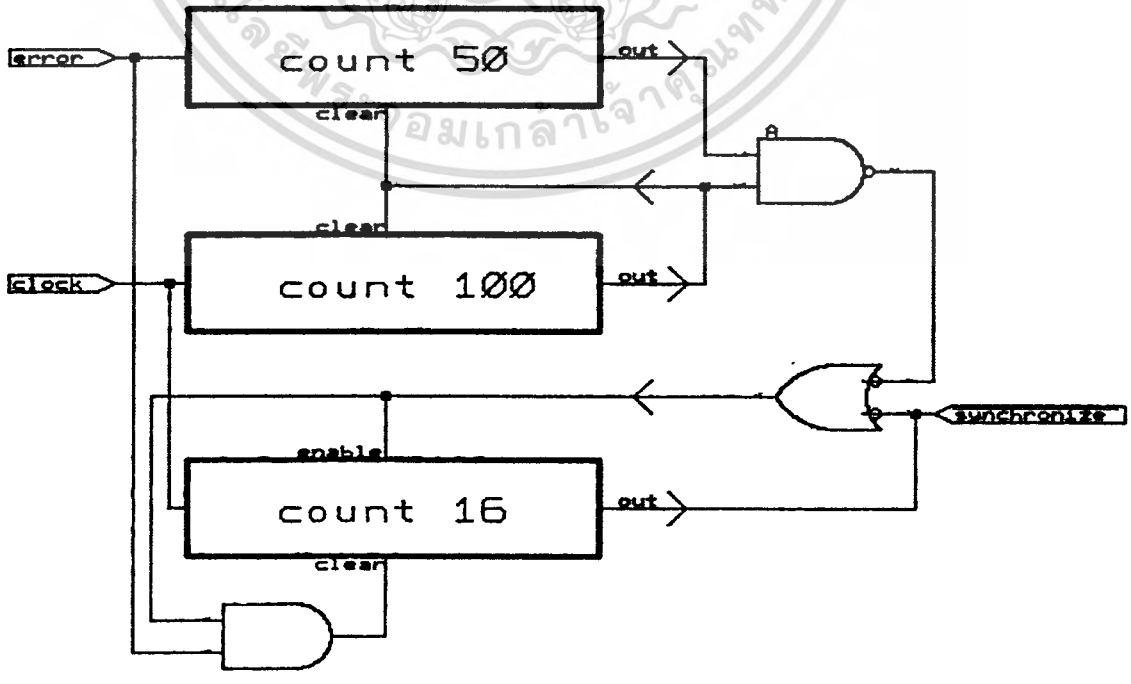
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2.1.ข แสดงวงจรที่ใช้ทำหน้าที่เป็นสวิทช์

5.2.2 การออกแบบวงจรเริ่มต้นดีเทคความผิด

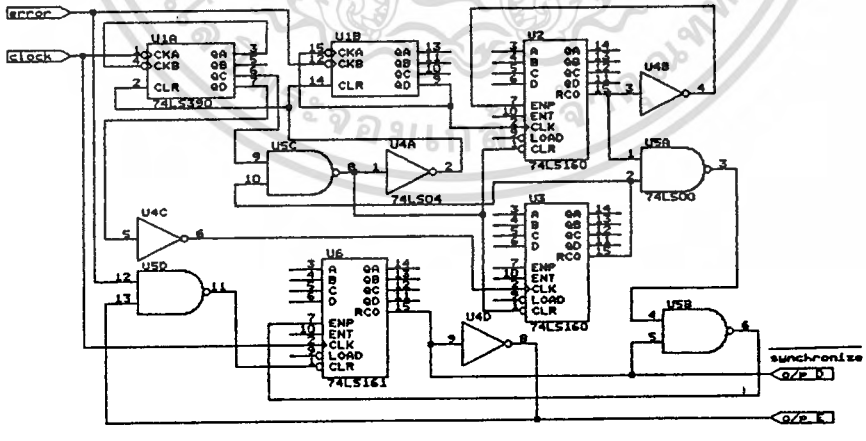
สำหรับการออกแบบวงจรนับและวงจรเริ่มต้น ดีเทคความผิดสามารถอธิบายหลักการได้คือ วงจรนี้จะให้เอาท์พุทเป็นลอจิก "0" เพื่อให้ชิฟท์รีจีสเตอร์ที่วงจรภาครับทำการชิงโครไนซ์กับภาคส่งใหม่เมื่อปรากฏว่ามีบิทจากการเปรียบเทียบที่ภาคส่งและภาครับผิดมากกว่า 50% ขึ้นไปหรือในจำนวน สัญญาณนาฬิกา (clock) 100 ลูกมีความผิดพลาดถึง 50 ลูก สัญญาณเอาท์พุทของวงจรจะเป็นลอจิก "0" อยู่เท่ากับจำนวนสัญญาณนาฬิกาจำนวน 16 ลูกซึ่ง เพียงพอที่จะทำให้ชุดชิฟท์รีจีสเตอร์ที่ภาครับบรรจุเอาซีเควนของภาคส่งเข้าไปเพื่อทำการชิงโครไนซ์ โดยหลักการของวงจรสามารถอธิบายได้ดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.2.2.ก แสดงหลักการวงจรเริ่มต้นดีเทคความผิด

จากโครงสร้างของวงจรสามารถอธิบายได้คือ เมื่อตอนเริ่มต้นสัญญาณ $\overline{\text{Synchronize}}$ (หรือเอาท์พุทของวงจรนับ 16) จะมีสภาวะเป็น "0" หรือเริ่มต้นบรรจุชีเควนของสัญญาณภาคส่งเข้าไปจำนวน 16 ลูก ซึ่งจะเป็นการซิงโครไนซ์ระหว่างภาคส่งและภาครับ หลังจากนั้นเอาท์พุทของวงจรนับ 16 จะมีสภาวะเป็น "1" ซึ่งทำให้ภาครับกำเนิดสัญญาณข้อมูลกึ่งแรนดัมที่เป็นอิสระมีชีเควนเดียวกันกับภาคส่ง แต่ถ้าเกิดเหตุการณ์ที่ชีเควนของภาคส่งและภาครับเกิดเลื่อนไม่ตรงกันซึ่งอาจเกิดขึ้นได้เนื่องจากการรบกวนของสัญญาณอิมพัลซ์ที่ภาคส่งหรือภาครับ โดยเมื่อลำดับชีเควนของภาคส่งและภาครับไม่ตรงกันหรือหลุดการซิงโครไนซ์ สัญญาณข้อมูลผิดพลาดจะเกิดขึ้นเป็นจำนวนมากหรือมากกว่าจำนวน 50 บิทขึ้นไปภายในสัญญาณนาฬิกาจำนวน 100 บิท วงจรจะเกิดสัญญาณอีนาเบิ้ล (Enable) ทำให้เอาท์พุทของวงจรนับ 16 เป็นลอจิก "0" ทำการบรรจุสัญญาณกึ่งแรนดัมภาคส่งเข้าไปในชิฟท์รีจีสเตอร์ของภาครับ จนเมื่อครบจำนวนสัญญาณนาฬิกา 16 ลูกจึงให้เอาท์พุทวงจรนับ 16 เป็น "1" แต่ถ้าภายในช่วงเวลาสัญญาณนาฬิกา 16 ลูกนี้เกิดสัญญาณบิทผิดเข้ามาทางอินพุท error สัญญาณบิทผิดนี้จะเคลียร์วงจรนับ 16 ให้เป็น "0" ซึ่งเป็นการบรรจุชีเควนที่ภาคส่งเข้าไปอีก 16 บิท เพื่อเป็นการป้องกันไม่ให้เกิดการบรรจุชีเควนที่ผิดเข้าไปในวงจรชิฟท์รีจีสเตอร์ของภาครับ สำหรับวงจรทางปฏิบัติวงจรนับ 50 ใช้วงจรรวม 74LS390 (U1B) ต่อรวมกับวงจรรวม 74LS160 (U2) และวงจรนับ 100 ใช้วงจรรวม 74LS390 (U1A) ต่อรวมกับวงจรรวม 74LS160 (U3)วงจรนับ 16 ใช้วงจรรวม 74LS161 (U6)



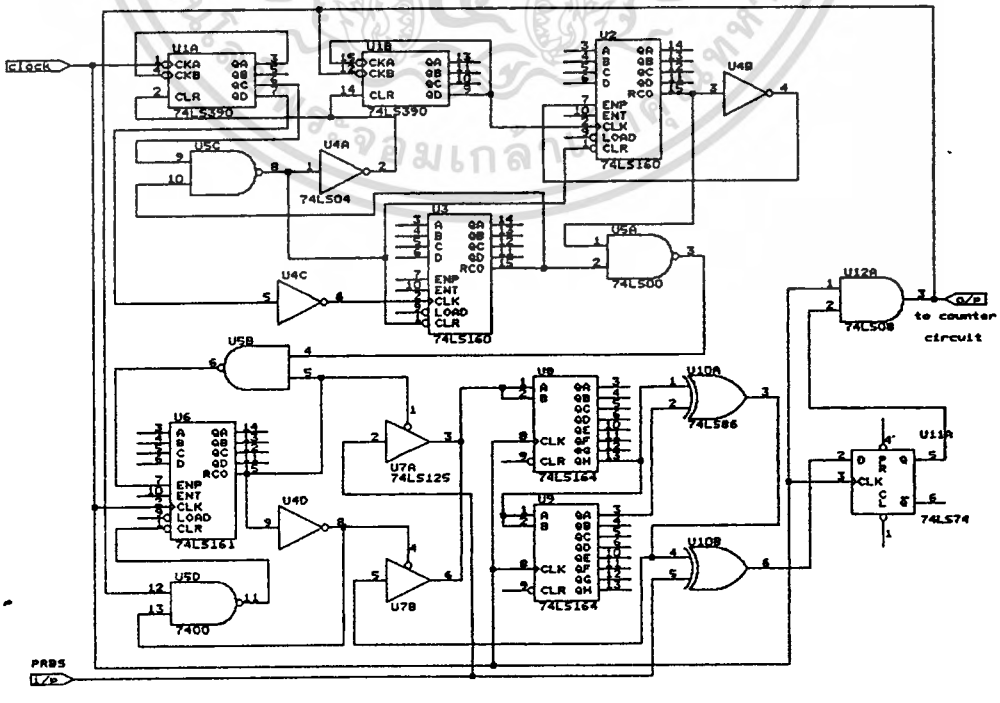
รูปที่ 5.2.2.ข แสดงวงจรเริ่มต้นดีเทคความผิด

จากรูปวงจรนับ 100 และนับ 50 จะถูกทำการเคลียร์ทุกๆ สัญญาณนาฬิกา 100 ลูกโดยนำเอาสัญญาณจาก QD วงจรรวม 74LS390 (U1A) และ จาก RCO ของวงจรรวม 74LS160 ผ่านแนนเกท U5C ไปเป็นสัญญาณเคลียร์วงจรรวม 74LS161 และผ่านอินเวอร์เตอร์ U4A เพื่อเคลียร์วงจรรวม 74LS390 สำหรับสัญญาณที่เกิดจากความผิดพลาดจำนวน 50 บิท ขึ้นไปภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และไม่อนุญาตให้ดัดแปลงเนื้อหา หรือนำไปเผยแพร่ต่อ

100 บิท ได้จากการนำเอาสัญญาณจากขา RCO ของ 74LS160 (U2),74LS160(U3) โดยผ่านแนนเกท U5A โดยเอาท์พุทของแนนเกท U5A จะมีสภาวะเป็น "0" เมื่อมีความผิดพลาดขนาด 50 บิท ใน 100 บิท ทำให้เอาท์พุทแนนเกท U5B มีสภาวะเป็น "1" ทำให้สภาวะลอจิกที่ขา ENP หรือขาอีนาเบิ้ลของวงจรรวม 74LS161 เกิดการอีนาเบิ้ลให้ 74LS161 เริ่มนับ โดยขณะนี้ เอาท์พุทขา RCO กับ สัญญาณเอาท์พุทแนนเกท U5A ผ่านแนนเกท U5B ดังนั้นทำให้วงจรรวม 74LS161 ทำการนับสัญญาณนาฬิกาไป 16 ลูกดังนั้นเราจึงสามารถนำสัญญาณจากขา RCO เป็นสัญญาณ $\overline{\text{Synchronize}}$สำหรับวงจรภาครับได้ แต่ถ้าภายในช่วงการนับของ 74LS161 มีบิทที่ผิดพลาดเข้ามาในระบบ วงจรรวม 74LS161 จะถูกเคลียร์ให้เริ่มต้นนับใหม่ โดยนำเอาสัญญาณขา RCO ผ่านอินเวอร์เตอร์ U4D มาแนนกับสัญญาณที่ผิดพลาดเข้ามาในระบบเป็นสัญญาณเคลียร์ ดังนั้นที่ขาเอาท์พุทของ U4D จึงสามารถใช้เป็นสัญญาณ Synchronize เพื่อเกทสวิทช์เช่นเดียวกับสัญญาณ $\overline{\text{Synchronize}}$

สำหรับวงจรวัดอัตราการผิดพลาดของบิททั้งหมดแสดงได้ดังรูป 5.2.2.ค โดยจะประกอบด้วยส่วนต่างๆที่กล่าวมา โดยสัญญาณ $\overline{\text{Synchronize}}$ ที่ควบคุมสวิทช์ซึ่งเป็นไทร์สเตทบัฟเฟอร์ต่อจากขา RCOของ 74LS161 ที่ขาควบคุมของ 74LS125 (U7A) ซึ่งอินพุทของ U7A นี้เป็นสัญญาณข้อมูลกึ่งแรนดัมที่มาจากภาคส่งโดยวงจรรวม U4B จะทำหน้าที่อินเวอร์สัญญาณ $\overline{\text{Synchronize}}$ เพื่อควบคุมไทร์สเตทบัฟเฟอร์ U7B ซึ่งอินพุทของ U7B นั้นเป็นการป้อนกลับจากชิฟท์รีจีสเตอร์ที่ภาครับเอง



รูปที่ 5.2.2.ค แสดงวงจรวัดอัตราการผิดพลาดทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรรวมที่ทำหน้าที่เปรียบเทียบการผิดพลาดของบิทเมื่อภาคส่งและภาครับซิงโครไนซ์กันเรียบร้อยแล้ว คือ U10B หรือเอ็กซ์คลูซีฟออ โดยเอาท์พุทของเอ็กซ์คลูซีฟออก่อนที่จะไปทำการแอนกับสัญญาณนาฬิกาเพื่อจะได้จำนวนความผิดของบิทนั้นผ่านวงจรรวม 74LS74 ซึ่งเป็นดีฟลิปฟลอป เพื่อจะขจัดปัญหาจากการเหลื่อมกันของการเปรียบเทียบที่อินพุทของเอ็กซ์คลูซีฟออ สำหรับสัญญาณความผิดพลาดของบิทนั้นจะนำไปนับโดยใช้ไมโครคอมพิวเตอร์

5.3 การออกแบบภาคแสดงผล

ในการแสดงผลของข้อมูลของอัตราบิทที่ผิด นอกจากค่าอัตราบิทที่ผิดพลาดทั้งหมดต่อบิทที่ส่งทั้งหมดแล้วการที่จะทราบบิทที่ผิดว่าเกิดขึ้นเป็นแบบเดี่ยวๆ (single error)หรือเกิดเป็นเบริส (burst error) และทราบขนาดของ EFI ได้นั้นจำเป็นต้องมีเทคนิคการวัดโดยในที่นี้ใช้การเชื่อมต่อเครื่องวัดอัตราความผิดพลาดเข้ากับระบบไมโครคอมพิวเตอร์

5.3.1 การออกแบบวงจรเชื่อมต่อไมโครคอมพิวเตอร์

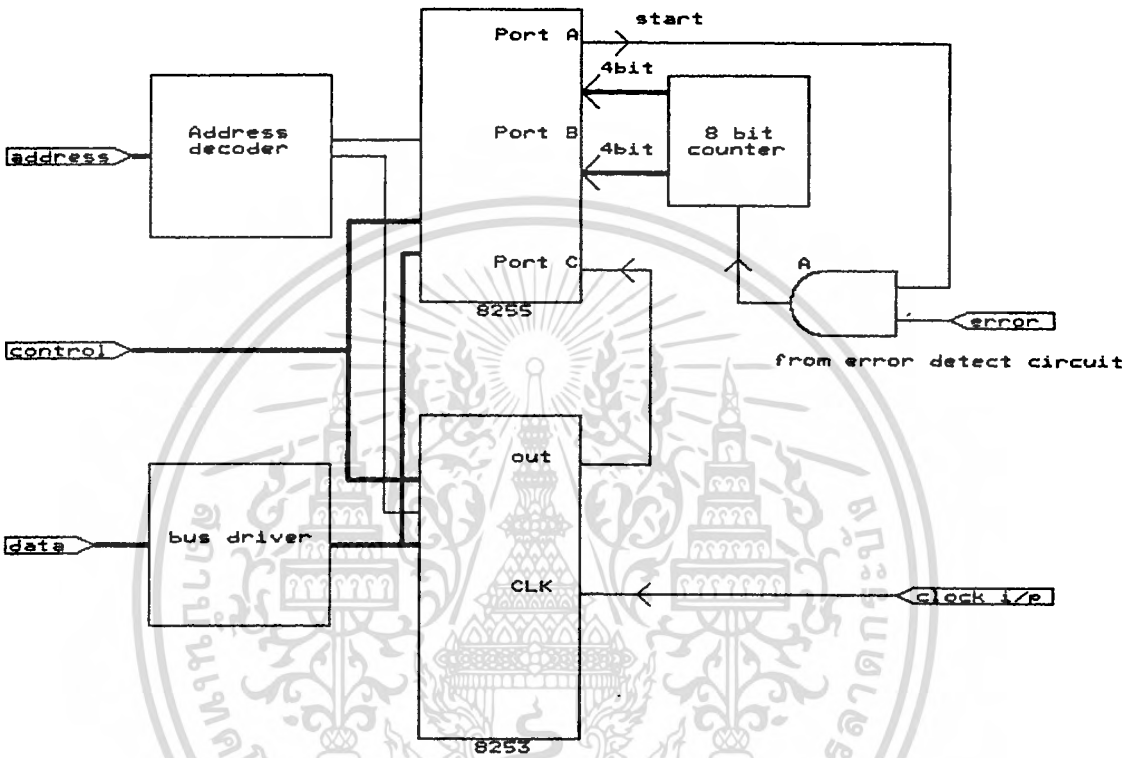
โดยเครื่องวัดอัตราความผิดพลาดของบิท ในงานวิจัยนี้ได้ออกแบบเป็นการ์ดที่สามารถเสียบลงในสล็อทของไมโครคอมพิวเตอร์ IBM PC XT/AT โดย IBM PC ทั้ง XT และ AT ใช้แอดเดรสจำนวน 10 เส้น(A0-A9) สำหรับการถอดรหัสเลือกพอร์ทโดยสามารถอ้างได้ 1024 - พอร์ท โดยกลุ่มพอร์ทตั้งแต่แอดเดรส 0000-00FFH นั้น IBM[19] ออกแบบสำหรับการใช้งานสำหรับอุปกรณ์บนเมนบอร์ดและกลุ่มพอร์ทตั้งแต่แอดเดรส 100-3FFH นั้นใช้สำหรับการ์ดที่ขยายและเสียบลงใน IBM สำหรับโครงสร้างของวงจรที่ออกแบบเชื่อมต่อระหว่าง IBM และวงจรวัดอัตราการผิดพลาดของบิทแสดงได้ดังรูป 5.3.1.ก

โดยวงจรประกอบด้วยวงจรรวม 8255 ซึ่งเป็นพอร์ทอินพุท/เอาท์พุท แบบขนาน 8 บิทจำนวน 3 พอร์ทวงจรรวม 8253 เป็นพอร์ทที่เป็นวงจรนับขนาด 16 บิทจำนวน 3 พอร์ท

สำหรับสัญญาณอินพุทสำหรับภาคเชื่อมต่อมี 2 สัญญาณคือ สัญญาณความผิดพลาดและ สัญญาณนาฬิกาที่เท่ากับบิทเรท โดยสัญญาณความผิดของบิทจะป้อนเข้าแอนเกทดังรูป ซึ่งอีกอินพุทหนึ่งของเกท ถูกลวบคุมด้วยสัญญาณจากพอร์ท A ของ 8255 ซึ่งสามารถโปรแกรมให้ทำการเกทหรือเริ่มนับสำหรับเริ่มต้นดีเทคความผิด โดยตอนเริ่มต้นการนับโปรแกรมให้อินพุทที่เกทที่ต่อจากพอร์ท 8255 เป็น "0" แล้วหน่วงเวลาพอประมาณจึงให้สภาวะเป็น "1"เพื่อที่จะไม่ต้องนับสภาวะเริ่มต้นของการดีเทคการผิด สำหรับเอาท์พุทของเกทต่อเข้าชุดวงจรนับโดยใช้วงจรรวม 74LS161- ซึ่งนี้มีขนาด 8 บิทจำนวน 2 ชุดโดยเอาท์พุทของวงจรนับต่อเข้ากับพอร์ท B ของ 8255 ดังนั้นจึงสามารถนับได้ตั้งแต่ 0-255 สำหรับสัญญาณนาฬิกานั้นต่อเข้าที่อินพุท CLK ของพอร์ท 2 ของ 8253 ซึ่งเป็นภายในของวงจรรวมเป็นวงจรนับ 16 บิท ที่โปรแกรมได้โดยเป็นการนับถอยหลังสามารถนับได้ทั้งแบบฐาน 16 และฐาน 10 การนับเมื่อนับจากค่าที่ตั้งไว้ โดยจะลดค่าลงตามจำนวนสัญญาณ CLK ที่เข้ามาจนกระทั่งนับค่าเป็น 0 จะให้เอาท์พุทที่ขา OUT มีลอจิกเป็นหนึ่งโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการโปรแกรมนี้จะตั้งค่าของวงจรนับเท่ากับ 99 ดังนั้นเมื่อสัญญาณนาฬิกาเข้ามาครบ 100 ลูก สัญญาณเอาท์พุทจะเป็นลอจิก "1" และสัญญาณเอาท์พุทจะกลับเป็น "0"ก็ต่อเมื่อทำการโปรแกรมให้วงจรนับ 16 บิทมีค่าใหม่



รูปที่ 5.3.1.ก แสดงโครงสร้างการเชื่อมต่อไมโครคอมพิวเตอร์

5.3.2 การออกแบบโปรแกรมควบคุมวงจร

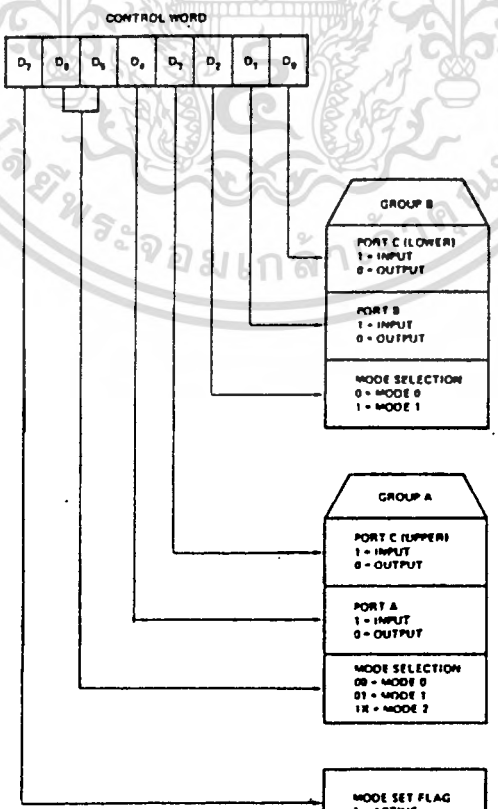
การออกแบบโปรแกรมควบคุมวงจรนับความผิดพลาด สำหรับแสดงผลบนจอไมโครคอมพิวเตอร์จะออกแบบให้อ่านอินพุททุกๆ 100 บิทของสัญญาณนาฬิกาโดยอ่านจากพอร์ท B ของ 8255 ซึ่งผ่านวงจรนับภายนอก(74LS161)โดยถ้าวงจรนับของ 8253 ที่ต่อกับสัญญาณนาฬิกามีค่าเท่ากับ "0" สัญญาณขา OUT จะส่งสภาวะ "1" ไปให้พอร์ท C ของ 8255 (ขา PC0) ซึ่งโปรแกรมไว้ตรวจสอบสถานะถ้าเป็น "1" ขา PA2 ที่พอร์ท A ของ 8255 จะส่งจิงสัญญาณทำการเคลียร์วงจรนับที่ต่อที่พอร์ท B และโปรแกรมจะตั้งค่าวงจรนับของ 8253 ให้มีค่าเท่ากับ 99 โดยถ้าค่าจากพอร์ท B ของ 8255 มีค่ามากกว่า 0 แสดงว่าเกิดความผิดของบิทขึ้น โปรแกรมจะเก็บค่าความผิดของบิทไว้ แล้วจิงวนลูปกลับไปตรวจสอบค่าวงจรนับที่นับสัญญาณนาฬิกาใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับหลักการของโปรแกรมเพื่อควบคุมการทำงานของวงจรเบื้องต้นแสดงได้ดังรูป

```
initize port 8255,8253
set Block
do{
  do{
  wait for input
  } while (clock counter < 100)
  A = port B;
  clear error counter;
  set clock counter = 100
  if A > 0 then save error in array
}while(not end of Block)
```

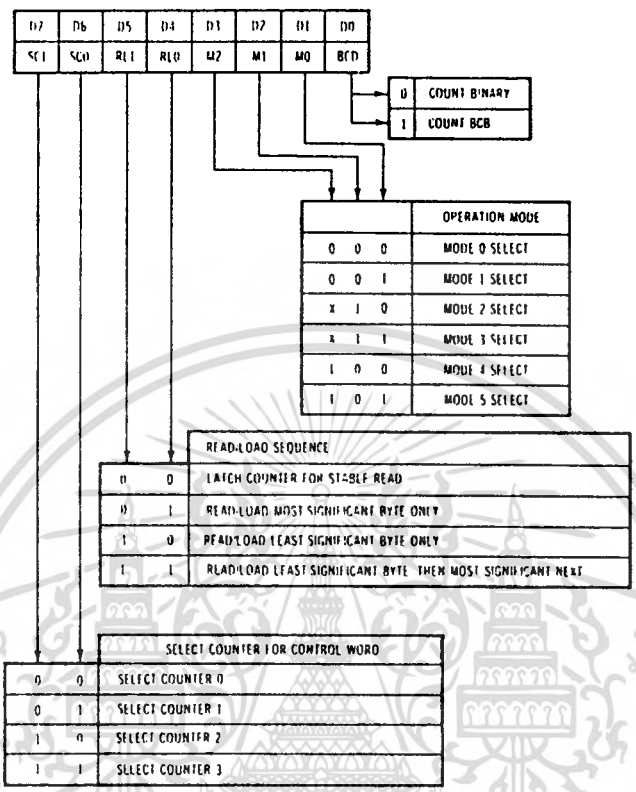
สำหรับค่าควบคุมพอร์ท 8255 และ 8253 สามารถโปรแกรมค่าคอนโทรลเวิร์ด (control word) ค่าพอร์ทของ8255 กำหนดให้พอร์ท A เป็นเอาท์พุทพอร์ท ส่วนพอร์ท B และพอร์ท C เป็นอินพุทพอร์ทค่าคอนโทรลเวิร์ดจากคู่มือของ 8255 โปรแกรมได้คือ 8bH



รูปที่ 5.3.1.ข แสดงการโปรแกรมค่าคอนโทรลเวิร์ด 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการโปรแกรมค่าคอนโทรลเวิร์ดของ 8253 สามารถดูได้จากรูปที่ 5.3.1.ค



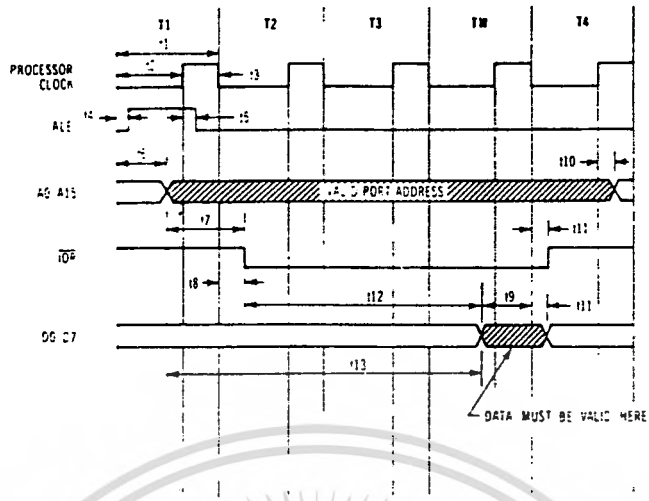
รูปที่ 5.3.1.ค รูปแบบการโปรแกรมการคอนโทรลเวิร์ดของ 8253

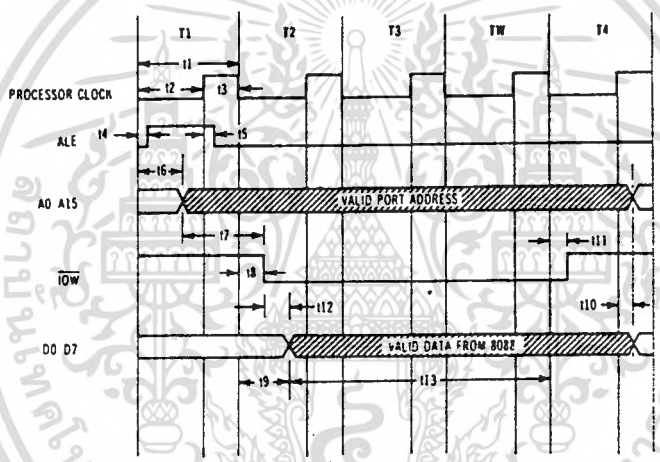
โดยในที่นี้เลือกโหมด (mode) ในการทำงานของ 8253 คือโหมด 0 เป็นการนับสัญญาณนาฬิกาที่เข้ามาทางอินพุท CLK และจะให้สัญญาณเอาท์พุท(out) เป็น "1" เมื่อค่าที่โปรแกรมไว้ในวงจรนับมีค่าเป็น "0" ดังนั้นค่าที่เลือกคือ "00h" สำหรับวงจรนับที่เลือกใช้คือตัวที่ 2 หรือค่า SC เท่ากับ "10" ส่วนค่า RL- read/load เนื่องจากเราตั้งค่านับเพียง 99 ดังนั้นจึงใช้เพียงตัวนับนัยสำคัญค่าเพียงตัวเดียวก็พอ โดยในบิท BCD ตั้งให้เท่ากับ 1 ดังนั้นค่าคอนโทรลเวิร์ดก็คือ 90H

สำหรับวงจรถอดรหัสแอดเดรส (address decode)และสายสัญญาณสำหรับควบคุม(control) สำหรับเชื่อมต่อกับ 8253 และ 8255 ในการออกแบบวงจรที่จะเชื่อมต่อ สามารถออกแบบได้จากผังเวลาการอ่านและการเขียนสัญญาณต่ออินพุทและเอาท์พุทได้ดังรูป 5.3.1.ง

โดยช่วงเวลาการอ่านคำสั่ง IN ของไมโครโปรเซสเซอร์ สัญญาณที่ปรากฏขึ้นคือสัญญาณ ALE จะมีสภาวะเป็น "1" ในช่วง T_1 ทั้งการอ่านและการเขียนอินพุทพอร์ทซึ่งเป็นการแสดงว่าแอดเดรสที่ CPU ที่ติดต่ออยู่ได้เริ่มต้นขึ้น และถ้าหากสถานะของสัญญาณ ALE กลับเป็น "0" สัญญาณแอดเดรสจะแลทช์ค่าพอร์ทแอดเดรส และ CPU จะส่งสัญญาณ IOR สำหรับกรณีการอ่านและส่งสัญญาณ IOW สำหรับการเขียนพอร์ท โดยสำหรับการอ่านพอร์ท CPU จะอ่านในช่วงเวลา T_w

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 5.3.1.ง แสดงผังเวลาของการอ่านและเขียนอินพุทพอร์ทของ IBM-PC

ซึ่ง CPU ได้เพิ่มเข้าไป 1 ไซเคิล สำหรับการอ่านหรือเขียนพอร์ท และสำหรับการเขียน CPU จะเริ่มต้นเขียนสัญญาณภายใน T_2 และค่าของข้อมูลยังคงค้างจนกระทั่ง T_4

สำหรับการออกแบบวงจรเชื่อมต่อพอร์ทกำหนดให้พอร์ท 8255 และ 8253 ให้มีแอดเดรสตามตาราง 5.3.1 จากแอดเดรสที่แสดงและจากผังเวลาที่แสดงในรูป 5.3.1.ง เราสามารถออกแบบวงจรแสดงได้ดังในรูป 5.3.1.จ

โดยวงจรรวมที่ทำหน้าที่ถอดรหัสสัญญาณแอดเดรสเพื่อเลือกพอร์ทคือ 74LS30,74LS00 และ 74LS130 จากตารางแอดเดรสข้างต้นพอร์ทจะอยู่ในช่วง 0160H ถึง 0166H โดยสำหรับ IBM PC ได้ใช้สัญญาณแอดเดรส 10 เส้นคือ A9-A0 สำหรับการถอดรหัสเลือกพอร์ทโดยนำสัญญาณ A9,A8,A7,A6,A5,A4 ต่อกับแนนเกท 8 อินพุทโดยแอดเดรส A9 จะผ่านการอินเวอร์โดยใช้ 74LS00 ทำหน้าที่เป็นอินเวอร์เตอร์ สำหรับอินพุทที่เหลือของแนนเกท 8 อินพุทได้จากสัญญาณเอาท์พุทของแนนเกท 2 อินพุทที่อินพุทเป็นสัญญาณ IOR และ IOW ซึ่งถ้าหากสัญญาณใดสัญญาณหนึ่งมีสภาวะเป็น "0" จะทำให้แนนเกท 2 อินพุทมีสภาวะเป็น "1" สำหรับสัญญาณ AEN

เอกสารนี้จัดทำขึ้นเพื่อการใช้งานในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

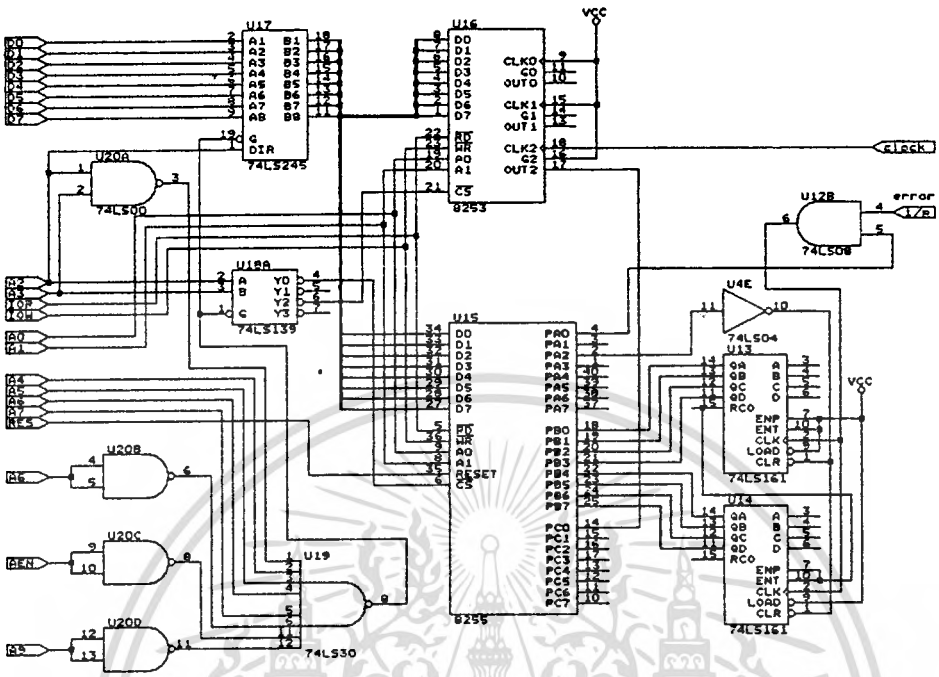
หรือสัญญาณแอดเดรสอีนาเบิล (address enable) เป็นสัญญาณบอกสภาวะว่าที่ CPU ถูกหน่วยควบคุมดีเอ็มเอ (DMA controller) ทำการใช้แอดเดรสบัสและดาต้าบัสแทน CPU ดังนั้นในสภาวะที่ปกติคือ CPU ใช้แอดเดรสบัสและดาต้าบัส สัญญาณลอจิกของ AEN จะมีสภาวะเป็น "0" ดังนั้นถ้าหากไม่ได้อยู่ในสภาวะ DMA แล้วมีการอ่านหรือเขียน ตั้งแต่แอดเดรส 0160H-016FH แล้วเอาท์พุทของแนนเกท 8 อินพุทจะมีสภาวะเป็น "0" ทำให้ 74LS30 และ 74LS245 ถูกอีนาเบิ้ลโดยอินพุทของ 74LS139 จะเป็นแอดเดรส A3 และ A2 ซึ่งจะเป็นตัวเลือกพอร์ท 8255 หรือ 8253 โดยถ้า A3,A2 มีสภาวะ 0,0 จะเป็นการเลือกพอร์ท 8255 และถ้ามีสภาวะ 1,0 จะเป็นการเลือกพอร์ท 8253

8255	PORT A	0160H
	PORT B	0161H
	PORT C	0162H
	CONTROL WORD	0163H
8253	COUNTER 0	0168H
	COUNTER 1	0169H
	COUNTER 2	0168H
	CONTROL WORD	0166H

ตารางที่ 5.3.1 แสดงแอดเดรสของพอร์ท 8255,8253

สำหรับภาคนับการผิดของบิทใช้วงจรรวม 74LS161 สองตัวโดยต่อเอาท์พุท QA ถึง QD เข้าที่ PB0-PB7 โดย 74LS161 ตัวล่างจะเป็นตัวนับ 4 บิท นัยสำคัญน้อยและ 74LS161 ตัวบนจะเป็นตัวนับ 4 บิทนัยสำคัญมาก สัญญาณอินพุทขาเคลียร์ของ 74LS161 ได้จากขา PA2 ผ่านอินเวอร์เข้าสู่ขา CLR โดยอินพุทของวงจรนับได้จากขาเอาท์พุทของแอนเกท 74LS08 โดยที่ขาอินพุทของ 74LS08 จะต่อกับสัญญาณการผิดพลาด(Error) และ PA0 เป็นการเกทจากการโปรแกรม แสดงวงจรวัดอัตราความผิดของบิททั้งหมดพร้อมส่วนวงจรที่เชื่อมต่อไมโครคอมพิวเตอร์ได้ดังรูปที่ 5.3.1.ฉ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

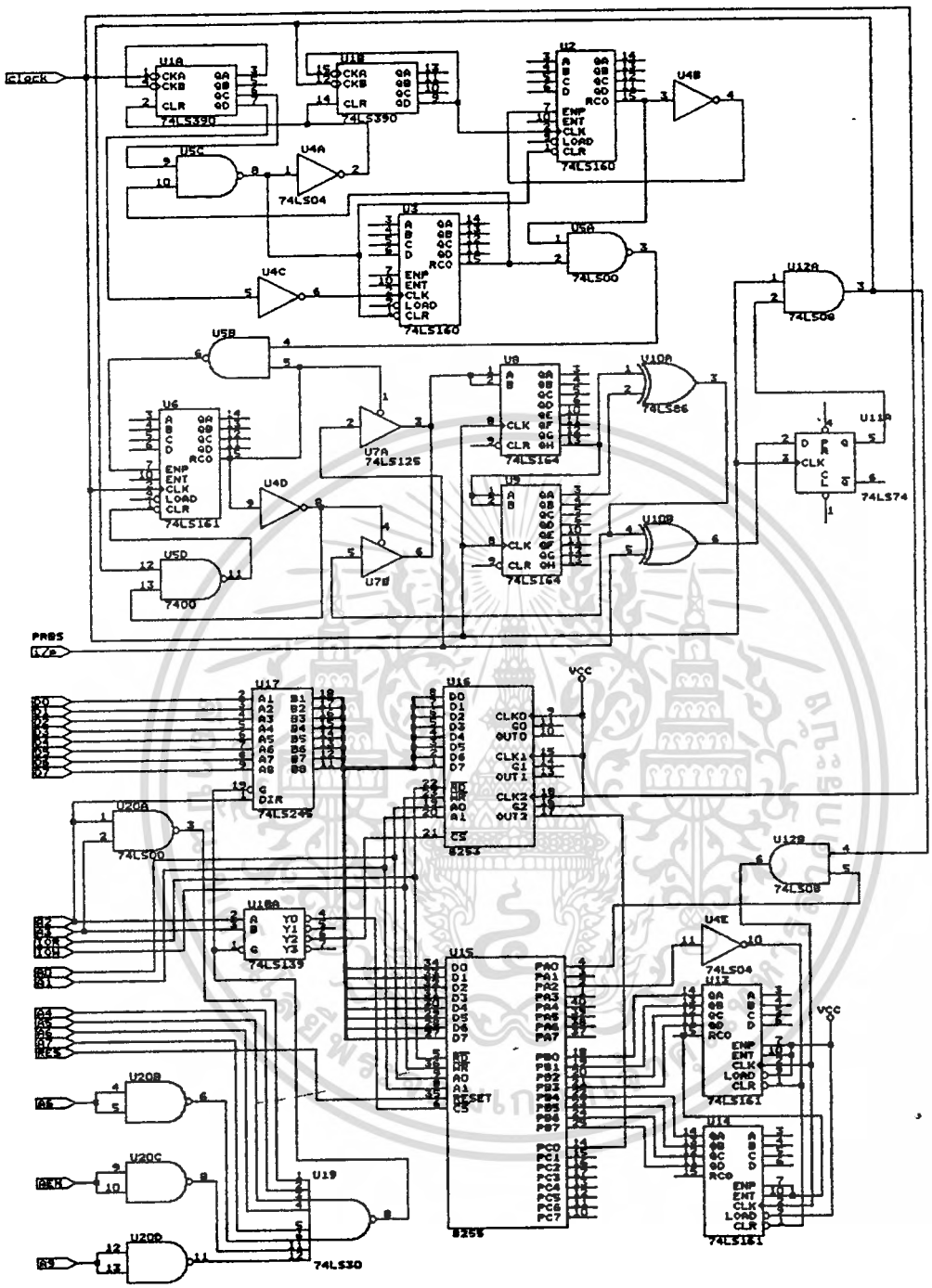


รูปที่ 5.3.1.จ แสดงวงจรเชื่อมต่อกับไมโครคอมพิวเตอร์

5.3.3 <u>การออกแบบโปรแกรมสำหรับการวิเคราะห์ความผิดพลาดของบิท</u>

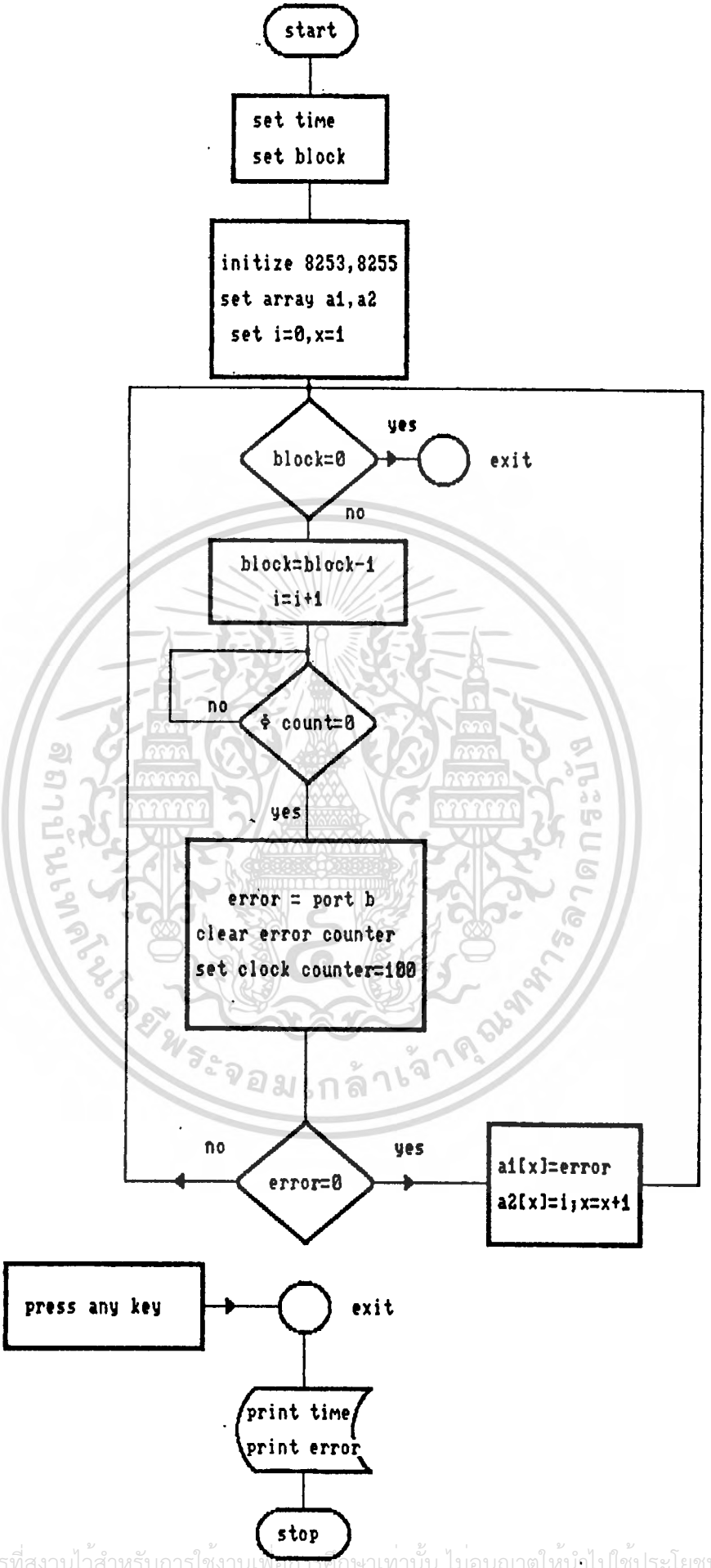
สำหรับการออกแบบโปรแกรมสำหรับการวิเคราะห์มีโครงสร้างแสดงดังโฟลวชาร์ทโดยการบันทึกเครื่องวัดจะอ่านที่วงจรนับความผิดพลาดทุกๆ 100 บิทดังที่กล่าวมาแล้ว การนับเราจะตั้งจำนวนบิทที่ต้องการนับทั้งหมดเป็นจำนวนค่าของบล๊อก โดยมีขนาดบล๊อกละ 100 บิทการนับจะทำการกำหนดให้มีจำนวนเอเรย์(array)จำนวนหนึ่งซึ่งมากพอที่จะเก็บค่าของบิทที่ผิดในช่วงวัดใดๆ โดยเก็บไว้ในเอเรย์ A[I] โดย I คือช่วง 100 บิทใดๆที่เกิดการผิด โปรแกรมการนับจะวนลูป นับไปจนกระทั่งค่าของบล๊อกหมดลงหรือมีการกดคีย์บอร์ดใดๆจึงหยุดการนับลง ค่าของความผิดพลาดที่นับแล้วเก็บใน เอเรย์ A[I] สามารถนำมาแสดงเป็นค่า EFI ซึ่งมีขนาดความห่างระหว่างช่วงได้ช่วงละ 100 บิท ความสามารถทราบความผิดพลาดของบิทที่เกิดขึ้นในแต่ละช่วงเวลา โดยนำเอาค่าใน A[I] ที่บันทึกไว้ทั้งหมดมาวิเคราะห์ โดยแสดงโฟลวชาร์ทของโปรแกรมวิเคราะห์ความผิดพลาดของบิทได้ในรูปที่ 5.3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3.1.ฉ แสดงวงจรวัดอัตราการผิดพลาดของบิททั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3.2 แสดงโฟลวชาร์ทของโปรแกรมวิเคราะห์ความผิดพลาดของบิท

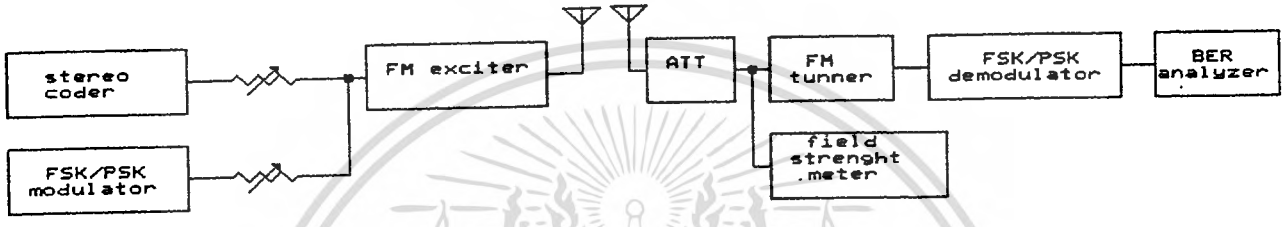
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การวัดอัตราการผิดพลาดของบิทและการออกแบบโปรโตคอล

6.1.1 วิธีการวัดอัตราการผิดพลาดของบิท

การวัดอัตราการผิดพลาดของบิทสำหรับการส่งข้อมูลโดยใช้โมเดม FSK,PSK ในช่องสัญญาณ FM-SCA โดยใช้เครื่องมือวัดอัตราการผิดพลาดของบิทซึ่งแสดงในบทที่ 5 ซึ่งแสดงระบบการวัดทั้งหมดดังรูป



รูปที่ 6.1.1.ก แสดงการวัดอัตราการผิดพลาดของบิท

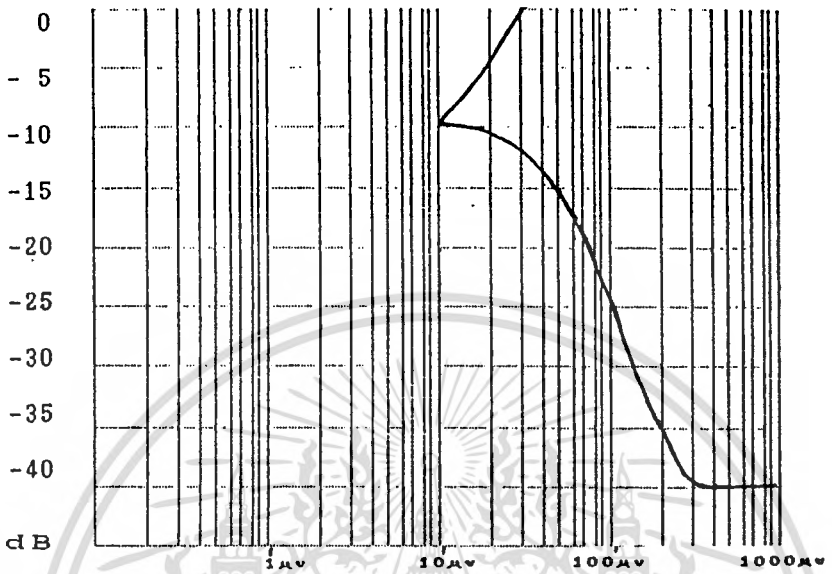
จากรูปประกอบด้วยภาคส่งและภาครับ โดยภาคส่งประกอบด้วยวงจรมอดูเลทสัญญาณ FM (FM exciter)และวงจรเข้าสัญญาณสเตอริโอซึ่งแสดงการออกแบบไว้ในบทที่ 3 และวงจรมอดูเลทสัญญาณ FSK หรือสัญญาณ PSK สำหรับอัตราการมอดูเลทสัญญาณต่างๆ ใช้ตามข้อกำหนดของ FCC ดังที่ได้อธิบายไว้ในบทที่ 3 สำหรับเอาท์พุทของวงจรมอดูเลทสัญญาณ FM ทดลองออกอากาศด้วยความถี่ 107.5 MHz โดยให้เอาท์พุทขนาด 1 W สำหรับภาครับประกอบด้วยเครื่องรับ FM ภาคดีมอดูเลทสัญญาณ FSK หรือ PSK เครื่องวัดขนาดความแรงของสัญญาณที่อินพุทของเครื่องรับ FM โดยที่อินพุทของเครื่องรับและเครื่องวัดความแรงมีตัวลดทอนสัญญาณ (attenuator) ต่ออยู่และเครื่องมือวัดความผิดพลาดของบิทที่ได้แสดงการออกแบบในบทที่ 5

สำหรับสัญญาณกึ่งแรนดัมสำหรับทดสอบหาความผิดของบิท ในการทดลองใช้ขนาด 2^{9} -1 สำหรับการส่งบิทเรทขนาด 4800 bps ที่ภาครับเครื่องวัดอัตราการผิดพลาดของบิทต้องการสัญญาณนาฬิกา(clock)เป็นสัญญาณอินพุทด้วย สำหรับวงจรดีมอดูเลท FSK ที่ไม่มีวงจรกู้สัญญาณนาฬิกาในการวัดการผิดพลาดของบิทใช้วงจรกู้สัญญาณของวงจรดีมอดูเลทสัญญาณ PSK ที่แสดงในส่วนที่ 4.5.5 ของบทที่ 4

การทดลองระบบทั้งหมดทำการทดลองในห้องปฏิบัติการโดยให้เครื่องรับ FM รับสัญญาณจากเครื่องส่งมีขนาดสัญญาณที่ปลายสายอากาศ ได้ขนาดแรงเท่ากับขนาดที่เพียงพอสำหรับการรับสัญญาณ FM สเตอริโอสำหรับเขตชุมชนในเมืองโดย CCIR[21] กำหนดไว้ให้มีขนาดมากกว่า -5 mv/m โดยเครื่องรับ FM ที่ใช้รับเป็นเครื่องรับ FM แบบธรรมดาทั่วไป โดยเมื่อมอดูเลทสัญญาณเบสแบนด์ทั้ง (L+R),(L-R),สัญญาณไพล็อททโทน, สัญญาณเบสแบนด์ SCA ที่เครื่องรับ FM-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงขนาดสัญญาณเบสแบนด์ SCA ต่อสัญญาณนอยส์ที่ดีมอดูเลทได้ เมื่อความแรงที่อินพุทปลายสายอากาศเป็นขนาดต่าง ๆ ได้ดังรูป



รูปที่ 6.1.1.ข แสดงสัญญาณ SCA ต่อสัญญาณนอยส์ที่ความแรงของสัญญาณ RF ที่ปลายสายอากาศขนาดต่างๆ

โดยจากรูปความแรงขนาด 30 μv(29.54 dBμv) เป็นความแรงที่แยกสัญญาณ SCA ออกจากสัญญาณนอยส์ โดยเมื่อเพิ่มความแรงอินพุทไปเรื่อย ๆ ขนาดของสัญญาณ SCA ต่อสัญญาณนอยส์ก็จะเพิ่มขึ้น จนกระทั่งความแรงของสัญญาณ RF ที่ปลายสายอากาศมีขนาดเท่ากับ 400 μv (52 dBμv)ขึ้นไปขนาดของ SNR ของสัญญาณ SCA ต่อสัญญาณนอยส์ก็จะคงที่คือ เท่ากับ 40 dB

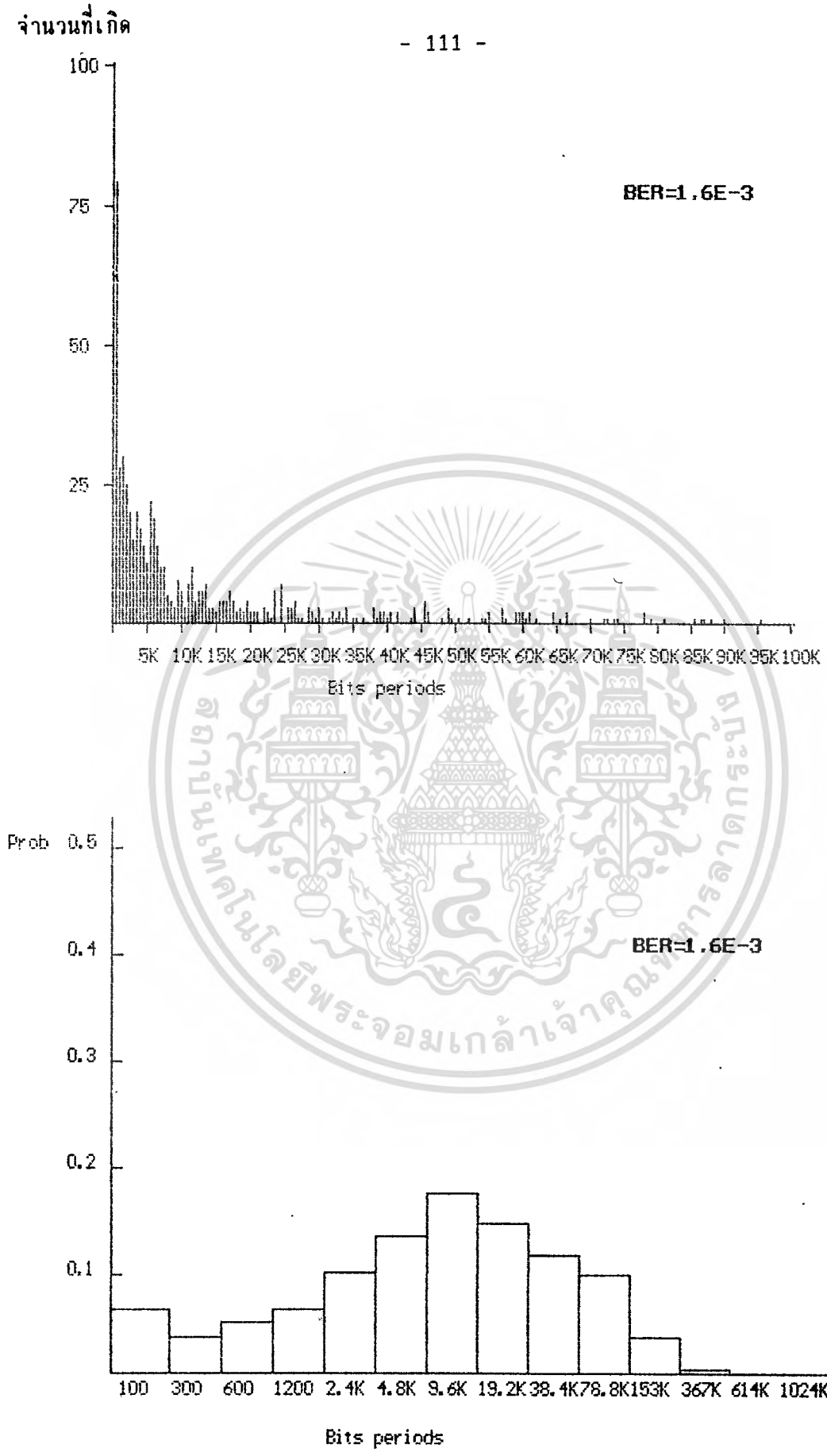
การวัดการผิดพลาดของบิทเนื่องจากการผิดพลาดของบิทที่เกิดขึ้นมีลักษณะเป็นกลุ่ม(brust-error) ดังนั้นการวัดอัตราการผิดพลาดของบิทจึงสนใจระยะห่างระหว่างการผิด(error Free Interval) ที่เกิดขึ้นดังนั้นการวัดการผิดพลาดของบิทจึงแสดงการกระจายของ EFI ที่เกิดขึ้น โดยเริ่มต้นการวัดการผิดพลาดของบิท เริ่มต้นที่ขนาดความแรงของสัญญาณ RF ที่อินพุทเครื่องรับ FM เท่ากับ 100 μv (40 dBμv) ซึ่งเป็นความแรงที่เริ่มรับฟังสัญญาณวิทยุแบบสเตอริโอเป็นที่น่าพอใจและเพิ่มขนาดของสัญญาณเป็น 200 μv (46 dBμv) และ 400 μv (52 dBμv) ซึ่งเป็นขนาดความแรงที่รับสัญญาณสเตอริโอได้ดีและดีเยี่ยมตามลำดับ โดยการวัดใช้สัญญาณทดสอบสำหรับการมอดูเลทเป็น PRBS ขนาด 2° - 1 บิท โดยส่งครั้งละ 10 MB หลายๆ ครั้งโดยเลือกผลที่ให้ค่าเฉลี่ยของ EFI ออกมาแสดงโดยค่า EFI แสดงอยู่ในรูปของกราฟฮิสโตแกรม 2 แบบคือ แบบแรกแสดงโดยแกน x เป็นระยะของ EFI โดยมีช่วงละ 500 บิท และแกน y เป็นจำนวน EFI ที่เกิดขึ้น แบบที่สองแสดงแกน x เป็นช่วง EFI ระยะต่างๆ คือ 0 - 100, 100 - 300,300 - 600,600 - 1,200 จนถึง 614K - 1024K ตามลำดับโดยแกน y เป็นโอกาสที่เกิด EFI ขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.2 ผลการวัดอัตราการผิดพลาดของบิทของโมเดม

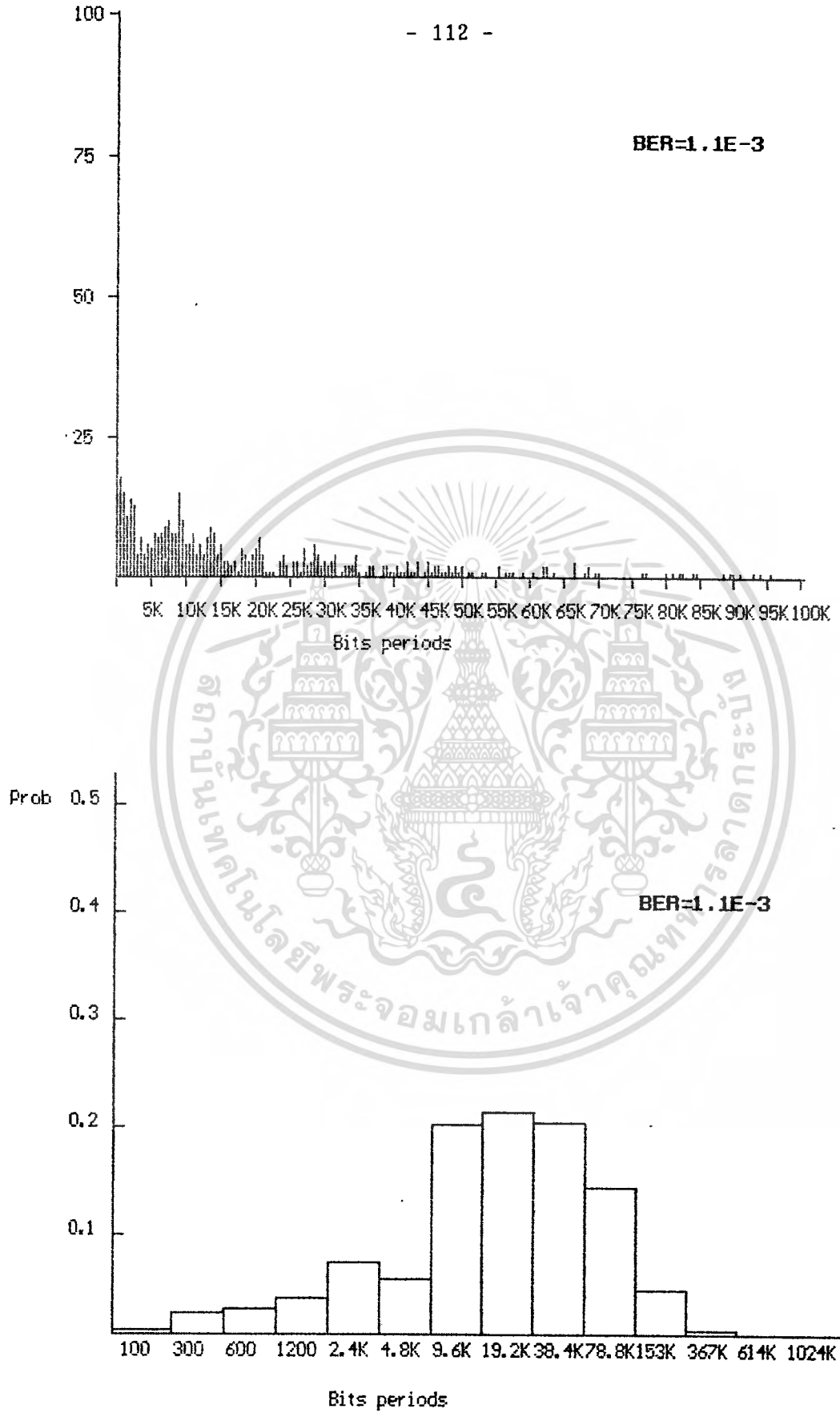
สามารถแสดงการวัด EFI ที่ความแรงของสัญญาณ RF ที่อินพุทเครื่องรับ FM ขนาดต่างๆ โดยรูปที่ 6.1.2.ก และรูปที่ 6.1.2.ข เป็นการวัด EFI ของโมเดมแบบ FSK และ PSK ที่ความแรงเท่ากับ 40 dBμv และรูปที่ 6.1.2.ค และรูปที่ 6.1.2.ง เป็นการวัด EFI ของโมเดมแบบ FSK และ PSK ที่ความแรง 46 dBμv โดยรูปที่ 6.1.2.ก แสดงการกระจาย EFI ที่เกิดขึ้น ส่วนใหญ่อยู่ในช่วง 4.8 Kb ถึง 38.4 Kb โดยค่า EFI เฉลี่ยเท่ากับ 168 Kb และอัตราการผิดพลาดของบิทเท่ากับ 1.6×10^{-3} รูปที่ 6.1.2.ข แสดงการกระจาย EFI ที่เกิดขึ้นส่วนใหญ่อยู่ในช่วง 9.6 Kb ถึง 78 Kb โดยค่า EFI ขนาดสั้นๆในช่วง 100- 500 จะน้อยกว่า FSK โมเดม สำหรับค่า EFI เฉลี่ยมีขนาดเท่ากับ 222 Kb และอัตราการผิดพลาดของบิทเท่ากับ 1.1×10^{-3} รูปที่ 6.1.2.ค แสดงการกระจายของ EFI เกิดขึ้นส่วนใหญ่อยู่ในช่วง 19.2 Kb-153 Kb โดยค่า EFI เฉลี่ยเท่ากับ 304 Kb และอัตราการผิดพลาดของบิทเท่ากับ 8.6×10^{-4} รูปที่ 6.1.2.ง แสดงการกระจายของ EFI ที่เกิดขึ้นส่วนใหญ่อยู่ในช่วง 38.4 Kb-153 Kb โดยค่า EFI เฉลี่ยเท่ากับ 63.1 Kb อัตราการผิดพลาดของบิทเท่ากับ 4.8×10^{-4} สำหรับขนาดความแรงของสัญญาณ RF ที่อินพุทเครื่องรับ FM ขนาด 52 dBμv ซึ่งเป็นขนาดความแรงที่ให้ขนาดสัญญาณ SCA ต่อสัญญาณนอยส์ที่เอาท์พุทสูงสุดคือ 40 dB และเมื่อเพิ่มขนาดสัญญาณ RF ที่ปลายสายอากาศมากกว่า 52dBμv สัญญาณ SCA ต่อสัญญาณนอยส์ที่เอาท์พุทก็จะไม่เพิ่มไปกว่านี้ โดยค่าความผิดพลาดที่เกิดขึ้นเป็นแบบเดี่ยว ๆ (Single error) โดยมีอัตราการผิดพลาดน้อยมากๆ โดยอัตราการผิดพลาดของบิทขนาด 30×10^{-6} ของโมเดม FSK และประมาณ 6×10^{-6} สำหรับโมเดม PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



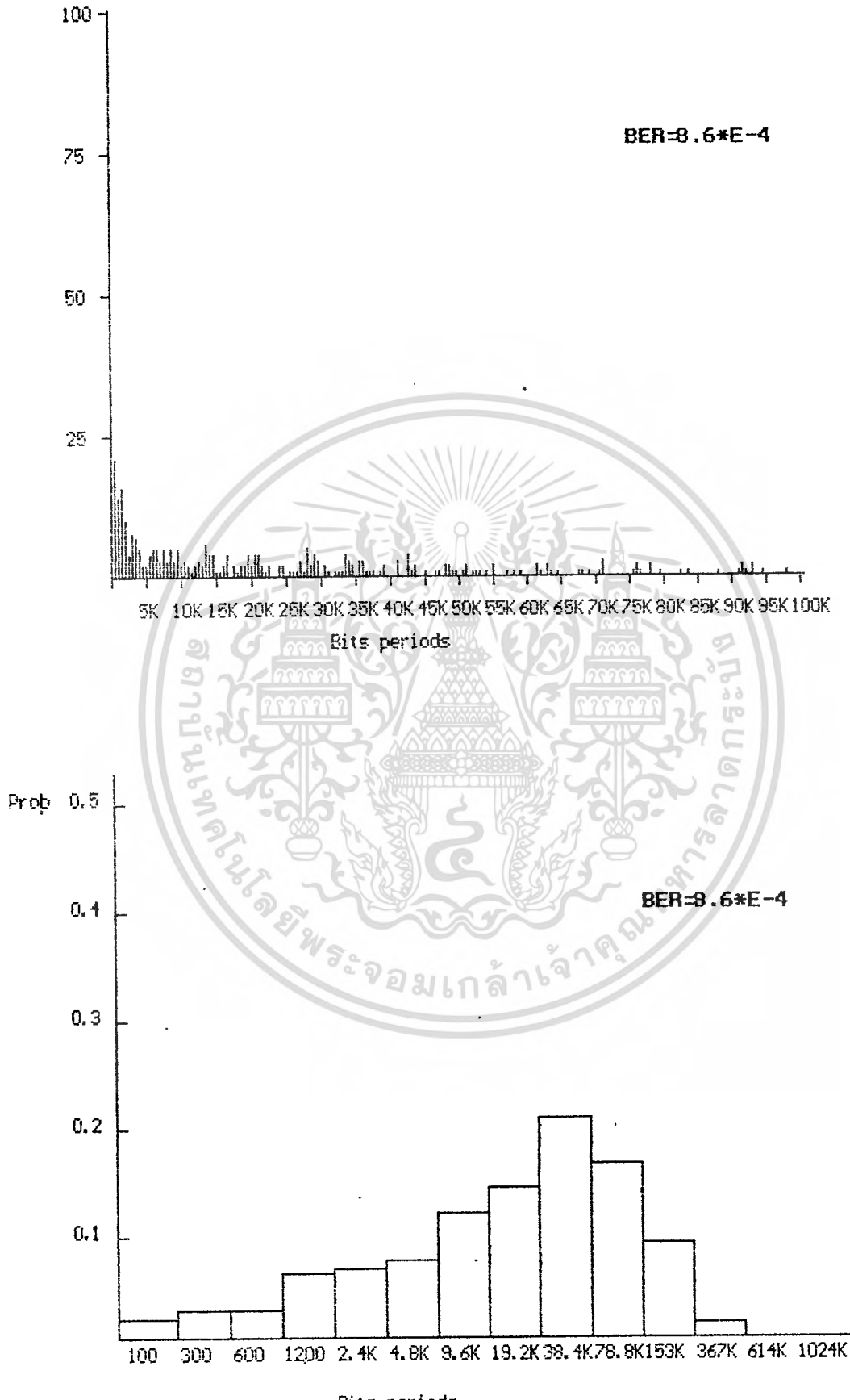
รูปที่ 6.1.1.ก แสดงการกระจายของ EFI ของโมเดมแบบ FSK วัดที่ความแรงสัญญาณ RF อินพุทเครื่องรับ FM เท่ากับ 40 dBμv

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



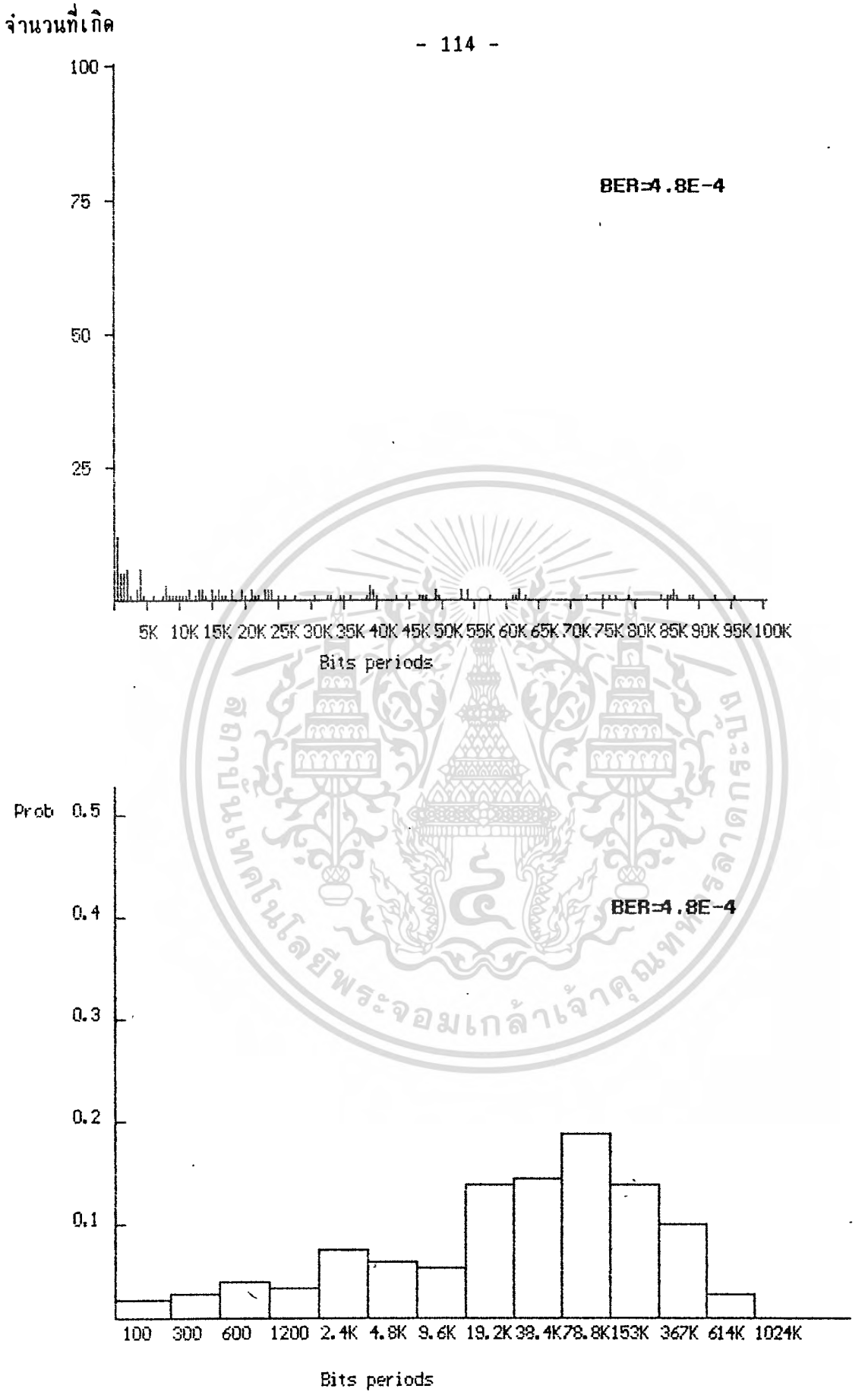
รูปที่ 6.1.2.ข แสดงการกระจายของ EFI ของโมเดมแบบ PSK วัดที่ความแรงสัญญาณ RF อินพุทเครื่องรับ FM เท่ากับ 40 dBμv

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.1.2.ค แสดงการกระจายของ EFI ของโมเดมแบบ FSK วัดที่ความแรงสัญญาณ RF อินพุทเครื่องรับ FMเท่ากับ 46 dBμv

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

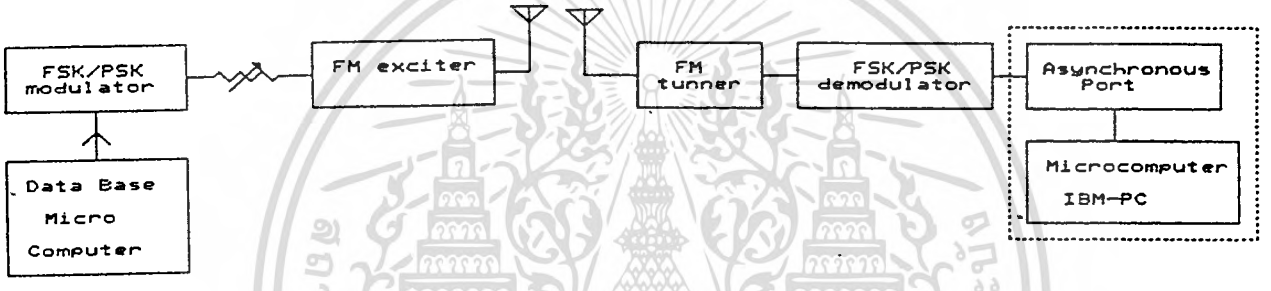


รูปที่ 6.1.2.ง แสดงการกระจายของ EFI ของโมเดมแบบ PSK วัดที่ความแรงสัญญาณ RF อินพุทเครื่องรับ FM เท่ากับ 46 dBμv

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 การออกแบบโปรโตคอล(Protocol)[22]

เนื่องจากการส่งข้อมูลในระบบบอร์ดคาส(broadcast) เป็นการส่งข้อมูลในทิศทางเดียว-(Simplex) ไม่สามารถทำการแก้ไขโดยการส่งซ้ำ(retransmission) ได้หากจะแก้ไขข้อมูลที่ผิดพลาด จะต้องใช้วิธีเข้ารหัสเพื่อแก้ไขข้อมูลที่ผิดพลาด (error correct code)แต่ในการพัฒนาของงานวิจัยนี้ออกแบบส่งข้อมูล โดยใช้ไมโครคอมพิวเตอร์ IBM PC AT/XT สำหรับรับข้อมูลโดยผ่าน Asynchronons serial port:RS232 การรับข้อมูลของการส่งต้องมีความสมบูรณ์ในตัวของแต่ละแพคเกตโดยอาจจะเป็นข้อความสั้นๆเช่นราคาข้อมูลของตลาดหลักทรัพย์แต่ถ้าหากต้องการส่งข้อมูลมากๆ จะต้องใช้ความสามารถในการตัดต่อของไมโครคอมพิวเตอร์เข้าช่วย



รูปที่ 6.2 แสดงการส่งรับข้อมูลโดยไมโครคอมพิวเตอร์

6.2.1 การออกแบบแพคเกต(packet)

รูปแบบของแพคเกตแสดงได้ในรูป โดยในแต่ละแพคเกตประกอบด้วย ส่วนหัว(header), ข้อมูล,และตรวจสอบความผิด(error detection)

SOH = 1 byte

SEQ = 2 byte

CS: checksum = 2 byte

รูปที่ 6.2.1.ก แสดงแพคเกตที่ใช้ส่งข้อมูล

ส่วนหัว (header)

ส่วนหัวเป็นรหัส SOH:start of head เริ่มต้นส่งตรงกับรหัส ASCII 01H,SEQ เป็น packet sequence กำหนดให้มีขนาด 2 ไบท์

ส่วนข้อมูล

การออกแบบของแพคเกต เพื่อการใช้ประโยชน์ของช่องสัญญาณ (Channel Utilization) เป็นไปอย่างสูงสุดเราต้องคำนึงถึงขนาดของ over head ของแพคเกตและความน่าจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นที่แพคเกตจะเกิดการผิดพลาดโดยการส่งแบบ Simplex แสดงค่าการใช้ประโยชน์ของช่องสัญญาณ(Channel utilization):U[23]

U = (loss due to packet over head)×(loss due to error)

$$U = \frac{D}{D + H}(1 - E)^{(H+D)} \qquad \text{-----(1)}$$

D = จำนวนข้อมูลเป็นบิทในแพคเกต

H = จำนวนบิท over head ในแพคเกต

E = ความน่าจะเป็นของข้อมูลที่เกิดผิดพลาดโดยคิดจากส่วนกลับของค่า Error Free Interval : EFI

การส่งข้อมูลผ่าน Asynchronous port กำหนดให้มี 1 start bit และ 1 stop bit ต่อจำนวนข้อมูลขนาด 8 bit ดังนั้นจากสมการ (1) เพิ่มจำนวน over head เนื่องจาก start bit และ stop bit กำหนดให้เท่ากับ H_1

$$H_1 = \frac{D}{8} \times (1 \text{ start bit} + 1 \text{ stop bit}) \qquad \text{-----(2)}$$

$$H_1 = D/4$$

สมการที่ (1) เขียนได้ใหม่ดังนี้

$$U = \frac{D}{(D + H + H_1)}(1 - E)^{(D+H+H_1)}$$

$$= \frac{D}{(5/4)D + H}(1 - E)^{(5/4)D+H} \qquad \text{-----(3)}$$

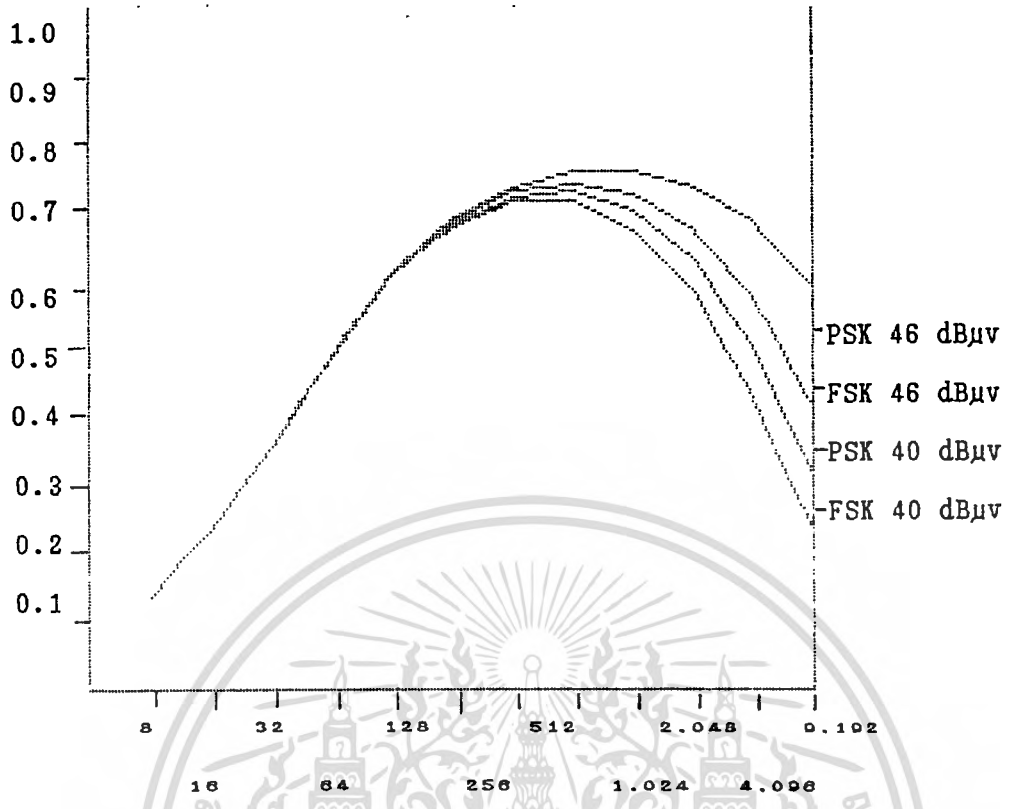
หาค่าขนาดของจำนวนข้อมูล D ที่ดีที่สุด หาได้จาก $\partial U/\partial D$ แล้วให้เท่ากับ 0

$$U = D^2 + \frac{4HD}{5} + \frac{4H}{5\ln(1 - E)} = 0 \qquad \text{-----(4)}$$

$$D = \frac{-2H}{5} + \sqrt{\frac{4H^2}{25} - \frac{H}{\ln(1 - E)}} \qquad \text{-----(5)}$$

โดยค่าขนาดของข้อมูลต่อการใช้ประโยชน์ของช่องสัญญาณแสดงได้ดังรูป 6.2.1.ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



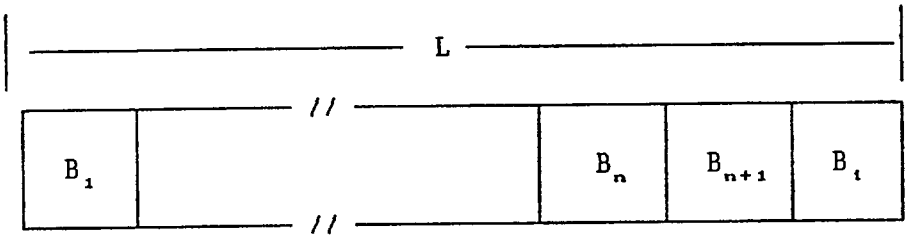
รูปที่ 6.2.1.ก แสดงการใช้ประโยชน์ของช่องสัญญาณ

โดยจากรูปแสดงการใช้ประโยชน์ของช่องสัญญาณในขณะที่ EFI มีขนาดต่างๆกันโดยจากรูปค่า Channel Ultilization จะสูงสุดเมื่อขนาดของแพคเกตมีขนาดประมาณ 1024 บิท สำหรับโมเดมแบบ FSK และ PSK ที่ความแรงของสัญญาณ 40 dBμv และ 46 dBμv ดังนั้นเลือกขนาดความยาวข้อมูลขนาด 100 ไบท์หรือความยาวของแต่ละแพคเกตเท่ากับ 105ไบท์จึงจะเป็นความยาวแพคเกตที่เหมาะสม

6.2.2 <u>การออกแบบส่วนของตรวจสอบความผิด</u>

สำหรับส่วนตรวจสอบความผิดของแพคเกตของข้อมูล เป็นส่วนที่ใช้ดีเทคการผิดพลาดของการส่งข้อมูลที่ส่งไปกับช่องสัญญาณโดยทั่วไปอาจใช้การตรวจสอบแบบ Cyclic Redundancy Code:CRC แต่ในวิทยานิพนธ์นี้ใช้การตรวจแบบผลรวมทางเลขคณิต(Arthematic check sum) โดยข้อมูลที่ต้องการส่งมีขนาด 8 บิท สามารถแทนค่าด้วยเลขจำนวนเต็ม (Integer) 0 - 225 การใช้ประโยชน์ของช่องสัญญาณจะนำผลรวมทั้งหมดในแพคเกตที่ต้องการส่งมาทำการบวกเข้าด้วยกัน แล้วทำการมอดูโล (Modulo) ด้วยค่า M (โดยเลือกค่า $M = 2^8-1$ หรือเป็นค่า 1's Complement) โดยจำนวนไบท์ตรวจสอบ(check byte) เลือกให้มีจำนวน 2 ไบท์หรือเท่ากับ 16 บิท(เพื่อให้มีขนาดเช่นเดียวกับ CRC มาตรฐาน)โดยผลรวมทางเลขคณิตทั้งหมดแพคเกตเมื่อมอดูโลด้วยค่า M แล้วจะเท่ากับ 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2.2 แสดงตำแหน่งของ checksum byte

การหาค่าไบท์ตรวจสอบ สามารถทำได้โดยกำหนด

L : ความยาวของแพคเกตจำนวน L ไบท์

B_i : ค่าจำนวนเต็มที่ไบท์ใด ๆ

B_n, B_{n+1} : ไบท์ที่ใช้ตรวจสอบความผิด (โดยเริ่มต้นกำหนดให้มีค่าเท่ากับ 0)

ให้

$$C_0 = \sum_{i=1}^{i=L} B_i \text{Mod}[M] \qquad \text{-----(6)}$$

$$C_1 = \sum_{i=1}^{i=L} (L - i + 1)B_i \text{Mod}[M] \qquad \text{-----(7)}$$

โดย C_0, C_1 เป็นผลบวกแล้วทำการมอดูโลด้วย M ที่ภาครับถ้าข้อมูลรับได้ถูกต้องทั้งหมด ค่า C_0 มอดูโลด้วย M แล้วจะต้องเท่ากับ 0 ด้วยดังนั้น

$$(C_0 + B_n + B_{n+1}) \text{ Mod } [M] = 0 \qquad \text{-----(8)}$$

$$(L - n + 1)B_n + (L - n)B_{n+1} - C_1) \text{Mod}[M] = 0 \qquad \text{-----(9)}$$

จากสมการ (8),(9) สามารถหาไบท์ตรวจสอบความผิดได้

$$B_n = \{(L - n)C_0 - C_1)\} \text{Mod}[M] \qquad \text{-----(10)}$$

$$B_{n+1} = \{C_1 - (L - n + 1)C_0\} \text{Mod } [M] \qquad \text{-----(11)}$$

n = ตำแหน่งที่ใส่ค่าไบท์ตรวจสอบ ตัวแรก

n+1= ตำแหน่งที่ใส่ค่าไบท์ตรวจสอบ ตัวที่สอง

<u>ตัวอย่างการสร้างแพคเกต</u>

@	1	A	B	C	D	E	B_n	B_{n+1}

@ = ส่วนหัวข้อมูล

1 = ลำดับของแพคเกต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A = 65

B = 66

C = 67

D = 68

E = 69

B_n = ไบท์ตรวจสอบความผิดตัวแรก

B_{n+1}= ไบท์ตรวจสอบความผิดตัวที่สอง

จากสมการที่ (6) จะได้

C_o = (65+66+67+68+69+0+0) Mod[255] = 100

สมการที่ (7) จะได้

C_1 = (65+(65+66)+(65+66+67)+(65+66+67+68)+

(65+66+67+68+69))Mod[255]=230

นำค่า C_o C_1 มาแทนในสมการที่ (10) จะได้ไบท์ตรวจสอบความผิดตัวแรก

B_n = [{(7-6)×100} - 230]Mod[255]

= -130Mod[255]

= 125

นำค่า C_o C_1 มาแทนในสมการที่ (11) จะได้ไบท์ตรวจสอบความผิดที่สอง

B_{n+1} = [230-(7-6+1)×100]Mod[255]

= 30

ที่ภาครับต้องการตรวจสอบข้อมูลที่รับได้มีค่าถูกต้องหรือไม่ทำได้โดยใช้สมการที่ (8)

$(C_o + B_n + B_{n+1})$ Mod[M] = 0

แทนค่า C_o, B_n, B_{n+1} ในสมการ

= [100 + 125 + 30]Mod[255]

= [255]Mod[255]= 0

แสดงว่าแพคเกตมีข้อมูลถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปและวิจารณ์

สำหรับระบบการส่งข้อมูลในช่องสัญญาณวิทยุกระจายเสียงแบบ FM โดยใช้ช่องสัญญาณ SCA ที่เสนอในวิทยานิพนธ์ สามารถสรุปผลการวิจัยได้ดังนี้

ในบทที่ 3 จากการออกแบบวงจร FM มอดูเลทที่ใช้ในระบบกระจายเสียงหรือวงจร - Exciter ปัญหาสำหรับการออกแบบก็คือ วงจรควบคุมความถี่อาจจะหลุดจากการล็อกถ้ามีสัญญาณเบสแบนด์ที่ความถี่ต่ำเข้ามามอดูเลท โดยถ้าหากเราลดค่าความถี่ธรรมชาติของลูปเพื่อให้ลูปสามารถตอบสนองความถี่ต่ำเวลาเซ็ทติ้งของลูปจะมากขึ้น (อาจจะเป็นหลายวินาที) ซึ่งวิธีการแก้ไขปัญหาอาจจะใช้วงจรกรองในลูปที่มีค่าเวลาคงตัวน้อย (ซึ่งค่าความถี่ธรรมชาติของลูปจะมาก) และหลังจากล็อกแล้วจึงสวิชท์ไปทำในวงจรกรองในลูปที่มีค่าเวลาคงตัวมาก สำหรับปัญหาจากการรบกวนระหว่างสัญญาณสเตอริโอ สัญญาณ SCA ซึ่งในวิทยานิพนธ์ไม่ได้สนใจปัญหานี้มากนัก แต่ในทางปฏิบัติในกรณีถ้าต้องการมอดูเลทแล้วให้การรบกวนข้ามช่องน้อย อาจจะต้องมีการชดเชยความไม่เป็นเชิงเส้นของวาริแคปที่ใช้ในวงจร VCO ของ FM exciter

ในบทที่ 4 จากการออกแบบวงจรมอดูเลทและดีมอดูเลทหรือโมเดมที่ใช้ในช่องสัญญาณ SCA ซึ่งเป็นส่วนหลักของวิทยานิพนธ์ฉบับนี้ วงจรโมเดมแบบ FSK ซึ่งสามารถสร้างภาคมอดูเลทและดีมอดูเลท โดยวงจรที่ไม่ยุ่งยากภาครับสามารถสร้างโดยใช้วงจรรวมไม่กี่ตัว ซึ่งสามารถจะออกแบบให้ใช้งานจริงได้ในทางปฏิบัติ แต่สำหรับบิทเรทในวิทยานิพนธ์นี้ ได้เสนอไว้ในการส่งเพียงขนาด 4,800 bps ซึ่งคาดว่าเพียงพอสำหรับการส่งข้อมูลขนาดสั้นๆ เช่นข้อมูลตลาดหลักทรัพย์หรือข้อมูลข่าวสารบริการที่สามารถเข้าใจกันได้โดยประโยคสั้น ๆ

สำหรับโมเดมแบบ PSK ที่เสนอในวิทยานิพนธ์นี้ด้วยนั้นเทคนิคในการออกแบบวงจรในทางปฏิบัติซึ่งใช้วงจรรวมที่มีขายในท้องตลาดขนาดของวงจรยังมีขนาดใหญ่อยู่มาก ในการที่จะพัฒนาโมเดมแบบนี้สำหรับใช้งานจริงในทางปฏิบัติอาจจะต้องออกแบบวงจรดีมอดูเลทสัญญาณ PSK เป็นวงจรรวม สำหรับบิทเรทของโมเดมทั้ง FSK และ PSK ถ้าหากจะเพิ่มจาก 4,800 bps เป็นขนาด 9,600 bps หรือมากกว่าถึงแม้ว่าขนาดของแบนด์วิดท์ของช่องสัญญาณ SCA จะกว้างพอที่จะสามารถส่งข้อมูลบิทเรทขนาดนี้ แต่ในกรณีของโมเดมแบบ FSK ถ้าหากเพิ่มบิทเรทขึ้น โดยให้มอดูเลชั่นอินเดคซ์เท่ากับขนาดบิทเรท 4,800 bps ขนาดของแบนด์วิดท์ของสัญญาณ FSK จะเพิ่มขึ้นมากและจะทำให้เกิดการรบกวนกับช่องสัญญาณสเตริโอได้ แต่ถ้าหากลดขนาดมอดูเลชั่นอินเดคซ์ของสัญญาณขนาด 9,600 bps ลงขนาดของอัตราการผิดพลาดของบิทก็มีขนาดสูงมาก

ในกรณีของโมเดมแบบ PSK ก็เช่นกันถ้าหากเพิ่มบิทเรทขึ้นเป็นขนาด 4,800 bps การใช้แบนด์วิดท์ของสัญญาณจะเกินช่วงของช่อง SCA ดังนั้นในการที่จะพัฒนาให้โมเดมมีความเร็วสูง-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อที่จะใช้ในช่องสัญญาณ FM-SCA จำเป็นจะต้องคำนึงถึงแบนด์วิดท์เป็นหลักซึ่งการออกแบบโมเดมอาจจะต้องเป็น MSK โมเดมหรือ QPSK โมเดมซึ่งการออกแบบวงจรภาคดีมอดูเลทมีข้อยุ่งยากโดยในทางปฏิบัติจริงๆ จะต้องแทนด้วยวงจรรวมขนาดใหญ่

บทที่ 5 จากการออกแบบเครื่องมือวัดอัตราการผิดพลาดของบิทที่แสดงบนไมโครคอมพิวเตอร์ โดยสามารถแสดงผลของค่า EFI ได้นั้นนอกจากใช้วัดอัตราการผิดพลาดของบิทของโมเดมที่ออกแบบในช่องสัญญาณ SCA แล้วเครื่องวัดอัตราการผิดพลาดของบิทที่ได้เสนอยังสามารถนำไปวัดอัตราการผิดพลาดของบิทของโมเดมอื่นๆที่ส่งในช่องสัญญาณที่เกิดการผิดเป็นแบบเบริสได้ดีด้วย เพราะการออกแบบได้คำนึงถึงการเริ่มต้นซิงโครไนส์สัญญาณกิ่งแรนดัมได้รวดเร็ว ถ้าเกิดจากการหลุดซิงโครไนซ์ สำหรับการพัฒนาเครื่องวัดอัตราผิดพลาดของบิทต่อไป ในอนาคตอาจจะเพิ่มส่วนที่สามารถบอกรูปแบบลักษณะของการผิดของบิท เพื่อเป็นประโยชน์ในการออกแบบรหัสเพื่อตรวจสอบความผิดของบิท(error detection) หรือทำการแก้ไขการผิดของบิทล่วงหน้า(Forward error correction)

บทที่ 6 การวัดอัตราการผิดของบิทของโมเดม จากผลของการวัดอัตราการผิดพลาดของบิทมีค่าค่อนข้างสูงและการเกิดความผิดพลาดจะเกิดเป็นลักษณะของเบริสซึ่งเป็นกลุ่มมีหลายบิทติดกัน สำหรับการส่งข้อมูลในช่องสัญญาณกระจายเสียงแล้วอัตราการผิดของบิทซึ่งอยู่ในช่วง $1x10^{-3}$ เป็นค่าที่ยอมรับได้ สำหรับแพคเกตที่ออกแบบโดยใช้ส่งข้อมูลผ่านพอร์ท RS232 ซึ่งเป็นพอร์ทอนุกรมแบบอะซิงโครนัสที่มีอยู่บนเครื่องไมโครคอมพิวเตอร์นั้น ขนาดของการใช้ประโยชน์ของช่องสัญญาณ (channel utilization) จะสูญเสียไปกับ start bit และ stop bit ในกรณีที่ต้องลดการสูญเสียนี้อาจจะออกแบบโดยใช้พอร์ทอนุกรมที่เป็นลักษณะของซิงโครนัสพอร์ท ซึ่งจะต้องใช้สัญญาณนาฬิกาเพิ่มเติมจากอะซิงโครนัสพอร์ท ซึ่งส่วนสร้างสัญญาณนาฬิกานี้ได้ออกแบบไว้แล้วในส่วนของโมเดมแบบ PSK สำหรับทดลองส่งข้อมูลเป็นแพคเกตได้ทดลองข้อมูลจากไมโครคอมพิวเตอร์จากภาคส่งไปสู่ไมโครคอมพิวเตอร์ภาครับ โดยใช้ลักษณะแพคเกตที่ได้ออกแบบดังกล่าว ในบทที่ 6 ประสิทธิภาพการส่งข้อมูลอยู่ในลักษณะสามารถรับข่าวสารได้ดีพอควร โดยในการทดลองส่งข้อมูล 1,000 แพคเกตผล(ความแรงที่อินพุทเครื่องรับ FM มีขนาด 40 dBμv) ข้อมูลจะรับได้มากกว่า 700 แพคเกตหรือ 70% ขึ้นไป

โดยสรุปกล่าวได้ว่าสำหรับการวิจัยการออกแบบการส่งข้อมูลในช่องสัญญาณ FM-SCA นี้ในส่วนของโมเดมแบบ FSK และการออกแบบแพคเกตน่าจะเป็นส่วนที่ไปพัฒนาใช้ได้อย่างจริงๆ - โดยสำหรับการรับข้อมูลและแสดงผลให้ผู้ใช้สามารถรับหรือติดตามข่าวสาร เป็นส่วนที่ต้องพัฒนาทางซอฟแวร์เพิ่มเติม สำหรับในส่วนของ FM Exciter และเครื่องวัดอัตราการผิดพลาดของบิทเป็นการเสนอการออกแบบเพื่อสนับสนุนงานวิจัยนี้ก็เป็นส่วนที่สามารถนำไปใช้งานจริงๆ ได้เลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. BCC/IBA/BREBMA, "Broadcast Teletext specification", Sept 1976.
2. กฤดากร กล่อมการ,กนก เจนจิระพงศ์เวช,"การใส่สัญญาณเทเลเท็กซ์ในช่วงขอบด้านหน้าของสัญญาณฮอลลิซอลทอลแบล็งกิ้ง, การประชุมทางวิชาการวิศวกรรมไฟฟ้าครั้งที่ 11,สถาบันเทคโนโลยีราชมงคล,หน้า 3-2-1 -3-2-8,พฤศจิกายน 2531.
3. F.M.Gardner,"Phase locked Techniques",John Wiley & Sons,New York, 1979.
4. P.R. Gray, R.C. Meyer, "Analysis and Design of Analog Integrated circuit 2nd edit",John Wiley & Sons,New York,1980.
5. MC 4344/MC 4044,"MECL Device data", Motorora Inc,1985.
6. R.E.Best, "Phase Locked loops Theory Design and Application", Mc Graw-Hill Book Company,New York,1984.
7. Nippon Hoso Kyokai:NHK,"FM Stereo Phonics Transmission Technique" ,Japan International Coperation Agency,Tokyo.
8. L.W.Couch II,"Digital and analog Communication Systems",Macmillan Publishing Company,New York,1990.
9. J.Smith, "Modern Communication Circuit",McGraw-Hill Book Company, New York,1986.
10. AN 551 Tuning Diode Design Technigues,"RF Device Data Volume II", Motorora Inc, 1988.
11. V. Manassewitsch,"Frequnecy synthesizer:Theory and Design 2nd edit",John Wiley & Sons, New York, 1980.
12. D.F.Stout,M.Kaufman,"Operational Amplifier Circuit Design",McGraw -Hill Book Company,New York,1976.
13. P.Z Peebles,"Digital Communication Systems",Prentice-Hall,Engle wood Cliffs,NJ,1987.
14. J.G. Proakis,"Digital Communications", McGraw-Hill Book Company, New York, 1986.
15. AN 46 The Phase Locked Loop IC as a Communication Building Block, "Linear Applications Handbook",National Semiconductor Corporation, 1986.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16. K.Feher,"Digital Communication Satellite/earth station Engineering",Prentice Hall,Englewood cliffs, NJ, 1983.

17. W.N. Cheung,"A Wave Shaping Method for NRZ Pulses",INT.J Electronics,Vol.56, No.2,P211-216,1984.

18. E.A.Newcombe,S.Pasupathy,"Error Rate Monitoring for Digital Communications",proc of the IEEE, Vol 70, No. 8, August 1982.

19. S.W. Golomb (Editor),"Digital Communications with Space Application",Prentice-Hall,Englewood Cliffs,NJ,1964.

20. L.C.Eggebrecht,"Interfacing to The IBM Personal Computer",Howard W.Sams & Co.Inc,Indiana, 1983.

21. W.Gosling,"Radio Receivers",Peter Peregrinus Ltd, London, 1986.

22. G.J.Holzmann,"Design and Validation of Computer Protocols",Prentice-Hall,Englewood Cliffs,NJ,1991.

23. A.S.Tannenbaum,"Computer Network",Prentice-Hall, Englewood Cliffs ,NJ,1981.

24. J.G.Fletcher,"An Arithmetic Checksum for Serial Transmission", IEEE Trans on Communication,Vol Com-30, No.1,P247-252,Jan 1982.

25. H.Helms,"Linear IC Device 1987 Source Book", Prentice-Hall,Englewood Cliffs,NJ,1987.

26. H.Helms,"CMOS Device 1987 source book",Prentice-Hall, Englewood Cliffs,NJ,1987.

27. National Semiconductor Corporation,"LS/S/TTL Data Book 1987", 1987.

28. กฤดากร กล่อมการ,กนก เจนจิระพงศ์เวช,"การส่งข้อมูลในช่องสัญญาณ FM SCA",การประชุมทางวิชาการวิศวกรรมไฟฟ้าครั้งที่ 12,มหาวิทยาลัยเกษตรศาสตร์,หน้า 132-141, พฤศจิกายน 2532.

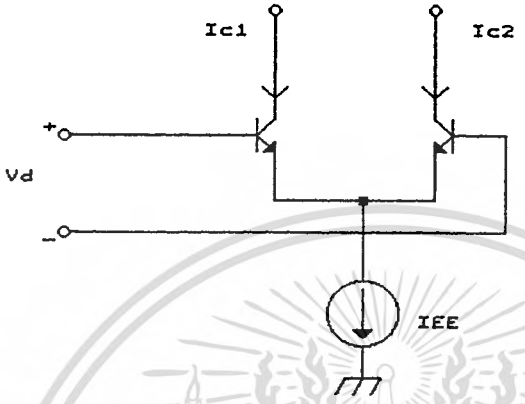
29. วิทวัส กันทัด,กฤดากร กล่อมการ,จักรี ทีฆภาคย์วิสิฐ,กนก เจนจิระพงศ์เวช,"การประยุกต์ใช้ระบบกระจายเสียงแบบ FM สำหรับบริการข่าวสารข้อมูล",การประชุมทางวิชาการวิศวกรรมไฟฟ้าครั้งที่ 14, มหาวิทยาลัยสงขลานครินทร์, หน้า 113-118,พฤศจิกายน 2534

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

วงจรคูณแบบอนาลอกโดยใช้ไบโพล่าทรานซิสเตอร์

สำหรับหลักการวงจรคูณที่ใช้ไบโพล่าร์ทรานซิสเตอร์นั่นสามารถเริ่มต้นอธิบายจากวงจรอิมิตเตอร์คัปเปอร์แพร์ดังรูป



แรงดันขาเข้า V_d สามารถเขียนได้คือ

$$V_d = V_{BE1} - V_{BE2} \qquad \text{-----(1)}$$

$$I_{EE} = I_{C1} + I_{C2} \qquad \text{-----(2)}$$

จากคุณสมบัติของไบโพล่าร์ทรานซิสเตอร์ถ้าค่า h_{FE} มีค่ามากๆ กระแสที่คอลเลคเตอร์มีค่าประมาณกระแสอีมิตเตอร์ โดยกระแสอิมิตเตอร์ จะเป็นกระแสของรอยต่อเบส อีมิตเตอร์ ซึ่งสำหรับทรานซิสเตอร์ แบบ NPN สมการของกระแสอีมิตเตอร์แสดงได้ดังนี้

$$I_C = I_E = I_{ES} \exp(V_T/V_{BE}) \qquad \text{-----(3)}$$

V_T = แรงดันสมมูลกับพลังงานความร้อน

I_{ES} = กระแสรอยต่อเบส - อิมิตเตอร์

ดังนั้นจากรูป 1 สามารถเขียนสมการ I_{C1}, I_{C2} ของวงจรอิมิตเตอร์คัปเปอร์แพร์ได้คือ

$$I_{C1} = I_{ES} \exp(V_{BE1}/V_T) \qquad \text{-----(4.1)}$$

$$I_{C2} = I_{ES} \exp(V_{BE2}/V_T) \qquad \text{-----(4.2)}$$

จากสมการ (4.1),(4.2) สามารถเขียน I_{C1} ในเทอมของ I_{C2} และ I_{C2} ในเทอมของ I_{C1} ได้คือ

$$I_{C1} = I_{C2} \exp(V_d/V_T) \qquad \text{-----(5.1)}$$

$$I_{C2} = I_{C1} \exp(-V_d/V_T) \qquad \text{-----(5.2)}$$

และจาก (5.1) (5.2) เขียนสมการ I_{EE} ใหม่

$$I_{EE} = I_{C1} + I_{C1}\exp(-V_d/V_T) = I_{C2} + I_{C2}\exp(V_d/V_T) \qquad \text{-----(6)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ

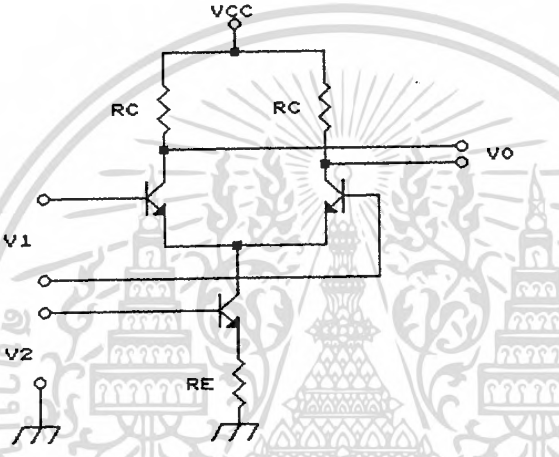
$$I_{C1} = I_{EE}/(1 + \exp(-V_d/V_T)) \qquad \text{-----(7.1)}$$

$$I_{C2} = I_{EE}/(1 + \exp(V_d/V_T)) \qquad \text{-----(7.2)}$$

ดังนั้นผลต่างของกระแส I_{C1} และ I_{C2} เท่ากับ

$$I_{C1}-I_{C2} = I_{EE}\tanh(V_d/2V_T) \qquad \text{-----(8)}$$

ดังนั้นถ้าปรับแหล่งจ่ายกระแสคงที่ I_{EE} ด้วยแรงดันอินพุท V_2 ในรูป 2 สมการ(8) สามารถเขียนได้ใหม่คือ



รูปที่ 2

$$I_{C1}-I_{C2} = (V_2-V_{BE})/R_E)\tanh(V_1/2V_T) \qquad \text{-----(9)}$$

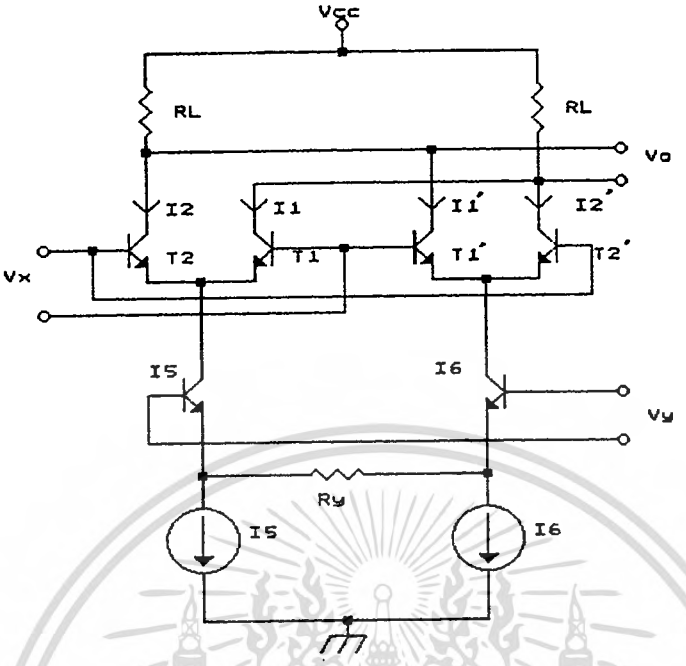
ดังนั้นถ้าให้ $V_d < V_T$ แล้ว

$$I_{C1}-I_{C2} = ((V_2-V_{BE})/R_E)\times V_1/2V_T \qquad \text{-----(10)}$$

จากสมการ (10) เราได้กระแสเอาท์พุทในรูปของผลคูณแรงดันอินพุทโดยกำหนด V_1 ต้องมีขนาดของสัญญาณน้อยกว่า V_T และ V_2 ต้องมีขนาดมากกว่า V_{BE} ของทรานซิสเตอร์ซึ่งหมายถึงว่าวงจรคูณจะถูกจำกัดด้วยขนาด V_1, V_2 และเนื่องจากว่า I_{EE} แปรผันตรงกับแรงดัน V_2 ดังนั้นวงจรทำให้สัญญาณคอมมอนโมดเอาท์พุทเปลี่ยนแปลงไปมาก ในทางปฏิบัติวงจรคูณที่เป็นวงจรรวมสามารถแก้ไขปัญหาสำหรับการเปลี่ยนแปลงของสัญญาณคอมมอนโมดเอาท์พุท โดยใช้วงจรคูณแบบกิลเบิท (Gilbert Multiplier Cell) ดังแสดงในรูป 3 โดยวงจรประกอบด้วยดิฟแอมป์สองวงจรคือ T_1T_2 และ $T_1'T_2'$ โดยมีขาคอลเลคเตอร์ต่อสลับกันอยู่และให้ I_{EE} มีค่าคงที่โดยใช้แหล่งจ่ายกระแสคงที่ I_5, I_6 โดยแรงดันอินพุทสำหรับวงจรคูณคือ V_x, V_y ตามลำดับ

จากรูปแสดงสมการกระแส I_5 I_6 ได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3

$$I_5 = I_e + (V_y/R_y) \qquad \text{-----(11.1)}$$

$$I_6 = I_e + (V_y/R_y) \qquad \text{-----(11.2)}$$

จากสมการ (8)

$$I_1 - I_2 = I_5 \tanh(V_x/2V_T) = (I_e + (V_y/R_y))\tanh(V_x/2V_T) \qquad \text{-----(12.1)}$$

$$I_1' - I_2' = I_6 \tanh(V_1/2V_T) = (I_e + (V_y/R_y))\tanh(V_x/2V_T) \qquad \text{-----(12.2)}$$

ผลต่างกระแสเอาท์พุทคือ

$$\Delta I = ((I_1 - I_2) - (I_1' - I_2')) \qquad \text{-----(13)}$$

ดังนั้น

$$\Delta I = (2V_y/R_y)\tanh(v_x/2V_T) \qquad \text{-----(14)}$$

หรือแรงดันเอาท์พุท

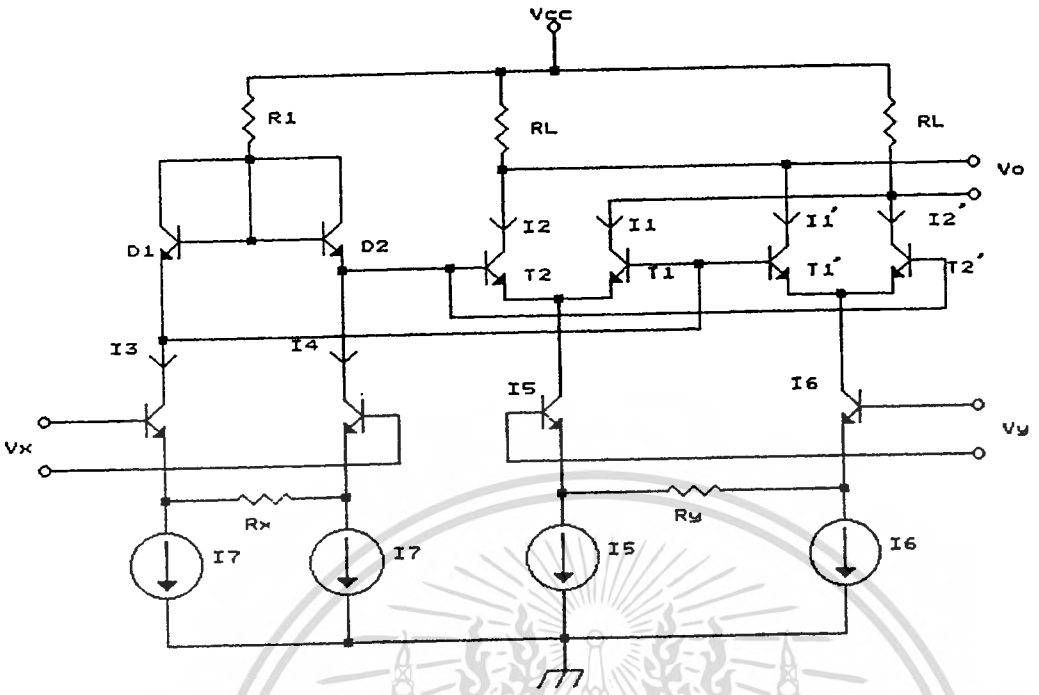
$$V_o = 2R_L(V_y/R_y)\tanh(V_x/2V_T) \qquad \text{-----(15)}$$

ถ้าให้ $|V_x| < V_T$ แล้ว แรงดันเอาท์พุทแสดงในรูปผลคูณได้คือ

$$V_o = R_L(V_y/R_y)\times(V_x/V_T) \qquad \text{-----(16)}$$

ดังนั้นวงจรนี้จึงสามารถคูณสัญญาณที่อินพุทหนึ่งที่เป็นสัญญาณขนาดเล็ก(น้อยกว่า 26mv) ถ้าหากแรงดันอินพุท V_x มีค่ามากกว่า 26 mv แล้ววงจรจะทำหน้าที่เป็น Synchronous switch หรือทำหน้าที่ปิดและเปิดวงจรสลับกันไป สำหรับวงจรที่ต้องการคูณระดับแรงดันขนาดสูงนั้น สามารถเพิ่มส่วนสำหรับอินพุทแรงดันระดับสูงดังแสดงในรูปที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4

กระแส I_3, I_4 เขียนได้คือ

$$I_3 = I_S \exp(V_{D1}/V_T) \qquad \text{-----(17.1)}$$

$$I_4 = I_S \exp(V_{D2}/V_T) \qquad \text{-----(17.2)}$$

I_S คือ กระแสรอยต่อ PN ของไดโอด

ดังนั้น

$$V_{D1} = V_T \ln(I_3/I_S) \qquad \text{-----(18.1)}$$

$$V_{D2} = V_T \ln(I_4/I_S) \qquad \text{-----(18.2)}$$

แรงดันอินพุท V_1 เขียนได้

$$V_1 = V_{D1} - V_{D2} = V_T \ln(I_3/I_4) \qquad \text{-----(19)}$$

และสมการ I_3 , I_4 เขียนได้อีกรูปหนึ่งคือ

$$I_3 = I_2 + (V_x/R_x)$$

$$I_4 = I_7 - (V_x/R_x) \qquad \text{-----(20)}$$

แทนสมการ (20) ในสมการ (19) เขียน V_1 ได้ใหม่คือ

$$V_1 = 2V_T \tan^{-1}(V_x/I_7 R_x) \qquad \text{-----(21)}$$

ดังนั้นถ้าแทนค่า V_1 ซึ่งคือ V_x ในสมการ 15 จะได้

$$V_o = 2R_L(V_y/R_y)(V_x/I_7 R_x) \qquad \text{-----(22)}$$

โดยในทางปฏิบัติ R_x R_y เป็นความต้านทานสำหรับปรับเกนการคูณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

โปรแกรมคอมพิวเตอร์สำหรับบทที่ 5.3

```
#include <stdio.h>
#include <ctype.h>
#include <dos.h>
#include <conio.h>
#include <bios.h>
#include <graphics.h>
#define KB 0x9
#define CR 0xd
#define ESC 27
#define LPT1    0
#define PRINT   0
#define LPTSTATUS 2
#define IOERR  0x08
#define P1A    0x1b0
#define P1B    0x1b1
#define P1C    0x1b2
#define P1CW   0x1b3
#define P3C0   0x1b8
#define P3C1   0x1b9
#define P3C2   0x1ba
#define P3CW   0x1bb
#define MAXAR       10*1024   /*10*1024 */
#define MAXBLK 240 /* multiple of interval */
#define MAXLNT 99
#define HRMAX 15
#define MAX 500         /* number point of x axis */
char msgber[10];
unsigned char   inout(void);
void hardcopy (int left);
void restore_kb();
static void interrupt far newkb(void);
static void (interrupt far *oldkb)(void);
inkey (void);
static int blank=0;
unsigned char a1;
unsigned char hour1,min1,sec1;
unsigned char hour2,min2,sec2;
unsigned long x1,x2,x3,x4,x5,x6,x7,x8,x9,x10;
unsigned long x8,x9,x10,x11,x12,x13,x14,x15;
unsigned long sum;
unsigned long cntbit;
unsigned long armaxa2;
long blk;
a0[20]={1,2,3,4,5,6,7,6,9,10,11,12,13,14,15,16,17,18,17,0};
unsigned int xh[HRMAX];
unsigned short x[MAX];
unsigned short a3[MAXAR];
char msgber[10];
main()
/*---------------- begin main---------------- */
{
int i;
unsigned char a;
int ch;
clrscr();
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
winber();
setblk();
set_tm();
set_inf();
oldkb=getvect(KB);
setvect(KB,newkb);
ber();
/* exit from measure */
loopback:
cursoff();
clrl(23);
do{
ch=getch();
switch(ch){
 case 'p':
 case 'P':gotoxy(2,9);printf("printer");prt();clrl(9);break;
 case 'g':
 case 'G':gotoxy(2,9);printf("graphics");grap();clrl(9);break;
 case 's':
 case 'S':gotoxy(2,10);printf("save data");disks();clrl(10);break;
 }
}
while(ch != ESC);
curson();
gotoxy(2,23);
printf("are you sure to exit (Y/N) ");
if ((yesno())== 'N') goto loopback;
restore_kb();
clrl(23);
gotoxy(2,23);
printf("terminate ");
}
/*---------------------- end main--------- */
 set_inf()
 {
 gotoxy(2,22);
 gotoxy(2,3);
 printf("  block    = 100 bit                              ");
 gotoxy(2,4);
 printf("  total err=                              ");
 gotoxy(2,5);
 printf("  blk count=                              ");
 textattr(0xf0);
 gotoxy(20,25);
 cputs("  press any key form stop measurement ");
 textattr(0x0f);/*back to normal mode */
 }
setblk()
{
extern long blk;
gotoxy(2,23);
printf("setblk=");
scanf("%lu",&blk);
gotoxy(2,19);printf("setblk=%lu",blk);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ber()
{
extern unsigned long armaxa2;
extern unsigned long sum;
extern unsigned long cntbit;
extern  long blk;
extern unsigned long  a2[MAXAR];
extern unsigned short a3[MARAX];
unsigned char c;
unsigned long errpos=0;
unsigned char  a1[MAXAR];
long i,j;
unsigned short x=0;/* for error pos count */
long tempar;
outportb(P1CW,0x8b);
outportb(P3CW,0x30);
outportb(P3CW,0x70);
outportb(P3CW,0x90);
outportb(P3C0,0xff);
outportb(P1A,0x86);
delay(50);
outportb(P1A,0x01);
outportb(P3C2,MAXLNT);
sum=0;
for(i=0;i<=MAXAR;i++){
a2[i]=0;
}
a1[0]=0;a2[0]=0;x=1;
gotoxy(2,20);printf("blk=%lu",blk);
for (i=1;i<=blk;i++)
{
   if (blank==1)
     {
     break;
     }
   c=inout();
   if (c>0 && c<100)
     {
     a1[x]=c;
     a2[x]=errpos;
     x++;          /* increase array */
     }
    errpos++;
    sum=sum+c;
    gotoxy(17,4);
    printf("%lu",sum);
    gotoxy(17,5);
    printf("%lu",errpos);
}
outportb(P1A,0x80);
rd_tm();
cntbit=100*errpos;
gotoxy(2,6);
printf("  bit count=%lu",cntbit);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
for(j=0;j<=MAXAR;j++){
 a2[j]=a2[j+1]-a2[j];
 }
 textattr(0xf0);
 gotoxy(20,18);
 cputs("   wait for   array process          ");
 textattr(0x0f);/*back to normal mode */
j=0;
do{
tempar=a2[j];
j++;
}while (tempar >0);
j=j-2;
tempar=j;
for(j=0;j<=tempar;j++){
    a2[j]=a2[j]-1;
    }
/* find Maxar2 */
j=0;
armaxa2=a2[j];
do{
if (armaxa2<a2[j]){
    armaxa2=a2[j];
    }
  j++;
  }
 while(j<=tempar);
 /* j for a2 x,i for a3 y shoud find max valve in a2 before sort */
  textattr(0xf0);
  gotoxy(20,18);
  cputs("   wait for   efi sorting            ");
  textattr(0x0f);/*back to normal mode */
 for(i=1;i<=armaxa2;i++){
  for (j=0;j<=tempar;j++){
     if (a2[j]==i){
         a3[i]=a3[i]+1;
         }
     }
 }
   textattr(0xf0);
   gotoxy(20,18);
   cputs("     efi sorting  already          ");
   textattr(0x0f);/*back to normal mode */
  gotoxy(2,6);
  printf("  bit count=%lu",cntbit);
  }
  /*end ber */
  unsigned char incut(void)
  {
    asm mov dx,01b2h
    wait:
    asm in  al,dx
    asm and al,01h
    asm cmp al,01h
    asm jnz wait
    asm mov dx,01b1h
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 asm in  al,dx
 asm mov ch,al
 asm dec dx
 asm mov al,05h
 asm out dx,al
 asm mov al,01h
 asm out dx,al
 asm mov dx,01bah
 asm mov al,063h
 asm out dx,al
 return(_CH);
}
grap()
{
extern unsigned short a3[MAXAR];
extern unsigned char an[MAXAR];
extern char msgber[10];
char c,c1;
unsigned long i;
clrscr();
rdfilar();
arrpro();
sortefi1();
sortefi2();
printf("ber=");
scanf("%s",msgber);
printf("d=discreate plot,h=histogram,p=print ESC=exit\n");
do{
c=getch();
switch(c){
 case 'd':
 case 'D':dplot();break; /* discreate plot */
 case 'h':
 case 'H':histo();break;
 case 'p':
 case 'P':hardcopy(5);break;
 }
}while(c != ESC);
closegraph();
printf("terminate\n");
}/* end grap */
histo()
{
/* use sort efi 1*/
extern unsigned int  xh[HRMAX];
extern char msgber[];
int x0,y0,xx,yy,xl;
unsigned short xmax,ymax,a;
unsigned short t=0;
int arxmax,arymax;
float xstep,normy;
int cofset=6;
char msg0[]="BER=";
char *msg1[14]={"100","300","600","1200","2.4K","4.8K","9.6K",
          "19.2K","38.4K","78.8K","153K","367K","614K","1024K"};
char *msg11[6]={" ","0.1","0.2","0.3","0.4","0.5"};
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
grint();
xmax=getmaxx();
ymax=getmaxy();
xstep=30;
x0=abs(xmax/10);
y0=10+abs(3*(ymax/4));
outtextxy(x0+10*xstep+cofset,y0-205,msg0);/* tel ber */
outtextxy(x0+11*xstep+cofset,y0-205,msgber);/* ber */
line(x0,10,x0,y0);/* vertical axis */
for(t=1;t<=5;t++){
outtextxy(x0,y0-(50*t),"-");  /* xscale/10,xscale in sort efi1  */
}
settextstyle(2,0,4);/* set for a small text */
outtextxy(3*x0,y0+25,"Bits periods");
outtextxy(x0-60,y0-255,"Prob");
for(t=0;t<=5;t++){
outtextxy(x0-25,y0-t*50-5,msg11[t]);
}
for(t=0;t<=14;t++){
outtextxy(x0+(t*xstep)+cofset,y0+2,msg1[t]);
}
line(x0,y0,x0+440,y0);/* horizontal axis */
  xl=x0;
for(t=1;t<=15;t++){
  xx=((t-1)*xstep)+34;
  yy=xh[t];
  line(x0+xx,y0,x0+xx,y0-yy);
  line(x0+xx,y0-yy,xl,y0-yy);
  line(xl,y0-yy,xl,y0);
  xl=x0+xx;
 }
}/* end histogram plot */
dplot()
{
/* use sort efi 2 */
extern unsigned short x[MAX];
extern char msgber[];
int x0,y0,xx;
float yy,y00;
int comp=2;   /* compensate for mark scale */
int sep=2;    /* sep separate each point by 2 */
int temp;
unsigned short xmax,ymax,a;
unsigned short t=0;
int arxmax,arymax;
float xstep,normy;
char msg0[]="BER=";
char  *yval[5] = { " ","25","50","75","100"};
char *xval[26] = {" ","5K","10K","15K","20K","25K","30K","35K",
                  "40K","45K","50K","55K","60K","65K","70K","75K","80K",
                  "85K","90K","95K","100K","105K","110K","115K","120K",
                   "125K"};
grint();
xmax=getmaxx();
ymax=getmaxy();
x0=abs(xmax/10);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
xstep=1;
y0=10+abs(3*(ymax/4));
y00=y0-10;
normy=y00/100;
temp=MAX-100;
line(x0,10,x0,y0);      /* ver axis */
line(x0,y0,x0+temp,y0); /* Hor axis */
/* scale of ver axis */
for(t=1;t<=4;t++){
 outtextxy(x0-6,y0-(t*(y00/4))-comp,"-");
}
outtextxy(x0+300,y0-205,msg0);/* tel ber-*/
outtextxy(x0+330,y0-205,msgber);/* ber */
settextstyle(2,0,4);/* set for a small text */
outtextxy(3*x0,y0+25,"Bits periods");
for(t=0;t<=4;t++){
2 outtextxy(x0-25,y0-(t*(y00/4))-4,yval[t]);
}
for(t=0;t<=20;t++){
 outtextxy(x0+t*(MAX/25)-4,y0+10,xval[t]);
}
settextstyle(2,1,4);/* set for - inverse direction */
for(t=0;t<21 ;t++){
 outtextxy(x0+t*(MAX/25)-5,y0-2,"-");
}
for(t=0;t<=temp/sep;t++){   /* MAX number point of x axis */
  xx=(sep*t*xstep)+2;   /* sep separate each point by 2 */
  yy=abs(x[t]*normy);
  line(x0+xx,y0,x0+xx,y0-yy);
 }
}
sortefi2()
{
extern unsigned short x[MAX];
unsigned short i,j,n;
int group=5; /* number of each group 5=5*100 bit */
   for(j=0 ;j<=MAX;j++){
       x[j]=0;
       for(i=1;i<=group;i++){
           n=(group*j);
           x[j]=x[j]+a31[n+i];
           }
        }
  for(i=0;i<=180;i++){
  printf("%d\t",x[i]);
  }
}/*end sort efi 2 */
grint()
{
int grmode=1;
int grresult;
initgraph(&grapdrv,&grmode,"");
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
sortefi1()
{
extern unsigned long x1,x2,x3,x4,x5,x6,x7,x8,x9,x10;
extern unsigned long x8,x9,x10,x11,x12,x13,x14,x15;
extern unsigned short a3[MAXAR];
extern unsigned char an[MAXAR];
extern unsigned int  xh[HRMAX];
float xxh[HRMAX];
float xhmax=0;
unsigned int xscale=500;
unsigned short i;
xh[1]=a3[1];
xh[2]=a3[2]+a3[3];
xh[3]=a3[4]+a3[5]+a3[6];
x4=0;
for(i=7;i<=12;i++){
x4=x4+a3[i];
}
xh[4]=x4;
x5=0;
for(i=13;i<=24;i++){
x5=x5+a3[i];
}
xh[5]=x5;
x6=0;
for(i=25;i<=48;i++){
x6=x6+a3[i];
}
xh[6]=x6;
x7=0;
for(i=49;i<=96;i++){
x7=x7+a3[i];
}
xh[7]=x7;
x8=0;
for(i=97;i<=192;i++)
{
x8=x8+a3[i];
}
xh[8]=x8;
x9=0;
for(i=193;i<=384;i++){
x9=x9+a3[i];
}
xh[9]=x9;
x10=0;
for(i=385;i<=788;i++)
{
x10=x10+a3[i];
}
xh[10]=x10;
x11=0;
for(i=789;i<=1536;i++)
{
x11=x11+a3[i];
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
xh[11]=x11;
x12=0;
for(i=1538;i<=3672;i++)
{
x12=x12+a3[i];
}
xn[12]=x12;
x13=0;
for(i=3672;i<=6144;i++)
{
x13=x13+a3[i];
}
xn[13]=x13;
x14=0;
for(i=6145;i<=10239;i++){
x14=x14+a3[i];
}
xh[14]=x14;
for(i=1;i<=14;i++){
   xhmax=xhmax+xh[i];
   }
for(i=1;i<=14;i++){
   xxh[i]=xh[i]/xhmax;
}
for(i=1;i<=14;i++){
   xh[i]=abs(xxh[i]*xscale);
}
for(i=1;i<=14;i++){
printf("x=%f\n",xxh[i]);
 }
}/* end sort efi 1*/
arrpro()
{
extern unsigned char a3[MAXAR];
unsigned short i;
unsigned long xt=0;
unsigned long xd=0;
float xav;
  for(i=1;i<=MAXAR;i=i+1)
  {
    if (a3[i] != 0){
    xt=xt+a3[i]*i;
    xd=xd+a3[i];
  }
 }
 xav=xt/xd;
printf("xav=%f\n",xav);
getch();
} /* end arr process */
disks()
{
extern unsigned char hour1,min1,sec1;
extern unsigned char hour2,min2,sec2;
extern unsigned long  a2[];
extern long blk;
extern unsigned long sum;
```

เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
extern unsigned long cntbit;
extern unsigned long armaxa2;
FILE *fp;
int c;
unsigned short i;
char name[9];
curson();
gotoxy(2,23);
printf("enter file name to save ");
scanf("%8s",name);
cursoff();
if((fp=fopen(name,"w"))==NULL){
clrl(23);
textattr(0x8f);
gotoxy(2,23);
printf("file error ");
for(i=0;i<8;i++){
delay(200);
  }
textattr(0x0f);
clrl(23);
return 0;
}
gotoxy(2,23);
printf(" save BER (1)     save  BER/EFI (2) ");
while((c=getch()) != '1' && c != '2'){
putchar('\a');
  }
if(c=='1'){
fprintf(fp," the bit error rate\n");
fprintf(fp," start time =%u:%u:%u\n",hour1,min1,sec1);
fprintf(fp," stop time  =%u:%u:%u\n",hour2,min2,sec2);
fprintf(fp," bit err    =%lu\n",sum);
fprintf(fp," bit count  =%lu\n",cntbit);
}
else{
fprintf(fp," the bit error rate\n");
fprintf(fp," start time =%u:%u:%u\n",hour1,min1,sec1);
fprintf(fp," stop time  =%u:%u:%u\n",hour2,min2,sec2);
fprintf(fp," bit err    =%lu\n",sum);
fprintf(fp," bit count  =%lu\n",cntbit);
fprintf(fp,"      EFI      number of EFI \n");
 for(i=1;i<=MAXAR;i++){
 if (a2[i] > 0 ){
  fprintf(fp,"%lu\n",a2[i]);
   }
  }
 }
fclose(fp);
clrl(23);
gotoxy(2,23);
printf(" save ready  ");
for(i=0;i<12;i++){
 }
clrl(23);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
prt()
{
extern unsigned char hour1,min1,sec1;
extern unsigned char hour2,min2,sec2;
extern unsigned long  a2[];
extern long blk;
extern unsigned long sum;
extern unsigned long cntbit;
extern unsigned long armaxa2;
unsigned char status;
unsigned short i;
int c;
status=biosprint(LPTSTATUS,0,LPT1);
status=(IOERR&status);
if (status==IOERR){
textattr(0x8f);
gotoxy(2,23);
printf(" error printer ");
for(i=0;i<8;i++){
  }
textattr(0x0f);
clrl(23);
return 0;
 }
gotoxy(2,23);
printf(" print BER (1)      print  BER/EFI (2) ");
while((c=getch()) != '1' && c != '2'){
putchar('\a');
  }
if(c=='1'){
fprintf(stdprn," the bit error rate\n");
fprintf(stdprn," start time =%u:%u:%u\n",hour1,min1,sec1);
fprintf(stdprn," stop time  =%u:%u:%u\n",hour2,min2,sec2);
fprintf(stdprn," bit err    =%lu\n",sum);
fprintf(stdprn," bit count  =%lu\n",cntbit);
}
else{
fprintf(stdprn," the bit error rate\n");
fprintf(stdprn," start time =%u:%u:%u\n",hour1,min1,sec1);
fprintf(stdprn," stop time  =%u:%u:%u\n",hour2,min2,sec2);
fprintf(stdprn," bit err    =%lu\n",sum);
fprintf(stdprn," bit count  =%lu\n",cntbit);
fprintf(stdprn,"      EFI      number of EFI \n");
 for(i=1;i<=MAXAR;i++){
 if( a2[i] > 0 ){
 fprintf(stdprn,"\t%d",a2[i]);
   }
  }
 }
clrl(23);
}
clrl(n)
{
gotoxy(2,n);
printf("                                                    ");
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
set_tm()
 {
 extern unsigned char hour1,min1,sec1;
 union REGS regs;
 char ch,c1,c2;
 regs.h.ah=0x2c;
 int86(0x21,&regs,&regs);
 hour1=regs.h.ch;
 min1=regs.h.cl;
 sec1=regs.h.dh;
 gotoxy(2,2);
 printf("currunt time =%d:%d:%d",hour1,min1,sec1);
 gotoxy(2,3);
 printf("you want to set new time (y/n)? ");
if((yesno()) =='Y'){
 settime:
 gotoxy(2,4);
 printf("hh:mm:ss\n");
 gotoxy(2,5);
 printf("set time=");
 scanf("%u%c%u%c%u",&hour1,&c1,&min1,&c2,&sec1);
 if(c1 != ':' || c2 != ':'){ goto settime;}
 if(  hour1>23 || min1>59 || sec1>59){goto settime;}
 regs.h.ah=0x2d;
 regs.h.ch=hour1;
 regs.h.cl=min1;
 regs.h.dh=sec1;
 regs.h.dl=0;
 int86(0x21,&regs,&regs);
  }
 cursoff();
 printf(" starting time =%d:%d:%d",hour1,min1,sec1);
 }
rd_tm()
 {
 extern unsigned char hour2,min2,sec2;
 union REGS regs;
 regs.h.ah=0x2c;
 int86(0x21,&regs,&regs);
 hour2=regs.h.ch;
 min2=regs.h.cl;
 sec2=regs.h.dh;
 gotoxy(2,7);
 printf(" stop time =%d:%d:%d",hour2,min2,sec2);
 textattr(0x70);
 gotoxy(10,25);
 cputs("printer:p    save disk:s     graphics:g   exit:Esc  ");
 textattr(0x0f);/*back to normal mode */
 }
yesno()
 {
 register int c;
 while((c=toupper(getch())) != 'Y' && c != 'N')
  putchar('\a');
  return c;
 }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
winber()
{
clrscr();
box(1,1,79,24);
textattr(0x70);
gotoxy(20,25);
cputs("start bit error measurement");
textattr(0x0f);/*back to normal mode */
}
box(int xul,int yul,int xlr,int ylr)
{
int i;
char hz=196;char vt=179;char ul=218;char ur=191;char lr=217;char ll=192;
gotoxy(xul,yul);for(i=xul;i<=xlr;i++) putch(hz);
gotoxy(xul,ylr);for(i=xul;i<=xlr;i++) putch(hz);
for(i=yul;i<=ylr;i++){
gotoxy(xul,i);putch(vt);gotoxy(xlr,i);putch(vt);
}
gotoxy(xul,yul);putch(ul); gotoxy(xlr,yul);putch(ur);
gotoxy(xlr,ylr);putch(lr); gotoxy(xul,ylr);putch(ll);
}
curson()
{
_AH=0x01;_CH=0x0b;_CL=0x0c;geninterrupt(0x10);
}
cursoff()
{
_AH=0x01;_CH=0x0f;_CL=0x0f;geninterrupt(0x10);
}
static void interrupt far newkb()
{
(*oldkb)();
blank=1;
}
void restore_kb()
{
if (oldkb !=NULL){setvect(KB,oldkb);}
}
inkey(void)
{
asm mov ax,0000
asm int 16h
return(_AL);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

โปรแกรมคอมพิวเตอร์สำหรับบทที่ 6.2

```
/* program transmision test packet   */
#include <dos.h>
#include <math.h>
main()
{
char m[105]={"-abcdefghijklmno6pqrstuvwxyz1234567890abcdefghi"
             "jklmnopqrstuvwxyz1234567890abcdefghijklmnopqrstuvwxyz"};
    buad_rate();
    line_control();
    clrscr();
    printf("Transmit.Packet 105 byte.\n");
    packet_data(m);
   }
packet_data(m)    /* packet construct */
char m[105];
 {
   char ch[100];
   int  a,b,c,d,e,n,i,x;
    e=10;
    for(;;){
       e++;
       a=(0x40+e);
       b=0;
       i=0;
       n=0;
       x=0;
       for(;;){
     if(i==0){
     ch[i]=0x40;
     }
 if(i==1) {
      ch[i]=a;
      }
  if(i>=2){
     ch[i]=m[n];
     a=a+ch[i];
     b=b+a;
     if(m[n]=='\0'){
       c=mod_check(a)-mod_check(b);
       d=mod_check(b)-(2*mod_check(a));
       ch[i]=mod_check(c);
       ch[i+1]=mod_check(d);
       x=a+mod_check(c)+mod_check(d);
       printf("\n%d.%d\n",x,mod_check(x));
       break;
       }
      n++;
      }
     i++;
    }                    /* end for */
     transmit_data(ch,i);
     if(kbhit())break;
     }                   /* end for */
  }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
transmit_data(ch,i)                /* send data to receiver */
char ch[105];
int i;
 {
  int n=0;
    for(n=0;n<=i+1;n++){
   outportb(0x3f8,ch[n]);     /* transmitter holding REG. */
   printf("%c",ch[n]);
   }                           /* end for */
  }
mod_check(x)                       /* calculate modulo 255 */
 int x;
 {   if(x>=0)
 return(fmod(x,255));
     else
 return(fmod(x,255)+255);
 }
buad_rate()                        /* determind buad rate */
 {
   outport(0x3fb,0x80);            /* set DLAB=1 */
   outport(0x3f8,0x18);
   outport(0x3f9,0x00);            /* set baud rate 4800 */
 }
line_control()                     /* determind parameter line control */
 {
  outport(0x3fb,0x3f);             /* set line control REG. */
 }                                /* even parity,2 stop bit,word length 8 bit*/
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/* program   receive packet  */
#include<stdio.h>
#include<math.h>
main()
{
 buad_rate();
 line_control();
 clrscr();
 printf("receive..\n");
 receive_data();
}
receive_data()     /* receive data from  receive data reg */
{
 char ch[105];
 int i,p,h,n;
  i=0;
  p=0;
  h=0;
  for(;;){
   if((inportb(0x3fd)&0x01)==1){ /* check line status  */
  i++;
  p=0;
  ch[i]=inport(0x3f8);       /* receive data from  port */
 if(ch[i]<=-1){
   p=(256+ch[i]);
   }
 if(ch[i]>=0){
   p=ch[i];
   }
 h=h+p;
 if(i==32){
    for(n=1;n<=i;n++){
    printf("%c",ch[n]);
    }
    printf("\n%d . %d\n",h,mod(h));
    i=0;
    p=0;
    h=0;
    }
  }
    if(kbhit())break;
    }                        /* end for */
  }
buad_rate()                  /* determind buad rate */
{
  outport(0x3fb,0x08);       /* set DLAB=1 */
  outport(0x3f8,0x18);
  outport(0x3f9,0x00);       /* set baud rate 4800 */
}

line_control()               /* determind parameter line control */
{
  outport(0x3fb,0x3f);       /* set line control REG. */
}                           /* even parity bit,2 stop bit,word length 8 bit */
```

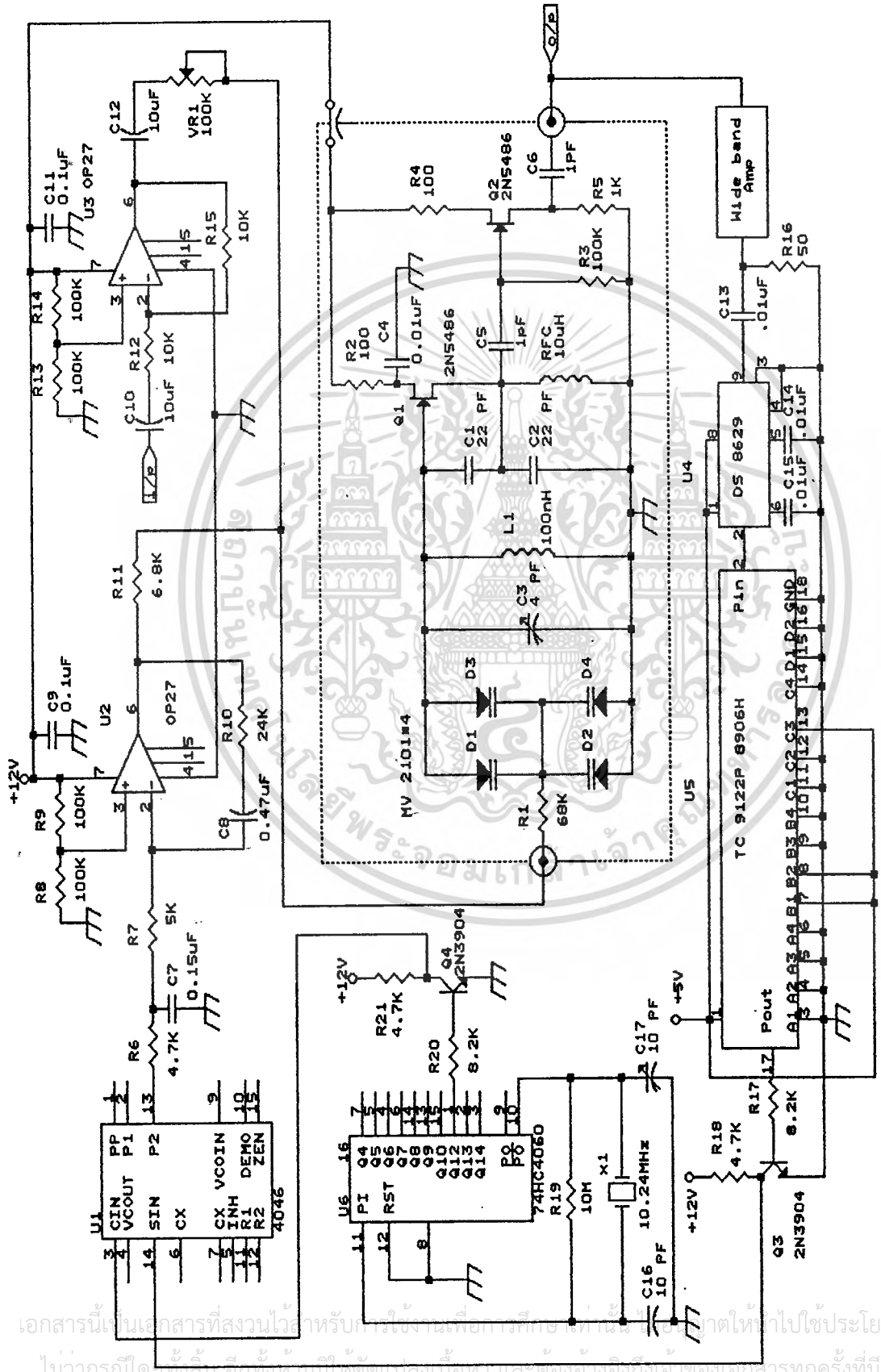
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
mod(x)                          /* calaulate modulo 255 */
 int x;
 {
   if(x>=0)
      return(fmod(x,255));
   else
      return(fmod(x,255)+255);
 }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

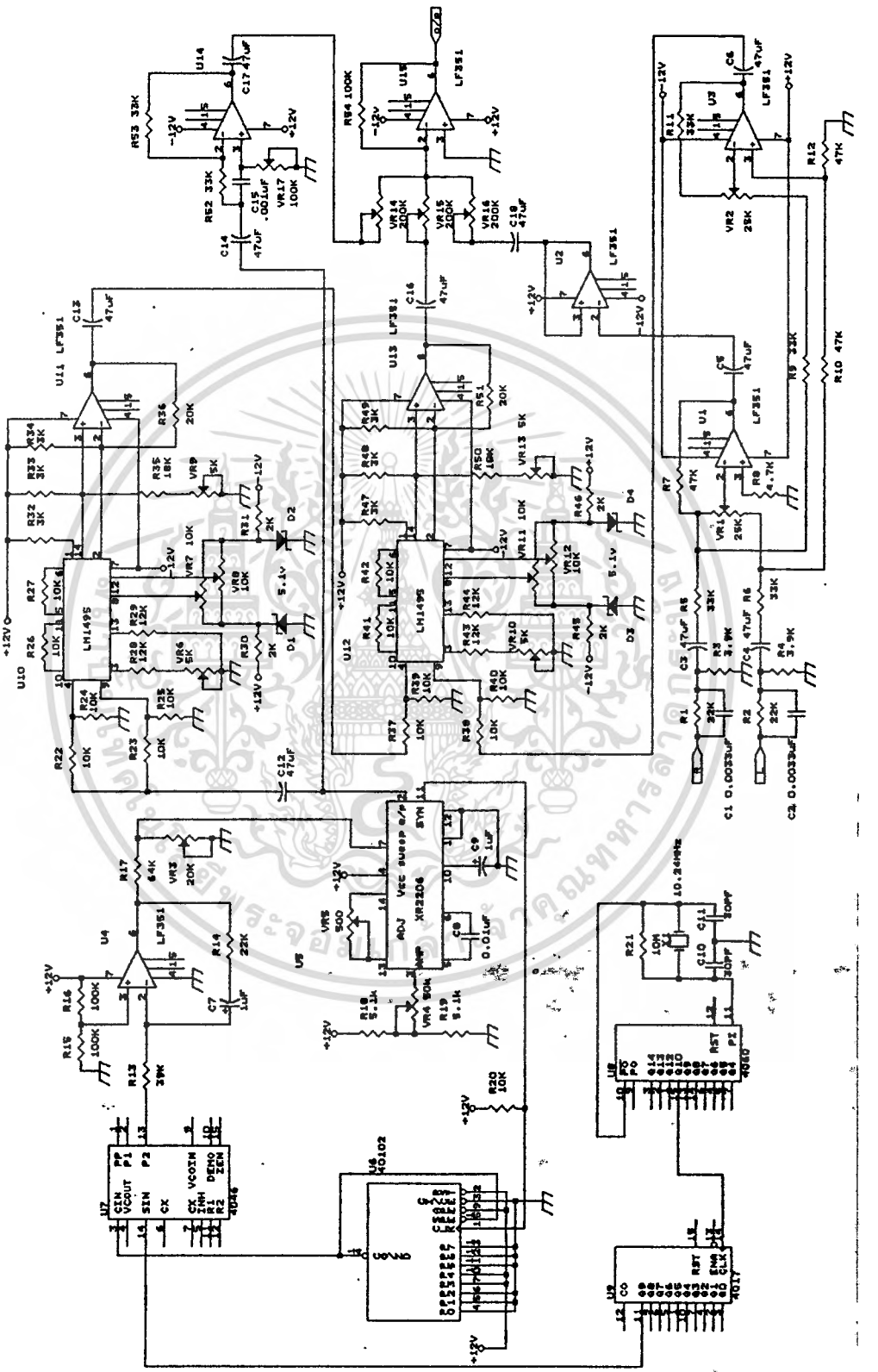
ภาคผนวก ง

วงจรที่ใช้ในวิทยานิพนธ์



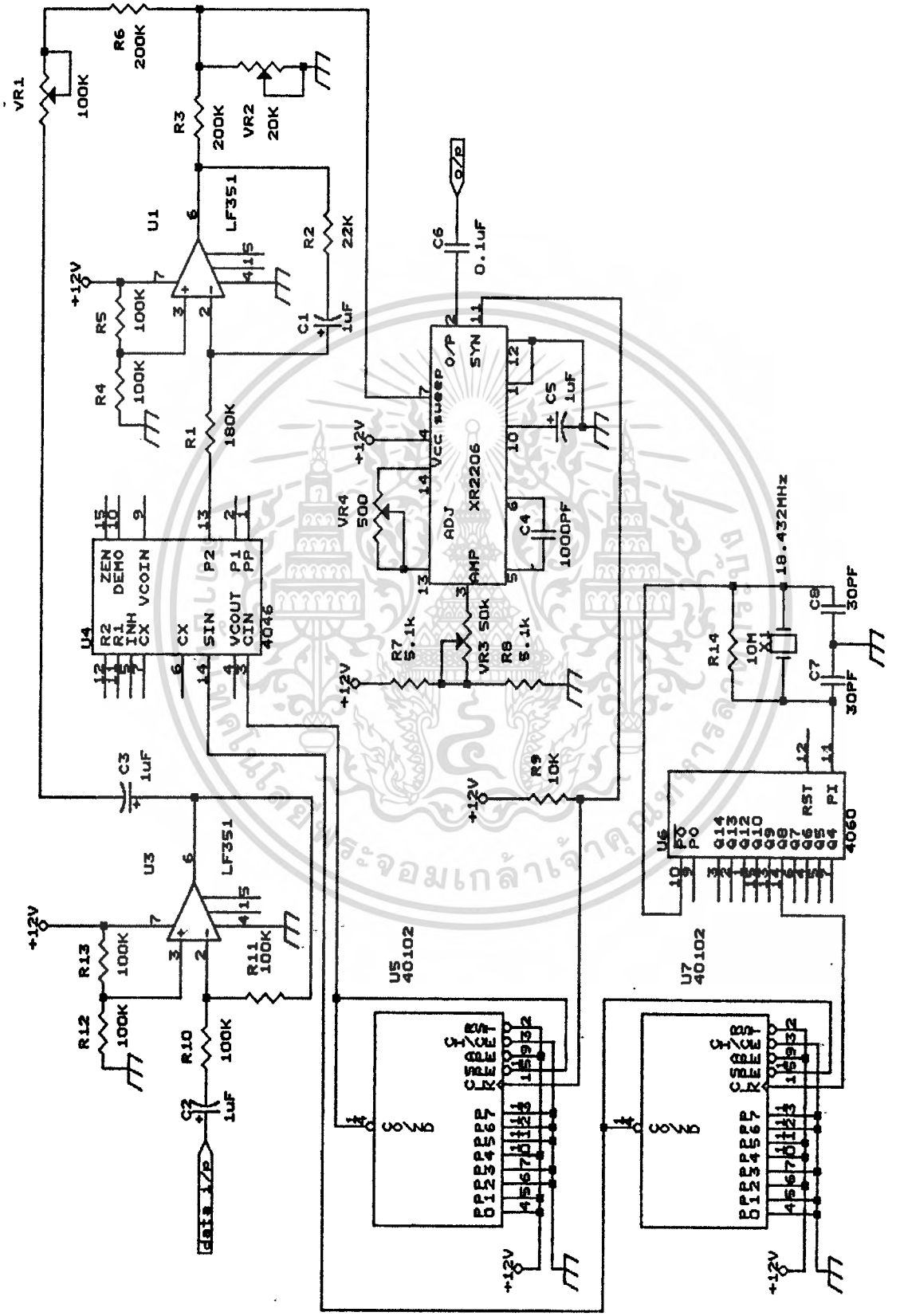
วงจรมอดูเลทสัญญาณ FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



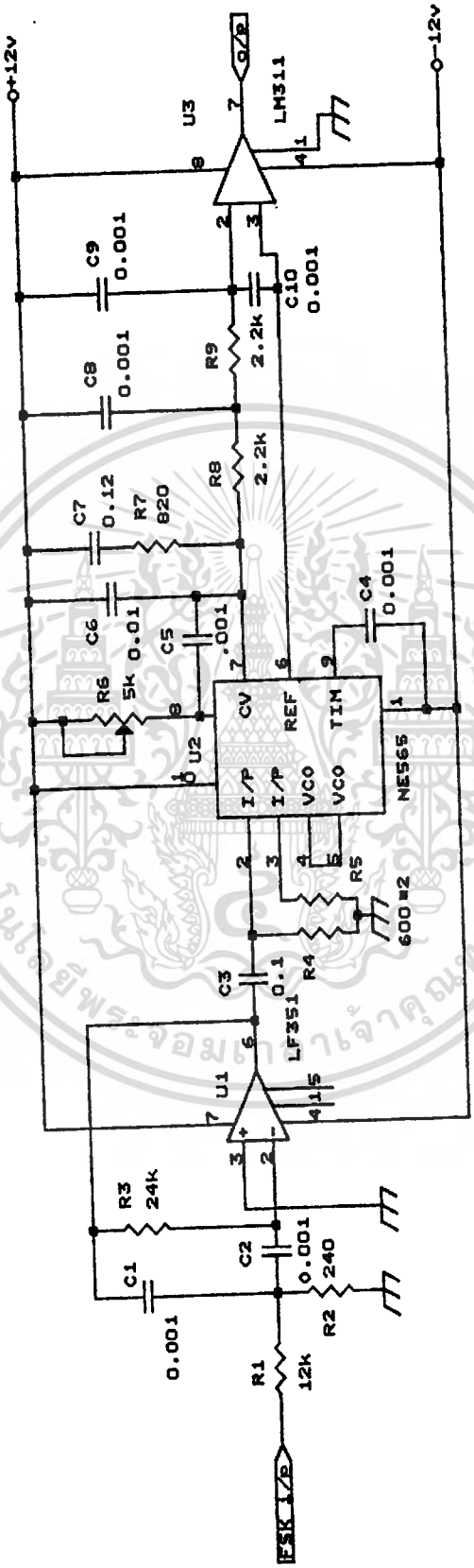
วงจรกำเนิดสัญญาณสเตอริโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



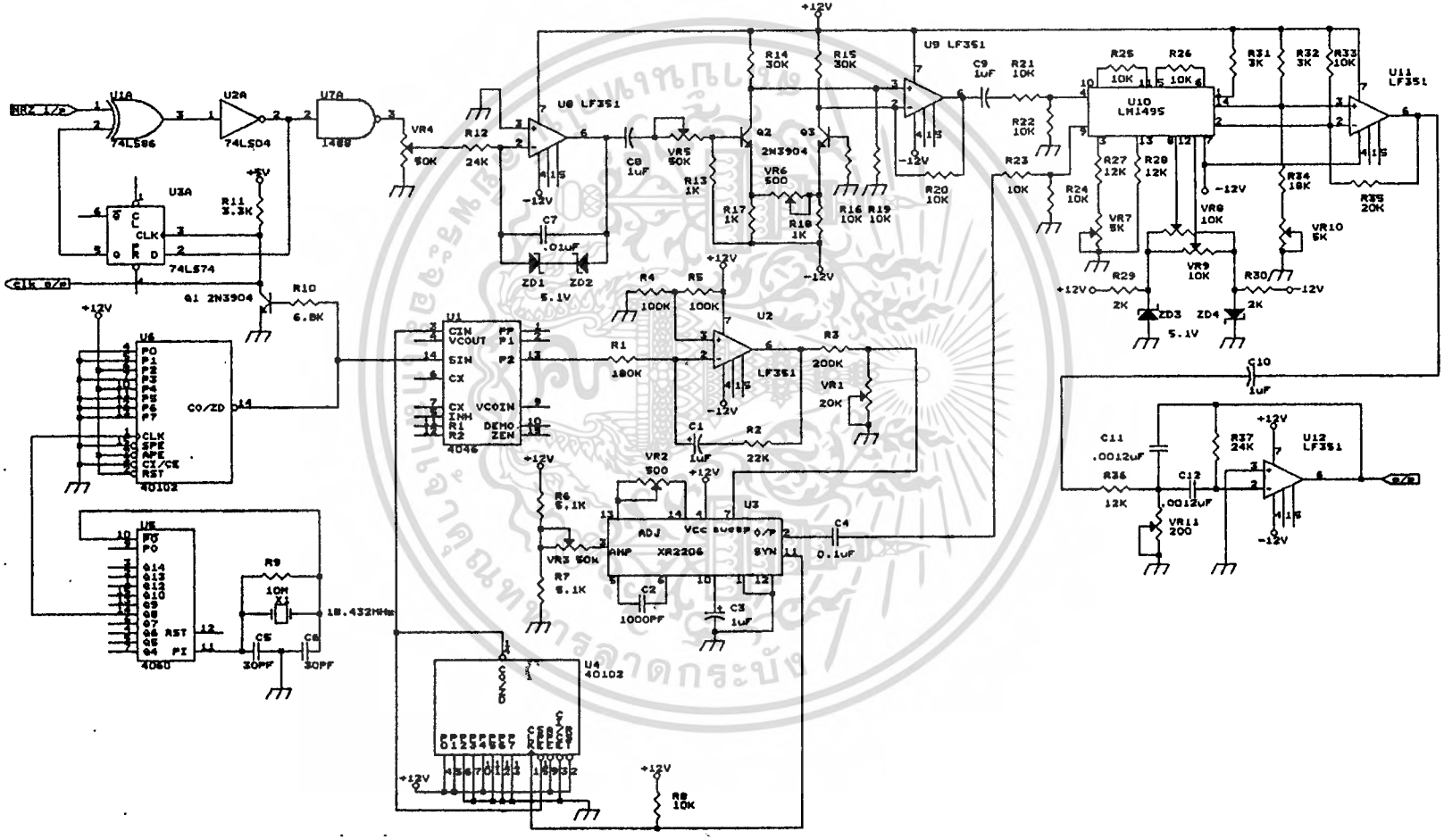
วงจรกำเนิดสัญญาณ FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

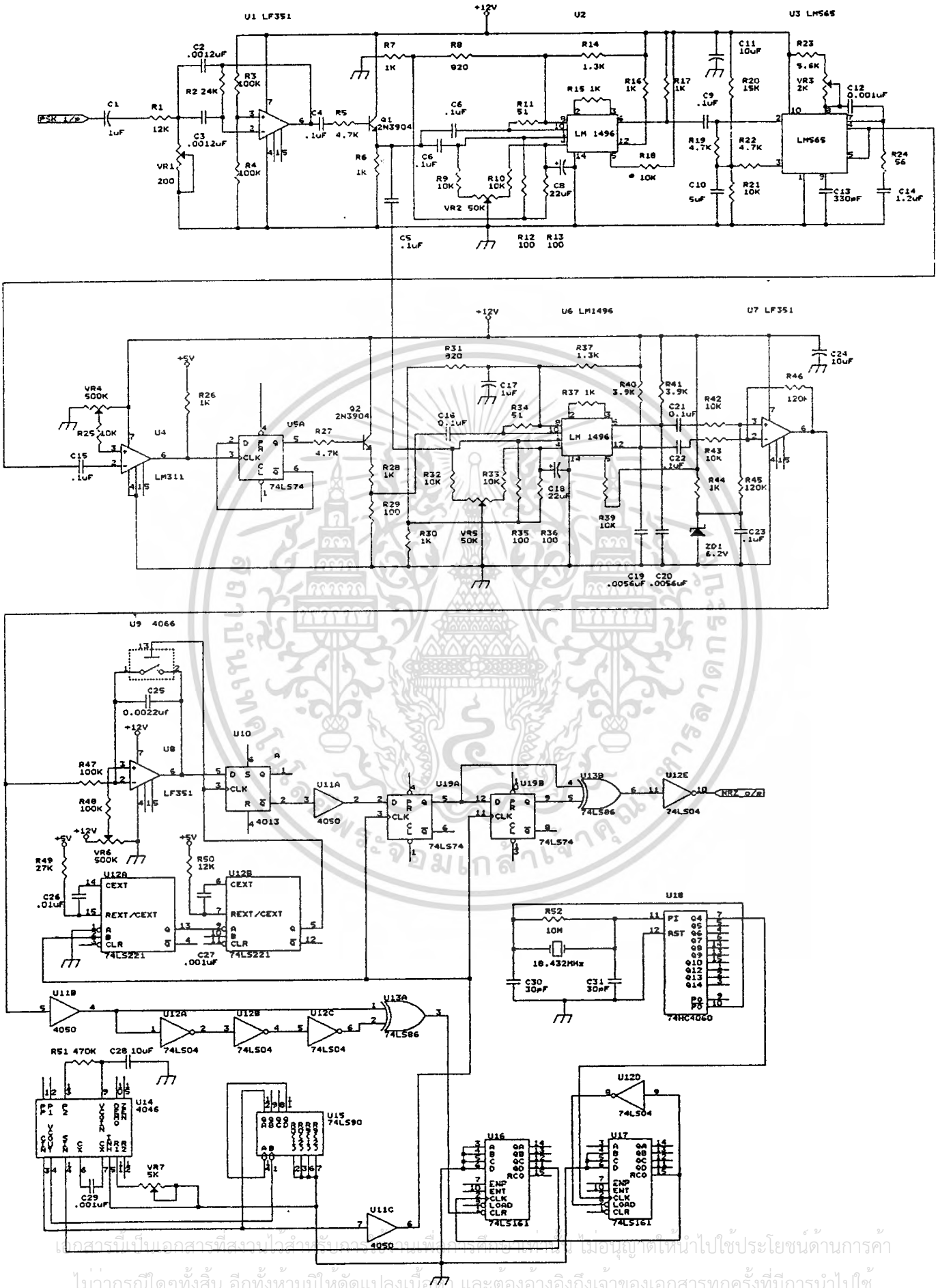


วงจรดีมอดูเลทสัญญาณ FSK

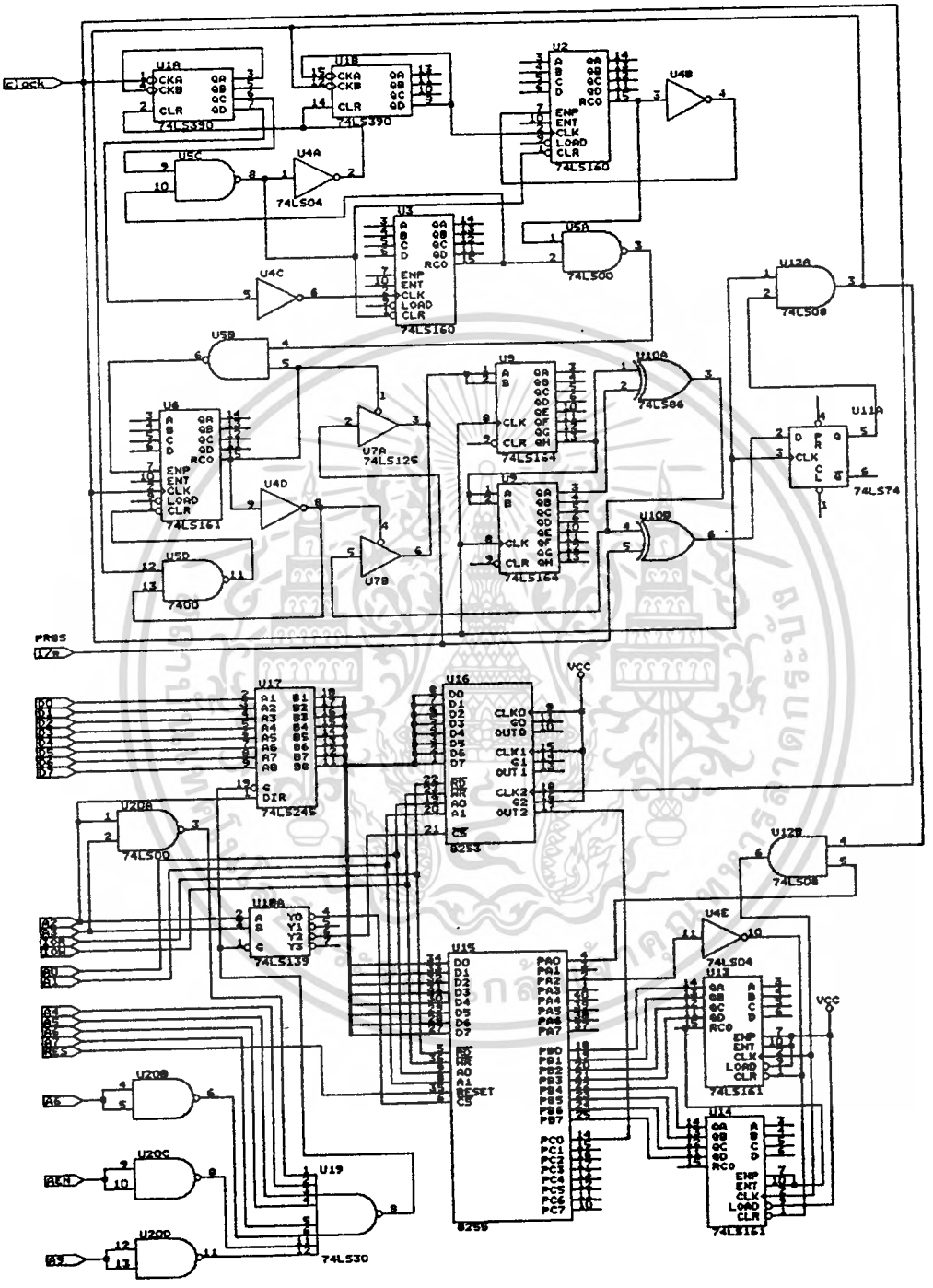
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรมอดูเลทสัญญาณ PSK



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรวัดอัตราการผิดพลาดของบิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก จ

วงจรรวมที่ใช้ในวิทยานิพนธ์

National Semiconductor Corporation

LM565/LM565C Phase Locked Loop

General Description

The LM565 and LM565C are general purpose phase locked loops containing a stable, highly linear voltage controlled oscillator for low distortion FM demodulation, and a double balanced phase detector with good carrier suppression. The VCO frequency is set with an external resistor and capacitor, and a tuning range of 10:1 can be obtained with the same capacitor. The characteristics of the closed loop system—bandwidth, response speed, capture and pull in range—may be adjusted over a wide range with an external resistor and capacitor. The loop may be broken between the VCO and the phase detector for insertion of a digital frequency divider to obtain frequency multiplication.

The LM565H is specified for operation over the −55°C to +125°C military temperature range. The LM565CH and LM565CN are specified for operation over the 0°C to +70°C temperature range.

Features

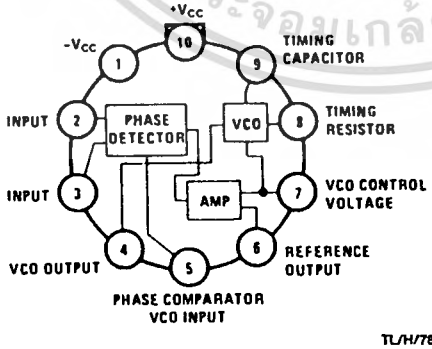
- 200 ppm/°C frequency stability of the VCO
- Power supply range of ±5 to ±12 volts with 100 ppm/% typical
- 0.2% linearity of demodulated output
- Linear triangle wave with in phase zero crossings available
- TTL and DTL compatible phase detector input and square wave output
- Adjustable hold in range from ±1% to > ±60%

Applications

- Data and tape synchronization
- Modems
- FSK demodulation
- FM demodulation
- Frequency synthesizer
- Tone decoding
- Frequency multiplication and division
- SCA demodulators
- Telemetry receivers
- Signal regeneration
- Coherent demodulators

Connection Diagrams

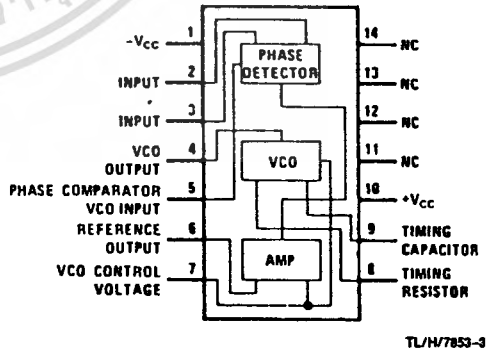
Metal Can Package



TL/H/7853–2

Order Number LM565H or LM565CH
See NS Package Number H10C

Dual-In-Line Package



TL/H/7853–3

Order Number LM565CN
See NS Package Number N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM565/LM565C

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	±12V
Power Dissipation (Note 1)	1400 mW
Differential Input Voltage	±1V
Operating Temperature Range	
LM565H	−55°C to +125°C
LM565CH, LM565CN	0°C to +70°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec.)	260°C

Electrical Characteristics AC Test Circuit, $T_A = 25°C$, $V_{CC} = \pm 6V$

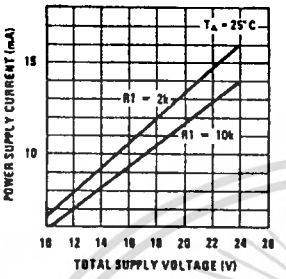
Parameter	Conditions	LM565			LM565C			Units
		Min	Typ	Max	Min	Typ	Max	
Power Supply Current			8.0	12.5		8.0	12.5	mA
Input Impedance (Pins 2, 3)	$-4V < V_2, V_3 < 0V$	7	10			5		kΩ
VCO Maximum Operating Frequency	$C_o = 2.7$ pF	300	500		250	500		kHz
VCO Free-Running Frequency	$C_o = 1.5$ nF $R_o = 20$ kΩ $f_o = 10$ kHz	−10	0	+10	−30	0	+30	%
Operating Frequency Temperature Coefficient			−100			−200		ppm/°C
Frequency Drift with Supply Voltage			0.1	1.0		0.2	1.5	%/V
Triangle Wave Output Voltage		2	2.4	3	2	2.4	3	V_{p-p}
Triangle Wave Output Linearity			0.2			0.5		%
Square Wave Output Level		4.7	5.4		4.7	5.4		V_{p-p}
Output Impedance (Pin 4)			5			5		kΩ
Square Wave Duty Cycle		45	50	55	40	50	60	%
Square Wave Rise Time			20			20		ns
Square Wave Fall Time			50			50		ns
Output Current Sink (Pin 4)		0.6	1		0.6	1		mA
VCO Sensitivity	$f_o = 10$ kHz		6600			6600		Hz/V
Demodulated Output Voltage (Pin 7)	±10% Frequency Deviation	250	300	400	200	300	450	mV_{p-p}
Total Harmonic Distortion	±10% Frequency Deviation		0.2	0.75		0.2	1.5	%
Output Impedance (Pin 7)			3.5			3.5		kΩ
DC Level (Pin 7)		4.25	4.5	4.75	4.0	4.5	5.0	V
Output Offset Voltage $\lvert V_7 - V_6 \rvert$			30	100		50	200	mV
Temperature Drift of $\lvert V_7 - V_6 \rvert$			500			500		μV/°C
AM Rejection		30	40			40		dB
Phase Detector Sensitivity K_D			.68			.68		V/radian

Note 1: The maximum junction temperature of the LM565 and LM565C is +150°C. For operation at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of +150°C/W junction to ambient or +45°C/W junction to case. Thermal resistance of the dual-in-line package is +85°C/W.

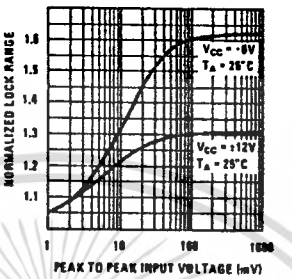
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

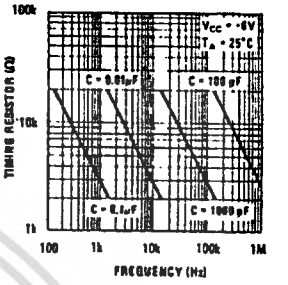
Power Supply Current as a Function of Supply Voltage



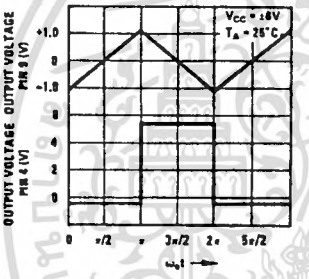
Lock Range as a Function of Input Voltage



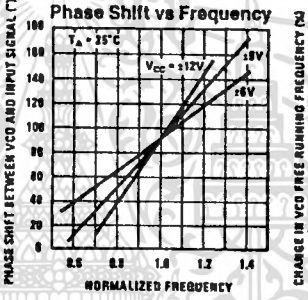
VCO Frequency



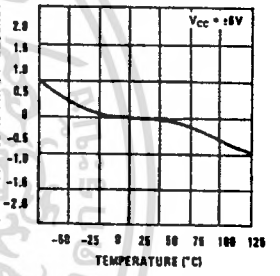
Oscillator Output Waveforms



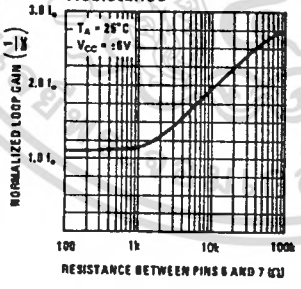
Phase Shift vs Frequency



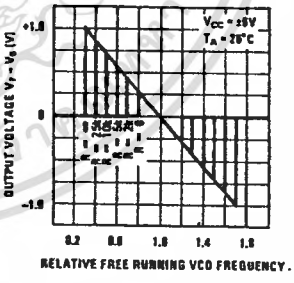
VCO Frequency as a Function of Temperature



Loop Gain vs Load Resistance



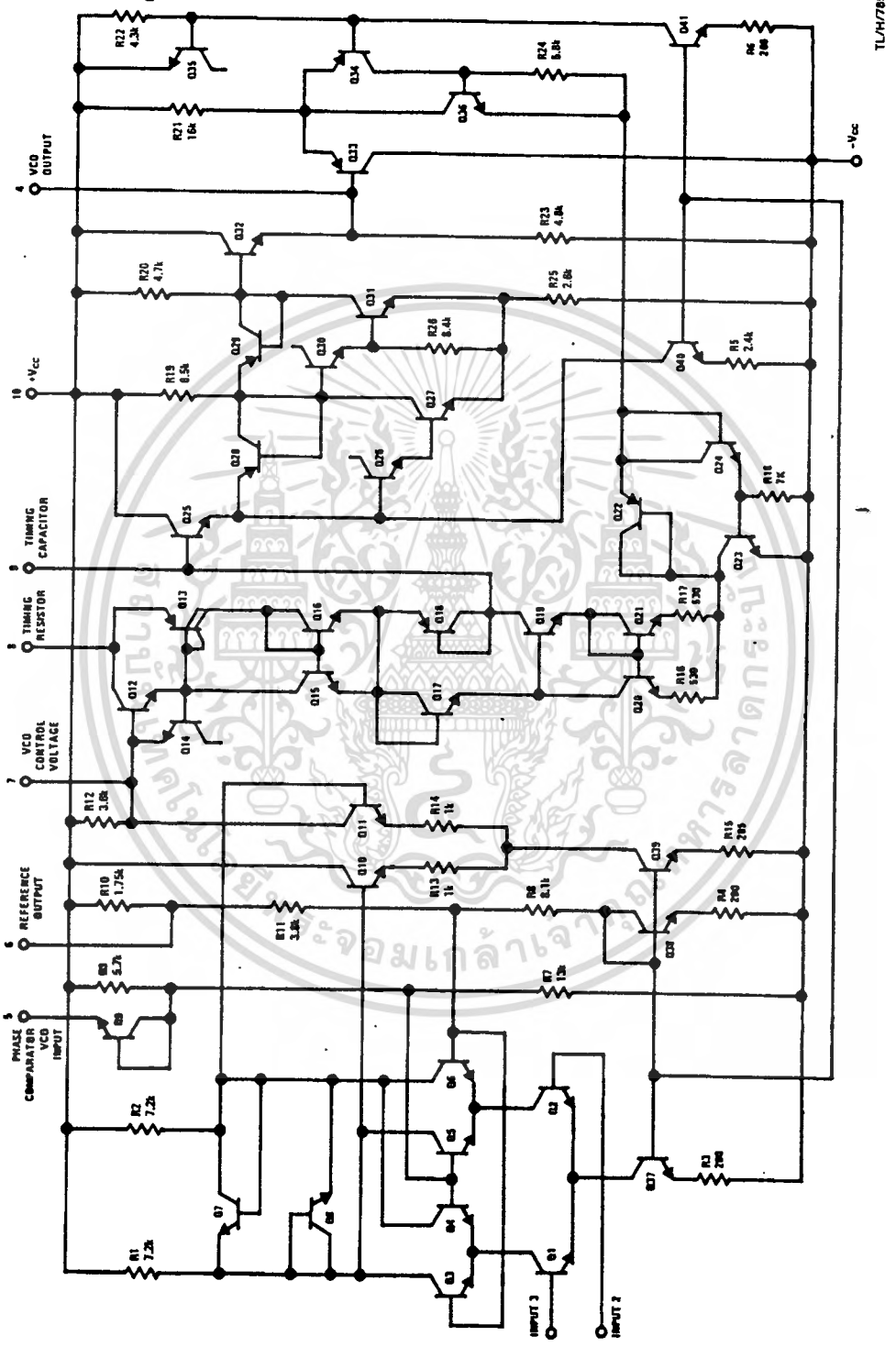
Hold in Range as a Function of R_{6-7}



TL/H/7853–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

In designing with phase locked loops such as the LM565, the important parameters of interest are:

FREE RUNNING FREQUENCY

$$f_o \cong \frac{0.3}{R_o C_o}$$

LOOP GAIN: relates the amount of phase change between the input signal and the VCO signal for a shift in input signal frequency (assuming the loop remains in lock). In servo theory, this is called the "velocity error coefficient."

$$\text{Loop gain} = K_o K_D \left(\frac{1}{\text{sec}}\right)$$

K_o = oscillator sensitivity $\left(\frac{\text{radians/sec}}{\text{volt}}\right)$

K_D = phase detector sensitivity $\left(\frac{\text{volts}}{\text{radian}}\right)$

The loop gain of the LM565 is dependent on supply voltage, and may be found from:

$$K_o K_D = \frac{33.6\, f_o}{V_c}$$

f_o = VCO frequency in Hz

V_c = total supply voltage to circuit

Loop gain may be reduced by connecting a resistor between pins 6 and 7; this reduces the load impedance on the output amplifier and hence the loop gain.

HOLD IN RANGE: the range of frequencies that the loop will remain in lock after initially being locked.

$$f_H = \pm \frac{8\, f_o}{V_c}$$

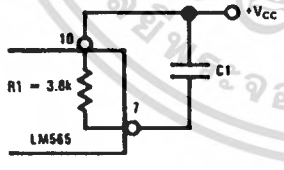
f_o = free running frequency of VCO

V_c = total supply voltage to the circuit

THE LOOP FILTER

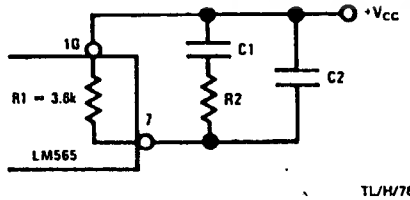
In almost all applications, it will be desirable to filter the signal at the output of the phase detector (pin 7); this filter may take one of two forms:

Simple Lag Filter



TL/H/7853–11

Lag-Lead Filter



TL/H/7853–12

A simple lag filter may be used for wide closed loop bandwidth applications such as modulation following where the frequency deviation of the carrier is fairly high (greater than 10%), or where wideband modulating signals must be followed.

The natural bandwidth of the closed loop response may be found from:

$$f_n = \frac{1}{2\pi}\sqrt{\frac{K_o K_D}{R_1 C_1}}$$

Associated with this is a damping factor:

$$\delta = \frac{1}{2}\sqrt{\frac{1}{R_1 C_1 K_o K_D}}$$

For narrow band applications where a narrow noise bandwidth is desired, such as applications involving tracking a slowly varying carrier, a lead lag filter should be used. In general, if $1/R_1C_1 < K_o K_D$, the damping factor for the loop becomes quite small resulting in large overshoot and possible instability in the transient response of the loop. In this case, the natural frequency of the loop may be found from

$$f_n = \frac{1}{2\pi}\sqrt{\frac{K_o K_D}{\tau_1 + \tau_2}}$$

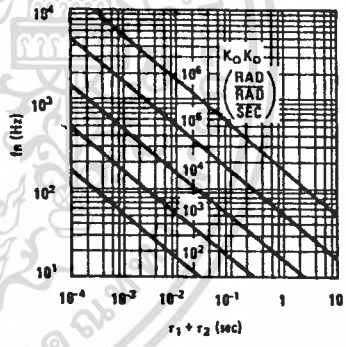
$$\tau_1 + \tau_2 = (R_1 + R_2)\, C_1$$

R_2 is selected to produce a desired damping factor δ, usually between 0.5 and 1.0. The damping factor is found from the approximation:

$$\delta \cong \pi\, \tau_2 f_n$$

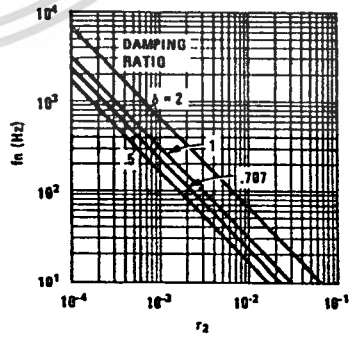
These two equations are plotted for convenience.

Filter Time Constant vs Natural Frequency



TL/H/7853–13

Damping Time Constant vs Natural Frequency



TL/H/7853–14

Capacitor C_2 should be much smaller than C_1 since its function is to provide filtering of carrier. In general $C_2 \leq 0.1\ C_1$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Device	Temperature Range	Package
MC1495L	0°C to +70°C	Ceramic DIP
MC1595L	−55°C to +125°C	Ceramic DIP

MC1495L
MC1595L

Specifications and Applications Information

WIDEBAND MONOLITHIC FOUR-QUADRANT MULTIPLIER

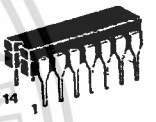
. . . designed for uses where the output is a linear product of two input voltages. Maximum versatility is assured by allowing the user to select the level shift method. Typical applications include: multiply, divide*, square root*, mean square*, phase detector, frequency doubler, balanced modulator/demodulator, electronic gain control.

*When used with an operational amplifier.

- Wide Bandwidth
- Excellent Linearity – 1% max Error on X-Input, 2% max Error on Y-Input – MC1595L
- Excellent Linearity – 2% max Error on X-Input, 4% max Error on Y-Input – MC1495L
- Adjustable Scale Factor, K
- Excellent Temperature Stability
- Wide Input Voltage Range – ± 10 Volts
- ± 15 Volt Operation

LINEAR FOUR-QUADRANT MULTIPLIER

SILICON MONOLITHIC INTEGRATED CIRCUIT



L SUFFIX
CERAMIC PACKAGE
CASE 632-08

FIGURE 1 – FOUR-QUADRANT MULTIPLIER TRANSFER CHARACTERISTIC

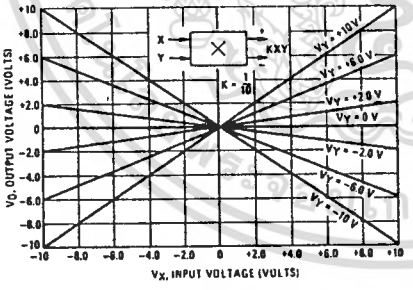


FIGURE 2 – TRANSCONDUCTANCE BANDWIDTH

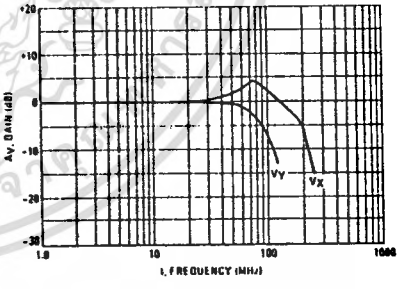
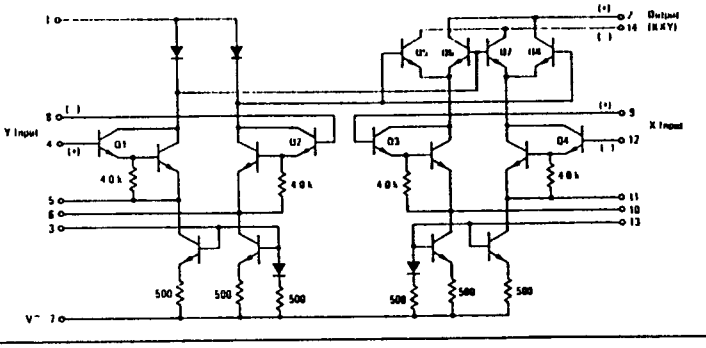


FIGURE 3 – CIRCUIT SCHEMATIC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1495L, MC1595L

ELECTRICAL CHARACTERISTICS ($V^+ = +32$ V, $V^- = -15$ V, $T_A = +25°C$, $I_3 = I_{13} = 1.0$ mA, $R_X = R_Y = 15$ kΩ, $R_L = 11$ kΩ unless otherwise noted)

Characteristic		Figure	Symbol	Min	Typ	Max	Unit
Linearity:		5					%
Output Error in Percent of Full Scale:							
$T_A = +25°C$							
$-10 < V_X < +10$ ($V_Y = \pm 10$ V)	MC1495		E_{RX}	—	±1.0	±2.0	
	MC1595			—	±0.5	±1.0	
$-10 < V_Y < +10$ ($V_X = \pm 10$ V)	MC1495		E_{RY}	—	±2.0	±4.0	
	MC1595			—	±1.0	±2.0	
$T_A = 0$ to $+70°C$	MC1495						
$-10 < V_X < +10$ ($V_Y = \pm 10$ V)			E_{RX}	—	±1.5	—	
$-10 < V_Y < +10$ ($V_X = +10$ V)			E_{RY}	—	±3.0	—	
$T_A = -55°C$ to $+125°C$	MC1595						
$-10 < V_X < +10$ ($V_Y = \pm 10$ V)			E_{RX}	—	±0.75	—	
$-10 < V_Y < +10$ ($V_X = \pm 10$ V)			E_{RY}	—	±1.5	—	
Squaring Mode Error:		5	E_{SQ}				%
Accuracy in Percent of Full Scale After Offset and Scale Factor Adjustment							
$T_A = +25°C$	MC1495			—	±0.75	—	
	MC1595			—	±0.5	—	
$T_A = 0$ to $+70°C$	MC1495				±1.0		
$T_A = -55°C$ to $+125°C$	MC1595			—	±0.75	—	
Scale Factor (Adjustable) $(K = \frac{2R_L}{I_3 R_X R_Y})$		—	K	—	0.1	—	
Input Resistance (f = 20 Hz)	MC1495	7	R_{INX}	—	30	—	MΩ
	MC1595			—	35	—	
	MC1495		R_{INY}	—	20	—	
	MC1595			—	35	—	
Differential Output Resistance (f = 20 Hz)		8	R_O	—	300	—	kΩ
Input Bias Current		6					μA
$I_{bx} = \frac{(I_9 + I_{12})}{2}$, $I_{by} = \frac{(I_4 + I_8)}{2}$	MC1495		I_{bx}	—	2.0	12	
	MC1595			—	2.0	8.0	
	MC1495		I_{by}	—	2.0	12	
	MC1595			—	2.0	8.0	
Input Offset Current		6					μA
$\lvert I_9 - I_{12}\rvert$	MC1495		$\lvert I_{iox}\rvert$	—	0.4	2.0	
	MC1595			—	0.2	1.0	
$\lvert I_4 - I_8\rvert$	MC1495		$\lvert I_{ioy}\rvert$	—	0.4	2.0	
	MC1595			—	0.2	1.0	
Average Temperature Coefficient of Input Offset Current		6	$\lvert TC_{Iio}\rvert$				nA/°C
($T_A = 0$ to $+70°C$)	MC1495			—	2.5	—	
($T_A = -55°C$ to $+125°C$)	MC1595			—	2.5	—	
Output Offset Current $\lvert I_{14} - I_2\rvert$	MC1495	6	$\lvert I_{oo}\rvert$		20	100	μA
	MC1595			—	10	50	
Average Temperature Coefficient of Output Offset Current		6	$\lvert TC_{Ioo}\rvert$				nA/°C
($T_A = 0$ to $+70°C$)	MC1495			—	20	—	
($T_A = -55°C$ to $+125°C$)	MC1595			—	20	—	
Frequency Response		9,10					
3.0 dB Bandwidth, $R_L = 11$ kΩ			BW_{3dB}	—	3.0	—	MHz
3.0 dB Bandwidth, $R_L = 50$ Ω (Transconductance Bandwidth)			$T_{BW3\,dB}$	—	80	—	MHz
3° Relative Phase Shift Between V_X and V_Y			f_ϕ	—	750	—	kHz
1% Absolute Error Due to Input-Output Phase Shift			f_θ	—	30	—	kHz
Common Mode Input Swing	MC1495	11	CMV	±10.5	±12	—	Vdc
(Either Input)	MC1595			±11.5	±13	—	
Common Mode Gain	MC1495	11	A_{CM}	−40	−50	—	dB
(Either Input)	MC1595			−50	−60	—	
Common Mode Quiescent		12	V_{o1}	—	21	—	Vdc
Output Voltage			V_{o2}	—	21	—	
Differential Output Voltage Swing Capability		9	V_o	—	±14	—	V_{peak}
Power Supply Sensitivity		12	S^+	—	5.0	—	mV/V
			S^-	—	10	—	
Power Supply Current		12	I_7	—	6.0	7.0	mA
DC Power Dissipation		12	P_D	—	135	170	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1495L, MC1595L

MAXIMUM RATINGS (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage (V_2-V_1, $V_{14}-V_1$, V_1-V_9, V_1-V_{12}, V_1-V_4, V_1-V_8, $V_{12}-V_7$, V_9-V_7, V_8-V_7, V_4-V_7)	ΔV	30	Vdc
Differential Input Signal	$V_{12}-V_9$ V_4-V_8	$\pm(6+I_{13}R_X)$ $\pm(6+I_3R_Y)$	Vdc Vdc
Maximum Bias Current	I_3 I_{13}	10 10	mA
Power Dissipation (Package Limitation) Ceramic Package Derate above T_A = +25°C	P_D	750 5.0	mW mW/°C
Operating Temperature Range MC1495 MC1595	T_A	 0 to +70 -55 to +125	°C °C
Storage Temperature Range	T_{stg}	-65 to +150	°C

TEST CIRCUITS

FIGURE 4 – LINEARITY (USING NULL TECHNIQUE)

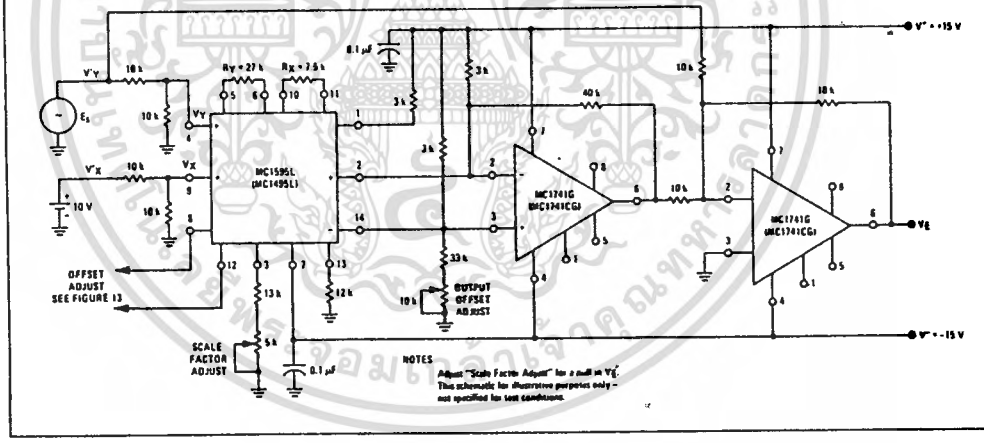
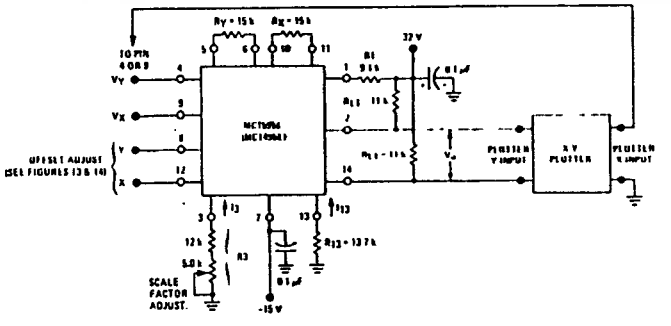


FIGURE 5 – LINEARITY (USING X-Y PLOTTER TECHNIQUE)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 12 – POWER SUPPLY SENSITIVITY

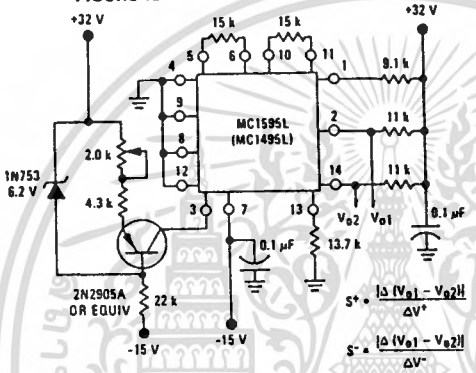
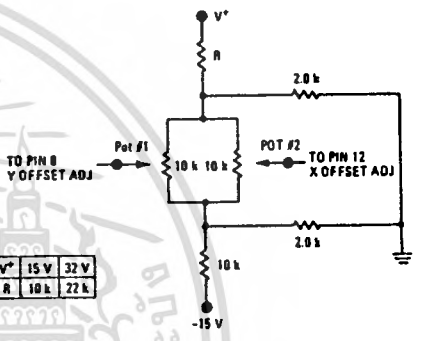
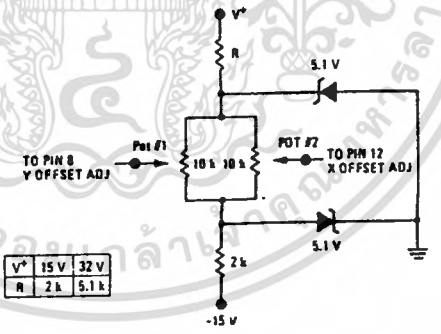


FIGURE 13 – OFFSET ADJUST CIRCUIT



V^+	15 V	32 V
R	10 k	22 k

FIGURE 14 – OFFSET ADJUST CIRCUIT (ALTERNATE)



V^+	15 V	32 V
R	2 k	5.1 k

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

FIGURE 15 – LINEARITY versus TEMPERATURE

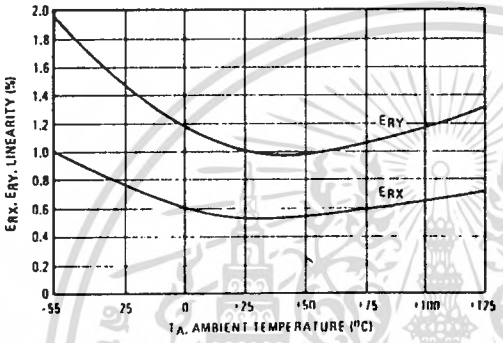


FIGURE 16 – SCALE FACTOR versus TEMPERATURE

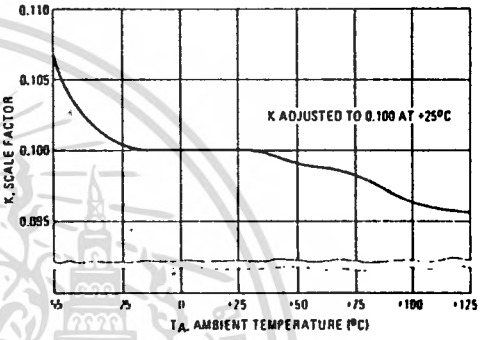


FIGURE 17 – ERROR CONTRIBUTED BY INPUT DIFFERENTIAL AMPLIFIER

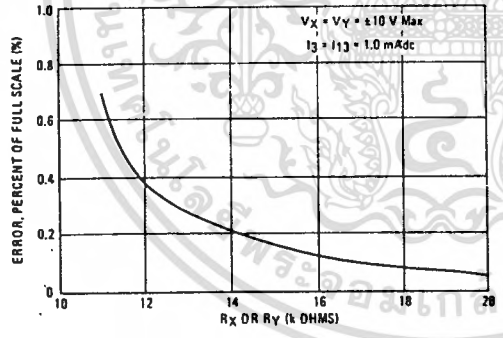


FIGURE 18 – ERROR CONTRIBUTED BY INPUT DIFFERENTIAL AMPLIFIER

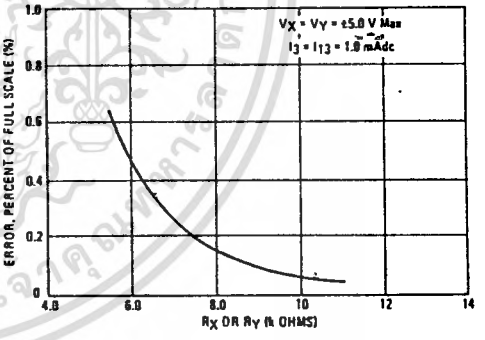
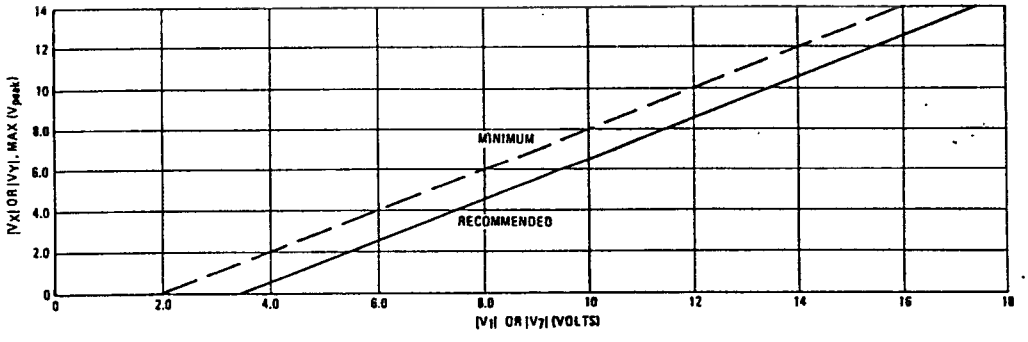


FIGURE 19 – MAXIMUM ALLOWABLE INPUT VOLTAGE versus VOLTAGE AT PIN 1 OR PIN 7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 6 – INPUT AND OUTPUT CURRENT

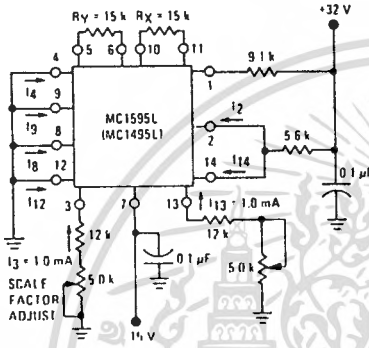


FIGURE 7 – INPUT RESISTANCE

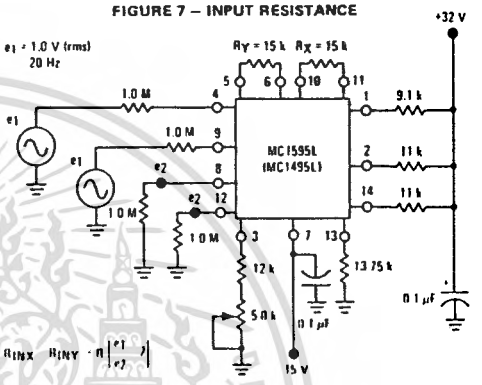


FIGURE 8 – OUTPUT RESISTANCE

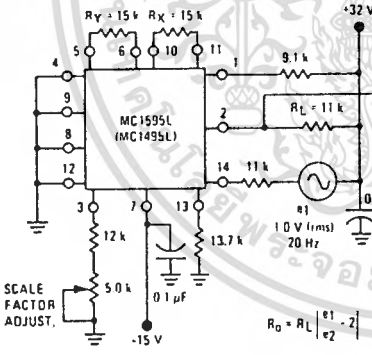


FIGURE 9 – BANDWIDTH (R_L = 11 kΩ)

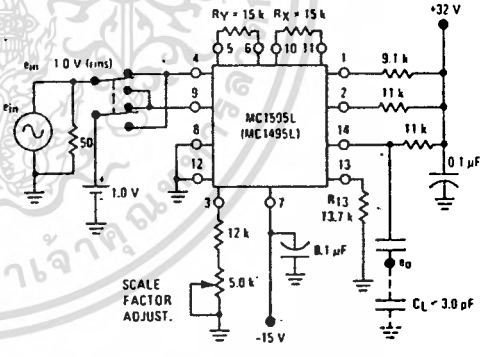


FIGURE 10 – BANDWIOTH (R_L = 50 Ω)

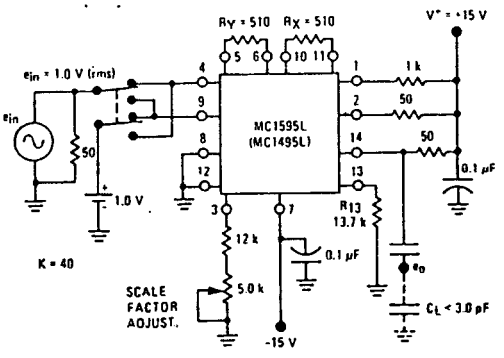
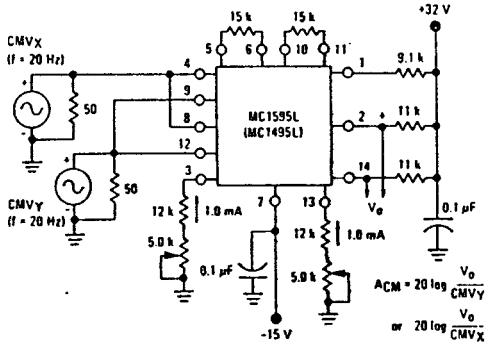


FIGURE 11 – COMMON-MODE GAIN and COMMON-MOOE INPUT SWING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496G		Metal Can
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	-55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

MC1496
MC1596

Specifications and Applications Information

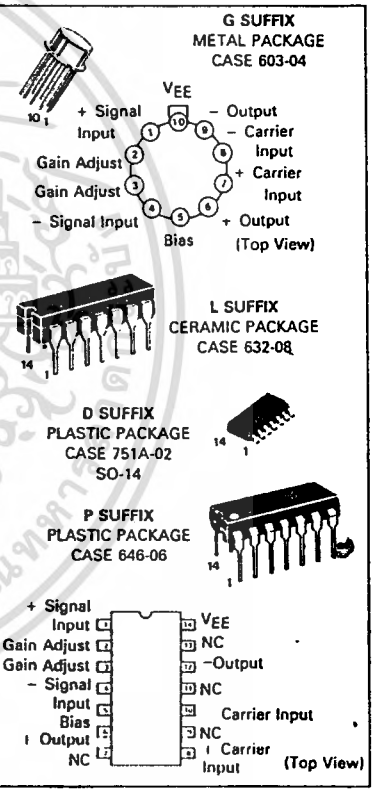
BALANCED MODULATOR/ DEMODULATOR

. . . designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression — 65 dB typ @ 0.5 MHz
  — 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection — 85 dB typ

BALANCED MODULATOR/DEMODULATOR

SILICON MONOLITHIC INTEGRATED CIRCUIT



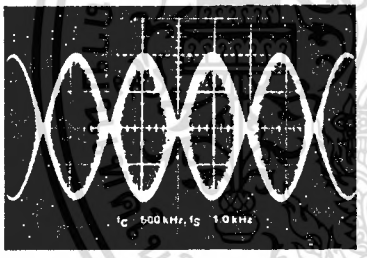


FIGURE 1 – SUPPRESSED-CARRIER OUTPUT WAVEFORM

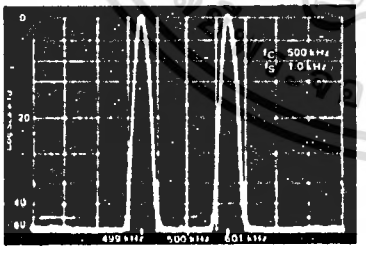


FIGURE 2 – SUPPRESSED-CARRIER SPECTRUM

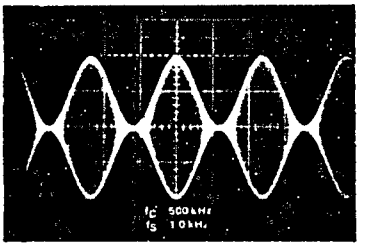
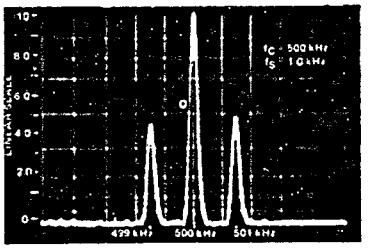


FIGURE 3 – AMPLITUDE-MODULATION OUTPUT WAVEFORM

FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1596

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_6 - V_7$, $V_8 - V_1$, $V_9 - V_7$, $V_9 - V_8$, $V_7 - V_4$, $V_7 - V_1$, $V_8 - V_4$, $V_6 - V_8$, $V_2 - V_5$, $V_3 - V_5$)	ΔV	30	Vdc
Differential Input Signal	$V_7 - V_8$ $V_4 - V_1$	+5.0 $\pm(5 + I_5R_e)$	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 -55 to +125	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = -8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C unless otherwise noted) (All input and output characteristics are single-ended unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough	5	1	V_{CFT}							μV(rms)
V_C = 60 mV(rms) sine wave and offset adjusted to zero, f_C = 1.0 kHz				—	40	—	—	40	—	
f_C = 10 MHz				—	140	—	—	140	—	
V_C = 300 mVp-p square wave:										mV(rms)
offset adjusted to zero, f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	
offset not adjusted, f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression f_S = 10 kHz, 300 mV(rms)	5	2	V_{CS}							dB
f_C = 500 kHz, 60 mV(rms) sine wave				50	65	—	40	65	—	
f_C = 10 MHz, 60 mV(rms) sine wave				—	50	—	—	50	—	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms) Carrier Input Port, V_C = 60 mV(rms) sine wave	8	8	BW_{3dB}	—	300	—	—	300	—	MHz
f_S = 1.0 kHz, 300 mV(rms) sine wave Signal Input Port, V_S = 300 mV(rms) sine wave $\|V_C\|$ = 0.5 Vdc				—	80	—	—	80	—	
Signal Gain V_S = 100 mV(rms), f = 1.0 kHz; $\|V_C\|$ = 0.5 Vdc	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance	6	—	r_{ip}	—	200	—	—	200	—	kΩ
Parallel Input Capacitance			c_{ip}	—	2.0	—	—	2.0	—	pF
Single-Ended Output Impedance, f = 10 MHz Parallel Output Resistance	6	—	r_{op}	—	40	—	—	40	—	kΩ
Parallel Output Capacitance			c_{oo}	—	5.0	—	—	5.0	—	pF
Input Bias Current $I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$	7	—	I_{bS} I_{bC}	— —	12 12	25 25	— —	12 12	30 30	μA
Input Offset Current $I_{ioS} = I_1 - I_4$; $I_{ioC} = I_7 - I_8$	7	—	$\|I_{ioS}\|$ $\|I_{ioC}\|$	— —	0.7 0.7	5.0 5.0	— —	0.7 0.7	7.0 7.0	μA
Average Temperature Coefficient of Input Offset Current (T_A = -55°C to +125°C)	7	—	$\|TC_{Iio}\|$	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_8 - I_9$)	7	—	$\|I_{oo}\|$	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = -55°C to +125°C)	7	—	$\|TC_{Ioo}\|$	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_C\|$ = 0.5 Vdc	9	—	ACM	—	-85	—	—	-85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current $I_6 + I_9$	7	6	I_{CC}	—	2.0	3.0	—	2.0	4.0	mAdc
I_{10}			I_{EE}	—	3.0	4.0	—	3.0	5.0	
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION*

Note 1 – Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Note 2 – Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Note 3 and Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Note 3 – Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26\text{ mV}}{I_5\text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Note 4 – Common-Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen (see Note 6).

Note 5 – Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_9 = V_6$, $I_5 = I_6 = I_9$ and ignoring base current, $P_D = 2 I_5 (V_6 - V_{10}) + I_5 (V_5 - V_{10})$ where subscripts refer to pin numbers.

Note 6 – Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions. See Note 3 for R_e equation.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_9$$

$$I_B \ll I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V^- - \phi}{I_5} - 500\ \Omega \quad \text{where: } R_5 \text{ is the resistor between pin 5 and ground}$$

ϕ = 0.75 V at T_A = +25°C

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Note 7 – Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table:

$$30 \text{ Vdc} \geq [(V_6, V_9) - (V_7, V_8)] \geq 2 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_7, V_8) - (V_1, V_4)] \geq 2.7 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_1, V_4) - (V_5)] \geq 2.7 \text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_9, \quad V_7 = V_8, \quad V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Note 8 – Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21C} = \left.\frac{i_o \text{ (each sideband)}}{v_s \text{ (signal)}}\right| V_o = 0$$

Signal transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21S} = \left.\frac{i_o \text{ (signal)}}{v_s \text{ (signal)}}\right| V_c = 0.5 \text{ Vdc}, V_o = 0$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note 9 – Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Note 10 – Output Signal, V_O

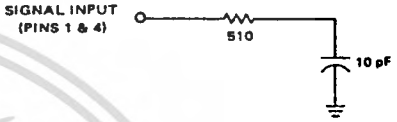
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Note 11 – Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Note 12 – Signal Port Stability

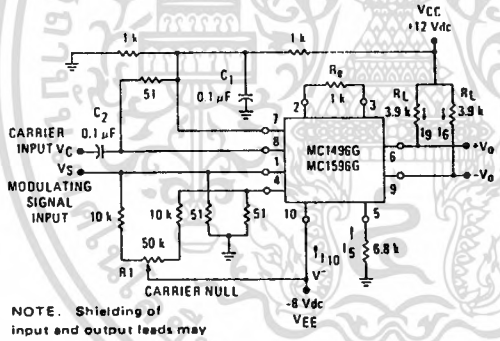
Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 k-ohm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION



NOTE. Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 6 – INPUT-OUTPUT IMPEDANCE

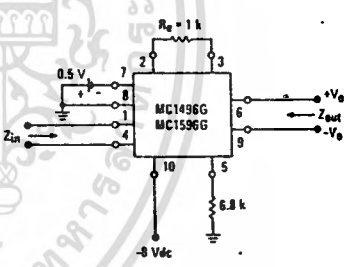


FIGURE 7 – BIAS AND OFFSET CURRENTS

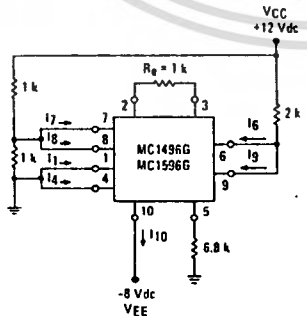
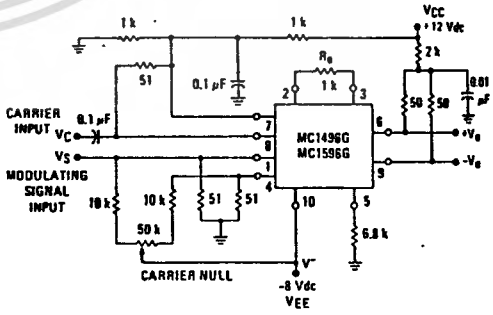


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 9 – COMMON-MODE GAIN

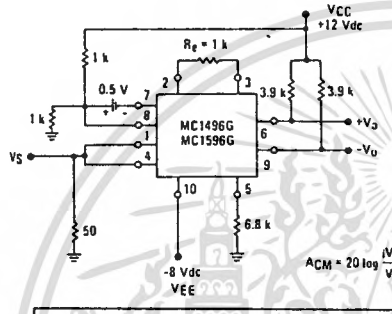
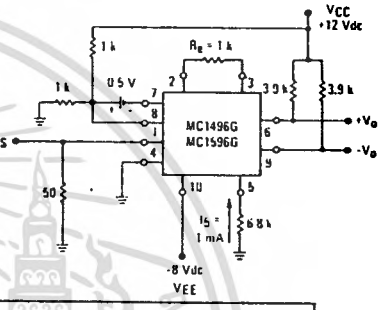


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

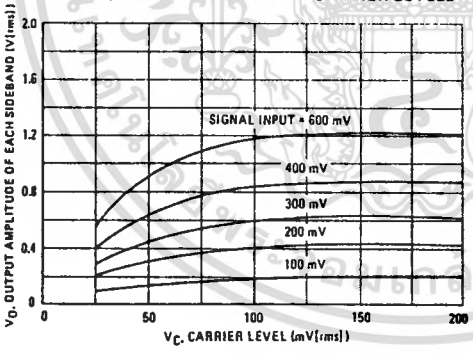


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

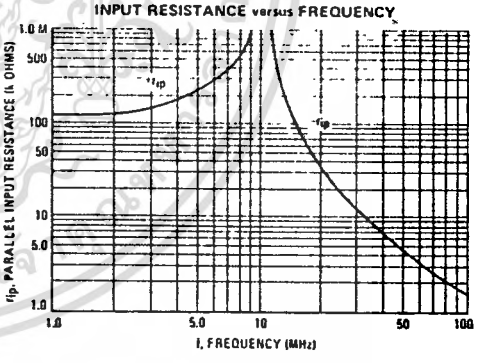


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

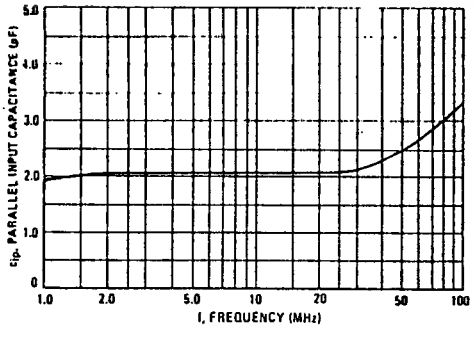
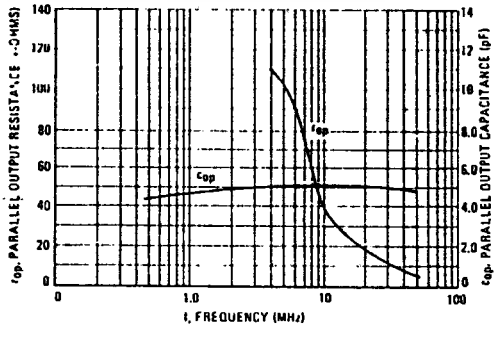


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

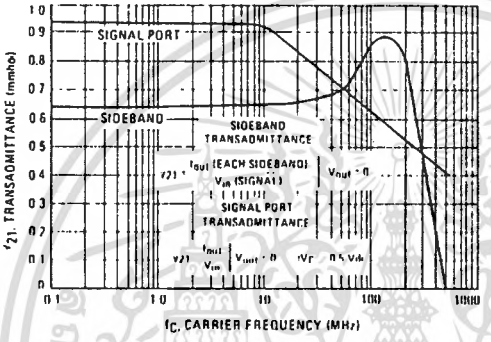


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

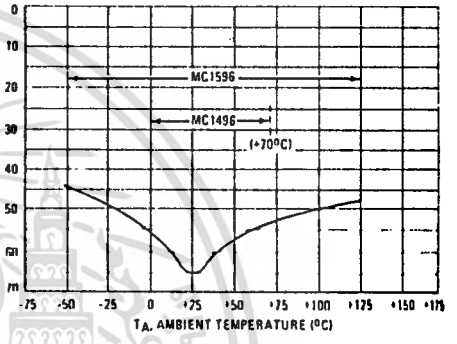


FIGURE 17 – SIGNAL-PORT FREQUENCY RESPONSE

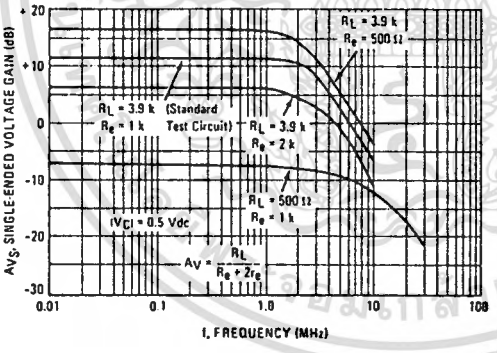


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

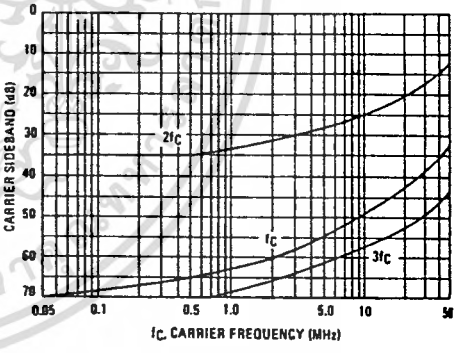


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

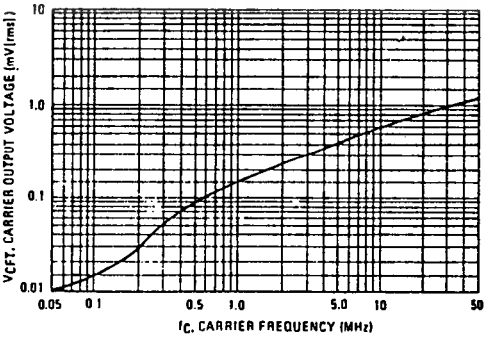
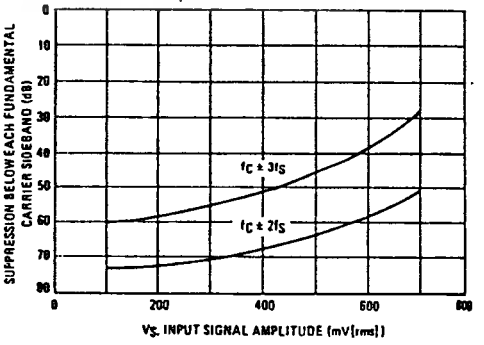


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

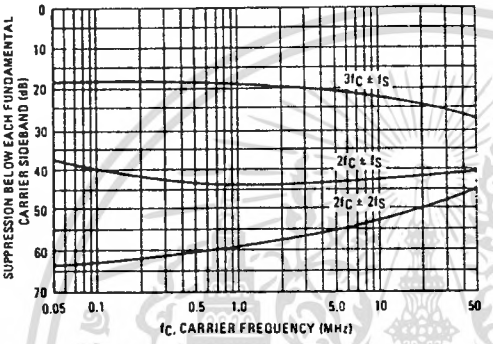
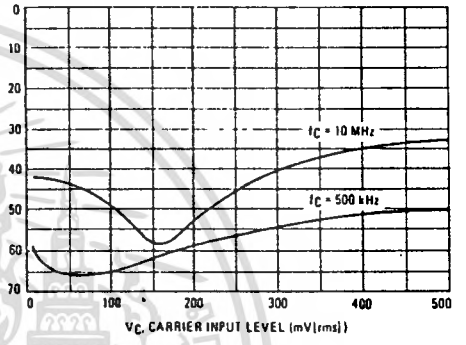


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

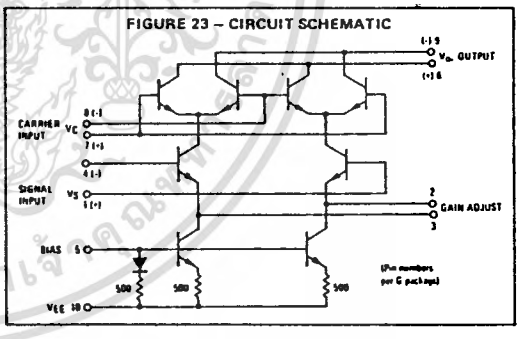
The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

FIGURE 23 – CIRCUIT SCHEMATIC



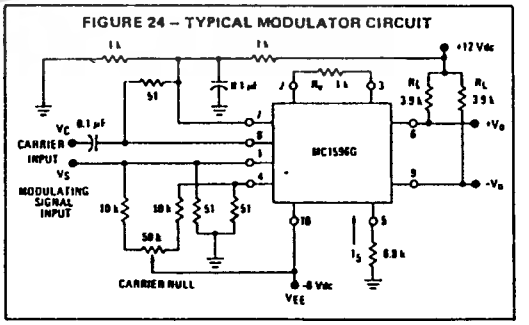
Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

FIGURE 24 – TYPICAL MODULATOR CIRCUIT



NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

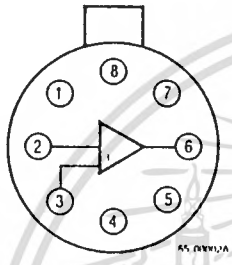
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OP-27

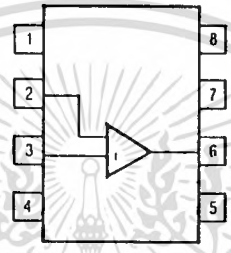
Very Low Noise Operational Amplifier

Connection Information

TO-99
Metal Can
(Top View)



8-Lead
Dual In-Line Package
(Top View)



Pin	Function
1	V_{OS} Trim
2	Inverting Input
3	Non-Inverting Input
4	$-V_S$
5	NC
6	Output
7	$+V_S$
8	V_{OS} Trim

Absolute Maximum Ratings

Supply Voltage ..... +22V
Input Voltage[1] ..... ±22V
Differential Input Voltage 0.7V
Internal Power Dissipation 658mW
Output Short Circuit Duration ..... Indefinite
Storage Temperature
Range ..... -65°C to +150°C
Operating Temperature Range
OP-27A/B/C ..... -55°C to +125°C
OP-27E/F/G ..... -25°C to +85°C
Lead Soldering Temperature
(60 Sec) ..... +300°C

Note: 1. For supply voltages less than ±22V, the absolute maximum input voltage is equal to the supply voltage.

Thermal Characteristics

	8-Lead Ceramic DIP	TO-99 8-Lead Metal Can
Max. Junction Temp.	175°C	175°C
Max. P_D T_A < 50°C	833mW	658mW
Therm. Res. θ_{JC}	45°C/W	50°C/W
Therm. Res. θ_{JA}	150°C/W	190°C/W
For T_A > 50°C Derate at	8.33mW per °C	5.26mW per °C

Ordering Information

Part Number	Package	Operating Temperature Range
OP-27EDE	Ceramic	-25°C to +85°C
OP-27FDE	Ceramic	-25°C to +85°C
OP-27GDE	Ceramic	-25°C to +85°C
OP-27ET	TO-99	-25°C to +85°C
OP-27FT	TO-99	-25°C to +85°C
OP-27GT	TO-99	-25°C to +85°C
OP-27ENB	Plastic	-25°C to +85°C
OP-27FNB	Plastic	-25°C to +85°C
OP-27GNB	Plastic	-25°C to +85°C
OP-27ADE	Ceramic	-55°C to +125°C
OP-27ADE/883B*	Ceramic	-55°C to +125°C
OP-27BDE	Ceramic	-55°C to +125°C
OP-27BDE/883B*	Ceramic	-55°C to +125°C
OP-27CDE	Ceramic	-55°C to +125°C
OP-27CDE/883B*	Ceramic	-55°C to +125°C
OP-27AT	TO-99	-55°C to +125°C
OP-27AT/883B*	TO-99	-55°C to +125°C
OP-27BT	TO-99	-55°C to +125°C
OP-27BT/883B*	TO-99	-55°C to +125°C
OP-27CT	TO-99	-55°C to +125°C
OP-27CT/883B*	TO-99	-55°C to +125°C

*MIL-STD-883, Level B Processing

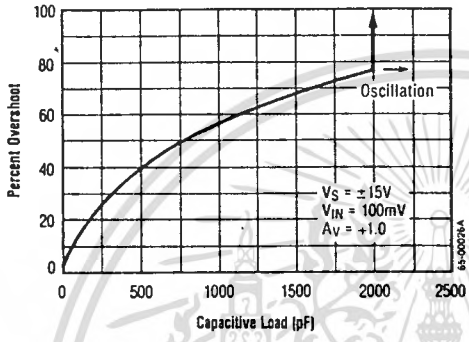
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Very Low Noise Operational Amplifier

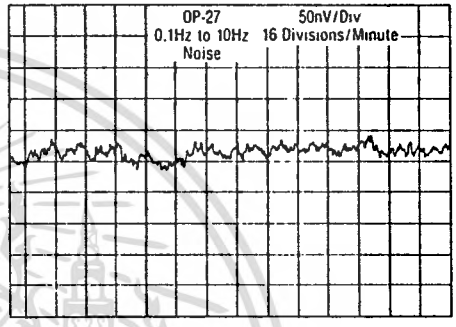
OP-27

Typical Performance Characteristics (Continued)

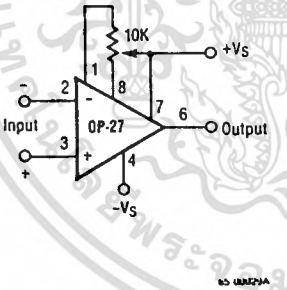
Small Signal Overshoot vs. Capacitive Load



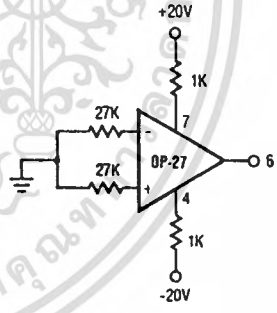
OP-27 0.1Hz to 10Hz Peak-to-Peak Noise
Vertical Scale 50nV/Division
Recorder Speed 16 Divisions/Min



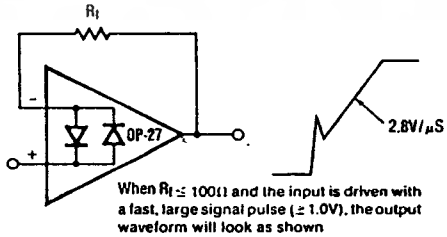
Offset Nulling Circuit



Burn-In Circuit



Large Signal Transient Response



When $R_f \leq 100\Omega$ and the input is driven with a fast, large signal pulse (±1.0V), the output waveform will look as shown

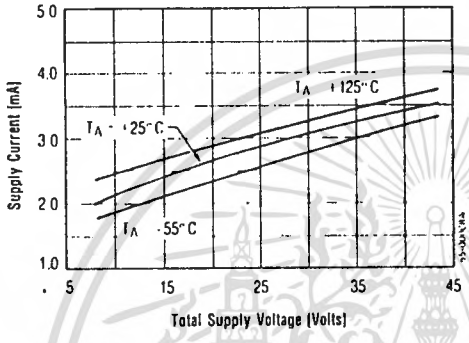
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Very Low Noise Operational Amplifier

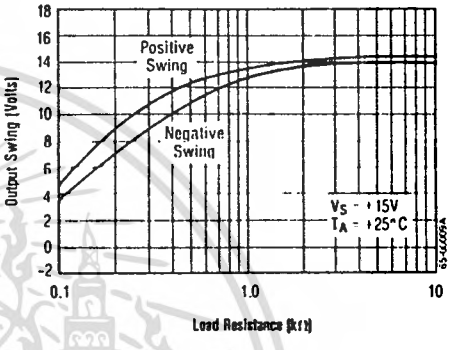
OP-27

Typical Performance Characteristics (Continued)

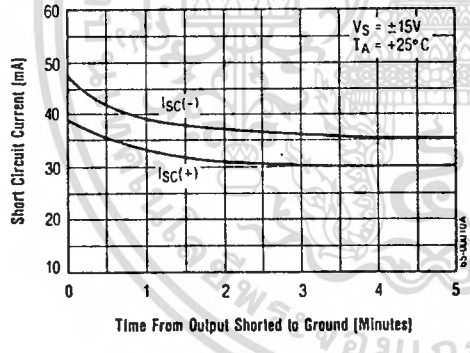
Supply Current vs. Supply Voltage



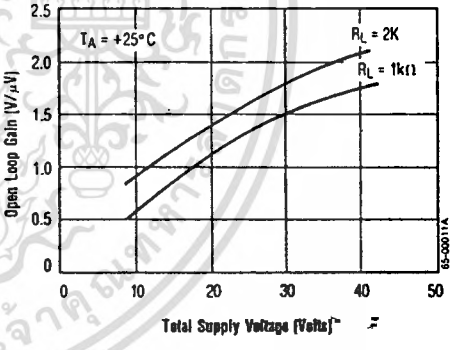
Maximum Output Swing vs. Resistive Load



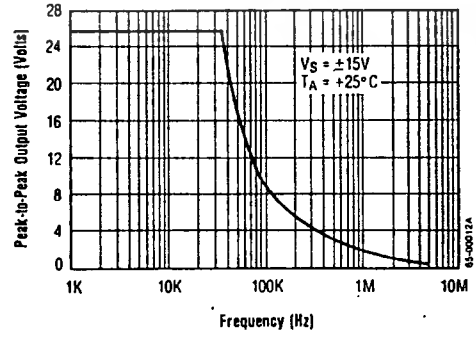
Short Circuit Current vs. Time



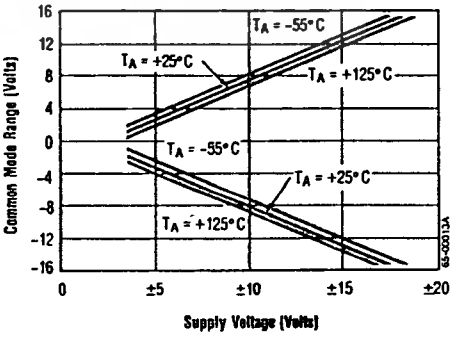
Open Loop Voltage Gain vs. Supply Voltage



Maximum Undistorted Output vs. Frequency



Common Mode Input Range vs. Supply Voltage



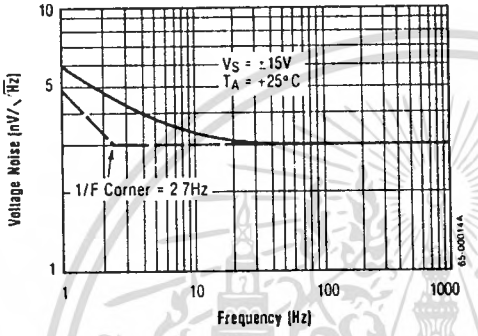
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OP-27

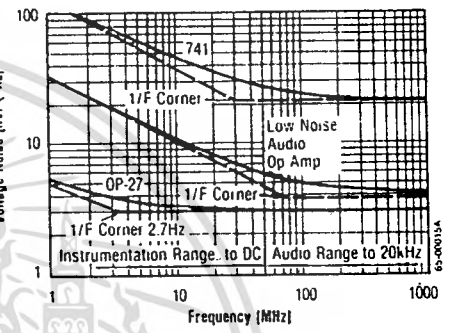
Very Low Noise Operational Amplifier

Typical Performance Characteristics (Continued)

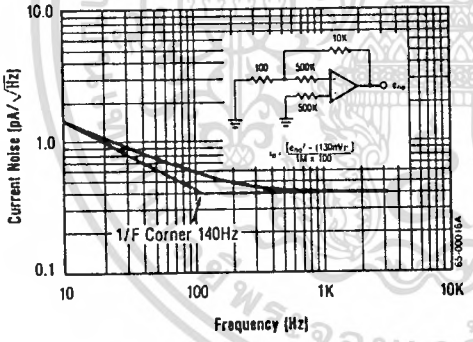
OP-27 Voltage Noise vs. Frequency



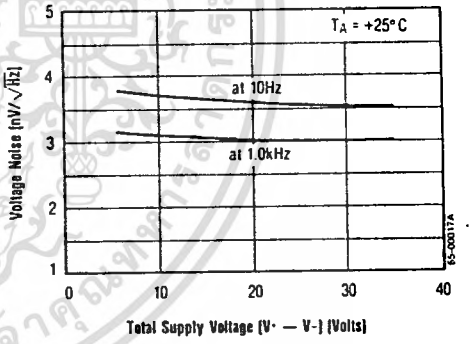
A Comparison of Op Amp Voltage Noise Spectrums



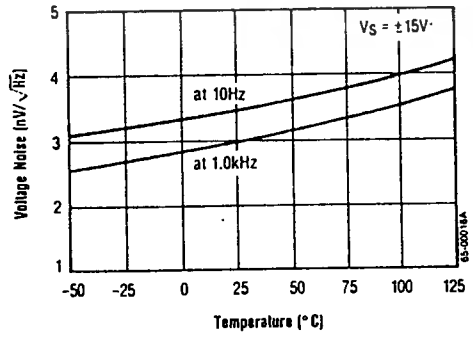
Current Noise vs. Frequency



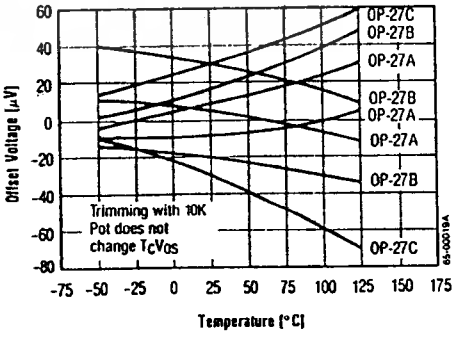
Voltage Noise vs. Supply Voltage



Voltage Noise vs. Temperature



Offset Voltage Drift of Representative Units



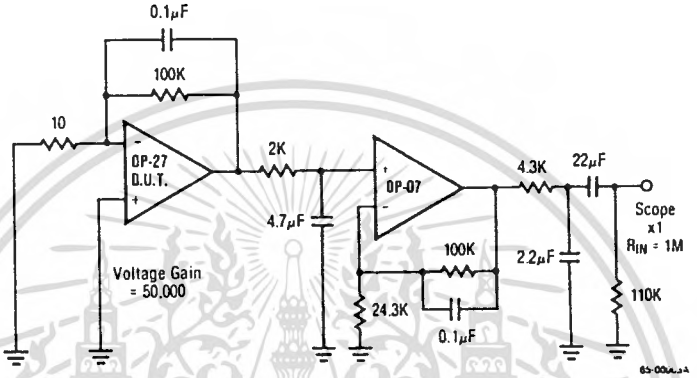
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Very Low Noise Operational Amplifier

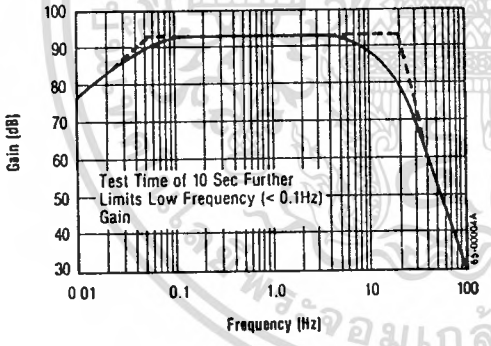
OP-27

Typical Performance Characteristics

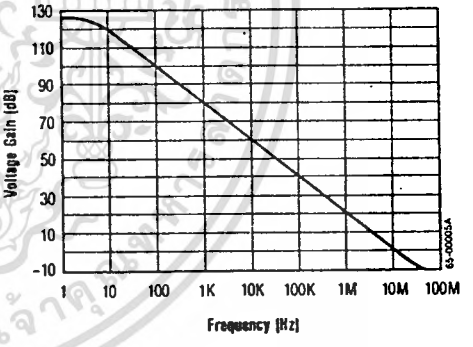
0.1Hz to 10Hz Noise Test Circuit



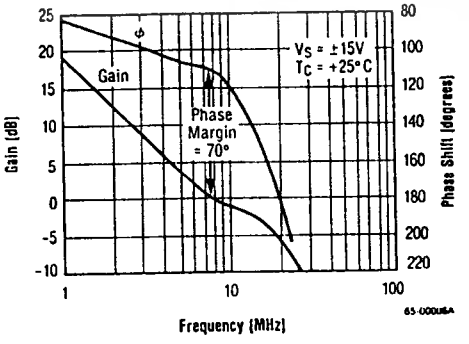
0.1Hz to 10Hz Peak-to-Peak Noise Tester Frequency Response



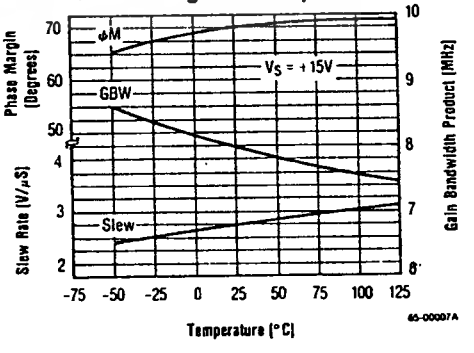
Open Loop Gain vs. Frequency



Gain, Phase Shift vs. Frequency



Slew Rate, Gain Bandwidth Product, Phase Margin vs. Temperature



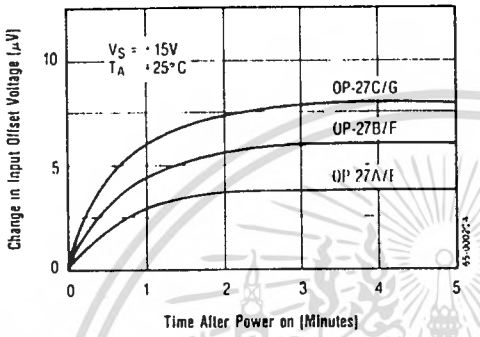
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Very Low Noise Operational Amplifier

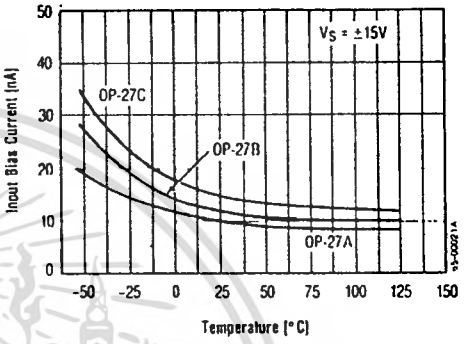
OP-27

Typical Performance Characteristics (Continued)

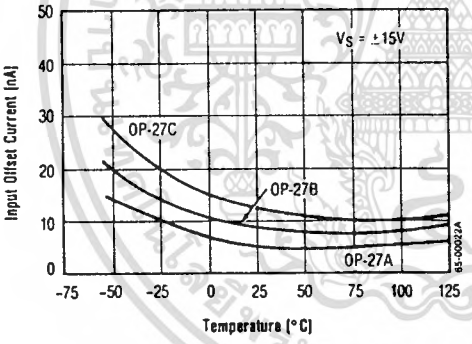
Warm-Up Drift



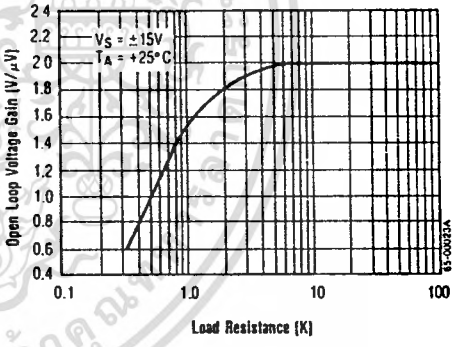
Input Bias Current vs. Temperature



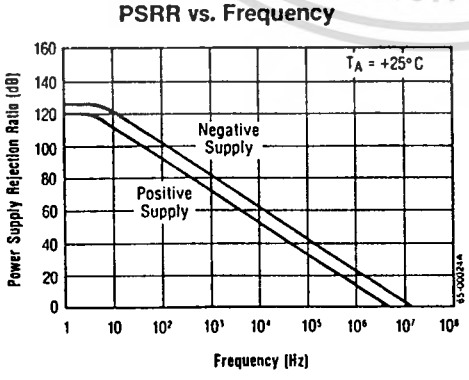
Input Offset Current vs. Temperature



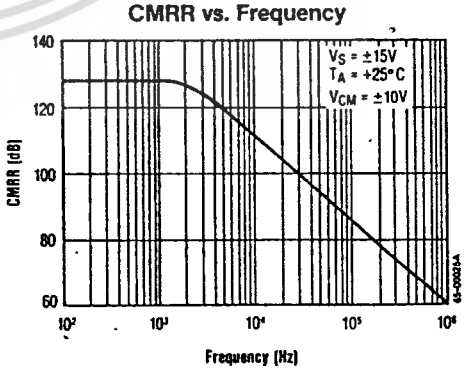
Open Loop Voltage Gain vs. Load Resistance



PSRR vs. Frequency



CMRR vs. Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OP-27

Very Low Noise Operational Amplifier

Electrical Characteristics (V_S = ±15V, -55°C ≤ T_A ≤ +125°C unless otherwise noted)

Parameters	Test Conditions	OP-27A			OP-27B			OP-27C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage[1]			30	60		50	200		70	300	μV
Average Input Offset Voltage Drift[2]			0.2	0.6		0.3	1.3		0.4	1.8	μV/°C
Input Offset Current			15	50		22	85		30	135	nA
Input Bias Current			±20	±60		±28	±95		±35	±150	nA
Input Voltage Range		±10.3	±11.5		±10.3	±11.5		±10.2	±11.5		V
Common Mode Rejection Ratio	V_{CM} = ±10V	108	122		100	119		94	116		dB
Power Supply Rejection Ratio	V_S = ±4.5V to ±18V	96	116		94	114		86	110		dB
Large Signal Voltage Gain	$R_L \geq 2.0k\Omega$, V_O = ±10V	600	1200		500	1000		300	800		V/mV
Output Voltage Swing	$R_L \geq 2.0k\Omega$	±11.5	±13.5		±11	±13.2		±10.5	±13		V

Electrical Characteristics (V_S = ±15V, -25°C ≤ T_A ≤ +85°C unless otherwise noted)

Parameters	Test Conditions	OP-27E			OP-27F			OP-27G			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage[1]			20	50		40	140		55	220	μV
Average Input Offset Voltage Drift			0.2	0.6		0.3	1.3		0.4	1.8	μV/°C
Input Offset Current			10	50		14	85		20	135	nA
Input Bias Current			±14	±60		±18	±95		±25	±150	nA
Input Voltage Range		±10.5	±11.8		±10.5	±11.8		±10.5	±11.8		V
Common Mode Rejection Ratio	V_{CM} = ±10V	110	124		102	121		96	118		dB
Power Supply Rejection Ratio	V_S = ±4.5V to ±18	97	118		96	116		90	114		dB
Large Signal Voltage Gain	$R_L \geq 2.0k\Omega$, V_O = ±10V	750	1500		700	1300		450	1000		V/mV
Output Voltage Swing	$R_L \geq 2.0k\Omega$	±11.7	±13.6		±11.4	±13.5		±11	±13.3		V

Notes: 1. Input Offset Voltage measurements are performed by automated test equipment approximately 0.5 seconds after application of power.
2. $T_C V_{OS}$ performance is guaranteed unnulled or when nulled with R_P = 8.0kΩ to 20kΩ

The information contained in this data sheet has been carefully compiled; however, it shall not by implication or otherwise become part of the terms and conditions of any subsequent sale. Raytheon's liability shall be determined solely by its standard terms and conditions of sale. No representation as to application or use or that the circuits are either licensed or free from patent infringement is intended or implied. Raytheon reserves the right to change the circuitry and other data at any time without notice and assumes no liability for inadvertent errors.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Very Low Noise Operational Amplifier

OP-27

Electrical Characteristics (V_S = ±15V and T_A = +25°C unless otherwise noted)

Parameters	Test Conditions	OP-27A/E			OP-27B/F			OP-27C/G			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage[5]			10	25		20	60		30	100	μV
Long Term Input Offset Voltage Stability[1,2]			0.2	1.0		0.3	1.5		0.4	2.0	μV/Mo
Input Offset Current			7.0	35		9.0	50		12	75	nA
Input Bias Current			±10	±40		±12	±55		±15	±80	nA
Input Noise Voltage[2]	0.1Hz to 10Hz		0.08	0.18		0.08	0.18		0.09	0.25	μV_{p-p}
Input Noise Voltage Density[2]	f_0 = 10Hz		3.5	5.5		3.5	5.5		3.8	8.0	$\frac{nV}{\sqrt{Hz}}$
	f_0 = 30Hz		3.1	4.5		3.1	4.5		3.3	5.6	
	f_0 = 1000Hz		3.0	3.8		3.0	3.8		3.2	4.5	
Input Noise Current Density[2]	f_0 = 10Hz		1.7	4.0		1.7	4.0		1.7		$\frac{pA}{\sqrt{Hz}}$
	f_0 = 30Hz		1.0	2.3		1.0	2.3		1.0		
	f_0 = 1000Hz		0.4	0.6		0.4	0.6		0.4	0.6	
Input Resistance (Diff. Mode)[4]		1.5	6.0		1.2	5.0		0.8	4.0		MΩ
Input Resistance (Com. Mode)			3.0			2.5			2.0		GΩ
Input Voltage Range[3]		±11	±12.3		±11	±12.3		±11	±12.3		V
Common Mode Rejection Ratio	V_{CM} = ±11V	114	126		106	123		100	120		dB
Power Supply Rejection Ratio	V_S = ±4.0V to ±18V	100	120		100	120		94	118		dB
Large Signal Voltage Gain	$R_L \geq 2.0k\Omega$, V_O = ±10V	1000	1800		1000	1800		700	1500		V/mV
	$R_L \geq 1.0k\Omega$, V_O = ±10V	800	1500		800	1500			1500		
	V_O = ±1.0V, V_S = ±4.0V[4]	250	700		250	700		200	500		
Output Voltage Swing	$R_L \geq 2.0k\Omega$	±12	±13.8		±12	±13.8		±11.5	±13.5		V
	$R_L \geq 600\Omega$	±11	±12		±11	±12		±11	±12		
Slew Rate[4]	$R_L \geq 2.0k\Omega$	1.7	2.8		1.7	2.8		1.7	2.8		V/μS
Gain Bandwidth Product[4]		5.0	8.0		5.0	8.0		5.0	8.0		MHz
Open Loop Output Resistance	V_O = 0, I_O = 0		70			70			70		Ω
Power Consumption			90	140		90	140		100	170	mW
Offset Adjustment Range	R_P = 10kΩ		±4.0			±4.0			±4.0		mV

Notes:
1. Long Term Input Offset Voltage Stability refers to the average trend line of V_{OS} vs. Time over extended periods after the first 30 days of operation. Excluding the initial hour of operation, changes in V_{OS} during the first 30 operating days are typically 2.5μV.
2. This parameter is tested on a sample basis only, and guaranteed to an LTPD of 10.
3. Caution: The Common Mode Input Range is a function of supply voltage. See Typical Performance Curves. Also, the input protection diodes do not allow the device to be removed or inserted into the circuit without first removing power.
4. Parameter is guaranteed by design.
5. Input Offset Voltage measurements are performed by automated test equipment approximately 0.5 seconds after application of power.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXAR

XR-2206

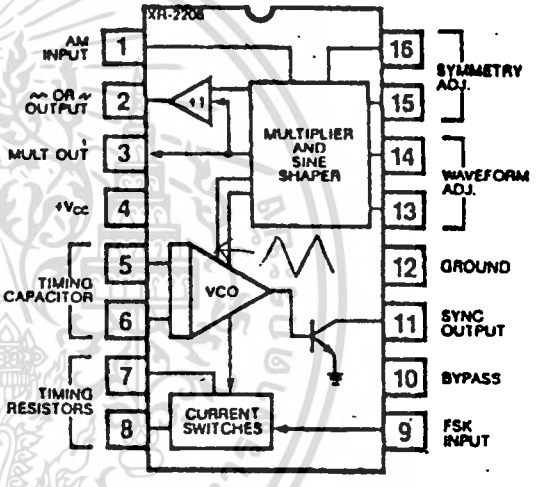
Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FUNCTIONAL BLOCK DIAGRAM



FEATURES

Low-Sine Wave Distortion	0.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%/V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	−55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	−65°C to +150°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency proportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, $C = 0.01\ \mu F$, $R_1 = 100\ k\Omega$, $R_2 = 10\ k\Omega$, $R_3 = 25\ k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETERS	XR-2206M			XR-2206C			UNITS	CONDITIONS
	MIN	TYP	MAX	MIN	TYP	MAX		
GENERAL CHARACTERISTICS								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10\ k\Omega$
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000\ pF$, $R_1 = 1\ k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\ \mu F$, $R_1 = 2\ M\Omega$
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability		±10	±50		±20		ppm/°C	$0°C \leq T_A \leq 70°C$, $R_1 = R_2 = 20\ k\Omega$
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20\ k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ $R_1 = 1\ k\Omega$, f_L @ $R_1 = 2\ M\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1$ kHz, $f_H = 10$ kHz
1000:1 Sweep		8			8		%	$f_L = 100$ kHz, $f_H = 100$ kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	μF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/kΩ	Figure 1, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 1, S_1 Closed
Max. Output Swing		6			6		V p-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/°C	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30\ k\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		V p-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10$ pF
Fall Time		50			50		nsec	$C_L = 10$ pF
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2$ mA
Leakage Current		0.1	20		0.1	100	μA	$V_{11} = 26V$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 2.
Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

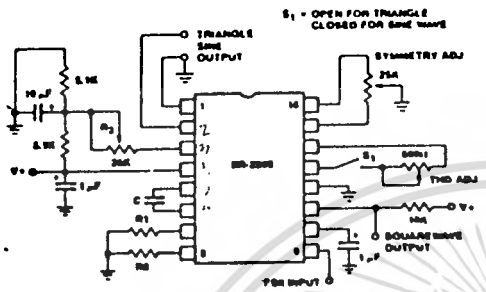


Figure 1. Basic Test Circuit.

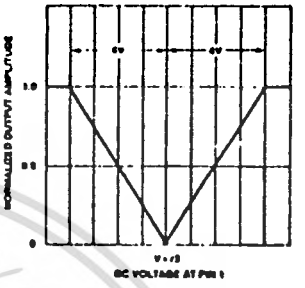


Figure 5. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

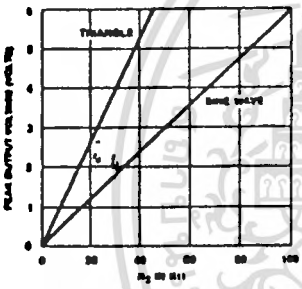


Figure 2. Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

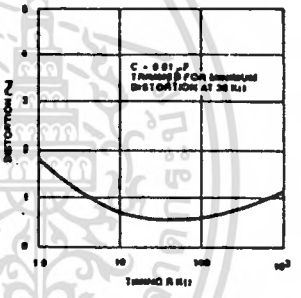


Figure 6. Trimmed Distortion versus Timing Resistor.

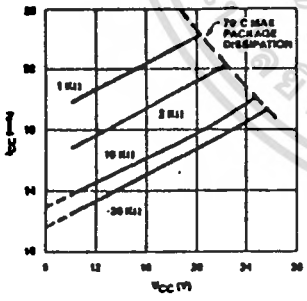


Figure 3. Supply Current versus Supply Voltage, Timing, R.

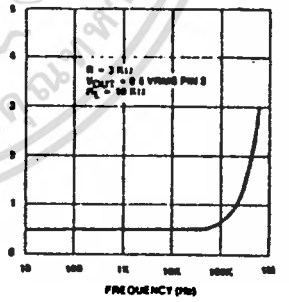


Figure 7. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

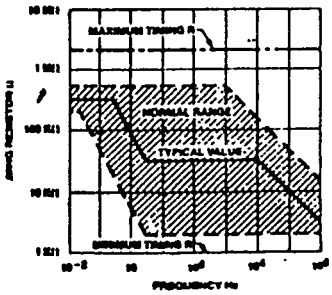


Figure 4. R versus Oscillation Frequency.

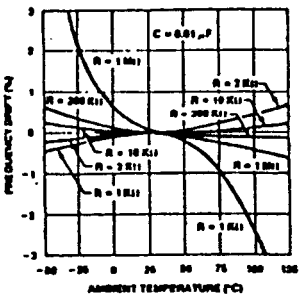


Figure 8. Frequency Drift versus Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

Figure 9. Circuit Connection for Frequency Sweep.

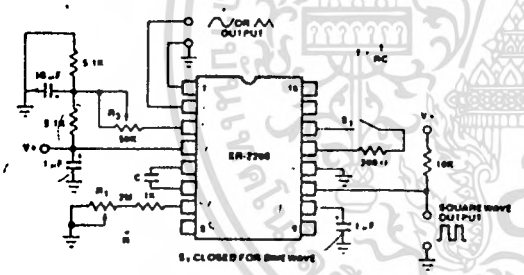


Figure 10. Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3).

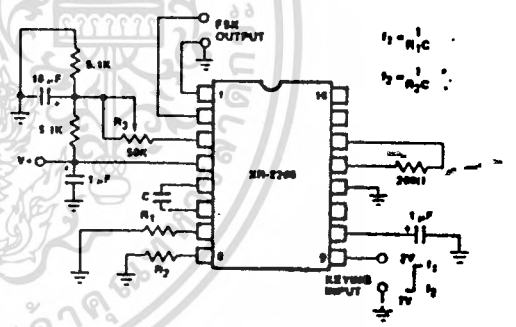


Figure 12. Sinusoidal FSK Generator.

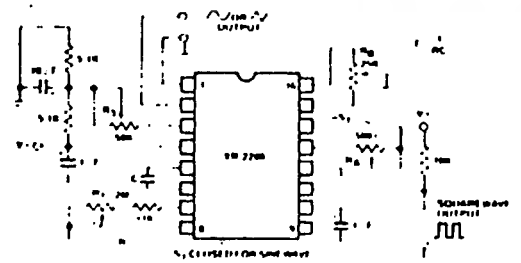


Figure 11. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing—See Figure 2.)

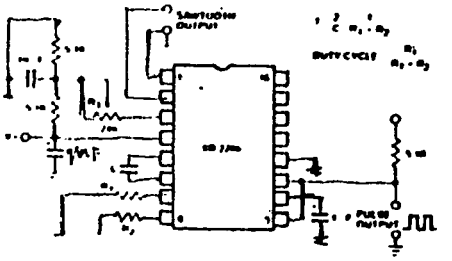


Figure 13. Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq 2V$, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq 1V$, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is $<2.5\%$. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to $\approx 0.5\%$ by additional adjustments as shown in Figure 11. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in Figure 4. Temperature stability is optimum for $4\text{ k}\Omega < R < 200\text{ k}\Omega$. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320\ I_T\ (\text{mA})}{C\ (\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC}1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right) \text{ Hz}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้