สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรนับ/หาร ความถี่ขนาด 8 บิท โดยใช้ CIRCAD II

DESIGN OF 8 BIT PRESETABLE COUNTER/DIVIDER WITH CIRCAD II

นายอนันต์ เปาปราโมทย์
MR. ANAN PAOPRAMOT

เลขหมู่
เลขทะเบียน 17542
วัน, เดือน, ปี 0 ก.ค. 2535

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2535

ISBN 974-8157-59-8

ลิขสิทธิ์ของบัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

DESIGN OF 8 BIT PRESETABLE COUNTER/DIVIDER WITH CIRCAD II

MR. ANAN PAOPRAMOT

A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE
MASTER OF ENGINEERING IN ELECTRICAL ENGINEER
GRADUATE SCHOOL
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
1992

ISBN 974-8157-59-8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์ การออกแบบวงจรนับ/หาร ความถี่ขนาด 8 บิทโดยใช้ CIRCAD II
DESIGN OF 8 BITS PRESETABLE COUNTER/DIVIDER WITH CIRCAD II
นักศึกษา นายอนันต์ เปาปราโมทย์
อาจารย์ผู้ควบคุมวิทยานิพนธ์ รศ.ดร.มนัส สังวรศิลป์
ระดับการศึกษา วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชา วิศวกรรมไฟฟ้า
ภาควิชา อิเลคทรอนิคส์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2535

บทคัดย่อ

วิทยานิพนธ์นี้แสดงถึง เทคนิคการออกแบบวงจรรวมซึ่งเป็นวงจรนับขนาด 8 บิท สามารถตั้งค่าเริ่มต้นในการนับได้ สามารถนับขึ้น หรือนับลงได้ ขณะเดียวกันวงจรรวมดังกล่าวก็สามารถที่จะกำหนดให้เป็นวงจรหารความถี่ โดยตั้งค่าในการหารได้ตั้งแต่ 2 ถึง 256 ชิพที่ออกแบบอย่างสมบูรณ์จะประกอบด้วย มอสทรานซิสเตอร์ 964 ตัว มีขนาดของชิพเท่ากับ 3.6 x 2.8 ตร มม. ออกแบบเพื่อเก็บบรรจุในตัวถัง DIP 28 ขา สำหรับในวิทยานิพนธ์ วงจรรวมบรรจุในตัวถัง DIP 48 ตามโครงการ MPC (Multi Project Chip) โดยใช้เทคโนโลยี 5 ไมครอน ซิงเกิลเมทัล โพลีซิลิกอนเกทซีมอส การออกแบบใช้โปรแกรมช่วยในการออกแบบวงจรรวมสำเร็จรูป CIR CAD II ของ UNSW ซึ่งทำงานบนเครื่อง SUN 3/110 ส่วนการทดสอบวงจรรวมใช้ทั้งซอร์ฟแวร์และเครื่องมือในห้องปฏิบัติการ ทำการทดสอบทางด้านฟังก์ชั่นในโหมดการทำงานต่างๆ ได้ผลเป็นที่น่าพอใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Design of 8 bits presetable counetr/divider with CIRCAD II
Student	Mr.Anan Paōpramot
Thesis Advisor	Assoc.Prof.Dr.Manus Sungworasilp
Level of Study	Master of Engineering in Electrical Engineer
Department	Electronics Engineering King Mongkut's Institute of Technology Ladkrabang
Year	1992

Abstract

This thesis deals with the design technique of synchronous 8 bits up/down presetable counter with appropriate control logic, the de sign can act as a 2 - 256 programable frequency devider.

VLSI CAD tools is UNSW'S CIRCAD II. This software supports 5 um single metal polysilicon gate CMOS technology. With the chip size of 3.6 mm. by 2.8 mm., consists of 964 transistors. The design fabricate in Multi Project Chip (MPC), 48 leads DIP package. In addition, simulation results offered by TREK software and LAB test clearly show that the design is fully functions as it is aimed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลงได้ด้วยดีก็เพราะได้รับความเมตตาจาก รองศาสตราจารย์ ดร.มนัส สังวรศิลป์ และอาจารย์สมศักดิ์ ชุมช่วย ที่ได้ให้ความกรุณาแนะนำแนวทางการดำเนินการวิจัยต่างๆ ตลอดมา ผู้วิจัยรู้สึกซาบซึ้งและขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบคุณ รองศาสตราจารย์ ดร.สมเกียรติ ศุภเดช และผู้ช่วยศาสตราจารย์ วิสุทธิ์ ธิติรุ่งเรือง หัวหน้าศูนย์วิจัยอิเลคทรอนิคส์ (Electronics Research Center) ที่กรุณาอนุเคราะห์ ให้ความสะดวกด้านการจัดทำต้นฉบับวิทยานิพนธ์

และท้ายสุดขอขอบคุณ ผู้ช่วยศาสตราจารย์ บุญวัฒน์ อัตชู และกลุ่มทำงาน VLSI Design Group, KMITL ศูนย์อิเลคทรอนิคส์และคอมพิวเตอร์แห่งชาติ (NECTEC) กระทรวงวิทยาศาสตร์เทคโนโลยี และการพลังงาน ที่ให้ความสนับสนุนทั้งทางด้านฮาร์ดแวร์ และซอฟท์แวร์ ในการออกแบบ รวมทั้งเอกสารต่างๆ จนวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทคัดย่อภาษาไทย		I
บทคัดย่อภาษาอังกฤษ		II
กิตติกรรมประกาศ		III
สารบัญ		IV
สารบัญตาราง		VII
สารบัญภาพ		VIII
คำนำ		XI
บทที่ 1	บทนำ	1
	1.1 เทคโนโลยีของไอซี	1
	1.2 ยุคของวงจรรวม	1
	1.3 เทคโนโลยีของการสร้างวงจรรวม	4
	1.4 เทคโนโลยีของ MOS VLSI	5
	1.5 เทคโนโลยีของ nMOS VLSI	6
บทที่ 2	คุณสมบัติและการทำงานของ MOS ทรานซิสเตอร์	10
	2.1 พื้นฐานของ MOS ทรานซิสเตอร์	10
	2.2 MOS ทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมด	10
	2.3 การทำงานของ MOS ทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมด	13
	2.4 MOS ทรานซิสเตอร์แบบดีพลีชั่นโหมด	16
	2.5 การทำงานของ MOS ทรานซิสเตอร์แบบดีพลีชั่นโหมด	17
	2.6 คุณสมบัติของ MOS ทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมด	17
	2.7 ค่าทรานคอนดัคแตนซ์ของทรานซิสเตอร์	24
	2.8 ผลตอบสนองต่อความถี่	27
บทที่ 3	การออกแบบวงจร CMOS เบื้องต้น	28
	3.1 มอสทรานซิสเตอร์	28
	3.2 มอสทรานซิสเตอร์สวิทช์	29
	3.3 ชีมอสลอจิกชนิดต่างๆ	30
	3.4 ทรานสมิสชั่นเกท	35
	3.5 ชีมอสลอจิกแบบต่างๆ	42
	3.6 ข้อเปรียบเทียบของชีมอสลอจิกเกท	50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		หน้า
บทที่ 4	การออกแบบและการสร้างวงจรรวม	52
	4.1 เลเยอร์ชนิดต่างๆ	54
	- ชั้นทางกายภาพ	54
	- ชั้นลวดลาย	54
	- ชั้นลอจิกและวงจร	55
	- ชั้นการทำงานของวงจร	58
	- ชั้นการออกแบบระบบ	58
	4.2 กฎการออกแบบ	58
	4.3 กฎการออกแบบของ JMRC, UNSW	59
	- กฎการออกแบบ	60
	- Latch-up	67
	- ค่าตัวแปรโปรเซสของ SPICE	69
	- ค่าตัวแปรทางไฟฟ้า	70
บทที่ 5	โปรแกรมการออกแบบวงจรรวม CIRCAD II	71
	5.1 การออกแบบด้วยสัญญลักษณ์ และวิธีการ	71
	5.2 การออกแบบตามลำดับชั้น	71
	5.3 การใช้งานโปรแกรม Ingred	72
	- การเริ่มใช้งาน	72
	- ส่วนต่างๆของจอภาพ	72
	- การเริ่มออกแบบ	74
	- เซลล์	74
	- การออกแบบจากโมดูลใหญ่สู่โมดูลย่อย	74
	- การออกแบบจากโมดูลย่อยสู่โมดูลใหญ่	75
	- อะเรย์หรือเมทริก	75
	- พอร์ท	76
	- การเชื่อมต่อระหว่างเซลล์หรือโมดูล	76
	- การรักษาสภาพของการเชื่อมต่อ	77
	- การแปลงทางเรขาคณิตของลวดลายวงจร	77
	- คำสั่งตามลำดับชั้น	78
	- ลีฟเซลล์	79
	- การติดต่อกับโปรแกรมย่อยอื่นๆ	80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		หน้า
	- การชุมและการแทน	81
	- คุณสมบัติอื่นๆของโปรแกรม Ingred	81
	- การเป็นอิสระไม่ขึ้นกับเทคโนโลยี	83
บทที่ 6	การออกแบบวงจรนับ/หารความถี่ขนาด 8 บิท	92
	6.1 ขั้นตอนการออกแบบ	92
	- การออกแบบและเงื่อนไขการออกแบบ	92
	- การออกแบบจากระบบสู่โมดูล	93
	- การออกแบบจากวงจรสู่ลีฟเซลล์	99
	6.2 วิธีการสร้างลวดลายวงจรรวม	102
	- FLOW CHART การออกแบบ	102
	- คำสั่งที่ใช้ในการออกแบบ	102
	- การทดสอบโดยใช้เงื่อนไขเทียม	107
	6.3 การสร้างวงจรรวม	113
	6.4 การทดสอบในห้องปฏิบัติการ	114
	6.5 บทสรุป	120
หนังสืออ้างอิง		123

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

		หน้า
ตารางที่ 4.1	แสดงค่าความต้านทาน และความจุไฟฟ้าของชั้นสารเจือต่างๆ	55
ตารางที่ 4.2	แสดงชื่อย่อของชั้นทางกายภาพและสีที่ใช้ในการออกแบบวงจรรวม	60
ตารางที่ 4.3	แสดงค่า CMOS พารามิเตอร์ที่ใช้ในโปรแกรม SPICE	69
ตารางที่ 4.4	แสดงค่า Electrical Parameter จากการวัด MPC85-1C	70
ตารางที่ 6.1	ตารางความจริงของ Toggle FF & Preset Enable & Reset	100
ตารางที่ 6.2	ตารางความจริงแสดงการทำงานของวงจรนับ/หารความถี่	107
ตารางที่ 6.3	แสดงขั้นตอนการสร้างวงจรรวม ของหน่วยงานต่างๆ	114
ตารางที่ 6.4	ตารางเปรียบเทียบกระแสสงบของ CMOS เบอร์ SCL 4510 B และ 8bcnt ที่อุณหภูมิห้อง	119
ตารางที่ 6.5	แสดงการกินกระแสที่ความถี่ต่างๆ (หน่วยเป็น mA)	119
ตารางที่ 6.6	เปรียบเทียบโปรแกรมออกแบบวงจรรวมมาตรฐานกับ CIRCAD II	121

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

		หน้า
รูปที่ 1.1	Moore's First Law แสดงความหนาแน่นของอุปกรณ์ในปีต่างๆ	2
รูปที่ 1.2	ตารางแสดงวิวัฒนาการของไมโครอิเลคทรอนิคส์	3
รูปที่ 1.3	โครงสร้างมอสทรานซิสเตอร์	5
รูปที่ 1.4	โครงสร้างของไบโพลาร์ทรานซิสเตอร์	5
รูปที่ 1.5	แสดงโครงสร้างของ nMOS ทรานซิสเตอร์	6
รูปที่ 1.6	แสดงโครงสร้างของ pMOS ทรานซิสเตอร์	7
รูปที่ 1.7	แสดงโครงสร้างของ CMOS ทรานซิสเตอร์	7
รูปที่ 1.8	แสดงถึงขนาดของทรานซิสเตอร์ในปีต่างๆ	8
รูปที่ 1.9	แสดงถึงผลคูณของความเร็วและพลังงาน	8
รูปที่ 2.1	แสดง nMOS ทรานซิสเตอร์	11
รูปที่ 2.2	แสดง pMOS ทรานซิสเตอร์	11
รูปที่ 2.3	แสดงสัญญลักษณ์ของ MOS ทรานซิสเตอร์ ทั้ง n และ p แชนแนล	11
รูปที่ 2.4	ทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด	12
รูปที่ 2.5	แสดงกราฟ $I_D - V_{DD}$	13
รูปที่ 2.6	แสดงการทำงานของทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมดที่ V_{gs} ค่าต่างๆ	14
รูปที่ 2.7	แสดงลักษณะการกระจายของศักดาไฟฟ้า	15
รูปที่ 2.8	แสดงทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดเอ็นแชนแนล	16
รูปที่ 2.9	กราฟการทำงานของทรานซิสเตอร์แบบดีพลีชั่นโหมด	17
รูปที่ 2.10	แสดงการทำงานของทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด ช่วง Linear region	18
รูปที่ 2.11	กราฟแสดง I_{ds} และ V_{ds}	22
รูปที่ 2.12	รูปการทำงานของทรานซิสเตอร์ในช่วงอิ่มตัว	22
รูปที่ 2.13	แสดง I_{ds} ในช่วงอิ่มตัว	13
รูปที่ 2.14	DEPLETION MODE	24
รูปที่ 2.15	ตารางแสดงค่าโมบิลิตี้ที่ผิวสารกึ่งตัวนำ	27
รูปที่ 3.1	โครงสร้างและสัญญลักษณ์ของเอ็นมอสและพีมอส	28
รูปที่ 3.2	แสดงลักษณะการทำแบบสวิทช์ของมอสทรานซิสเตอร์	30
รูปที่ 3.3	คอมพลีเมนทารีมอสสวิทช์	31
รูปที่ 3.4	วงจรและสัญญลักษณ์ของซีมอสอินเวอร์เตอร์	31
รูปที่ 3.5	ลักษณะของสวิทช์ซึ่งอนุกรมและขนานกัน	33
รูปที่ 3.6	ลักษณะของซีมอสแนนด์เกท	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		หน้า
รูปที่ 3.7	โครงสร้างของนอร์เกท	36
รูปที่ 3.8	a แสดง Logic diagram ที่แทน F = (A.B) + (C.D)	37
	b การสร้างเกทที่มีฟังค์ชั่นแบบผสม	38
รูปที่ 3.9	ทรานสมิสชั่นเกท	39
รูปที่ 3.10	แสดง 2 input transmission gate mpx.	40
รูปที่ 3.11	วงจร CMOS XOR และ XNOR สร้างโดยทรานสมิสชั่นเกท	40
รูปที่ 3.12	XOR และ XNOR ซึ่งใช้ทรานซิสเตอร์ 6 ตัว	41
รูปที่ 3.13	วงจรแบบไม่มีตัวทด	42
รูปที่ 3.14	วงจรที่ซับซ้อนขึ้นแต่ยังคงใช้ลักษณะ OAI	43
รูปที่ 3.15	a แสดงเอ็นมอสเทียม ซึ่งมีฟังค์ชั่นเป็นนอร์เกท 7 อินพุท	44
	b วงจรมอสลอจิกเทียม	45
รูปที่ 3.16	วงจรอินเวอร์เตอร์ที่ใช้สัญญาณนาฬิกา	46
รูปที่ 3.17	วงจรไดนามิคซีมอส	47
รูปที่ 3.18	วงจรไดนามิค 5 อินพุทนอร์เกท	48
รูปที่ 3.19	วงจรไดนามิคซึ่งใช้ OAI เกท	48
รูปที่ 3.20	ปัญหาในการอนุกรมไดนามิคซีมอสเกท	49
รูปที่ 3.21	วงจรพื้นฐานของโดมิโนซีมอสลอจิก	49
รูปที่ 3.22	วงจรโดมิโนซึ่งต่ออนุกรมกัน	50
รูปที่ 3.23	ตารางเปรียบเทียบซีมอสลอจิกตระกูลต่างๆ	51
รูปที่ 3.24	ตารางเปรียบเทียบพื้นที่ลวดลายวงจรรวมของซีมอสลอจิกตระกูลต่างๆ	51
รูปที่ 4.1	เทคนิคต่างๆ ในการผลิตวงจรรวม	53
รูปที่ 4.2	แสดงตัวอย่างลวดลายวงจรรวม ของวงจร shift register	56
รูปที่ 4.3	ลอจิกไดอะแกรมของวงจร shift register	57
รูปที่ 4.4	แสดง circuit diagram ของ shift register	57
รูปที่ 4.5	แสดงระยะ Intrinsic Geometry	61
รูปที่ 4.6	แสดงระยะ External Clearance	62
รูปที่ 4.7	แสดงกฎการออกแบบเกี่ยวกับทรานซิสเตอร์	63
รูปที่ 4.8	แสดงกฎการออกแบบเกี่ยวกับระยะห่างในเลเยอร์ Internal Clearance	63
รูปที่ 4.9	แสดงกฎการออกแบบเกี่ยวกับ Contact	64
รูปที่ 4.10	แสดงกฎการออกแบบเกี่ยวกับ Glass	66
รูปที่ 4.11	แสดงกฎการออกแบบเกี่ยวกับ Guard Rings	67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		หน้า
รูปที่ 4.12	แสดงภาคตัดขวางของ CMOS แสดงถึง Latch-up และวงจรสมมูลย์	67
รูปที่ 4.13	แสดงตัวอย่างของวงจร CMOS INVERTOR	68
รูปที่ 5.1	แสดงส่วนต่างๆของจอภาพ	73
รูปที่ 6.1	แสดงแนวความคิดในการออกแบบวงจรรวม	93
รูปที่ 6.2	แสดง FLOOR PLAN ของวงจร นับ/หารขนาด 8 บิท	94
รูปที่ 6.3	Block Diagram แสดงความสัมพันธ์ของโมดูลต่างๆ	94
รูปที่ 6.4	แสดง Timing Diagram ของโมดูล CNX 1,CNX 2	95
รูปที่ 6.5	แสดง Logic Diagram ของโมดูล CNX 1,CNX 2	96
รูปที่ 6.6	แสดงปัญหาทางด้าน Timing ที่สัญญาณ CBO และ FO	97
รูปที่ 6.7	แสดงวงจรในโมดูล CDCN	98
รูปที่ 6.8	แสดงการเกิด Glitch ที่ขาสัญญาณทด COB ขณะนับลง	99
รูปที่ 6.9	แสดงวงจรของ Toggle Flip Flop	100
รูปที่ 6.10	แสดงโครงสร้างของลีฟเซลล์ Toggle FF	101
รูปที่ 6.11	แสดง FLOW CHART การออกแบบวงจรรวม	103
รูปที่ 6.12	แสดง FLOW CHART การสร้าง sl ไฟล์ด้วยวิธีต่างๆ	104
รูปที่ 6.13	Timing Diagram ของโหมดนับลง	108
รูปที่ 6.14	Timing Diagram ของโหมดนับขึ้น	109
รูปที่ 6.15	แสดงกาาร Reset , Preset และการนับขึ้น นับลง	110
รูปที่ 6.16	แสดงการทำงานในโหมดหารความถี่	111
รูปที่ 6.17	แสดง CIF ของวงจรนับ/หาร ความถี่ขนาด 8 บิท	112
รูปที่ 6.18	แสดง PINS CONNECTIONS ที่ออกแบบไว้	113
รูปที่ 6.19	แสดง BONDING DIAGRAM ของ MPC	115
รูปที่ 6.20	ก. รูปถ่ายจริงแสดงการ BONDING	116
	ข. แสดงรูปถ่ายจริงของ IC	116
รูปที่ 6.21	แสดงการจัดอุปกรณ์การทดสอบ	117
รูปที่ 6.22	แสดงภาพการทำงานในโหมด COUNT UP	118
รูปที่ 6.23	แสดงภาพการทำงานในโหมด COUNT DOWN	118
รูปที่ 6.24	แสดง BLOW OUT ซึ่งเกิดจากคำสั่ง JIGSAW	122

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
ความรู้พื้นฐานของไมโครอิเลคทรอนิคส์และเทคโนโลยีของ MOS

1.1 เทคโนโลยีของไอซี

เป็นที่ทราบกันดีว่าเทคโนโลยีทางวิศวกรรมอิเลคทรอนิคส์ ได้เข้ามามีบทบาทต่อชีวิตความเป็นอยู่ของมนุษย์เป็นอย่างมาก ทั้งในปัจจุบันและอนาคต ในระบบไฟฟ้าอิเลทรอนิคส์ส่วนประกอบที่สำคัญยิ่งคือ ชิ้นส่วนอิเลคทรอนิคส์ซึ่งได้รับการพัฒนามาอย่างต่อเนื่อง โดยเฉพาะชิ้นส่วนอิเลคทรอนิคส์แบบแอคทีฟ (electronic active devices) เริ่มตั้งแต่หลอดสูญญากาศ (vacum tube) ซึ่งใช้เป็นชิ้นส่วนอิเลคทรอนิคส์พื้นฐาน ในงานระบบอิเลคทรอนิคส์ในยุคแรก จนกระทั่งถึงปี ค.ศ.1950 (พ.ศ.2493) จึงมีการนำเอาทรานซิสเตอร์ ซึ่งค้นพบในปี ค.ศ.1947 (พ.ศ.2490) มาใช้แทนหลอดสูญญากาศ ทำให้ระบบอิเลคส์ทรอนิคส์เปลี่ยนแปลงโฉมหน้าไปโดยสิ้นเชิง เนื่องจากคุณสมบัติของทรานซิสเตอร์มีประสิทธิภาพการทำงานที่ดีกว่า กินกำลังไฟน้อยกว่า น้ำหนักเบากว่า ขนาดเล็กและราคาถูกกว่า อย่างไรก็ดีทรานซิสเตอร์ ก็ได้รับการพัฒนาอย่างต่อเนื่องตลอดมา และเมื่อราวปี ค.ศ.1960 (พ.ศ.2503) ก็มีการค้นพบเทคโนโลยีใหม่ ได้แก่เทคโนโลยีการสร้างวงจรรวม (Integrated Circuits Technology) กล่าวคือ สามารถสร้างทรานซิสเตอร์จำนวนหลายๆตัว (ปัจจุบันมากกว่า 1 ล้านตัว) ลงบนชิ้นของผลึกสารกึ่งตัวนำซิลิกอนชิ้นเล็กๆ ที่มีขนาดพื้นที่ประมาณ 5ม.ม.x 5ม.ม. รวมทั้งชิ้นส่วนแบบพาสซิฟ (passive device) เช่น ตัวความต้านทาน ตัวเก็บประจุไฟฟ้า และนำมาต่อร่วมกันภายใน (interconnection) เป็นวงจรอิเลคทรอนิคส์ที่สมบูรณ์ ชิ้นสารกึ่งตัวนำดังกล่าวนี้ มักถูกเรียกสั้นๆว่า ชิพไอซี (IC chip) เทคโนโลยีของการสร้างวงจรรวม หรือเทคโนโลยีของไอซี นับได้ว่าเป็นเทคโนโลยีระดับสูงที่ละเอียดอ่อน และสลับซับซ้อน ซึ่งต้องอาศัยความรู้ความสามารถ และความชำนาญจากนักวิทยาศาสตร์หลายๆสาขาร่วมกัน

หลังจากที่สามารถผลิตไอซี หรือวงจรรวมได้ ไอซีก็เข้ามามีบทบาทแทนทรานซิสเตอร์ทั้งนี้ก็เพราะประสิทธิภาพการทำงานที่ดีเยี่ยม ขนาดที่เล็กกระทัดรัด น้ำหนักเบา รวมถึงราคาที่ถูกกว่าของไอซีนั่นเอง

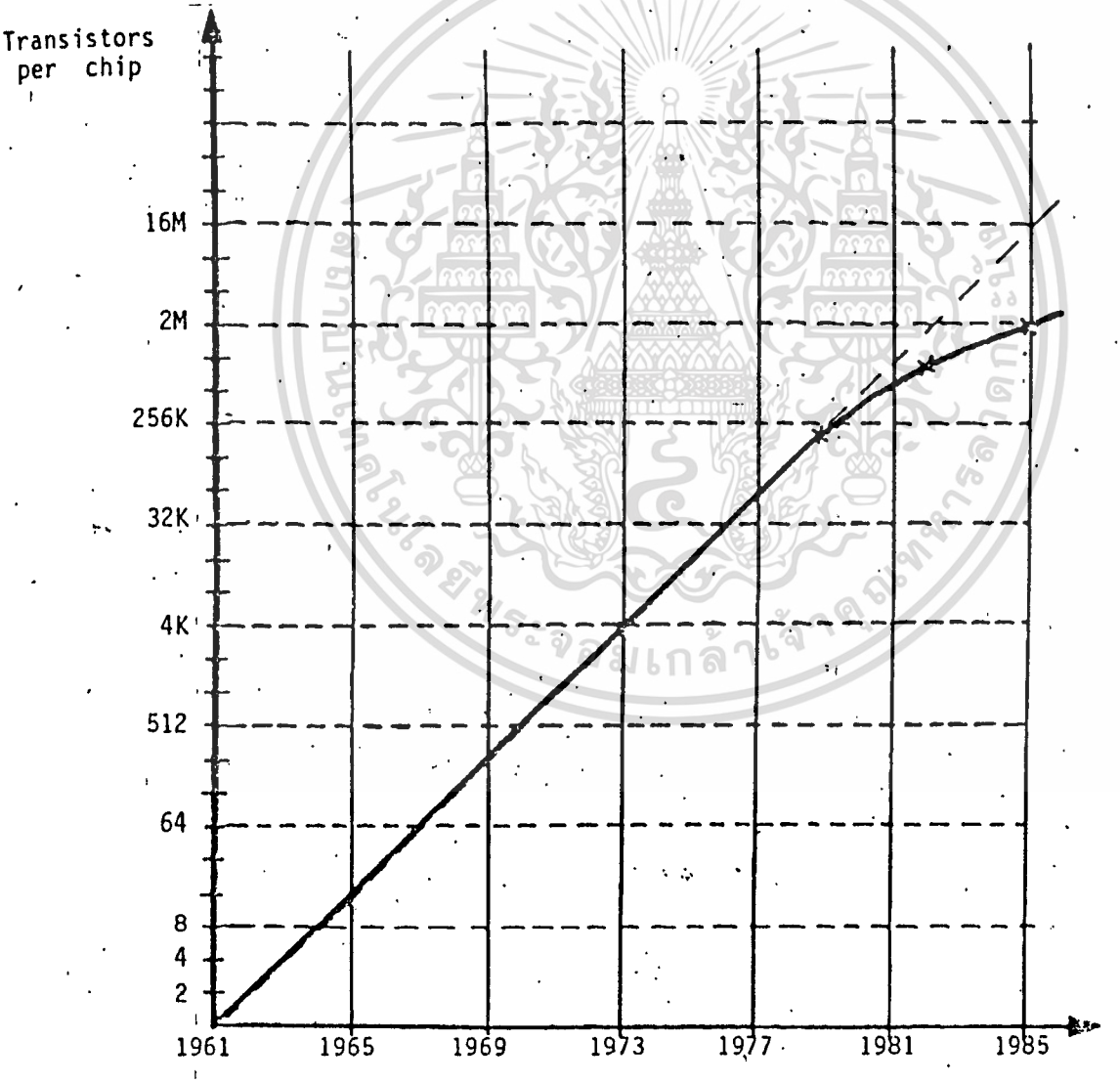
1.2 ยุคของวงจรรวม (ไอซี)

ตั้งแต่ไอซีตัวแรกได้รับการประดิษฐ์ขึ้นมาใช้งาน และถูกพัฒนามาจนกระทั่งถึงปัจจุบันเราสามารถที่จะแบ่งไอซีออกเป็นช่วงๆ ได้ 4 ช่วง โดยที่บนชิพหนึ่งๆ มีจำนวนทรานซิสเตอร์ตั้งแต่ 2 ตัว จนกระทั่งถึง 500,000 ตัว ภายในช่วงเวลาของการพัฒนาราว 20 ปี ซึ่งนับว่าเป็นอัตราการเพิ่มที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รวดเร็วมาก และอัตราการเพิ่มดังกล่าวนี้ นาย Gordon Moore แห่งบริษัท Intel ได้ทำนายไว้ว่าความหนาแน่นของอุปกรณ์บนวงจรรวมจะเพิ่มเป็น 4 เท่า ทุกๆ 3 หรือ 4 ปีดังแสดงในรูปที่ 1.1 หรืออาจแสดงให้เห็นได้ง่ายเข้าดังในรูปที่ 1.2

ทรานซิสเตอร์ตัวแรกซึ่งทำมาจากสารกึ่งตัวนำ นับเป็นต้นกำเนิดของศักราชอุปกรณ์สารกึ่งตัวนำ ซึ่งเริ่มจากธาตุเยอรมันเนียม และต่อมาไม่นานนักซิลิกอนก็เข้ามาแทนที่เยอรมันเนียม ซึ่งช่วงนี้เองทำให้เกิดเทคโนโลยีของไอซีขึ้นได้ โดยที่ชิ้นส่วนอิเลคทรอนิคส์ต่างๆ เช่น ตัวความต้านทาน ตัวเก็บประจุไฟฟ้า, ไดโอด และทรานซิสเตอร์จำนวนมากมายจะถูกสร้างขึ้นบนชั้นของผลึกซิลิกอนชิ้นเล็กๆ และต่อร่วมกันบนแผ่นผลึกเป็นวงจรอิเลคทรอนิคส์ ซึ่งเราเรียกชิ้นสารนี้ว่า ชิพ (chip) หรือ



รูปที่ 1.1 Moore's First Law
แสดงความหนาแน่นของอุปกรณ์ในปีต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

YEAR	1947	1950	1961	1966	1971	1980	1985	1990
TECHNOLOGY	Invention of the Transistor	Discrete Components	SSI	MSI	LSI	VLSI	ULSI*	GSI†
Approximate number of transistors per chip in commercial products	1	1	10	100 - 1000	1000 - 20,000	20,000 - 500,000	>500,000	>1,000,000
Typical Products	-	Junction Transistor and Diode	Planar devices Logic gates Flip-flops	Counters Multi-plexers Adders	8 bit microproc. ROM RAM	16 and 32 bit micro-proc. soph-istaced peripherals	Special processors Real time image processing	?

* Ultra Large Scale Integration.

† Giant Scale Integration.

รูปที่ 1.2 ตารางแสดงวิวัฒนาการของไมโครอิเลคทรอนิคส์

ไอซี (IC) โดยย่อมาจากคำว่า Integrated Circuits หรือที่เราเรียกในภาษาไทยว่า "วงจรรวม" เราอาจจำแนกไอซี หรือวงจรรวมออกเป็นกลุ่มตามขนาดความจุของจำนวนชิ้นส่วนที่รวมอยู่ในชิพได้ดังนี้คือ

1. วงจรรวมขนาดเล็ก (Small Scale Integrations) หรือเขียนย่อๆ ว่า SSI ได้แก่ ไอซีที่มีจำนวนทรานซิสเตอร์ประมาณไม่เกิน 100 ตัวเช่น พวกไอซีประเภทเกทต่างๆ

2. วงจรรวมขนาดกลาง (Medium Scale Integrations)หรือเขียนย่อๆว่า MSI ได้แก่ไอซีที่มีจำนวนทรานซิสเตอร์ประมาณ 100 - 1,000 ตัว เช่น พวกไอซีเคาน์เตอร์,มัลติเพลกเซอร์ และแอดเดอร์ เป็นต้น

3. วงจรรวมขนาดใหญ่ (Large Scale Integrations) หรือเขียนย่อๆว่า LSI- ได้แก่ ไอซีที่มีจำนวนทรานซิสเตอร์ประมาณ 1,000 - 20,000 ตัว เช่น พวกไมโครโปรเซสเซอร์ขนาด 8 บิท, รอม (ROM) และแรม (RAM)

4. วงจรรวมขนาดใหญ่มาก (Very Large Scale Integrations)หรือเขียนย่อๆ ว่า VLSI ได้แก่ ไอซีที่มีจำนวนทรานซิสเตอร์ประมาณ 20,000 - 50,000 ตัว เช่น พวกไมโครโปรเซสเซอร์ขนาด 16 บิท และ 32 บิท เป็นต้น วงจรรวมแบบนี้นิยมเรียกว่าวีแอลเอสไอชิพ (VLSI chip)

นอกจากนี้ยังมีการคาดการณ์ว่า ในอีกไม่กี่ปีข้างหน้านี้ตัวโปรเซสเซอร์ชนิดพิเศษ จะประกอบด้วยทรานซิสเตอร์มากกว่า 500,000 และเราอาจเรียกไอซีนี้ว่าไอซีขนาดใหญ่ยิ่ง (Ultra Large Scale Integrations) หรือเขียนย่อๆ ว่า ULSI และสำหรับไอซี ที่มีจำนวนทรานซิสเตอร์มากกว่า 1 ล้านตัวขึ้นไปอาจเรียกว่าไอซีขนาดยักษ์ (Giant Scale Integrations) หรือเขียนย่อๆ ว่า GSI

1.3 เทคโนโลยีของการสร้างวงจรรวม

สำหรับเทคโนโลยีการสร้างวงจรรวมอาจแบ่งได้ เป็น 2 แบบ คือ

1. เทคโนโลยีของ MOS (MOS Technology)
2. เทคโนโลยีของ Bipolar (Bipolar Technology)

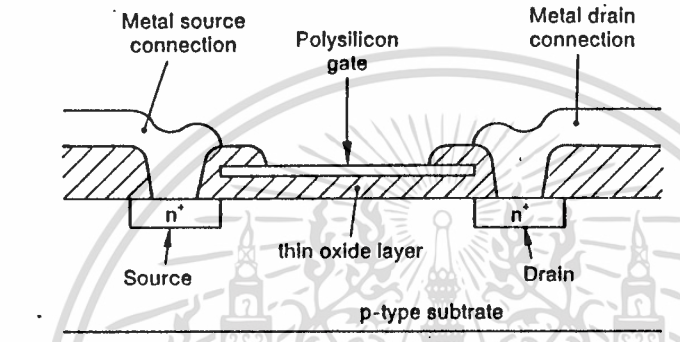
เทคโนโลยีของ MOS ได้แก่ เทคโนโลยีซึ่งใช้สำหรับกระบวนการสร้างชิ้นส่วนประเภทมอสซึ่งหมายถึงทรานซิสเตอร์แบบ MOS หรือ MOS FET นั่นเอง

ส่วนเทคโนโลยีของ Bipolar ได้แก่เทคโนโลยีซึ่งใช้สำหรับกระบวนการสร้างชิ้นส่วนประ

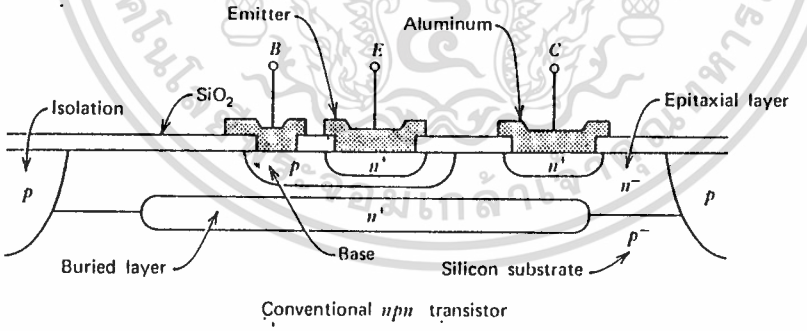
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เภทไบโพลาร์ ซึ่งหมายถึงไบโพลาร์ทรานซิสเตอร์ นั่นเอง

ไอซีได้รับการพัฒนาทั้งเทคโนโลยีของมอส และของไบโพลาร์ซึ่งต่างก็มีข้อดีและข้อเสียที่ต่างกันไป เช่น เทคโนโลยีของไบโพลาร์ จะทำให้ได้วงจรรวมที่มีความเร็วสูง แต่มีขนาดใหญ่ ส่วนเทคโนโลยีของมอส เหมาะสำหรับการสร้างวงจรรวมที่มีจำนวนทรานซิสเตอร์มากๆ เช่น วงจรรวมชนิด LSI และ VLSI อย่างไรก็ดี สำหรับวงจรรวมชนิด nMOS ก็สามารถให้อัตราของการทำงานที่มีความเร็วสูงเป็นที่น่าพอใจ ดังนั้นสำหรับวงจรรวมขนาดใหญ่ (LSI) และขนาดใหญ่มาก (VLSI) เทคโนโลยีของ MOS จึงมีความเหมาะสมมากที่สุด



รูปที่ 1.3 โครงสร้างมอสทรานซิสเตอร์



รูปที่ 1.4 โครงสร้างของไบโพลาร์ทรานซิสเตอร์

1.4 เทคโนโลยีของ MOS VLSI

เทคโนโลยีของ VLSI หมายถึงเทคโนโลยีที่ใช้สำหรับกระบวนการออกแบบ และสร้างวงจรรวมขนาดใหญ่มาก หรือ VLSI ซึ่งก็คือเทคโนโลยีของ MOS นั่นเอง ชิ้นส่วนอิเลคทรอนิคส์หลักที่อยู่ในชิพของวงจรรวมแบบนี้ ได้แก่ทรานซิสเตอร์แบบ MOS ซึ่งอาจจะเป็นทรานซิสเตอร์แบบ MOS ชนิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอ็นแชนแนล, พีแชนแนลหรือมีทั้ง 2 ชนิดรวมกันก็ได้ ดังนั้นเราจึงอาจแบ่งเทคโนโลยีของ MOS VLSI ออกได้เป็น 3 แบบ คือ

1. เทคโนโลยีแบบ nMOS

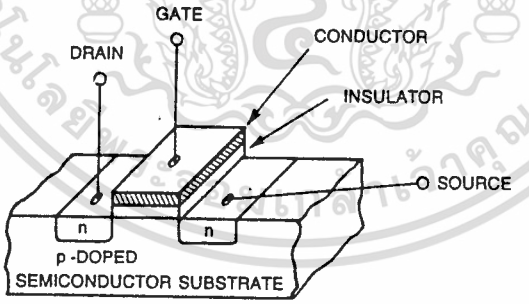
หมายถึงเทคโนโลยีที่ใช้ทรานซิสเตอร์แบบ MOS ชนิดเอ็นแชนแนล (n-ch.MOS FET) ดังแสดงในรูป 1.5 เป็นชิ้นส่วนหลักสำหรับกระบวนการออกแบบและสร้างวงจรรวม เทคโนโลยีนี้มีข้อดี ตรงที่สามารถสร้างวงจรรวมที่มีความเร็วในการทำงานสูง

2. เทคโนโลยีแบบ pMOS

หมายถึงเทคโนโลยีที่ใช้ทรานซิสเตอร์แบบ MOS ชนิดพีแชนแนล (p-ch.MOS FET) ดังแสดงในรูป 1.6 เป็นชิ้นส่วนหลักสำหรับกระบวนการออกแบบ และสร้างวงจรรวม เทคโนโลยีแบบนี้มีข้อดีตรงที่สามารถสร้างได้ง่าย

3. เทคโนโลยีแบบ CMOS

CMOS ย่อมาจาก Complementary MOS หมายถึงเทคโนโลยีที่ใช้ทรานซิสเตอร์แบบ MOS ชนิด Complementary ดังแสดงในรูป 1.7 (ซึ่งมีทั้งชนิดเอ็นและพีแชนแนลต่อร่วมกัน) เป็นชิ้นส่วนหลักสำหรับกระบวนการออกแบบ และสร้างวงจรรวม เทคโนโลยีแบบนี้มีข้อดี ก็คือทำให้ได้วงจรรวมที่กินกำลังไฟฟ้าน้อยมาก ทำให้ประหยัดพลังงาน ซึ่งจะกล่าวรายละเอียดต่อไปในบทที่ 3 การออกแบบวงจร CMOS เบื้องต้น

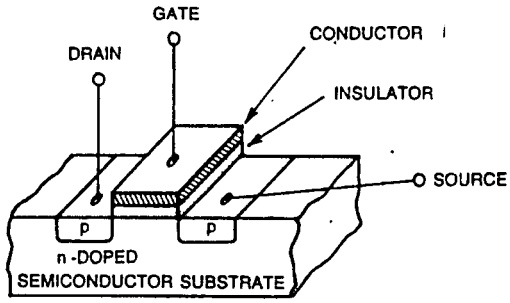


รูปที่ 1.5 แสดงโครงสร้างของ nMOS ทรานซิสเตอร์

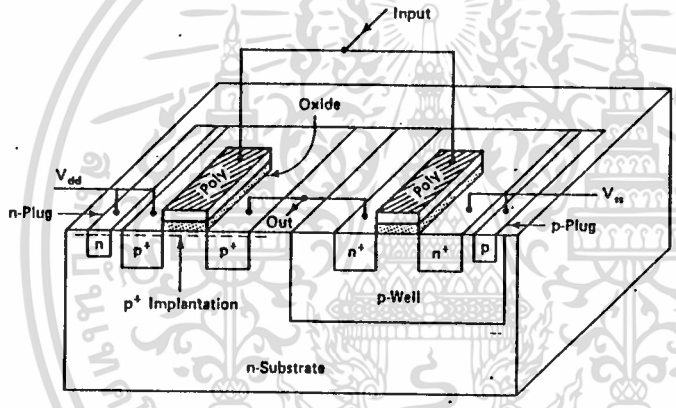
1.5 เทคโนโลยีของ nMOS VLSI

ถึงแม้ว่าเทคโนโลยีของ MOS จะจัดแบ่งออกเป็นแบบต่างๆ 3 แบบคือ เทคโนโลยีแบบ nMOS แบบ pMOS และแบบ CMOS ซึ่งแต่ละแบบก็มีคุณสมบัติพิเศษเฉพาะแบบ อย่างไรก็ดีในตอนนี้จะขอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.6 แสดงโครงสร้างของ pMOS ทรานซิสเตอร์



รูปที่ 1.7 แสดงโครงสร้างของ CMOS ทรานซิสเตอร์

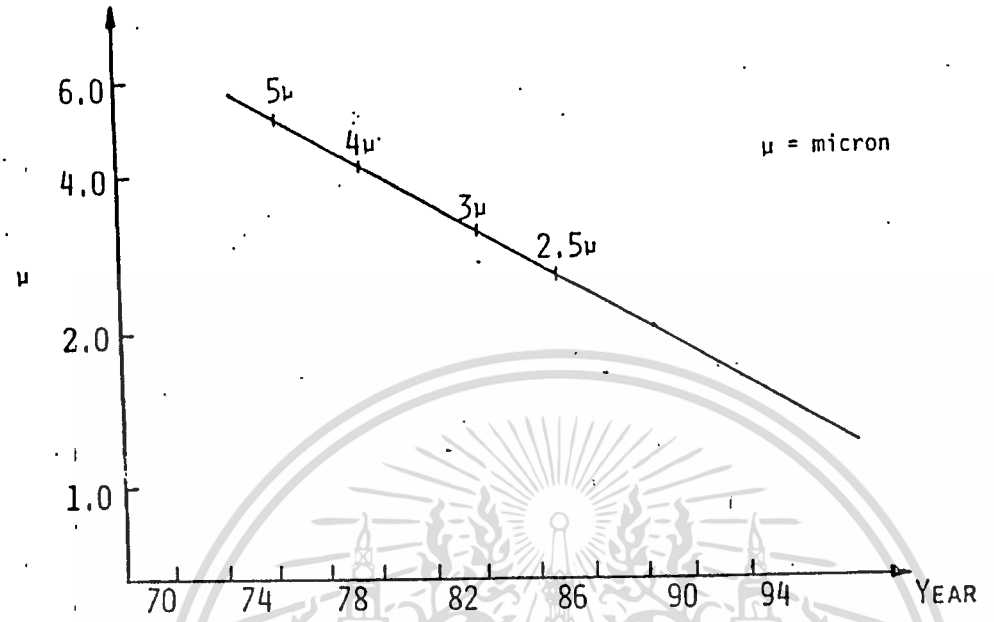
กล่าวถึงเฉพาะเทคโนโลยีแบบ nMOS อย่างกว้างๆ เป็นอันดับแรก ทั้งนี้ก็เนื่องจากเหตุผลต่างๆ หลายประการ คือ

1. เทคนิคการออกแบบไอซีโดยใช้เทคโนโลยีแบบ nMOS เป็นเทคนิคที่ง่าย สำหรับผู้เริ่มต้นศึกษา และเป็นเทคนิคพื้นฐานที่จะนำไปสู่เทคนิคที่มีความสลับซับซ้อนมากขึ้น เช่น เทคโนโลยีของ CMOS เป็นลำดับต่อไป

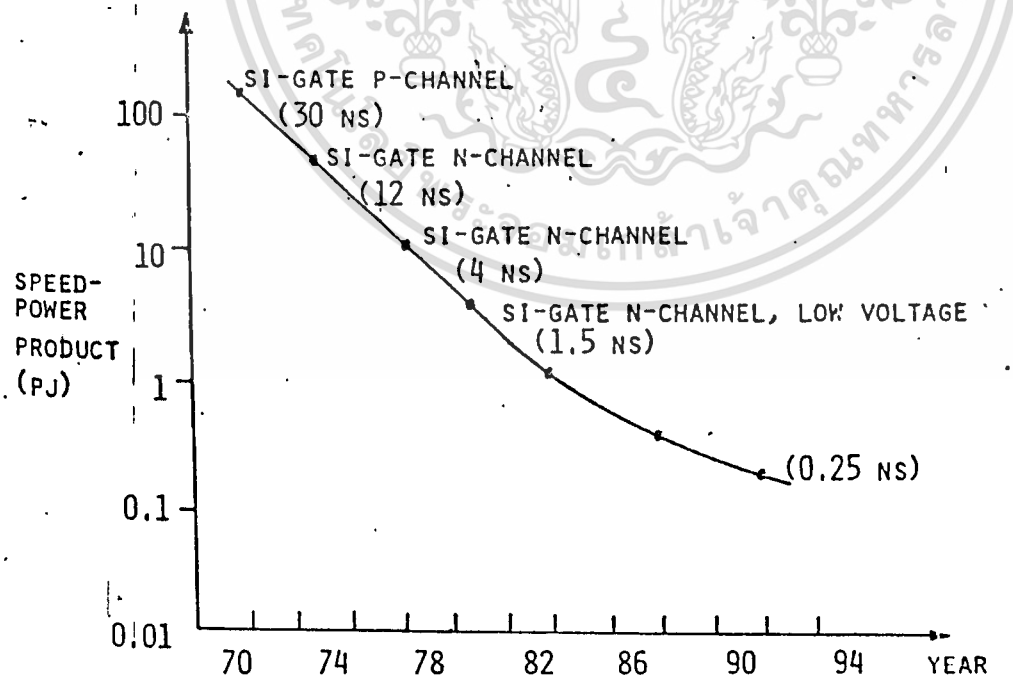
2. เทคโนโลยีแบบ nMOS จัดได้ว่าเป็นเทคโนโลยีมาตรฐานแบบหนึ่งสำหรับการสร้างวงจรรวม

3. เทคโนโลยีแบบ nMOS สามารถสร้างวงจรรวม ที่มีคุณภาพทั้งด้านความเร็วของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.8 แสดงถึงขนาดของทรานซิสเตอร์ในปีต่างๆ



รูปที่ 1.9 แสดงถึงผลคูณของความเร็วและพลังงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงาน และการเพิ่มความหนาแน่นของชิ้นส่วนที่บรรจุในชิพ จึงเหมาะกับงานของวงจรรวมขนาดใหญ่มาก (VLSI)

เทคโนโลยีของ nMOS VLSI จึงเป็นเทคโนโลยีที่มุ่งหวังจะให้ผู้ออกแบบวงจร สามารถออกแบบวงจรได้โดยง่าย และคล่องตัว สามารถออกแบบชิพของวงจรรวมขนาดใหญ่มากหรือ VLSI ตามที่ต้องการได้ด้วยตนเอง ทั้งยังสามารถที่จะลดขนาดของวงจรลงได้เป็นอย่างมาก โดยที่ขนาดชิ้นส่วนหรือตัวทรานซิสเตอร์ในชิพมีขนาดเล็กลงเรื่อยๆ ทำให้จำนวนชิ้นส่วนภายในชิพมีมากขึ้น ดังแสดงในรูปที่ 1.8 ซึ่งแสดงถึงขนาดของทรานซิสเตอร์ ที่ได้รับการพัฒนาจนมีขนาดลดลงในปีต่างๆ ส่วนรูปที่ 1.9 แสดงถึงผลคูณของความเร็วและพลังงานที่ได้รับการพัฒนาในแต่ละปี

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
การทำงานและคุณสมบัติของทรานซิสเตอร์แบบ MOS

2.1 ทรานซิสเตอร์แบบ MOS พื้นฐาน

ทรานซิสเตอร์แบบ MOS สามารถจัดแบ่งตามชนิดของกระแสที่ไหลในทรานซิสเตอร์ได้เป็น 2 ชนิด คือ

1. ทรานซิสเตอร์แบบ MOS ชนิดเอ็นแชนแนล (n-ch MOS FET)

มักนิยมเขียนย่อๆว่า nMOS FET หรือ nMOS ทรานซิสเตอร์มีลักษณะโครงสร้างดังแสดงในรูปที่ 2.1 โดยที่ส่วนซอร์ส (source) และ เดรน (drain) เป็นสารกึ่งตัวนำชนิดเอ็น (n-type) ซึ่งถูกสร้างขึ้นบนฐานของ (substrate) สารกึ่งตัวนำชนิดพี (p-type) ระหว่างส่วนซอร์สและเดรนจะมีโครงสร้างของ MOS (ย่อมาจาก Metal Oxide Semiconductor) กั้นอยู่ซึ่งโดยทั่วไป ชั้นโลหะอาจเป็นอลูมิเนียมซึ่งอยู่บนชั้นของซิลิกอนไดออกไซด์ จะทำหน้าที่เป็นส่วนเกท (gate) หรือบางครั้งส่วนเกทอาจเป็น ชั้นผลึกหลายรูป (poly crystal) ของซิลิกอนก็ได้ โดยเฉพาะโครงสร้างของ VLSI มักจะเป็นแบบที่มีเกทเป็นชั้นโพลีซิลิกอน กระแสที่ไหลในทรานซิสเตอร์แบบนี้ เป็นกระแสของอิเลคตรอนอิสระ ซึ่งเป็นประจุไฟฟ้าลบ

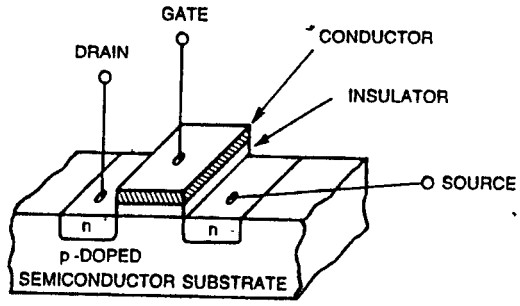
2. ทรานซิสเตอร์แบบ MOS ชนิดพีแชนแนล (p-ch MOS FET)

มักนิยมเขียนย่อๆว่า pMOS FET หรือ pMOS ทรานซิสเตอร์มีลักษณะโครงสร้างดังแสดงในรูปที่ 2.2 โดยที่ส่วนของซอร์สและเดรนเป็นสารกึ่งตัวนำชนิดพี (p-type) ซึ่งถูกสร้างขึ้นบนฐานรอง (substrate) ของสารกึ่งตัวนำชนิดเอ็น (n-type) และมีโครงสร้างของ MOS เป็นส่วนเกทอยู่ระหว่างซอร์สกับเดรน กระแสที่ไหลในทรานซิสเตอร์แบบนี้เป็นกระแสของโฮลซึ่งเป็นประจุไฟฟ้าบวก ส่วนสัญลักษณ์ที่ใช้แสดงทรานซิสเตอร์แบบ MOS ชนิดเอ็นแชนแนลและพีแชนแนลสามารถเขียนได้หลายลักษณะดังแสดงในรูปที่ 2.3

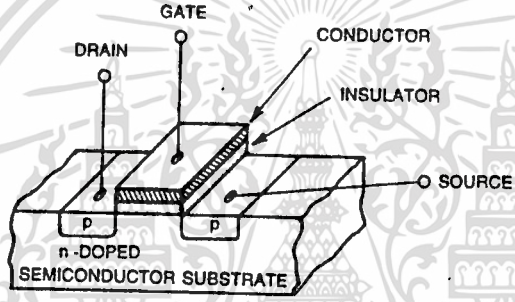
2.2 มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด

เราสามารถจัดแบ่งทรานซิสเตอร์แบบ MOS ตามลักษณะการทำงานได้ 2 แบบคือแบบเอ็นฮานซ์เมนท์โหมดและแบบดีพลีชั่นโหมด ในตอนนี้จะได้กล่าวถึงทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด

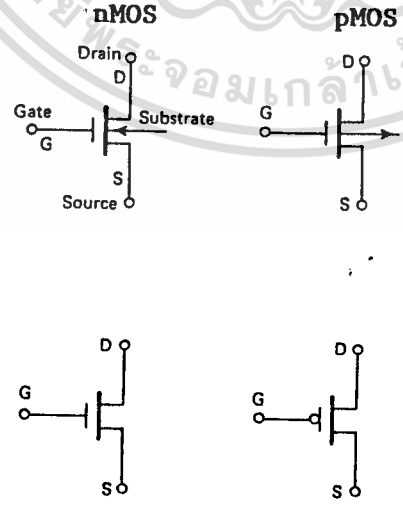
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดง nMOS ทรานซิสเตอร์

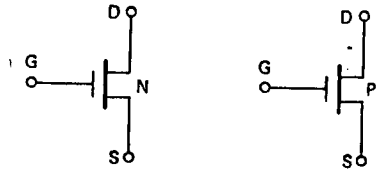


รูปที่ 2.2 แสดง pMOS ทรานซิสเตอร์

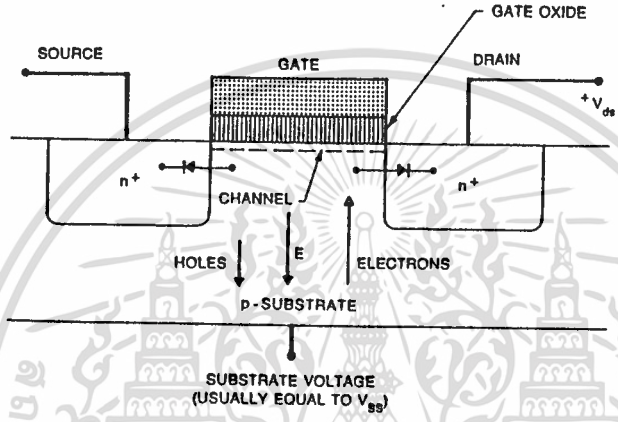


รูปที่ 2.3 แสดงสัญลักษณ์ของ MOS ทรานซิสเตอร์ ทั้ง n และ p แชนแนล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 (ต่อ) แสดงสัญลักษณ์ของ MOS ทรานซิสเตอร์
ทั้ง n และ p แชนแนล



รูปที่ 2.4 แสดงทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด

ทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด (Enhancement mode Transistor) เป็นทรานซิสเตอร์แบบเอ็นแชนแนล มีลักษณะโครงสร้าง ดังแสดงในรูปที่ 2.4 กล่าวคือ ส่วนซอร์สและเดรนจะถูกสร้างขึ้นโดยการแพร่อะตอมสารเจือชนิดเอ็น (n-type) ซึ่งมีความหนาแน่นสูงเข้าไป ในแผ่นผลึกฐานรองของสารกึ่งตัวนำชนิดพี (p-type) รอบๆ ส่วนของซอร์สและเดรน จะมีลักษณะเป็นรอยต่อพีเอ็น (p-n junction) ซึ่งในย่านดังกล่าวนี้เรียกว่าย่านปลอดพาหะ (depletion region) ส่วนเกทประกอบด้วยชั้นของ Polysilicon ซึ่งซ้อนอยู่เหนือชั้นออกไซด์ โดยมีโลหะอลูมิเนียมเป็นขั้วต่อไฟฟ้าของส่วนเกทจาก Polysilicon และเป็นขั้วไฟฟ้าของทั้งซอร์สและเดรนด้วย

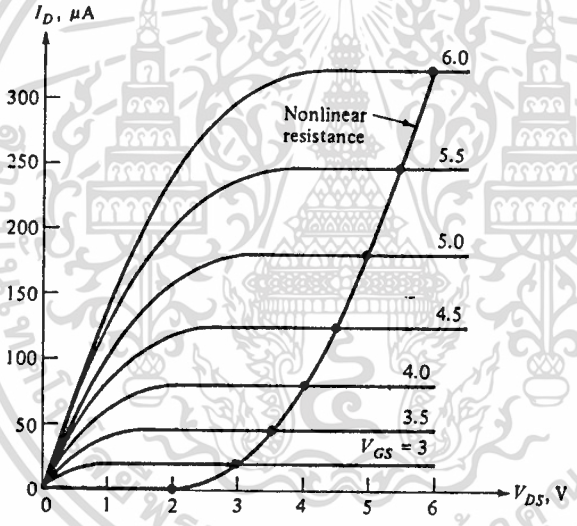
จากโครงสร้างดังกล่าว ส่วนซอร์สและเดรนจะถูกแยกออกจากกันด้วยไดโอดสองตัวดังแสดงในรูป 2.4 และในขณะที่ไม่มีแรงดันไบอัสระหว่างเกทและซอร์ส ช่องทางเดินกระแสจะไม่ถูกเหนี่ยวนำให้เกิดขึ้น ทรานซิสเตอร์จะไม่ยอมให้กระแสไหลผ่าน ซึ่งเงื่อนไขนี้ก็คือ

$$V_{GS} = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ V_{GS} = แรงดันระหว่างเกทและซอร์ส

และถ้าเกทถูกป้อนด้วยแรงดันไบอัสบวกที่เหมาะสม จะทำให้มีสนามไฟฟ้าเกิดขึ้นระหว่างเกทและฐานรอง และจะก่อให้เกิดการเหนี่ยวนำประจุลบ (อิเลคตรอน) ขึ้นที่บริเวณผิวสัมผัสระหว่างสารกึ่งตัวนำและฉนวนออกไซด์ ประจุลบดังกล่าวจะสะสมอยู่ในส่วนของสารกึ่งตัวนำ และกระจายจากซอร์สไปถึงเดรน ทำให้บริเวณดังกล่าวมีสภาพเปลี่ยนจากสารกึ่งตัวนำชนิดพี เช่น สารกึ่งตัวนำชนิดเอ็นและทำหน้าที่เป็นช่องทางเดินกระแสระหว่างซอร์สและเดรน ซึ่งเรียกว่า "เอ็นแชนแนล" - กระแสนี้เองเมื่อเกิดขึ้นจะทำให้ทรานซิสเตอร์สามารถนำไฟฟ้าได้ ทรานซิสเตอร์แบบนี้บางครั้งเรียกว่า induced channel MOS FET เนื่องจากแชนแนลเกิดจากการเหนี่ยวนำด้วยสนามไฟฟ้าที่เกท นอกจากนี้ถ้าแรงดันไบอัสระหว่างเกทและซอร์ส V_{GS} มีค่ามากขึ้นก็จะมีการเหนี่ยวนำประจุมากขึ้น มีผลทำให้ขนาดของแชนแนลกว้างขึ้น กระแสก็จะไหลได้มากขึ้น ดังแสดงในรูปที่ 2.5



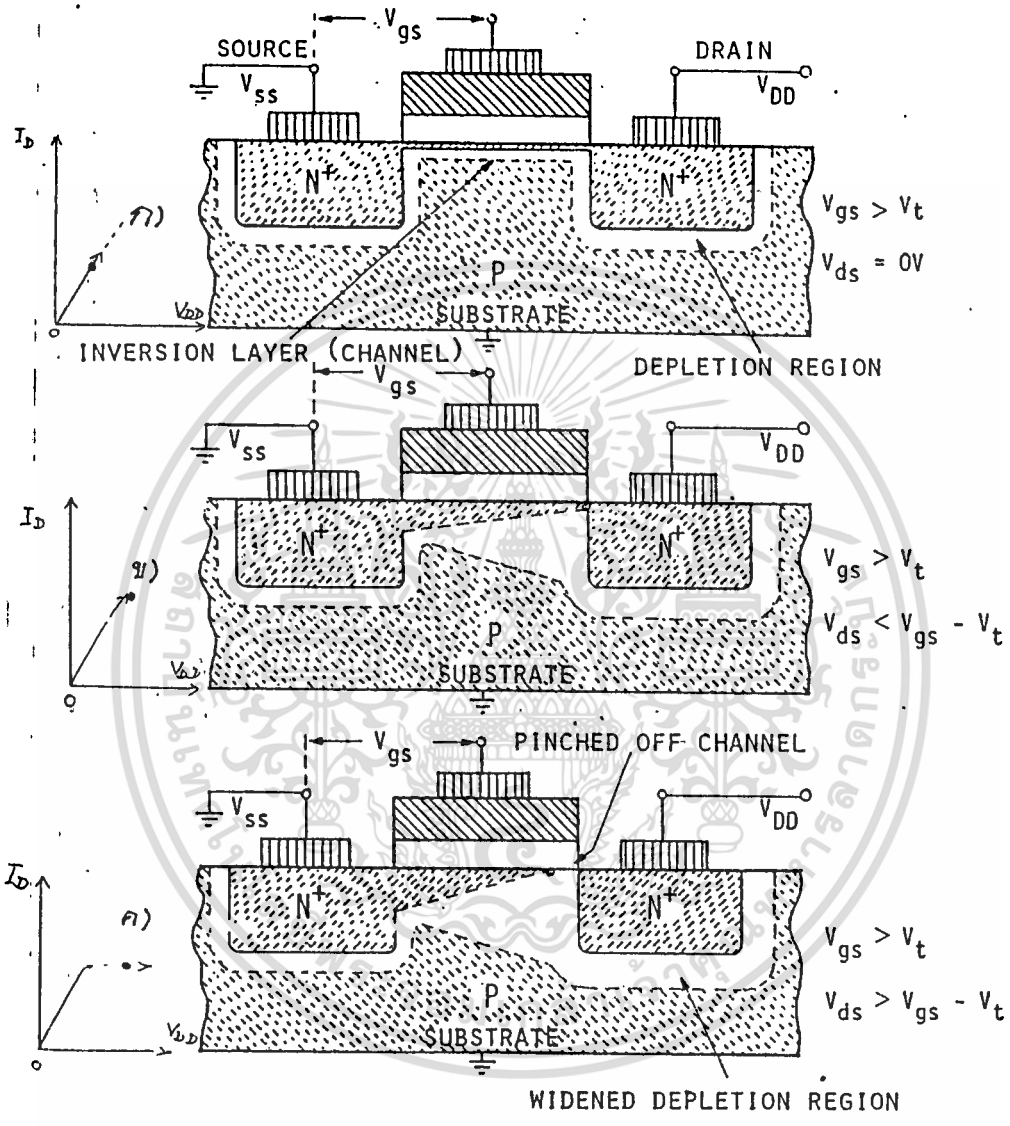
รูปที่ 2.5 แสดงกราฟ $I_D - V_{DS}$

2.3 การทำงานของทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด

เพื่อที่จะทำให้เข้าใจกลไกการทำงานของทรานซิสเตอร์ แบบเอ็นฮานซ์เมนท์โหมดได้ดียิ่งขึ้น เราจะพิจารณาตามรูปที่ 2.6 ก, ข และ ค ซึ่งแสดงการทำงานในเงื่อนไขที่แตกต่างกัน 3 เงื่อนไข อย่างไรก็ดีสิ่งสำคัญที่ต้องจำไว้เสมอก็คือ แชนแนลจะเกิดขึ้นก็ต่อเมื่อจะต้องมีแรงดันไบอัส ระหว่างเกทกับซอร์สที่เหมาะสมค่าหนึ่งเพื่อเหนี่ยวนำให้เกิดแชนแนล แรงดันค่าต่ำสุด ซึ่งจะทำให้เกิดแชนแนลได้ถูกนิยามว่าเป็น "แรงดันขีดเริ่ม" (Threshold voltage) เขียนย่อๆ ว่า V_t การทำงาน

เอกสารนี้เป็นการเผยแพร่เพื่อการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของทรานซิสเตอร์อาจแบ่งได้ดังนี้คือ

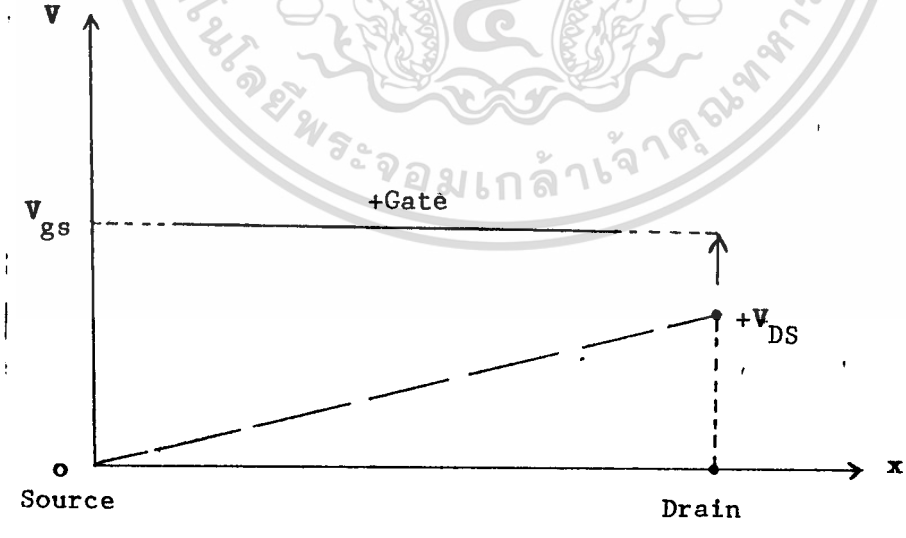


รูปที่ 2.6 (ก-ค) แสดงการทำงานของทรานซิสเตอร์
แบบเอ็นฮานซ์เมนท์โหมดที่ V_{gs} ค่าต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ V_{ds} มีค่าอยู่ในช่วง $0 < V_{ds} < V_{gs} - V_t$ รูปที่ 2.6 (ก) แสดงลักษณะโครงสร้างของทรานซิสเตอร์ขณะที่ $V_{gs} > V_t$ และ $V_{ds} = 0$ V ซึ่งขณะนี้แชนแนลถูกเหนี่ยวนำให้เกิดขึ้นแต่ไม่มีกระแสไฟฟ้าไหลผ่านทรานซิสเตอร์ เนื่องจากแรงดันระหว่างเดรนและซอร์ส V_{ds} มีค่าเป็นศูนย์โวลท์ และเมื่อให้แรงดันไบอัสระหว่างเดรนและซอร์ส V_{ds} มีค่าๆหนึ่งจะทำให้เกิดมีกระแสไหลผ่านแชนแนลได้ ดังนั้นจึงเกิดแรงดันตกคร่อมแชนแนลมีค่าเท่ากับ IR เท่ากับ V_{ds} ดังนั้นจะทำให้แรงดันตกคร่อมระหว่างเกท และแชนแนลมีค่าเปลี่ยนแปลงไปตามตำแหน่งต่างๆ ตลอดแชนแนล และจะพบว่าแรงดันระหว่างเกท และแชนแนลจะมีค่าสูงสุดเท่ากับ V_{gs} ที่ตำแหน่งจุดปลายทางด้านซอร์ส และเนื่องจากแรงดันเกทที่ทำให้เกิดแชนแนลก็คือ $V_g = V_{gs} - V_t$ (เมื่อ $V_{gs} < V_t$ กระแสจะไม่ไหลและไม่มีแชนแนลเกิดขึ้น) เพื่อที่จะทำให้แชนแนลเกิดขึ้นได้เป็นแนวยาวไปจนถึงจุดปลายด้านเดรน (ดูรูปที่ 2.7) แรงดันเกทจะต้องมีค่ามากกว่าแรงดันเดรนซอร์ส (V_{ds}) นั่นคือ $V_g > V_{ds}$ หรือก็คือ $(V_{gs} - V_t) > V_{ds}$ (นั่นก็คือแรงดันที่เกทเมื่อเทียบกับทุกจุดบนแนวแชนแนลจะต้องมีศักย์เป็นบวกจึงจะทำให้เกิดแชนแนล)

ในขณะนี้ทรานซิสเตอร์ทำงานและอยู่ในภาวะไม่อิ่มตัว กระแสเดรน (I_d) จะมีค่าเพิ่มขึ้นตามการเพิ่มของแรงดันเดรนซอร์ส (V_{ds}) ดังแสดงในรูปที่ 2.6 (ก) การทำงานของทรานซิสเตอร์ในย่านนี้เรียกว่า ย่านไม่อิ่มตัว (nonsaturated region) เมื่อแรงดันเดรนซอร์ส มีค่าสูงขึ้นจนกระทั่งมีค่า $V_{ds} = V_{gs} - V_t$ ทรานซิสเตอร์เริ่มเข้าสู่ภาวะอิ่มตัว และลักษณะโครงสร้างของทรานซิสเตอร์ในช่วงนี้แสดงได้ดังในรูปที่ 2.6 (ข)



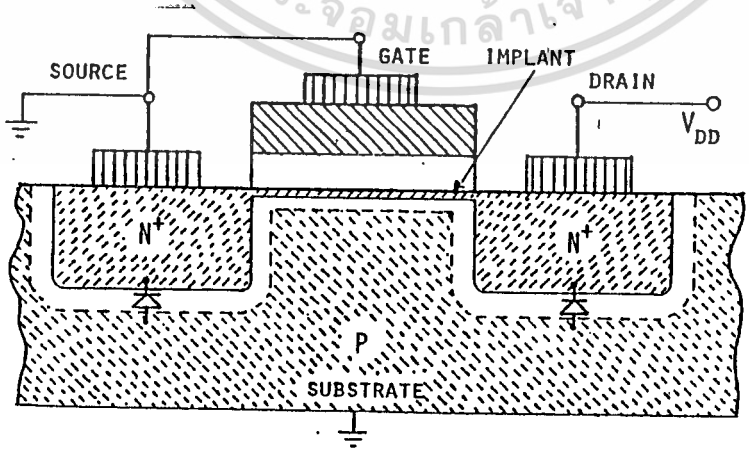
รูปที่ 2.7 แสดงลักษณะการกระจายของศักดาไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อค่าของแรงดันเดรนซอร์สเพิ่มขึ้นไปอีกกระทั่งมีค่า $V_{ds} > V_{gs} - V_t$ ในกรณีนี้แรงดัน (IR) ที่ตกคร่อมแชนแนลที่ปลายด้านเดรนจะมีค่าสูงกว่า $V_{gs} - V_t$ ดังนั้นจะทำให้เกิดภาวะพินช์ออฟ (Pinch off) กล่าวคือแชนแนลซึ่งเป็นช่องทางเดินกระแสจะขาดออก เริ่มจากบริเวณด้านเดรน ทั้งนี้เนื่องจากไม่มีสนามไฟฟ้าซึ่งจะมาเหนี่ยวนำให้มีการสะสมของประจุลบ เพื่อทำหน้าที่เป็นแชนแนล ดังนั้นช่องทางเดินกระแสจึงขาดออกจากกัน ซึ่งเราเรียกว่าภาวะพินช์ออฟดังแสดงในรูปที่ 2.6 (ค) ในกรณีนี้จะมีกระแสแพร่ (diffusion current) จากส่วนซอร์สไปยังเดรน ช่องทางเดินกระแสจะแสดงคุณสมบัติความต้านทานสูง และคล้ายกับเป็นแหล่งจ่ายกระแสคงที่ (constant current source) กระแสเดรนในภาวะนี้จึงมีค่าคงที่ แม้ว่า V_{ds} จะมีค่าเพิ่มขึ้นดังที่แสดงในรูป การทำงานของทรานซิสเตอร์ในย่านนี้ เรียกว่า ย่านอิ่มตัว (saturated region) สำหรับกรณีที่ V_{gs} มีค่าน้อยกว่า V_t กระแสเดรนจะไม่ไหล เนื่องจากไม่มีการเหนี่ยวนำให้เกิดแชนแนลโดยปกติ ทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด ค่า V_t (แรงดันขีดเริ่ม) จะมีค่าราว $V_t = +1$ โวลท์ สำหรับค่า $V_{DD} = 5$ โวลท์

2.4 ทรานซิสเตอร์แบบดีพลีชั่นโหมด

ทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดเอ็นแชนแนล มีลักษณะโครงสร้างดังแสดงในรูปที่ 2.8 โดยที่ส่วนของซอร์สและเดรนจะถูกสร้างขึ้นโดยการแพร่อะตอมสารเจือชนิดเอ็น ซึ่งมีความหนาแน่นสูง เข้าไปในแผ่นผลึกฐานรองของซิลิกอนชนิดพี หลังจากนั้นส่วนของแชนแนลจะถูกสร้างขึ้น ด้วยวิธีกลอิมพลานเตชั่น (implantation) ซึ่งเป็นวิธีการยิงอะตอมสารเจือเข้าไปในเนื้อสารกึ่งตัวนำ ลักษณะและโครงสร้างอื่นๆ ของทรานซิสเตอร์แบบนี้จะเหมือนกับแบบเอ็นฮานซ์เมนท์โหมดทุกประการ

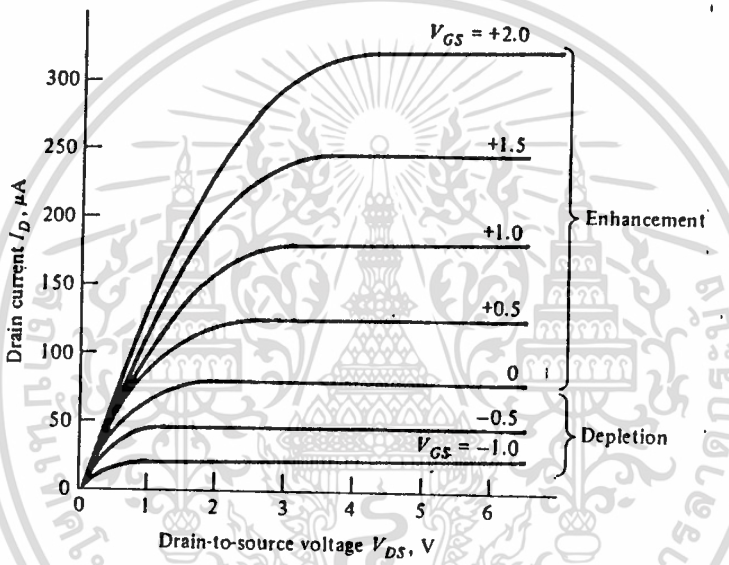


รูปที่ 2.8 แสดงทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดเอ็นแชนแนล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การทำงานของทรานซิสเตอร์แบบดีพลีชั่นโหมด

จากลักษณะโครงสร้างในรูปที่ 2.8 จะเห็นว่าขณะที่แรงดันเกท $V_g = 0$ โวลท์ และเมื่อแรงดันเดรนซอร์ส V_{ds} มีค่าๆหนึ่ง กระแสเดรนก็จะเริ่มไหลนั่นก็คือ แม้ว่าไม่มีแรงดันที่เกท กระแสก็สามารถไหลผ่านแชนแนลได้ เนื่องจากแชนแนลถูกสร้างขึ้นมาแล้ว และในขณะที่แรงดันเกทถูกให้มีศักย์เป็นลบมากขึ้น จะมีผลทำให้เกิดการเหนี่ยวนำประจุไฟฟ้าบวกเข้ามายังบริเวณแชนแนล ทำให้แชนแนลมีขนาดลดลงหรือก็คือ ทางเดินของกระแสจะแคบลง ดังนั้นขนาดของกระแสอิ่มตัวในกรณีนี้จะมีค่าลดลงและในทางตรงกันข้าม ถ้าเกทได้รับแรงดันไบอัสเป็นบวกมากขึ้น สนามไฟฟ้าที่เกิดขึ้นบริเวณ



รูปที่ 2.9 กราฟการทำงานของทรานซิสเตอร์แบบดีพลีชั่นโหมด

โครงสร้างของ MOS จะก่อให้เกิดการเหนี่ยวนำประจุลบเข้ามาสะสมบริเวณแชนแนลมากยิ่งขึ้นดังนั้นขนาดของแชนแนลจึงขยายกว้างขึ้นกว่าเดิม และมีผลทำให้ขนาดของกระแสอิ่มตัว ในกรณีนี้มีค่าเพิ่มมากขึ้น ดังแสดงในรูปที่ 2.9

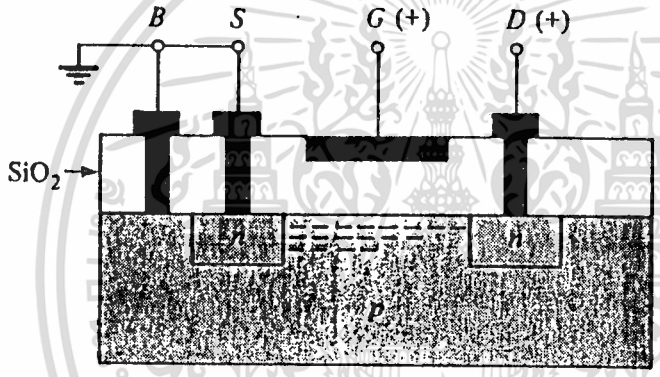
2.6 การวิเคราะห์คุณสมบัติของทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด

เราสามารถวิเคราะห์ คุณสมบัติการทำงานของทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมดได้โดยแบ่งการพิจารณาคุณสมบัติความสัมพันธ์ของกระแส และแรงดันของทรานซิสเตอร์ออกเป็นช่วงๆ ดังนี้ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ช่วง Linear region (Triode region)

จากลักษณะโครงสร้างและการให้ไบอัสทรานซิสเตอร์แบบนี้ จะเห็นว่าทรานซิสเตอร์จะไม่ทำงาน แม้ว่าจะถูกให้ไบอัสด้วยแรงดันเดรนซอร์ส (V_{ds}) ก็ตาม ทรานซิสเตอร์จะทำงานได้ก็ต่อเมื่อมีแรงดันไบอัสที่เกท ซึ่งมีค่ามากพอและทำให้มีการเหนี่ยวนำประจุไฟฟ้าขึ้นจนกระทั่งเกิดเป็นชั้นกลับ (inversion layer) เชื่อมต่อระหว่างซอร์สกับเดรนกลายเป็นแชนแนล ดังในรูปที่ 2.10 นั่นก็คือ ในขณะที่มีแรงดัน V_{ds} ซึ่งในกรณีนี้พิจารณาในย่าน V_{ds} มีค่าต่ำๆ และเกทได้รับแรงดันเกท V_{gs} ที่เหมาะสมจนทำให้เกิดแชนแนล จะมีกระแสเดรน I_{ds} ไหลผ่านแชนแนล ปริมาณของกระแสเดรนนี้จะขึ้นอยู่กับแรงดันเกท V_{gs} และแรงดันเดรนซอร์ส V_{ds} สำหรับกรณีของทรานซิสเตอร์



รูปที่ 2.10 แสดงการทำงานของทรานซิสเตอร์
แบบเอ็นฮานซ์เมนท์โหมด ช่วง Linear region

แบบเอ็นแชนแนล กระแสเดรน I_{ds} ที่เกิดขึ้นได้ ก็เนื่องจากอิเลคตรอนอิสระจากส่วนซอร์สเคลื่อนที่ผ่านแชนแนลไปยังส่วนเดรน และสามารถเขียนแสดงด้วยสมการได้ดังนี้

$$I_{ds} = -I_{sd} = \frac{\text{ประจุที่ถูกเหนี่ยวนำให้เกิดขึ้นในแชนแนล } (Q_c)}{\text{เวลาที่อิเลคตรอนใช้ในการเคลื่อนที่จากซอร์สไปเดรน } (T)} \quad \ldots(2.1)$$

เวลาที่อิเลคตรอนใช้ในการเคลื่อนที่จากซอร์สไปเดรน(T_{sd})เขียนเป็นสมการได้ว่า

$$T_{sd} = \frac{\text{ระยะความยาวของแชนแนลจากซอร์สไปเดรน } (L)}{\text{ความเร็วของอิเลคตรอน } (V)} \quad \ldots(2.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และโดยที่ความเร็วของอิเลคตรอนเกี่ยวข้องกับสนามไฟฟ้าคือ

$$\text{ความเร็ว } V = u_n E_{ds} \qquad \ldots(2.3)$$

โดยที่ u_n คือค่าโมบิลิตี้ที่ผิว (surface mobility) ของอิเลคตรอน

E_{ds} คือสนามไฟฟ้าที่เกิดขึ้นระหว่างซอร์ส-เดรน

และสนามไฟฟ้าระหว่างซอร์ส-เดรน หาได้โดย

$$E_{ds} = \frac{V_{ds}}{L} \qquad \ldots(2.4)$$

โดยที่ V_{ds} คือแรงดันระหว่างเดรนซอร์ส

L คือระยะห่างระหว่างซอร์ส-เดรน

ดังนั้น ความเร็ว $V_d = \frac{u_n V_{ds}}{L} \qquad \ldots(2.5)$

แทนสมการ 2.5 ในสมการ 2.2 จะได้ว่า

$$T_{sd} = \frac{L^2}{u_n V_{ds}} \qquad \ldots(2.6)$$

ค่า u_n ของซิลิกอน = 600 cm^2/v.sec.

สำหรับประจุไฟฟ้าที่ถูกเหนี่ยวนำให้เกิดขึ้นที่บริเวณแชนแนล จะเกิดขึ้นได้เนื่องจากผลของความต่างศักย์ระหว่างเกทและสารกึ่งตัวนำ (V_{gs}) ซึ่งจะเห็นว่าแรงดันตลอดแนวแชนแนล จะเปลี่ยนแปลงไปอย่างเป็นเชิงเส้น (Linear) กับระยะทางตั้งแต่ซอร์สถึงเดรน ค่าของศักดาไฟฟ้าที่ตำแหน่งต่างๆ หาได้จากผลคูณของกระแสและความต้านทาน (IR) ตลอดแนวแชนแนลนั้น และถ้าพิจารณาว่า ตัวทรานซิสเตอร์ยังไม่อยู่ในภาวะอิ่มตัว ดังนั้นค่าแรงดันเฉลี่ยสมมุติ ให้มีค่าประมาณไม่เกิน $V_d/_2$

ตามที่ Effective gate voltage : $V_g = V_{gs} - V_t$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ V_t คือแรงดันขีดเริ่ม (Threshold voltage)
ซึ่งหมายถึงแรงดันต่ำสุดที่จะทำให้เกิดแชนแนล ดังนั้น

ความหนาแน่นของประจุไฟฟ้า = $\varepsilon_g \varepsilon_{ins} \varepsilon_o$

หรือ ประจุไฟฟ้าที่ถูกเหนี่ยวนำบริเวณแชนแนล $Q_c = \varepsilon_g \varepsilon_{ins} \varepsilon_o W.L$

โดยที่ ε_g คือสนามไฟฟ้าเฉลี่ยระหว่างเกท-แชนแนล
ε_{ins} คือค่า permittivity ของฉนวนระหว่างเกท-แชนแนล
ε_o คือค่า permittivity ของสุญญากาศ

($\varepsilon_o = 8.85 \times 10^{-14}$ F cm^{-1} , $\varepsilon_{ins} = 4.0$ สำหรับกรณี S_iO_2)

$$\varepsilon_g = \frac{(V_{gs} - V_t) - \frac{V_{ds}}{2}}{t_{ox}}$$

ซึ่ง t_{ox} คือความหนาของชั้นฉนวนออกไซด์

ดังนั้น
$$Q_c = \frac{W.L\varepsilon_{ins}\varepsilon_o}{t_{ox}}\left((V_{gs} - V_t) - \frac{V_{ds}}{2}\right) \qquad \ldots(2.7)$$

แทนค่าสมการ (2.6) , (2.7) ในสมการ (2.1) จะได้ว่า

$$I_{ds} = \frac{Q_c}{C_{sd}}$$

$$I_{ds} = \frac{\varepsilon_{ins}\varepsilon_o u_n W}{t_{ox} L}\left((V_{gs} - V_t) - \frac{V_{ds}}{2}\right)V_{ds}$$

หรือ
$$= \frac{KW}{L}\left((V_{gs} - V_t)V_{ds} - \frac{V_{ds}^2}{2}\right) \qquad \ldots(2.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และในสภาวะ non-saturated หรือ resistive region $V_{ds} < V_{gs} - V_t$

และ $$K = \frac{\varepsilon_{ins}\varepsilon_o u_n}{t_{ox}} \quad ...(2.9)$$

และอาจพิจารณาว่า ค่าความจุไฟฟ้าของตัวเก็บประจุไฟฟ้าระหว่างเกทและแชนแนลเขียนได้โดย

$$C_g = \frac{\varepsilon_{ins}\varepsilon_o W.L}{t_{ox}} \quad ...(2.10)$$

ดังนั้น $$K = \frac{C_g u_n}{W.L} \quad ...(2.11)$$

และค่า I_{ds} ในสมการ (2.8) เขียนใหม่ได้ว่า

$$I_{ds} = \frac{C_g u_n}{L^2}\{(V_{gs} - V_t)V_{ds} - \frac{V_{ds}^2}{2}\} \quad ...(2.12)$$

ซึ่งสมการนี้แสดงการเปลี่ยนแปลงของกระแสเดรน I_{ds} ในขณะที่ V_{ds} มีค่าต่ำและอยู่ในช่วง $V_{ds} < V_{gs} - V_t$ ซึ่งเป็นย่านไม่อิ่มตัว ในภาวะนี้เรียกว่าภาวะไม่อิ่มตัว (non saturated) หรือช่วงความต้านทาน (resistive region) หรือช่วงไตรโอด (triode region)

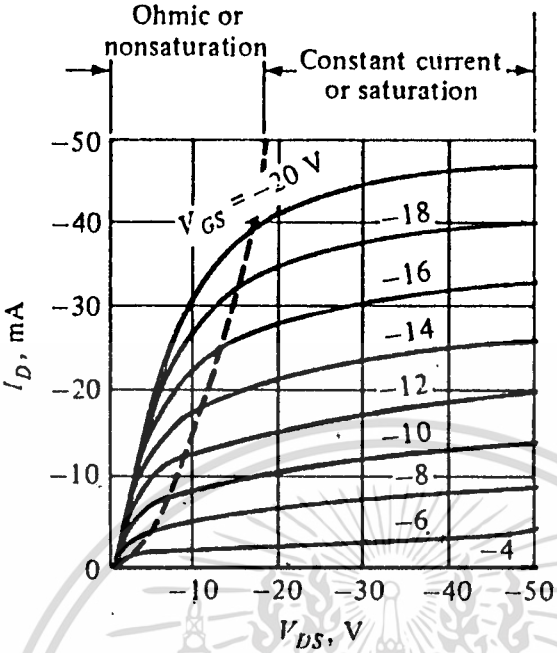
ความสัมพันธ์ของกระแสเดรน I_{ds} กับแรงดันเดรนซอร์ส (V_{ds}) ตามสมการ(2.12) เขียนเป็นกราฟได้ดังในรูปที่ 2.11

2. การทำงานในช่วงอิ่มตัว (Saturated region)

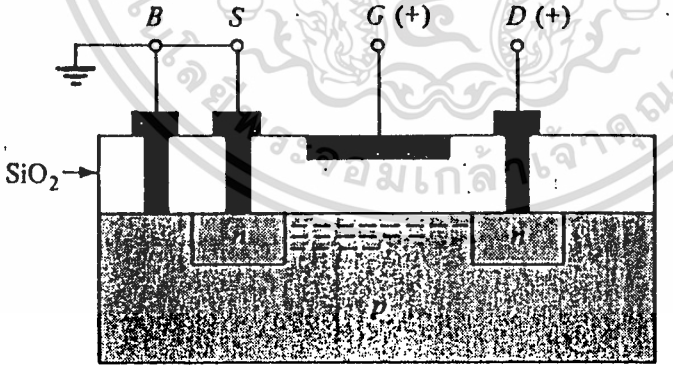
สภาวะอิ่มตัวของทรานซิสเตอร์แบบนี้ จะเกิดขึ้นเมื่อแรงดัน V_{ds} มีค่าสูงขึ้นและมีค่า $V_{ds} = V_{gs} - V_t$ เนื่องจากในขณะนี้แรงดันที่ตกคร่อมแชนแนล IR จะมีค่าเท่ากับแรงดันระหว่างเกทและแชนแนล ณ ที่บริเวณจุดใกล้ๆ กันเดรนดังในรูปที่ 2.12

การทำงานของทรานซิสเตอร์ในย่านดังกล่าวนี้ เรียกว่า "ย่านอิ่มตัว" (Saturated Region) ซึ่งจะทำให้เกิดจุดพินช์ออฟ (Pinch off) และส่วนของแชนแนลจะเริ่มขาดออกที่บริเวณจุด A ซึ่งเรียกว่าจุดพินช์ออฟ ในย่านดังกล่าวนี้กระแสเดรน I_{ds} จะมีค่าคงที่และอิ่มตัว แม้ว่าค่าของแรงดันเดรนซอร์ส V_{ds} จะมีค่าเพิ่มขึ้นก็ตาม I_{ds} จะเปลี่ยนแปลงน้อยมาก และถือว่ามีค่าคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 กราฟแสดง I_{ds} และ V_{ds}



รูปที่ 2.12 รูปการทำงานของทรานซิสเตอร์ในช่วงอิ่มตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ดีเมื่อค่าของแรงดันเดรนซอร์ส V_{ds} เพิ่มขึ้น จุดพินช์ออฟจะเลื่อนจากจุด A ซึ่งปรากฏที่ส่วนเดรนเข้าไปใกล้ด้านซอร์ส และแรงดันเดรนซอร์สที่ทำให้เกิดสภาวะพินช์ออฟขึ้นนี้เรียกว่าแรงดันพินช์ออฟ (Pinch off voltage) หรือเขียนว่า $V_{d(sat)}$ ดังนั้นจากสมการที่ 2.8

$$I_{ds} = \frac{KW}{L}\{(V_{gs} - V_t)V_{ds} - \frac{V_{ds}^2}{2}\}$$

จะได้ว่า

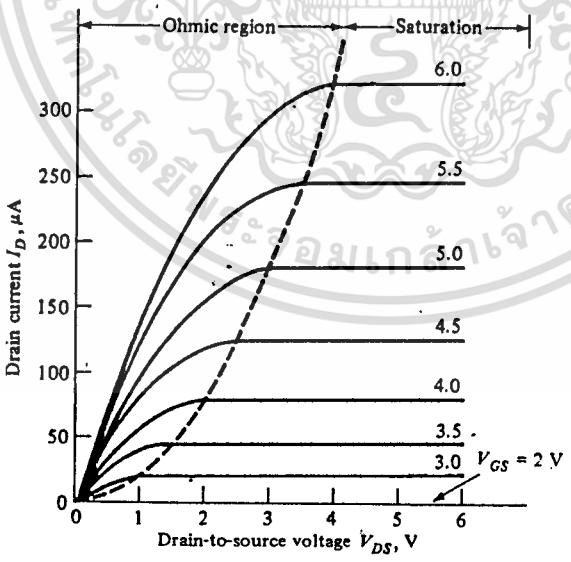
$$I_{ds} = \frac{KW}{L}\frac{(V_{gs} - V_t)^2}{2} \qquad ...(2.13)$$

ในขณะที่ $V_{gs} > V_{gs} - V_t$

หรือ

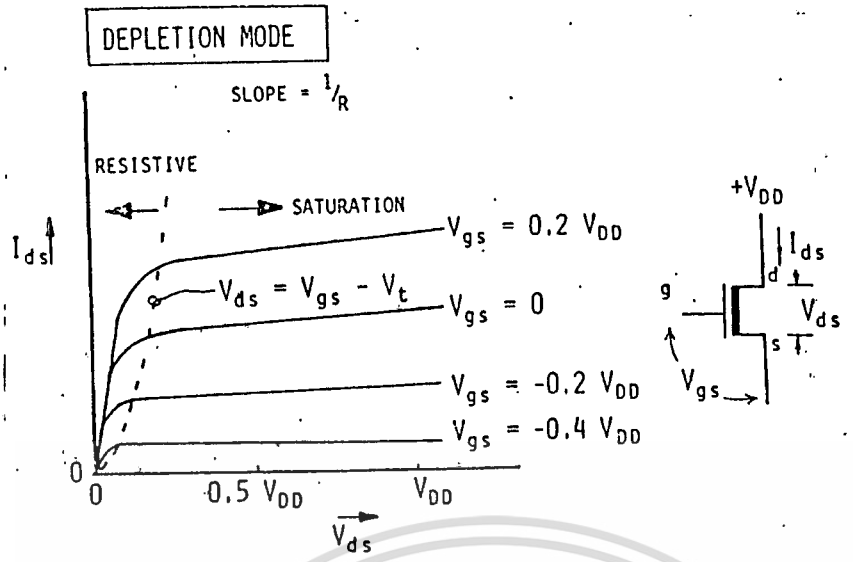
$$I_{ds} = \frac{C_g u_n (V_{gs} - V_t)^2}{2L^2} \qquad ...(2.14)$$

ซึ่งจะเห็นว่า I_{ds} จะมีค่าคงที่ และค่าของกระแส I_{ds} ในขณะนี้แสดงได้ดังในรูปที่ 2.13



รูปที่ 2.13 แสดง I_{ds} ในช่วงอิ่มตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 กราฟแสดงการทำงานของทรานซิสเตอร์ใน DEPLETION MODE

สำหรับในกรณีของทรานซิสเตอร์แบบดีพลีชั่นโหมด ก็สามารถวิเคราะห์ได้เช่นเดียวกัน และสามารถใช้สมการเดียวกันได้ หากแต่การให้ไบอัสจะต้องให้ในทิศทางที่เหมาะสมด้วย ทรานซิสเตอร์จึงจะทำงานดังรูปที่ 2.14 ซึ่งแสดง I_{ds} - V_{ds} ของทรานซิสเตอร์แบบดีพลีชั่นโหมด

2.7 ค่าทรานซ์คอนดัคแตนซ์ของทรานซิสเตอร์

1. พิจารณาในช่วง Linear region (ช่วงไม่อิ่มตัว)

ค่าของทรานซ์คอนดัคแตนซ์ของทรานซิสเตอร์แบบมอสสามารถพิจารณาได้โดย พิจารณาแยกเป็น 2 กรณีคือ ในย่านไม่อิ่มตัวและย่านอิ่มตัวจากสมการของกระแสเดรน I_{ds} ในย่าน Linear region หรือในย่านไม่อิ่มตัวดังแสดงในสมการ 2.12 นั่นคือ

$$I_{ds} = C_{ox}\frac{u_n}{L^2}\{(V_{gs} - V_t)V_{ds} - \frac{V_{ds}^2}{2}\}$$

โดยการนิยามว่า g_{sd} = Source-drain conductance

$$= \left.\frac{dI_{ds}}{dV_{ds}}\right|_{V_{gs}\ :\ \text{คงที่}} \qquad \ldots(2.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเมื่อแทนค่า I_{ds} ลงในสมการ 2.15 จะได้ว่า

$$g_{sd} = \frac{C_g u_n}{L^2}(V_{gs} - V_t - V_{ds}) \qquad ...(2.16)$$

และเมื่อพิจารณาจากกราฟความสัมพันธ์ของ $I_{ds} - V_{ds}$ แล้วจะเห็นว่า

$$g_{sd} = \frac{1}{rd} \qquad ...(2.17)$$

โดยที่ rd คือความต้านทานของแชนแนล ซึ่งเป็นค่าความต้านทานของแชนแนล ในขณะที่ทรานซิสเตอร์กำลังทำงานในช่วง Linear region ที่ V_{ds} มีค่าต่ำๆ จากรูปที่ 2.14 จะเห็นว่ากระแสเดรน I_{ds} เปลี่ยนแปลงตาม V_{ds} ขณะที่ V_{gs} มีค่าคงที่ค่าหนึ่งๆดังนั้นเราสามารถเขียนกราฟความสัมพันธ์ระหว่างกระแสเดรน I_{ds} และ V_{gs} ขณะที่ V_{ds} มีค่าคงที่ค่าหนึ่งๆได้ และจากการนิยามค่าของทรานซ์คอนดัคแตนซ์ ก็คือ

$$g_m = \left.\frac{dI_{ds}}{dV_{gs}}\right|_{V_{ds}\ :\ \text{คงที่}}$$

ซึ่งแสดงถึงการขยายสัญญาณของทรานซิสเตอร์ มีหน่วยเป็น Mho โดยการแทนค่า I_{ds} ดังนั้นจะได้ว่าค่าทรานซ์คอนดัคแตนซ์

$$g_m = \frac{dI_{ds}}{dV_{gs}} = \frac{C_g u_n}{L^2}(V_{ds}) \qquad ...(2.18)$$

หรือเมื่อแทนค่า $C_g = \dfrac{\varepsilon_{ins}\varepsilon_o W.L}{t_{ox}}$

ดังนั้น $$g_m = \frac{\varepsilon_{ins}\varepsilon_o u_n W(V_{ds})}{t_{ox}\ L} \qquad ...(2.19)$$

ซึ่งสมการที่ 2.19 นี้เป็นค่า g_m ของทรานซิสเตอร์ขณะทำงานในย่านไม่อิ่มตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) พิจารณาในย่านไม่อิ่มตัว

จากสมการกระแสเดรนของทรานซิสเตอร์ ในย่านอิ่มตัวตามสมการที่ 2.14 นั่นคือ

$$I_{ds} = \frac{C_g u_n (V_{gs} - V_t)^2}{2L^2} \qquad \ldots(2.14)$$

จากนิยามของ conductance $g_{sd} = \left.\frac{dI_{ds}}{dV_{ds}}\right|_{V_{gs}\ :\ \text{คงที่}}$

เมื่อพิจารณาจากกราฟความสัมพันธ์ของกระแสเดรน I_{ds} และแรงดันเดรนซอร์ส V_{ds} จะเห็นว่าในย่านอิ่มตัว ค่าของกระแสเดรน I_{ds} จะไม่เปลี่ยนแปลงคือมีค่าคงที่ แม้ว่าแรงดันซอร์สเดรน V_{ds} จะเปลี่ยนไปก็ตาม

ดังนั้นในภาวะอิ่มตัว $g_{sd} = \left.\frac{dI_{ds}}{dV_{ds}}\right|_{V_{gs}\ :\ \text{คงที่}} = 0$

และจากนิยามจะได้ว่าทรานซ์คอนดัคแตนซ์

$$g_m = \left.\frac{dI_{ds}}{dV_{gs}}\right|_{V_{ds}\ :\ \text{คงที่}}$$

ซึ่งหมายถึงแสดงถึงการขยายสัญญาณของทรานซิสเตอร์ มีหน่วยเป็น Mho และเมื่อแทนค่า I_{ds} ตามสมการที่ 2.14 ดังนั้นจะได้ว่า

$$g_m = \left.\frac{dI_{ds}}{dV_{gs}}\right|_{V_{ds}\ :\ \text{คงที่}}$$

$$g_m = \frac{C_g u_n (V_{gs} - V_t)}{L^2} \qquad \ldots(2.20)$$

และเมื่อแทนค่า c_g ลงในสมการ 2.20 จะได้ว่าในภาวะอิ่มตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$g_m = \frac{u_n \varepsilon_{ins} \varepsilon_o W (V_{gs} - V_t)}{t_{ox} \quad L} \qquad \ldots(2.21)$$

2.8 ผลตอบสนองต่อความถี่

เราสามารถที่จะแสดงค่าความถี่สูงสุดที่ทรานซิสเตอร์จะสามารถทำงานได้โดยสมการที่ 2.22 นั่นคือ

$$f_o = \frac{g_m}{2\pi C_g} \qquad \ldots(2.22)$$

โดยที่ f_o คือความถี่สูงสุดที่ทรานซิสเตอร์ทำงานได้

C_g คือค่าความจุไฟฟ้าที่เกท

g_m คือค่าทรานซ์คอนดัคแตนซ์

สำหรับอัตราส่วนของ g_m/c_g เรียกว่า "Figure of Merit" ซึ่งแสดงผลตอบสนองด้านความถี่ของทรานซิสเตอร์เช่นกัน และโดยการแทนค่า g_m และ c_g ด้วยสมการ 2.20 และ 2.10 ดังนั้น

$$f_o = \frac{(u_n \varepsilon_{ox} \varepsilon_o (W/t_{ox})L)(V_{gs} - V_t)}{(2\pi \varepsilon_{ox} \varepsilon_o / t_{ox})W.L}$$

$$= \frac{u_n (V_{gs} - V_t)}{2\pi L^2} \qquad \ldots(2.23)$$

จะเห็นว่าผลตอบสนองต่อความถี่จะมีค่ามากก็ต่อเมื่อ ค่าโมบิลิตี้ u_n มีค่าสูง และขนาดความยาวของแชนแนล L จะต้องมีขนาดแคบๆ สำหรับค่าโมบิลิตี้ Mobility หรือ u ที่บริเวณผิวในสารกึ่งตัวนำซิลิกอน ของอิเลคตรอน และโฮลแสดงได้ดังในรูปที่ 2.15

ตารางแสดงค่าโมบิลิตี้ที่ผิวสารกึ่งตัวนำซิลิกอนของโฮลและอิเลคตรอน			
ค่าโมบิลิตี้ของโฮล	u_p	สำหรับระนาบ (111) -	190 cm^2 / v.sec.
	u_p	สำหรับระนาบ (100) -	130 cm^2 / v.sec.
ค่าโมบิลิตี้ของอิเลคตรอน	u_n	สำหรับระนาบ (100) -	600 cm^2 / v.sec.

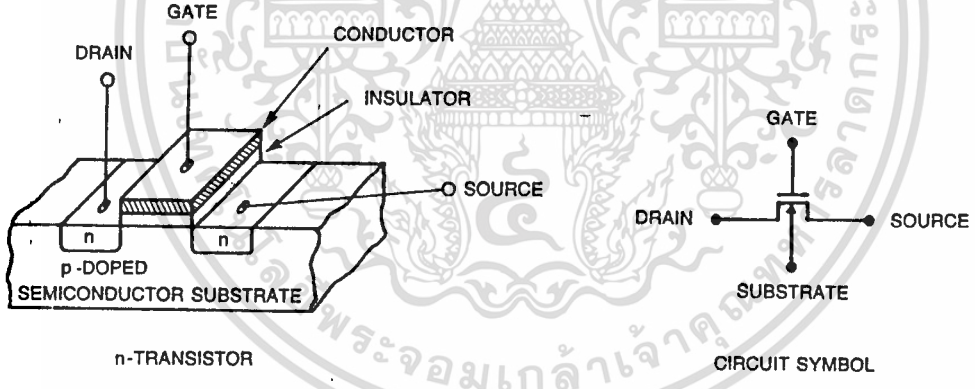
รูปที่ 2.15 ตารางแสดงค่าโมบิลิตี้ที่ผิวสารกึ่งตัวนำ

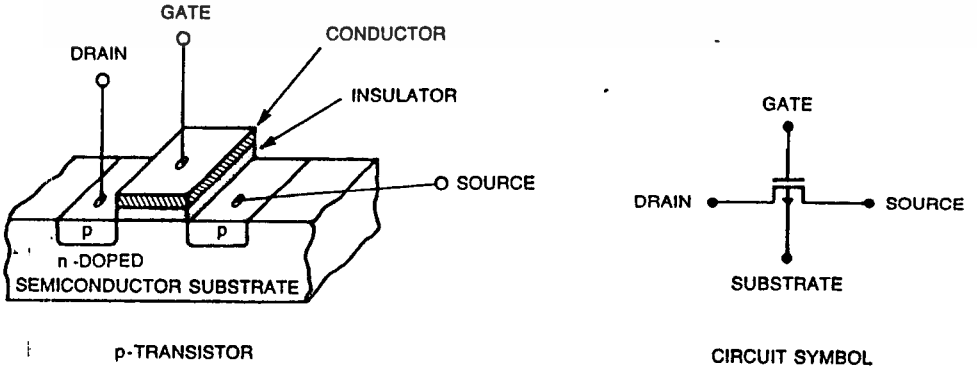
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
หลักการออกแบบวงจรชีมอสเบื้องต้น

3.1 มอสทรานซิสเตอร์

โครงสร้างของมอส (MOS Metal Oxide Semiconductor) มีพื้นฐานมาจากโครงสร้างของมอสทรานซิสเตอร์ ซึ่งมีโลหะอลูมิเนียมเป็นเกท ต่อมาก็ได้มีการพัฒนานำโพลิซิลิกอนมาใช้เป็นเกทซึ่งโดยพื้นฐานแล้ว เราอาจจะพิจารณาได้ว่ามอสนั้นมีโครงสร้างเป็นชั้นๆ (Layer) ซึ่งเรียกชื่อต่างกันออกไป เช่น ชั้นที่แพร่สารเจือ ชั้นโพลีซิลิกอน ชั้นโลหะอลูมิเนียม เป็นต้น แต่ละชั้นจะถูกคั่นไว้ด้วยสารที่เป็นฉนวน ซึ่งก็คือ ซิลิกอนไดออกไซด์ ชนิดของมอสนั้นเป็น 2 ชนิดใหญ่ตามลักษณะของสารเจือ หรือลักษณะของช่องทางเดินกระแสที่เกิดขึ้น เช่น พีมอส พาหะส่วนใหญ่เป็นประจุบวกหรือโฮล จะสร้างจากชั้นฐานรองชนิดเอ็นแล้วแพร่สารเจือชนิดพี เพื่อให้เป็นส่วนซอร์ส (Sorce) หรือ





รูปที่ 3.1 โครงสร้างและสัญญลักษณ์ของเอ็นมอสและพีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนเดรน (Drain) ในขณะเดียวกันเอ็นมอสซึ่งพาหะส่วนใหญ่คือประจุลบหรืออิเลคตรอน ก็ได้จากการแพร่ส่วนซอร์สและส่วนเดรนด้วยสารเจือชนิดเอ็นลงบนฐานรองชนิดพี ลักษณะโครงสร้างของมอสทั้ง 2 ชนิดนี้ พร้อมสัญญลักษณ์ จะแสดงในรูปที่ 3.1

จากรูปที่ 3.1 จะเห็นว่า เหนือช่องว่างระยะห่างระหว่างส่วนเดรนและซอร์สจะมี ชั้นซิลิกอนไดออกไซด์บางๆ เคลือบอยู่ และเหนือชั้นไดออกไซด์ขึ้นไปจะเป็นสารที่เป็นเกท ถ้าหากว่าสารนี้เป็นโลหะอลูมิเนียมก็จะเรียกมอสชนิดนี้ว่าเป็นชนิด เมตัลเกทหรืออลูมิเนียมเกท ในขณะเดียวกันถ้าหากสารนี้เป็นซิลิกอนแบบผลึกหลายรูป (โพลีซิลิกอน) ก็จะเรียกมอสชนิดนี้เป็นโพลีซิลิกอนเกทมอส ด้วยลักษณะโครงสร้างเช่นนี้ สัญญาณไฟฟ้าที่ควบคุมที่เกทจะสามารถทำให้เกิดช่องทางกระแสขึ้นบนชั้นฐานรองบริเวณใต้เกทได้ หากมีความต่างศักย์ระหว่างขั้วซอร์สและเดรน ก็จะทำให้กระแสไหลได้เมื่อพิจารณาเช่นนี้ เราอาจจะเห็นได้ว่าขั้วซอร์สและเดรนเปรียบเสมือนขั้วของสวิทช์ที่มีการควบคุมการปิดและเปิดของสวิทช์โดยการควบคุมที่เกท

3.2 มอสทรานซิสเตอร์สวิทช์

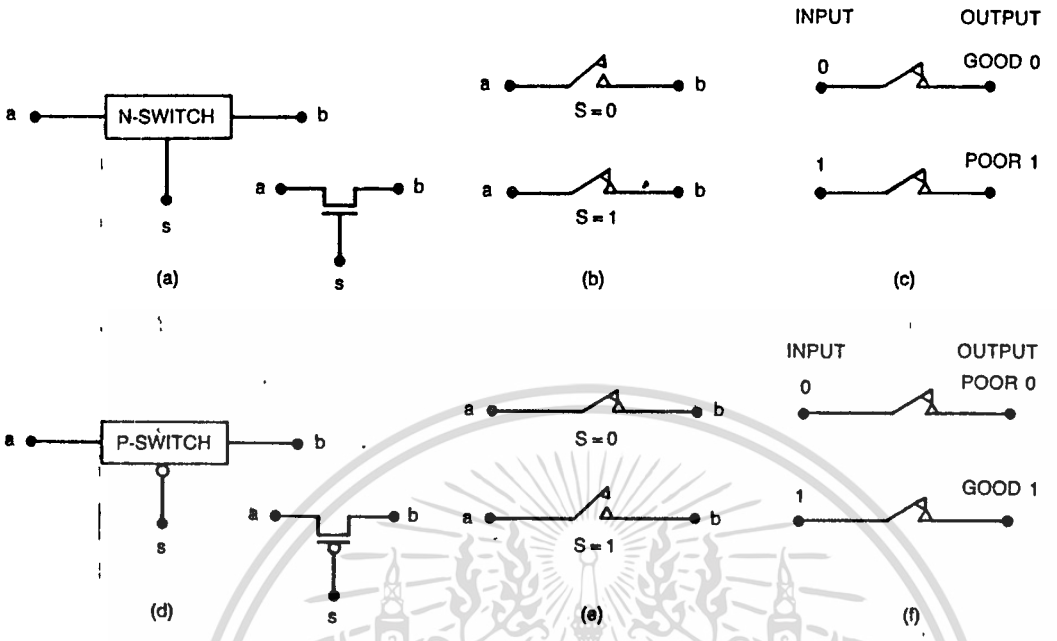
การที่เกทสามารถที่จะควบคุม การไหลของกระแสระหว่างซอร์สและเดรนได้เราจึงอาจมองมอสทรานซิสเตอร์เหมือนสวิทช์ได้ โดยในแรกเริ่มนี้จะกำหนดเงื่อนไขทางลอจิกบางอย่างเช่นลอจิก "1" หมายถึงแรงดันที่มีระดับสูงเท่ากับไฟเลี้ยง หรือ (V_{DD}) ส่วนลอจิก "0" นั้น หมายถึงแรงดันที่มีระดับต่ำหรือระดับกราวด์ (V_{SS}) แต่สำหรับการจะพิจารณาว่าแรงดันจะเป็น "1" หรือเป็น "0" ได้เพียงพอหรือไม่นั้น ก็พิจารณาจากการที่ทรานซิสเตอร์นั้นทำงานได้เต็มที่หรือไม่ โดยมองจากความสามารถที่จะรับหรือจ่ายกระแสผ่านตัวทรานซิสเตอร์

พิจารณา nMOS จากรูปที่ 3.2 a ซึ่งเขียนแทนในลักษณะของสวิทช์ที่มีขั้ว a และ b ในขณะที่เกทถูกควบคุมด้วยสัญญาณ S เมื่อลอจิก S เป็น "1" ศักดาไฟฟ้าที่เกท ก็จะเหนี่ยวนำให้เกิดชั้นทางเดินกระแสที่เต็มไปด้วยอิเลคตรอน ระหว่างซอร์สและเดรน ทำให้สวิทช์ในสภาวะนี้ "ON" แต่สิ่งที่จะต้องจำไว้เสมอก็คือ กระแสจะไหลได้นั้น แรงดันที่เกทจะต้องมากกว่าแรงดันที่ซอร์สอยู่มากกว่า V_t โวลท์เสมอ ถ้าหากลอจิกที่ S เป็น "0" ช่องทางเดินกระแสนี้ก็จะไม่เกิดขึ้น สวิทช์ในขณะนี้ก็จะเป็นสภาวะ "OFF" ซึ่งเหตุการณ์ที่กล่าวมาแล้วนี้ จะแสดงในรูปที่ 3.2 b ส่วนในรูปที่ 2 c นั้นเป็นการแสดงให้เห็นว่า สำหรับสวิทช์ที่จะสร้างจาก nMOS ไม่เหมาะสมสำหรับที่จะผ่านสัญญาณ "1" เนื่องจากการตกคร่อมของแรงดันขีดเริ่ม (V_T) แต่ปัญหาดังกล่าวนี้จะไม่ปรากฏเมื่อใช้ nMOS ในการผ่านสัญญาณ "0"

ทำนองเดียวกันสำหรับ pMOS ศักดา "0" โวลท์หรือลอจิก "0" ที่ปรากฏที่ S จะเหนี่ยวนำให้เกิดช่องทางเดินกระแสที่เต็มไปด้วยโฮลขึ้นภายใต้เกท สภาวะนี้สวิทช์จะสามารถ "ON" ได้ หรือถ้าหากที่ S เป็นลอจิก "1" แล้ว การเหนี่ยวนำจะไม่เกิดขึ้นเลย สวิทช์จึง "OFF" และผลเนื่องจากแรงดันขีดเริ่มเช่นเดียวกัน สวิทช์ที่สร้างจาก pMOS สามารถที่จะผ่านสัญญาณ "1" ได้ดีกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ "0"



รูปที่ 3.2 แสดงลักษณะการทำแบบสวิทช์ของมอสทรานซิสเตอร์

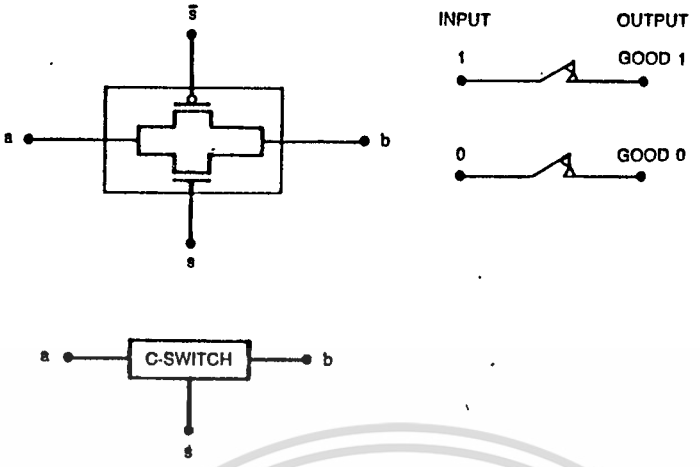
เพื่อเป็นการแก้ปัญหาซึ่งเป็นจุดอ่อนของสวิทช์ทั้ง 2 แบบ ที่ให้ผลในทางตรงกันข้ามเช่นนี้ ทางที่ง่ายที่สุดก็คือ การนำสวิทช์ทั้ง 2 ตัว มาขนานกันดังรูปที่ 3.3 ซึ่งจะเรียกว่าเป็น คอมพลีเมนทารีสวิทช์ (CMOS switch) ในการต่อในลักษณะเช่นนี้ เกทของ nMOS และเกทของ pMOS จะต้องได้สัญญาณที่เป็นตรงกันข้ามเสมอเช่น เมื่อเกทของ nMOS เป็น "1" เกทของ pMOS จะต้องเป็น "0" ขณะนี้ CMOS สวิทช์จะเป็นสภาวะ "ON" ผ่านสัญญาณทั้ง "1" และ "0" ได้ดี แต่ถ้าหากเกทของ nMOS เป็น "0" และเกทของ pMOS เป็น "1" แล้ว CMOS สวิทช์จะอยู่ในสภาวะ "OFF" การต่อ nMOS และ pMOS ขนานกันนี้บางทีจะเรียกว่า transmission gate ก็ได้ ซึ่งเกทดังกล่าวมีขนาดเล็กและสามารถประยุกต์ใช้งานได้อย่างกว้างขวาง ดังจะกล่าวรายละเอียดในตอนต่อๆ ไป

3.3 ซีมอสลอจิกชนิดต่างๆ

3.3.1 อินเวอร์เตอร์

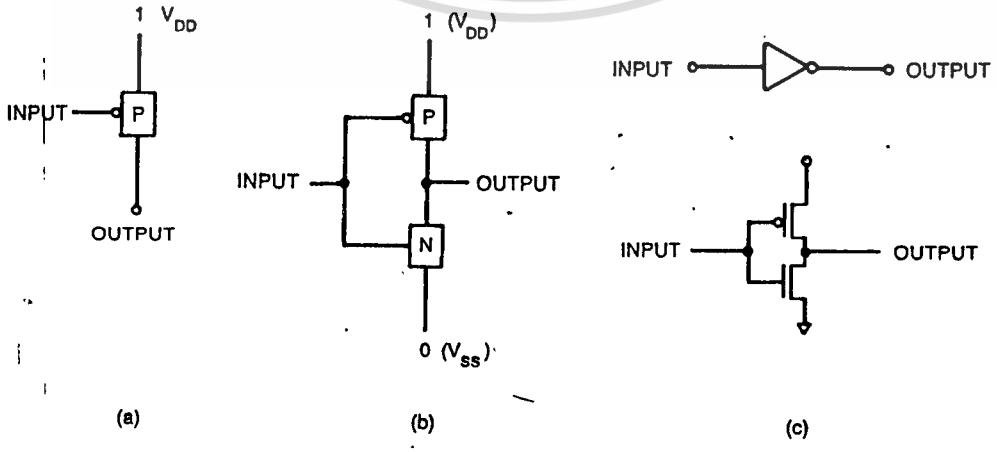
วงจรซีมอสอินเวอร์เตอร์ประกอบจาก พีมอสสวิทช์และเอ็นมอสสวิทช์ซึ่งจะนำข้อดีของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 คอมพลีเมนทารีมอสสวิทช์

สวิทช์ทั้ง 2 ชนิดนี้มาใช้ ขั้วซอร์สของพีมอสต่อกับไฟบวก (V_{dd}) และ ขั้วซอร์สของเอ็นมอสต่อกับกราวด์ ขั้วเดรนต่อขั้วเดรนและเป็นเอาท์พุท ขั้วเกทของทรานซิสเตอร์ทั้ง 2 ชนิด จะต่อเข้าด้วยกันและเป็นอินพุทของอินเวอร์เตอร์ เมื่ออินพุทเป็น "0" เอ็นมอสสวิทช์จะไม่ทำงาน แต่พีมอสจะ "ON" ทำให้ V_{dd} ต่อออกเอาท์พุท ดังนั้นเอาท์พุทมีศักดาเท่า V_{dd} หรือเป็น "1" ในทำนองเดียวกัน ถ้าหากอินพุทเป็นลอจิก "1" พีมอสสวิทช์จะ "OFF" แต่เอ็นมอสสวิทช์จะ "ON" ทำให้เอาท์พุทถูกต่อลงกราวด์ ลอจิกเอาท์พุทซึ่งมีสถานะเป็น "0" วงจรของอินเวอร์เตอร์เกทสัญญลักษณ์และตารางความจริงจะแสดงในรูปที่ 3.4



รูปที่ 3.4 วงจรและสัญญลักษณ์ของซีมอสอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 ซิมอสลอจิกที่ซับซ้อน

ถ้าหากว่าเราต่อเอ็นสวิทช์ในลักษณะที่อนุกรมกัน ดังแสดงในรูปที่ 3.5 a ลักษณะเช่นนี้ การทำงานหรือเอาท์พุทจะต้องขึ้นอยู่กับการทำงานของทรานซิสเตอร์ทั้งกลุ่ม พูดง่ายๆก็คือเอาท์พุทจะเป็นลอจิก "0" ได้ ก็ต่อเมื่ออินพุทของสวิทช์แต่ละตัวเป็น "1" ทั้งหมด ลักษณะเช่นนี้ก็เสมือนกับการคูณกัน หรือก็คือ AND ทางลอจิก ทำนองเดียวกันพีมอสก็สามารถทำฟังชั่นที่ว่านี้ได้ แต่ลอจิกในการควบคุมจะแตกต่างกันเท่านั้น การต่อการในแบบของการขนานกัน (รูปที่ 3.5c และ 3.5d) ก็เหมือนกับการขนานสวิทช์ และทำหน้าที่เป็น OR ทางลอจิก การที่สวิทช์สามารถที่จะต่ออนุกรมหรือขนานกันได้เช่นนี้ จะทำให้สามารถสร้างกลุ่มของสวิทช์ที่สลับซับซ้อนขึ้นได้ โดยเริ่มต้นตั้งแต่วงจรง่ายๆจากระดับเกทขึ้นไป

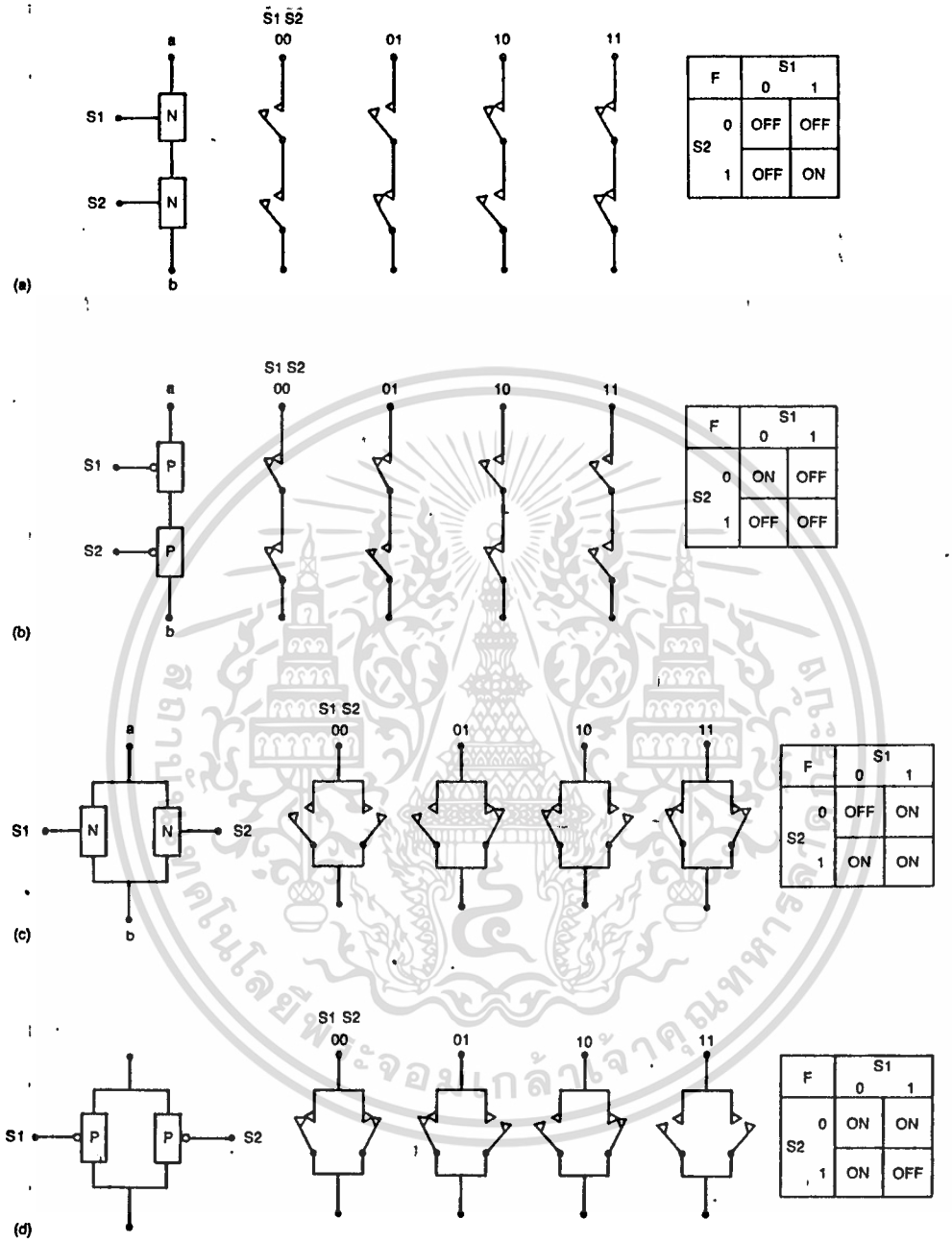
3.3.3 แนนด์เกท

ลักษณะของแนนด์เกทจะแสดงด้วยรูปที่ 3.6 รูปที่ 3.6 a จะแสดงวงจรสวิทช์ และรูปที่ 3.6 c จะแสดงถึงสัญญลักษณ์ในการหาข้อสรุปต่อโครงสร้างซีมอส ในลักษณะที่เกทซับซ้อนเช่นนี้ ให้สังเกตแผนภาพคาร์นอร์ ประกอบกับความรู้ที่ได้ศึกษามาแล้วเมื่อเอาท์พุทเป็น "0" แสดงว่าเอ็นสวิทช์ทำงานเมื่อเอาท์พุทเป็น "1" แสดงว่าพีสวิทช์ทำงาน จากแผนภาพคาร์นอร์จะเห็นว่าสำหรับพีสวิทช์นั้น $1 = \overline{A} + \overline{B}$ ซึ่งหมายถึงว่า พีสวิทช์จะต้องเป็นบวกหรือ OR กัน ส่วนเอ็นสวิทช์นั้น $0 = A.B$ แสดงว่าเอ็นสวิทช์จะต้องคูณ หรือ AND กันเท่านั้น ในทำนองเดียวกันนี้จะเห็นได้ว่าถ้าหากต้องการเกทที่มีหลายอินพุท ก็อาจจะทำได้โดยขยายพีมอสและเอ็นมอสออกไปเป็นคู่ๆ ดังรูปที่ 3.6 b

3.3.4 นอร์เกท

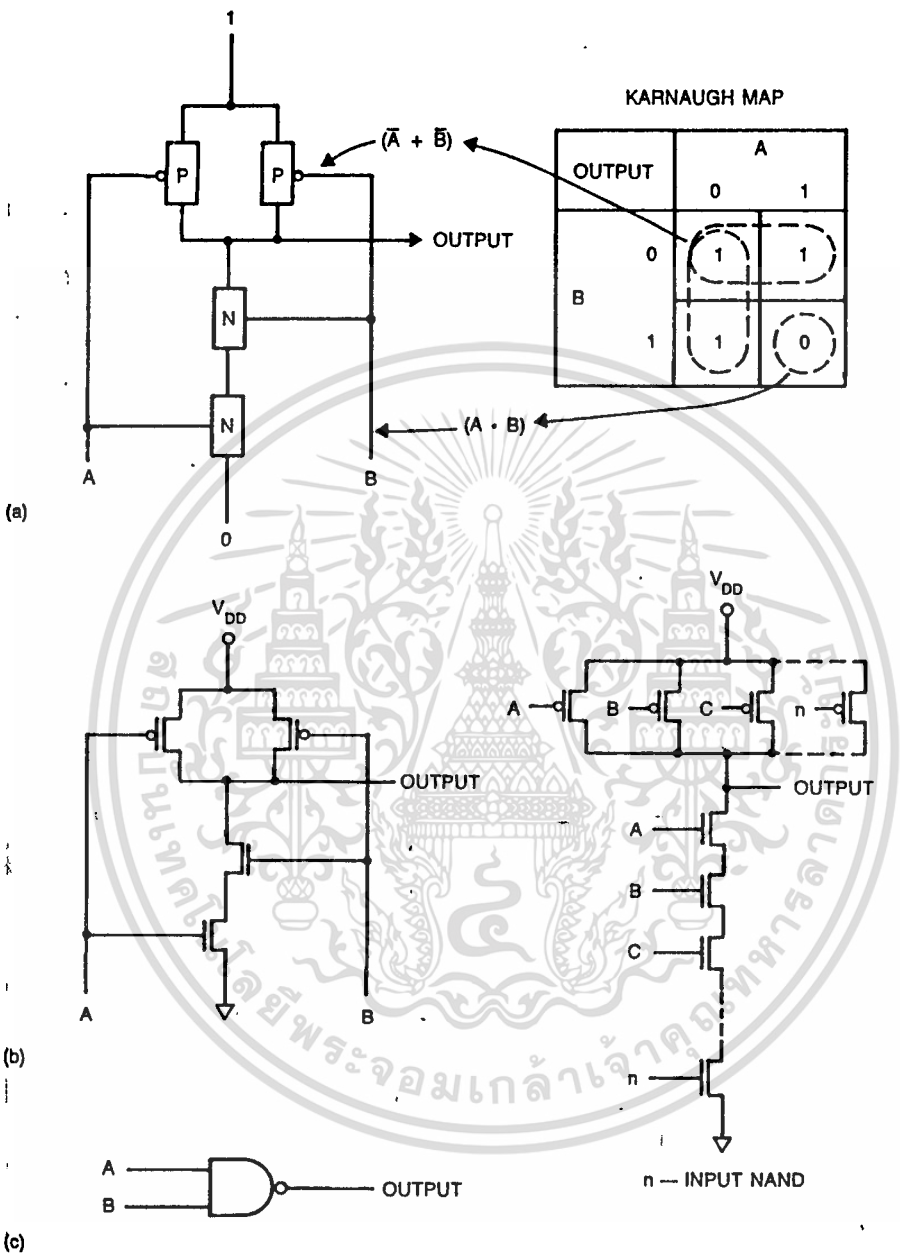
ทำนองเดียวกันกับแนนด์เกท นอร์เกทก็สามารถแสดงไว้ดังรูปที่ 3.7 การทดสอบด้วยแผนภาพคาร์นอร์จะเห็นว่า เงื่อนไขเมื่อเอาท์พุทเป็น "1" (พีสวิทช์ทำงาน) จะได้แก่ $1 = \overline{A}.\overline{B}$ หมายถึงว่า พีสวิทช์จะต้อง AND กัน ในขณะเดียวกันเงื่อนไขเมื่อเอาท์พุทเป็น "0" (เอ็นสวิทช์ทำงาน) ก็คือ $0 = A + B$ จึงแสดงว่าเอ็นสวิทช์จะต้อง OR กัน และการทำในลักษณะหลายอินพุทก็แสดงได้ในรูปที่ 3.7 b เช่นเดียวกัน จากเงื่อนไขการทำงานที่กล่าวมาแล้ว ไม่ว่าจะเป็นอินเวอร์เตอร์แนนด์เกทหรือ นอร์เกทก็ตาม พีมอสและเอ็นมอสจะทำงานตรงกันข้ามเสมอ และไม่มีทางลัดของกระแสจาก V_{dd} ลงกราวด์เลย ลอจิกของซีมอสจึงเป็น "1" หรือ "0" โดยสมบูรณ์ ทั้งการสูญเสียพลังงานก็น้อยกว่าเกทแบบอื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ลักษณะของสวิทช์ซึ่งอนุกรมและขนานกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 ลักษณะของซีมอสแนนด์เกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.5 เกทแบบผสม

ลักษณะของเกทแบบผสมนี้ ได้จากการต่อสวิทช์ในลักษณะที่ขนานและอนุกรมคละเคล้ากันไป การสร้างวงจรหรือกำหนดเกทลาจจะเริ่มจากการกำหนดฟังค์ชั่นก่อน เช่น

$$F = \overline{(A.B) + (C.D)}$$

การสร้างวงจรจะเริ่มจากเอ็นมอสก่อนก็ได้ สำหรับเอ็นมอสหรือเอ็นสวิทช์ จะเขียนได้เป็น

$$0 = (A.B) + (C.D)$$

ซึ่งหมายความว่า เอาสวิทช์ A แอนด์กับสวิทช์ B ก่อนแล้วค่อยไปออร์กับ (C.D) เป็นต้น ในส่วนของวงจรสวิทช์ของพีทรานซิสเตอร์นั้น จะเป็นคอมพลีเมนท์กันคือ

$$1 = \overline{(A.B) + (C.D)}$$
$$= \overline{(A.B)} \; . \; \overline{(C.D)}$$
$$= (\bar{A} + \bar{B}) \; . \; (\bar{C} + \bar{D})$$

ซึ่งหมายความว่า เอา $\bar{A}$ ออร์กับ $\bar{B}$ แล้วค่อยแอนด์กับ $(\bar{C} + \bar{D})$ เมื่อได้ทั้งวงจรของพีและวงจรของเอ็นแล้วมาต่อกันแบบอนุกรม โดยวงจรของพีทรานซิสเตอร์อยู่ทางด้านไฟบวก และวงจรของเอ็นทรานซิสเตอร์อยู่ทางด้านกราวด์ ซึ่งขั้นตอนที่กล่าวมานี้จะแสดงได้ ดังรูปที่ 3.8 a กับรูปที่ 3.8 b ก็แสดงการสร้างเกทที่มีฟังค์ชั่น

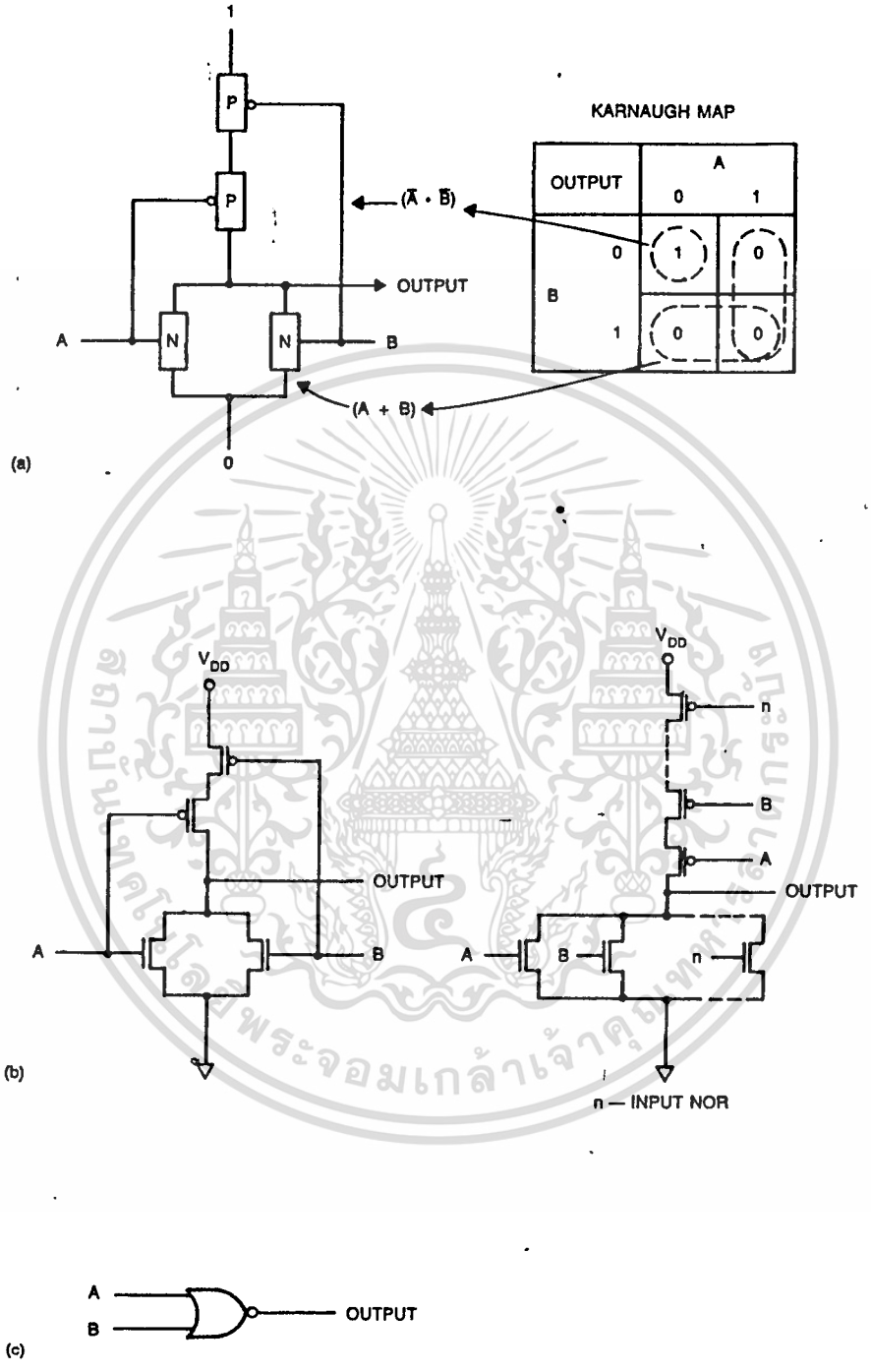
$$F = \overline{((A + B + C).D)}$$

3.4 <u>ทรานสมิสชั่นเกท</u>

ปกติแล้ววงจรซีมอสลอจิกที่ซับซ้อนนั้น มักจะใช้ทรานสมิสชั่นเกทหรือทรานซิสเตอร์ผ่านสัญญาณ ซึ่งทำหน้าที่แบบสวิทช์สัญญาณสองทิศทาง (bidirectional switch) เกทชนิดนี้จะสร้างจากการขนานพีสวิทช์กับเอ็นสวิทช์ ดังแสดงในรูปที่ 3.9 โดยที่สัญญาณที่ใช้ควบคุมสวิทช์คือ C และ $\bar{C}$ เมื่อ C = 1 จะทำให้สวิทช์ทั้ง 2 ตัว ผ่านสัญญาณได้ ซึ่งจะเขียนได้เป็น

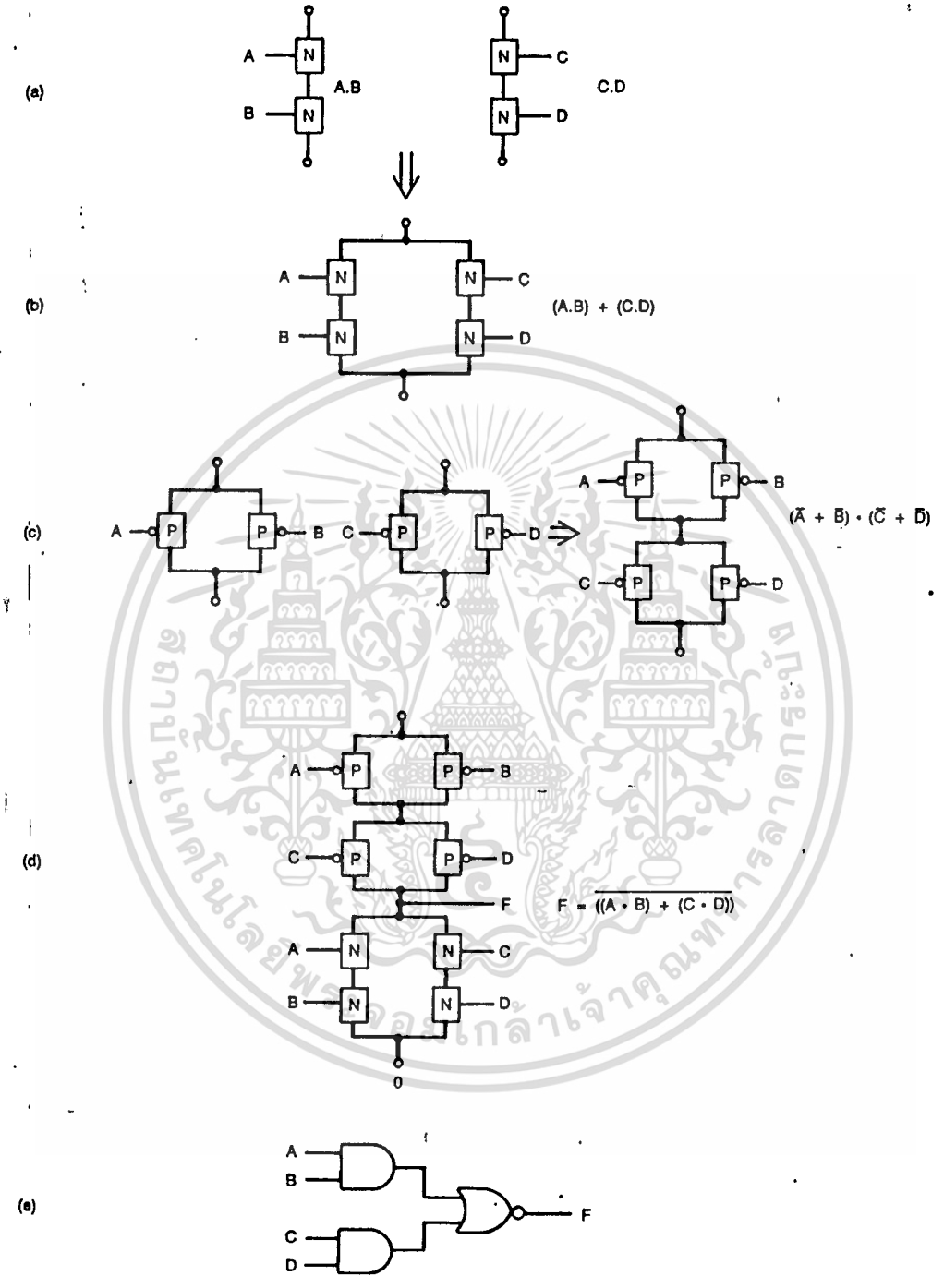
$$C = 1 \quad ; \quad A = B$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



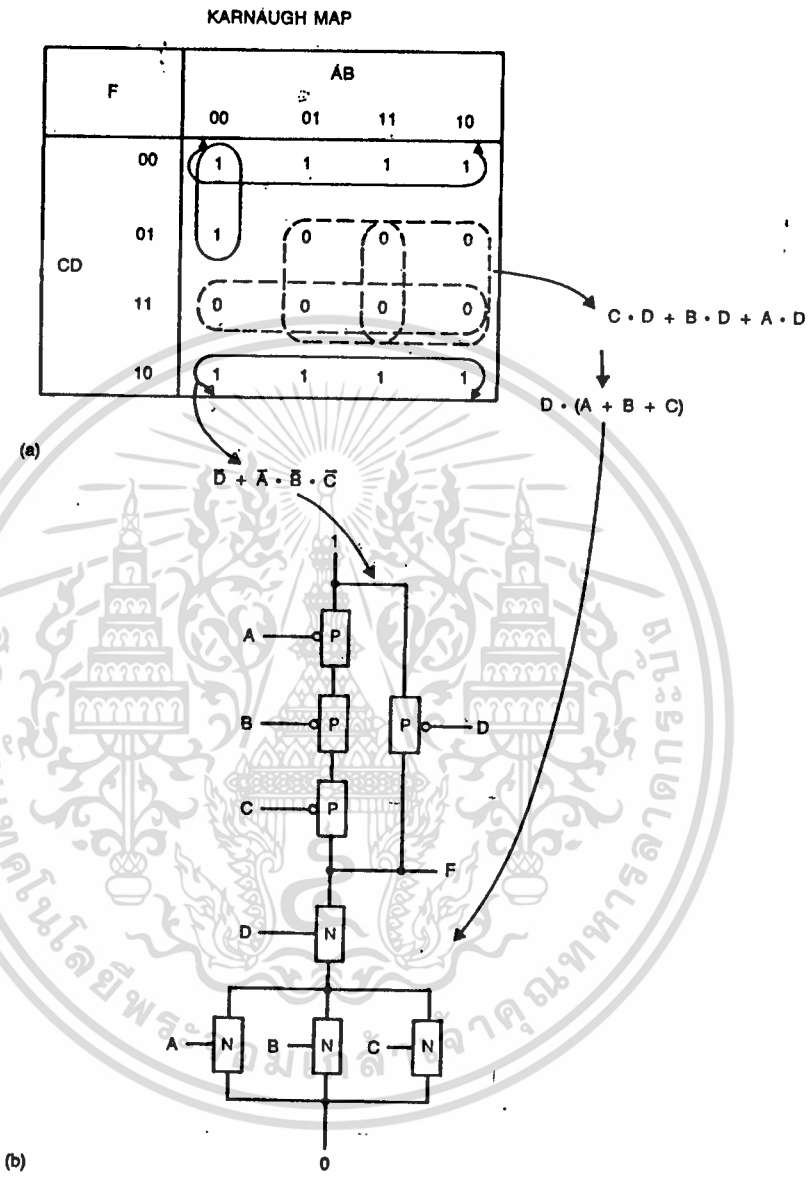
รูปที่ 3.7 โครงสร้างของนอร์เกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



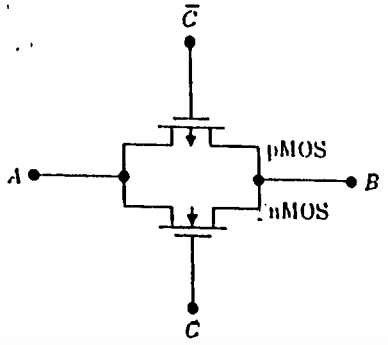
รูปที่ 3.8 a แสดง Logic diagram ที่แทน $F = \overline{(A.B) + (C.D)}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

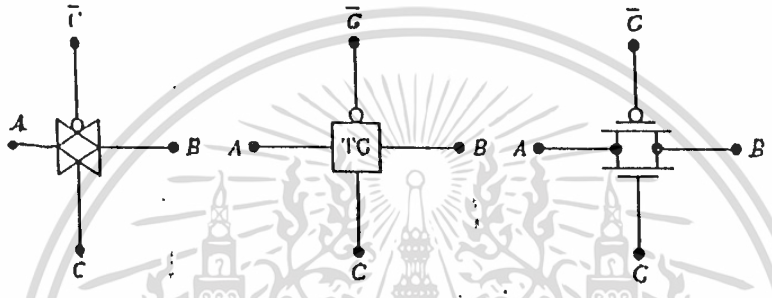


รูปที่ 3.8 b การสร้างเกทที่มีฟังค์ชั่นแบบผสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Basic CMOS transmission gate circuit (a)



Some alternate schematic symbols (b)

CMOS transmission gate.

รูปที่ 3.9 ทรานสมิสชั่นเกท

และเมื่อ C = 0 สวิทช์ทั้ง 2 ตัวจะ "OFF" ทำให้สภาพความต้านทานระหว่าง A และ B มีค่าสูงมาก (จะมีแต่กระแสรั่วไหลเท่านั้นที่ไหลผ่านได้) สัญญลักษณ์แบบต่างๆ ของทรานสมิสชั่นเกทแสดงในรูปที่ 3.9 b

การประยุกต์ใช้งานทรานสมิสชั่นเกท

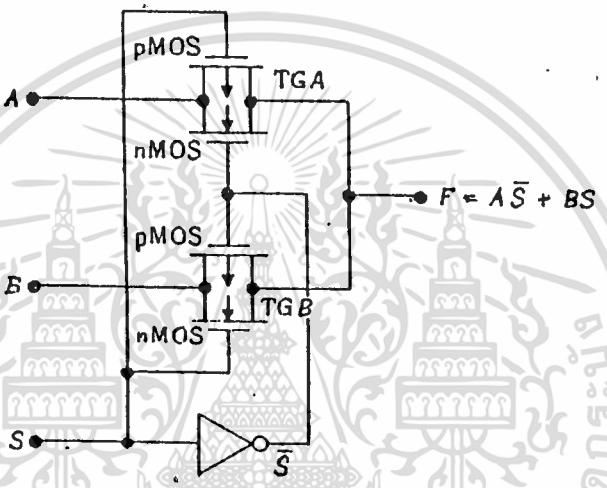
ทรานสมิสชั่นเกทเป็นวงจรง่ายๆ ที่ใช้ควบคุมทางผ่านของสัญญาณวงจรตัวอย่างในรูปที่ 10 เป็นวงจรมัลติเพล็กซ์ 2 อินพุท โดยที่สัญญาณควบคุมคือ S อินพุท A จะต่อกับ TGA และอินพุท B ต่อกับ TGB จากการจัดวงจรดังรูป เมื่อ S เป็น "1" TGB จะ "ON" ส่วน TGA จะ "OFF" อินพุท B จะปรากฏที่ F ทำนองเดียวกันถ้าหาก S เป็น "0" TGA จะ "ON" และ TGB จะ "OFF" อินพุท A จะปรากฏที่ F ดังนั้นสมการของ F จะเขียนได้เป็น

$$F = A\bar{S} + BS$$

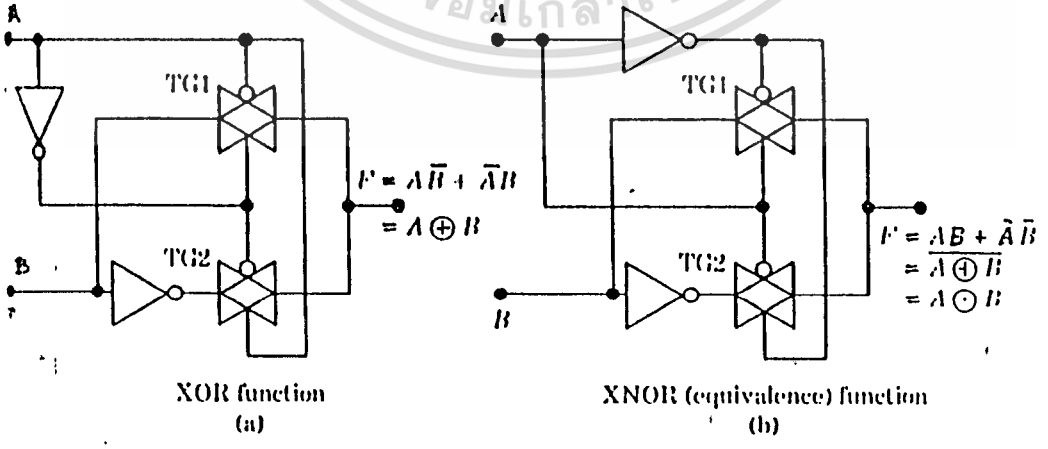
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อสังเกตในการที่จะประยุกต์ใช้งานทรานสมิสชั่นเกทได้กว้างขวางขึ้นก็คือ เกทชนิดนี้จะอาศัยสัญญาณควบคุมที่เป็น "1" และเป็น "0" พร้อมๆ กัน ดังรูปที่ 3.11 ซึ่งแสดงถึงการใช้ทรานสมิสชั่นเกท ในวงจร Execlusive OR gate และ Execlusive NOR gate

พิจารณาวงจร XOR TG1 จะถูกควบคุมโดย A และ $\bar{A}$ และทำให้เกิดการผ่านของสัญญาณ B ขณะเดียวกัน TG2 ก็จะถูกควบคุมโดย A และ $\bar{A}$ (ลอจิกตรงกันข้าม) และจะทำให้เกิดการส่งผ่านสัญญาณ $\bar{B}$ ดังนั้นเอาท์พุทจึงปรากฏสัญญาณ B และ $\bar{B}$ ซึ่งจะถูกควบคุมโดย A และเขียนได้เป็น



รูปที่ 3.10 แสดง 2 input transmission gate mpx.



รูปที่ 3.11 วงจร CMOS XOR และ XNOR สร้างโดยทรานสมิสชั่นเกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F = A\bar{B} + \bar{A}B$$
$$= A \oplus B$$

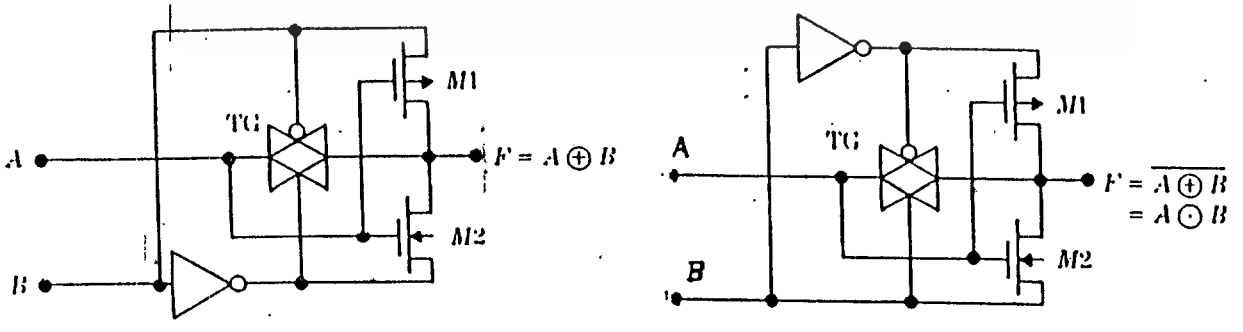
จากฟังค์ชั่นของ XOR ที่ได้ วงจรของ XNOR (รูปที่ 3.11.b) ก็สามารถสร้างขึ้นได้เช่นกัน ในกรณีนี้ TG1 จะถูกควบคุมแบบตรงกันข้ามกับวงจร XOR อันจะทำให้ได้ผลแบบคอมพลีเมนต์ของ A แทน ซึ่งเอาท์พุทก็คือ

$$F = AB + \bar{A}\bar{B}$$
$$= \overline{A \oplus B}$$
$$= A \odot B$$

XOR ฟังค์ชั่นนี้อาจจะลดให้เหลือเพียง 6 ทรานซิสเตอร์ ดังแสดงในรูปที่ 3.12 วงจรจะประกอบด้วย ทรานสมิสชั่นเกทเพียงชุดเดียว และมีอินเวอร์เตอร์ที่เอาท์พุทโดยการทำงานจะอธิบายได้ดังนี้ สัญญาณ B จะทำหน้าที่เป็นตัวควบคุมทรานสมิสชั่นเกท TG เมื่อ B = 0 ทรานสมิสชั่นเกทจะทำงาน สัญญาณ A จะปรากฏที่เอาท์พุทและผลจากสัญญาณ B ทำให้ทรานซิสเตอร์เอาท์พุท (M_1 และ M_2) อยู่ในสภาวะที่ไม่ทำงาน ไม่ว่าสัญญาณที่ A จะเป็นอย่างไร แต่เมื่อสัญญาณ B = 1 TG จะไม่ทำงาน เอาท์พุท F จะปรากฏเป็น A การทำงานจึงสรุปได้ว่า

$$F = A\bar{B} + \bar{A}B = A \oplus B$$

ทำนองเดียวกับ XNOR ที่แสดงในรูป 3.12 B

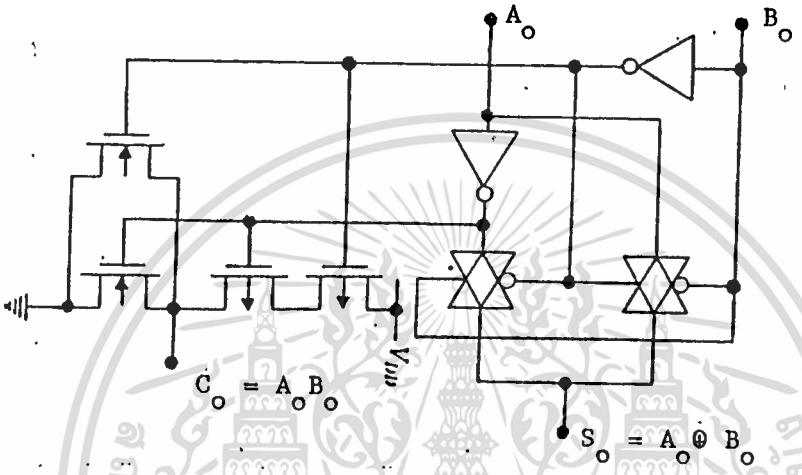


รูปที่ 3.12 XOR และ XNOR ซึ่งใช้ทรานซิสเตอร์ 6 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรบวกแบบไม่มีตัวทด (Half-Adder) ก็สามารถจะสร้างจากเกทชนิดนี้ได้ โดยมีพื้นฐานจาก XOR เกทประกอบกับ 2 อินพุท นอร์เกทซึ่งจะเขียนได้เป็น

$$S_o = A_o \oplus B_o$$
$$C_o = \bar{A}_o + \bar{B}_o$$
$$= A_o \cdot B_o$$



รูปที่ 3.13 วงจรแบบไม่มีตัวทด

3.5 ซีมอสลอจิกแบบต่างๆ

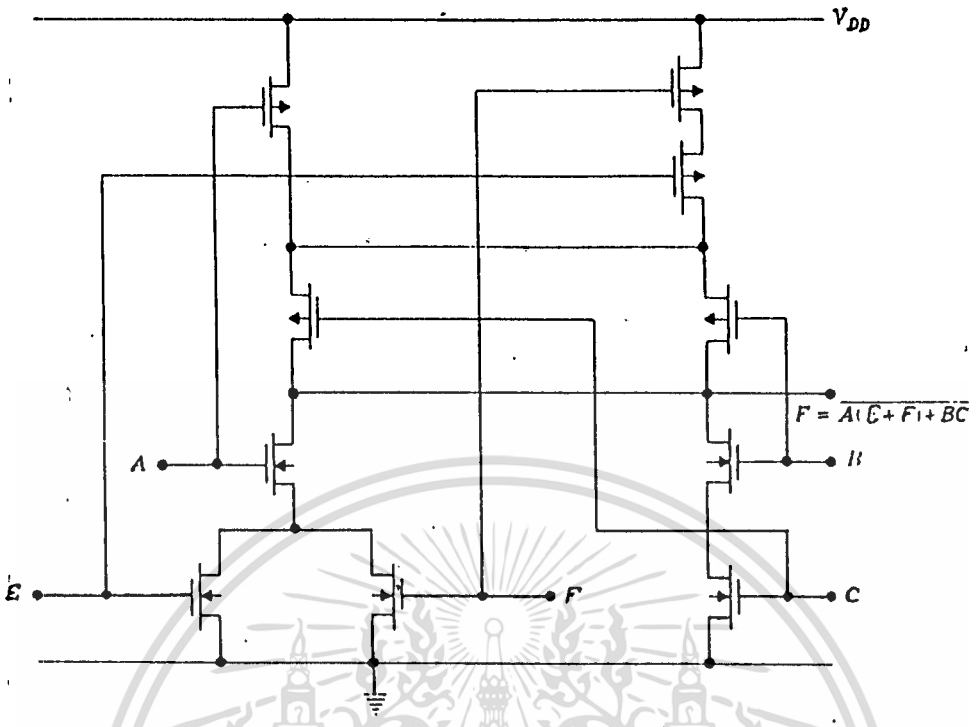
3.5.1 ซีมอสคอมพลีเมนทารีลอจิก

ซีมอสคอมพลีเมนทารีหมายถึง วงจรลอจิกที่ประกอบขึ้นจากหลักการดังที่กล่าวมาแล้วในตอนต้นๆ และบางทีก็เรียกว่า ซีมอสสแตติกเกท ข้อสังเกตก็คือจะมีมอสทำงานเป็นคู่ๆ และมักจะใช้วงจรลักษณะ OR, AND หรือ INVERTER หรือบางทีก็เรียกว่า โครงสร้างแบบ OAI (OR-AND-INVERTER) ซึ่งรูปที่ 3.14 จะแสดงให้เห็นถึงบล็อกของลอจิก ที่มีฟังค์ชั่น $F = \overline{A(E + F) + BC}$

ข้อด้อยบางประการของสแตติกเกท

จากการที่เราได้ทราบถึงวิธีการสร้างและลักษณะวงจรของสแตติกเกท หากสังเกตจะพบว่าสแตติกเกทมีข้อด้อยหลายประการ เช่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 วงจรที่ซับซ้อนขึ้นแต่ยังคงใช้ลักษณะ OAI

1. ในการออกแบบสแตติกเกทแต่ละครั้งมักจะมีซ้ำซ้อนอยู่ด้วยเสมอเพราะว่า พีทรานซิสเตอร์และเอ็นทรานซิสเตอร์ จะต่อในลักษณะที่คอมพลีเมนต์กัน เช่น ถ้าเอ็นทรานซิสเตอร์มีลักษณะเป็น แอนด์ พีทรานซิสเตอร์ก็จะมีลักษณะเป็นออร์ และถ้ามีหลายๆ อินพุทก็จะต่อขยายกันออกไป อันเป็นสาเหตุหนึ่งของการเสียเวลาในการออกแบบและสิ้นเปลืองเนื้อที่บนแผ่นซิลิกอน

2. มีความยุ่งยากในการออกแบบ โดยเฉพาะอย่างยิ่งแล้วการออกแบบลวดลวยวงจรรวม จะทำได้ลำบากมากขึ้นเพราะว่าแต่ละอินพุทจะต้องแยกเป็น 2 ทางเสมอ ทางหนึ่งจะเป็นอินพุทของเอ็นมอส และอีกทางหนึ่งจะเป็นอินพุทของพีมอส

3. จากเหตุผลทั้งสองข้อที่กล่าวมาแล้ว ย่อมจะหลีกเลี่ยงไม่ได้ที่เกทแบบนี้ จะต้องสิ้นเปลืองเนื้อที่บนแผ่นซิลิกอนมากกว่าเกทแบบอื่นบางประเภท

4. เนื่องจากอินพุทต้องแยกเป็นสองทาง คือเป็นอินพุทของเอ็นมอส และของพีมอสนี่เอง ถ้าหากความจุไฟฟ้าต่อหน่วยของเกทเป็น C_g แล้ว แต่ละอินพุทจะต้องมีค่าความจุไฟฟ้าปรากฏอยู่ 2 C_g เสมอ จึงทำให้เกทประเภทนี้มีความเร็วไม่สูงกว่าโครงสร้างแบบอื่นบางประเภท

5. ในขณะเดียวกันเพราะต้องมีพีทรานซิสเตอร์และเอ็นทรานซิสเตอร์เป็นคู่ๆ นี่เองถ้าจะนับจำนวนตัวทรานซิสเตอร์ต่อ m อินพุทแล้วเกทประเภทนี้จะมี 2m ทรานซิสเตอร์ ในขณะที่วงจรแบบเอ็นมอสสามารถจะลดเกทให้เหลือเพียง m + 1 ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.2 ซีมอสลอจิกที่ไม่เป็นแบบมาตรฐาน

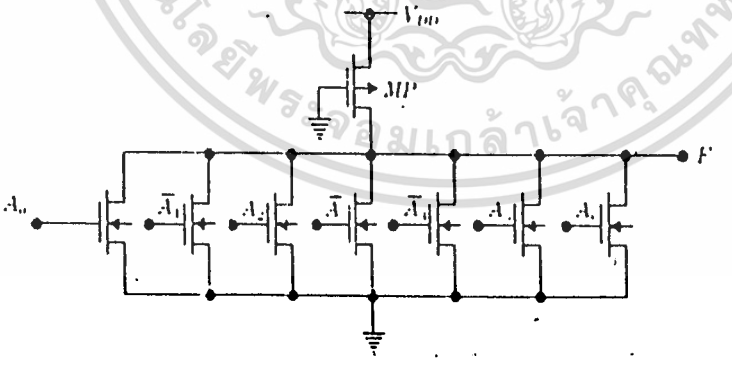
แบบมาตรฐานของซีมอสลอจิกก็คือ สแตติกคอมพลีเม้นต์ซีมอสนั่นเอง แต่เนื่องจากว่าสแตติกเกท มีข้อด้อยหลายประการดังได้ยกตัวอย่างมาแล้ว จึงมีเกทชนิดอื่นๆ อีกหลายชนิดที่ได้รับการยอมรับใช้งานอย่างแพร่หลาย เช่น

มอสลอจิกเทียม (Pseudo MOS Logic)

วงจรซีมอสลอจิกแบบนี้ สามารถสร้างขึ้นได้จากทรานซิสเตอร์ชนิดเดียว อาจจะเป็นพีทรานซิสเตอร์ หรือเอ็นทรานซิสเตอร์ก็ได้ และจะใช้ทรานซิสเตอร์ชนิดตรงกันข้ามมาทำเป็นโหลด รูปที่ 3.15a แสดงเอ็นมอสเทียม (Pseudo-nMOS) ซึ่งมีฟังชั่นเป็นนอร์เกท 7 อินพุทโดย

$$F = \overline{(A_0 + \bar{A}_1 + A_2 + \bar{A}_3 + \bar{A}_4 + A_5 + A_6)}$$

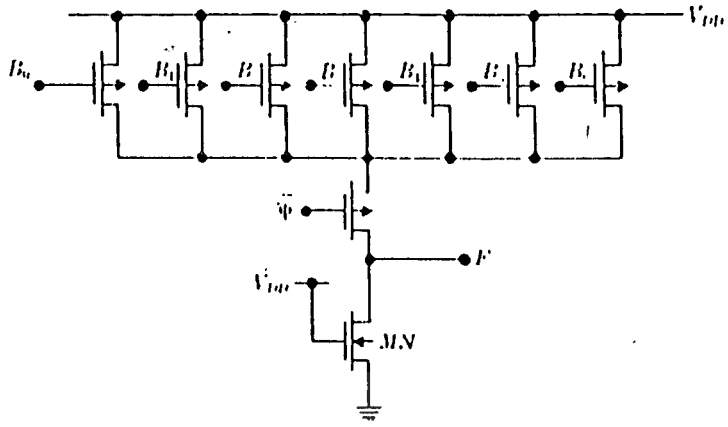
พีทรานซิสเตอร์ (MP) จะต่อเกทลงกราวด์ ทำหน้าที่เป็นโหลดให้กับวงจร ซึ่งถ้าหากเอ็นมอสตัวใดตัวหนึ่งนำกระแส ("ON") ปริมาณกระแสระหว่าง V_{dd} กับกราวด์ จะกำหนดได้โดยพีทรานซิสเตอร์เท่านั้น รูปที่ 3.15 b แสดงวงจรพีมอสเทียม (Pseudo-pMOS) ซึ่งเอ็นมอส (MN) ทำหน้าที่เป็นโหลดและ เพื่อการประหยัดพลังงานมากขึ้นอาจใช้สัญญาณนาฬิกามาอ่านค่าของฟังค์ชั่นด้วย



$$F = \overline{(A_0 + \bar{A}_1 + A_2 + \bar{A}_3 + \bar{A}_4 + A_5 + A_6)}.$$

รูปที่ 3.15 a แสดงเอ็นมอสเทียม ซึ่งมีฟังชั่นเป็นนอร์เกท 7 อินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$F = (\bar{B}_0 + \bar{B}_1 + \bar{B}_2 + \bar{B}_3 + \bar{B}_4 + \bar{B}_5 + \bar{B}_6)\phi,$$

รูปที่ 3.15 b วงจรมอสลอจิกเทียม

ข้อสรุป

- วงจรเอ็นมอสเทียม มีลักษณะเหมือนวงจรของเอ็นมอสปกติทุกประการ แตกต่างกันที่ว่าตัวโหลดแทนที่จะเป็นเอ็นมอส (ดีพลีชั่นหรือเอ็นฮานซ์เมนต์) ก็จะเป็นพีมอสแทน

- พีทรานซิสเตอร์เพียงตัวเดียวที่ต่อเกทลงกราวด์ จะทำหน้าที่เป็นโหลดให้กับวงจรเอ็นมอส

- วงจรของพีมอสเทียมจะมีลักษณะที่ตรงกันข้ามกับวงจรเอ็นมอสเทียม

- วงจรแบบนี้จะต้องคำนวณขนาดของตัวอุปกรณ์ เพื่อให้ระดับลอจิกที่ถูกต้อง (สแตติกซีมอสไม่จำเป็นต้องคำนวณในข้อนี้)

- ปัญหาหลักของวงจรก็คือ การสูญเสียพลังงานมากเพราะอุปกรณ์ที่เป็นโหลด จะนำกระแสตลอดเวลา ถ้าหากทรานซิสเตอร์ที่เป็นเกทอยู่ในภาวะนำกระแส

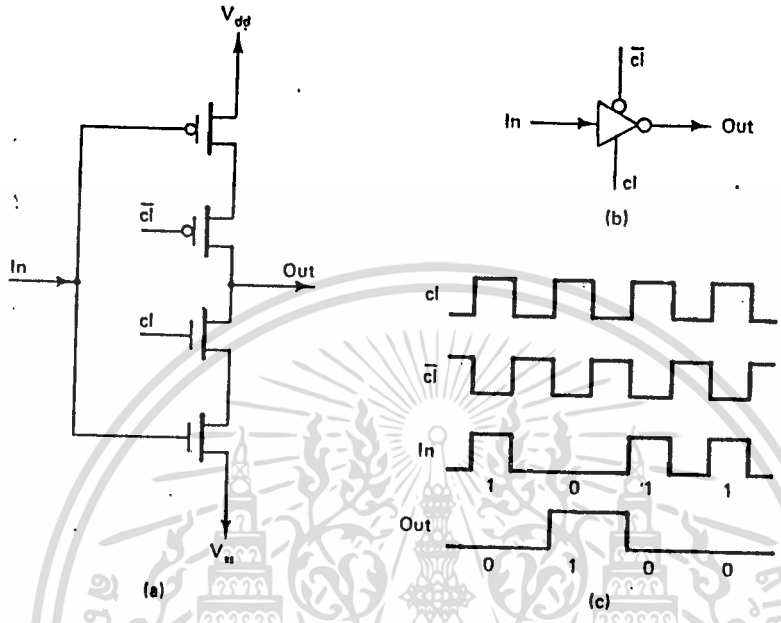
- สามารถประหยัดเนื้อที่ได้มากกว่าสแตติกเกทซึ่งเป็นคอมพลีเมนทารี

ลอจิกที่ต้องใช้สัญญาณนาฬิกา (Clock CMOS Logic)

ลักษณะของวงจรลอจิกแบบนี้ต้องการ Synchronization ในการอ่านสถานะเอาท์พุท วงจรจะมีช่วงการเปลี่ยนแปลงอินพุทเฉพาะเมื่อสัญญาณนาฬิกาเป็น "0" เท่านั้น ช่วงนี้จะเรียกว่า Precharge เพราะวงจรจะมีการประจุตัวเก็บประจุทางเอาท์พุท และเมื่อสัญญาณนาฬิกาเป็น "1" ก็จะส่งผลของลอจิกออกทางเอาท์พุท ช่วงนี้จะเรียกว่าช่วงประเมินค่า (Evaluate) รูปที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.16 จะแสดงวงจรอินเวอร์เตอร์ จากรูปที่ 3.16 a เมื่อ in = "1" และ cl = "1" เท่านั้นที่จะทำให้เอาท์พุทเป็น "0" ถ้าหาก in = "0" และ cl = "1" พีทรานซิสเตอร์จะนำกระแสทำให้ปรากฏ "1" ที่เอาท์พุท สำหรับเงื่อนไขอื่นๆ เอาท์พุทจะค้างค่าไว้ที่สถานะเดิม



รูปที่ 3.16 วงจรอินเวอร์เตอร์ที่ใช้สัญญาณนาฬิกา

ไดนามิคซีมอสลอจิก (Dynamic CMOS Logic)

ลักษณะวงจรพื้นฐานของไดนามิคซีมอส จะประกอบด้วยวงจรของเอ็นทรานซิสเตอร์ที่จะให้ลอจิกฟังค์ชั่นโดยเอาท์พุทโนดจะถูกฟรีชาร์ตสู่ V_{dd} โดยพีทรานซิสเตอร์ ในขณะเดียวกันเอ็นทรานซิสเตอร์จะทำหน้าที่เป็นตัวประเมินค่า (Evaluate) ดูรูปที่ 3.17 a

ในทำนองเดียวกัน วงจรไดนามิคซีมอส จะประกอบด้วยวงจรของพีทรานซิสเตอร์ก็ได้ ในกรณีนี้เอ็นทรานซิสเตอร์จะทำหน้าที่ฟรีชาร์ต และพีทรานซิสเตอร์จะเป็นตัวประเมินค่า (ดูรูปที่ 3.17 b) สัญญาณนาฬิกาที่ใช้จะเป็นเฟสเดียวในช่วงฟรีชาร์ต = "0" และประเมินค่าเมื่อ = "1"

ปัญหาของไดนามิคซีมอส

1. สัญญาณอินพุทจะเปลี่ยนแปลงได้เฉพาะในช่วงฟรีชาร์ตเท่านั้น มิฉะนั้นแล้วเอาท์พุทอาจจะผิดพลาดได้

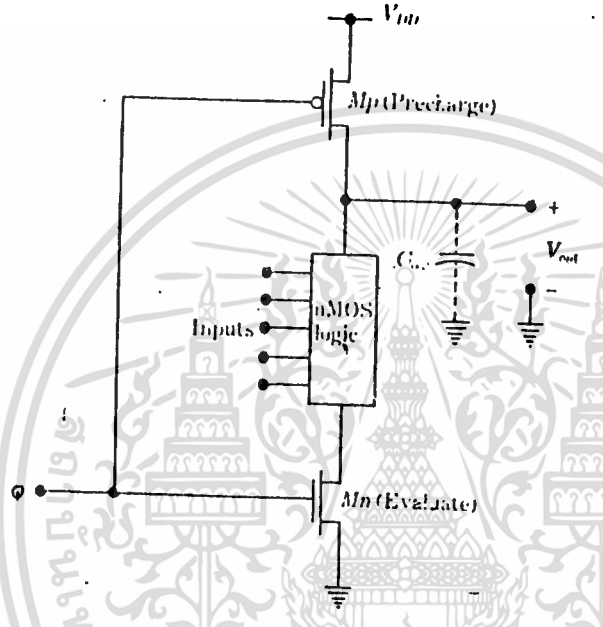
2. ปัญหาที่เกิดขึ้นอีกประการหนึ่งก็คือ การต่ออนุกรมกันของไดนามิคเกทหลายๆ ชุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลองพิจารณารูปที่ 3.20 เมื่อเกทถูกฟรีชาร์ต เอาท์พุทโนดจะถูกฟรีชาร์ตสู่ V_{dd} แต่ในช่วงประเมินค่า เอาท์พุทของเกทชุดแรกจะเปลี่ยนแปลงตามเงื่อนไขของอินพุท ถ้าหากว่ามีการดีเลย์ในช่วงนี้ (ซึ่งจะเป็นอินพุทของเกทชุดที่ 2) จะทำให้เกทชุดที่ 2 ประเมินค่าผิดพลาด

3. การแก้ปัญหาดังกล่าว อาจจำเป็นต้องใช้สัญญาณนาฬิกาหลายเฟส (ปกติ 4 เฟส)

4. คาบเวลาของสัญญาณนาฬิกา จะต้องมีค่านานเพียงพอที่จะให้การประเมินค่าของเกทชุดที่ช้าที่สุดเป็นไปอย่างสมบูรณ์เสียก่อน



รูปที่ 3.17 วงจรไดนามิคซีมอส

ซีมอสโดมิโนลอจิก (CMOS Domino Logic)

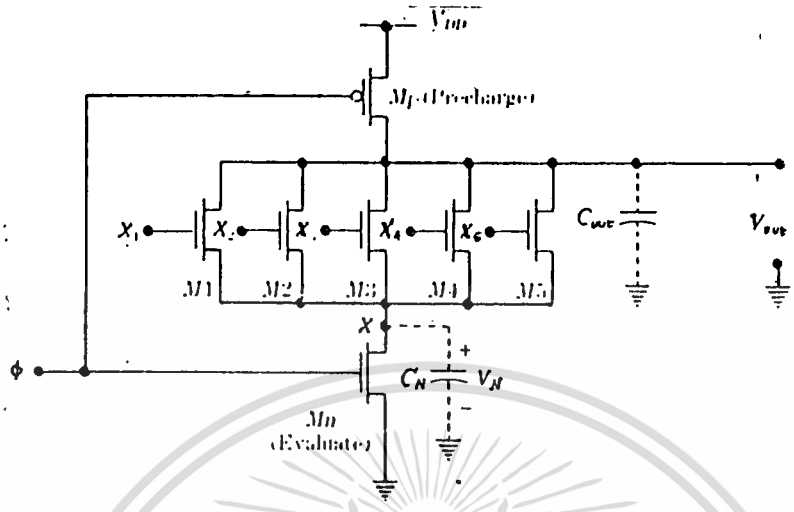
โครงสร้างพื้นฐานของโดมิโนลอจิก จะประกอบด้วยวงจร 3 ส่วนคือ ส่วนแรกจะเป็นไดนามิคซีมอสที่ทำงานด้วยสัญญาณนาฬิกาชุดเดียวคือ ฟรีชาร์ตและประเมินค่าและวงจรส่วนที่ 2 จะเป็นซีมอสอินเวอร์เตอร์ดังแสดงในรูปที่ 3.21

ในช่วงฟรีชาร์ตเอาท์พุทของวงจรไดนามิคจะฟรีชาร์ตสู่ V_{dd} และทำให้เอาท์พุทของอินเวอร์เตอร์เป็นระดับต่ำ เมื่อสัญญาณนาฬิกาเปลี่ยนจาก "0" เป็น "1" (ช่วงนี้จะประเมินค่า) ฟรีชาร์ตทรานซิสเตอร์จะหยุดทำงาน และทรานซิสเตอร์ประเมินค่าจะทำงานแทน

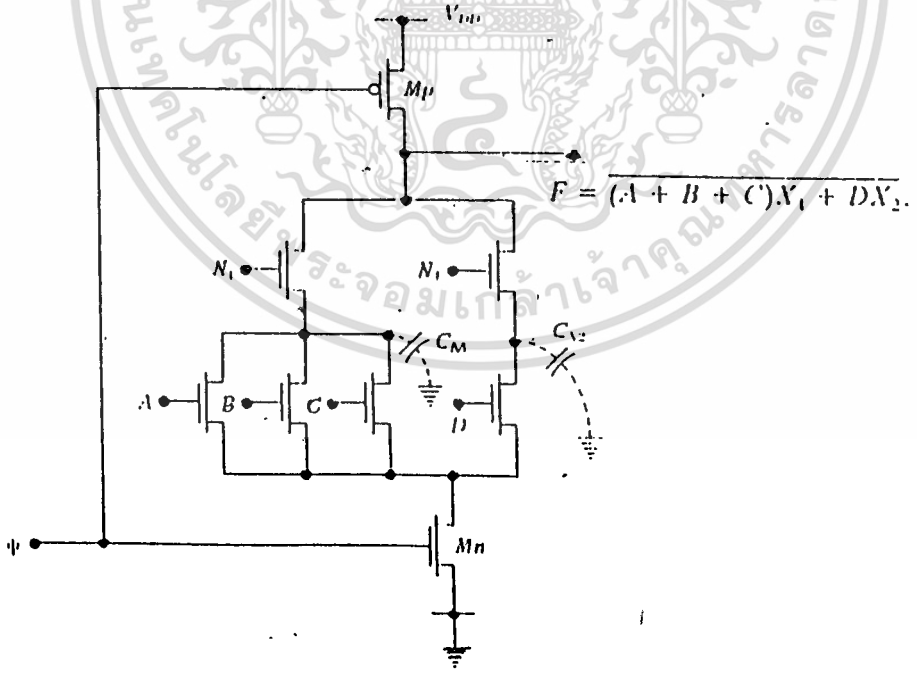
ในช่วงประเมินค่า โดมิโนลอจิกจะเปลี่ยนค่าเฉพาะเมื่อมีการเปลี่ยนจากระดับต่ำเป็นระดับสูงเท่านั้น ทำให้ขจัดปัญหาเรื่องสัญญาณ "glitches" ได้ทุกๆโหนดจะมีการเปลี่ยนครั้งเดียว และจะค้างอยู่ที่สถานะเดิมจนกว่าจะฟรีชาร์ตครั้งต่อไป เมื่อเกทชุดแรกประเมินค่าเกทชุดต่อๆไปก็จะ

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้รับการประเมินค่าด้วย (ดูรูปที่ 3.22)

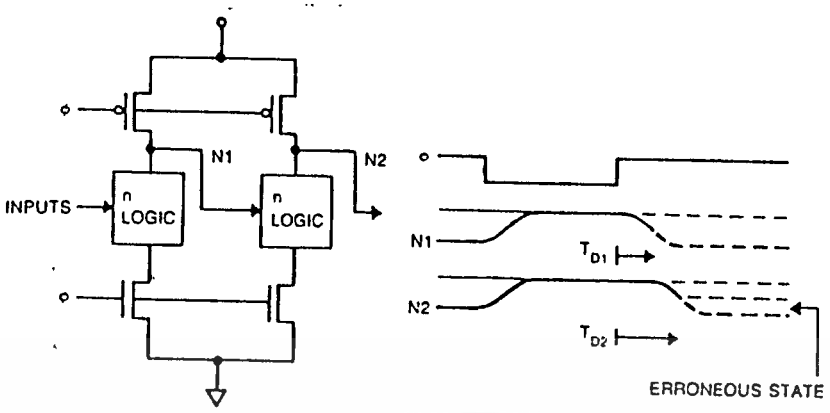


รูปที่ 3.18 วงจรไดนามิค 5 อินพุทนอร์เกท

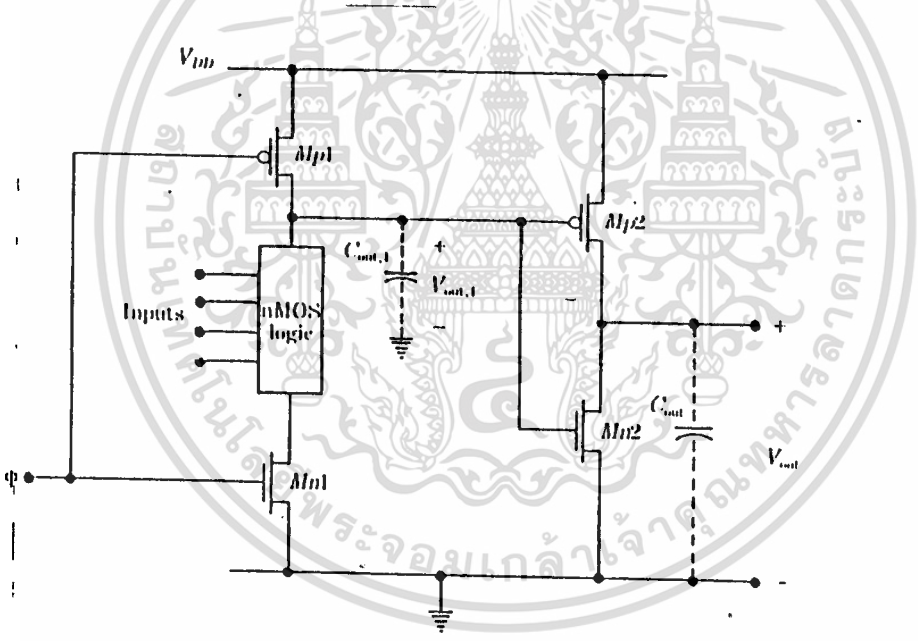


รูปที่ 3.19 วงจรไดนามิคซึ่งใช้ OAI เกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.20 ปัญหาในการอนุกรมไดนามิคซีมอสเกท

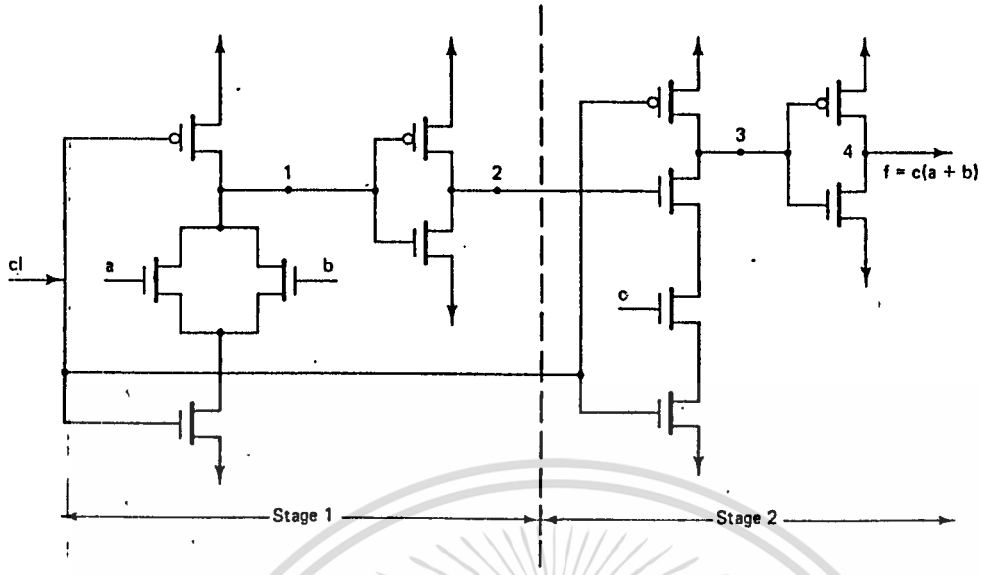


รูปที่ 3.21 วงจรพื้นฐานของโดมิโนซีมอสลอจิก

ข้อสรุป

- โดมิโนลอจิกจะประกอบด้วย ส่วนของวงจรซึ่งเป็นอินพุท ฟรีชาร์ดทรานซิสเตอร์, ทรานซิสเตอร์ประเมินผลและเอาท์พุทอินเวอร์เตอร์ออีก 1 ชุด ดังนั้นโดมิโนลอจิก n อินพุทจะมี ทรานซิสเตอร์ n + 4 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.22 วงจรโดมิโนซึ่งต่ออนุกรมกัน

- เป็นวงจรที่มีการสูญเสียต่ำ เพราะจะไม่มีกระแสเฉื่อยในวงจรเลย
- ปกติแล้วพีทรานซิสเตอร์ จะเสียพื้นที่มากกว่าเอ็นทรานซิสเตอร์ โดมิโนลอจิกมีทรานซิสเตอร์ส่วนใหญ่เป็นเอ็นทรานซิสเตอร์ จึงให้ความจุของอุปกรณ์ต่อพื้นที่ดีขึ้น ในขณะเดียวกันความยุ่งยากในการออกแบบลวดลายก็ลดลง

3.6 ข้อเปรียบเทียบของซีมอสลอจิกเกท

ในการเปรียบเทียบระหว่างลอจิกประเภทต่างๆ เรามักจะยึดเอาความสิ้นเปลืองเนื้อที่ ความประหยัดพลังงาน ความรวดเร็วในการทำงานฯ เป็นหลักก่อน ซึ่งตารางรูปที่ 3.23 จะเป็นการสรุปทั้งหมด ปกติแล้วการใช้พื้นที่ซิลิกอนของวงจรจะเป็นสัดส่วนโดยตรงกับจำนวนของทรานซิสเตอร์อยู่แล้ว แต่ทั้งนี้จะมีการเปลี่ยนแปลงขึ้นอยู่กับความยุ่งยากในการออกแบบลวดลาย ซึ่งขึ้นอยู่กับประเภทของเกทด้วย และปกติแล้วซีมอสจะสิ้นเปลืองเนื้อที่มากกว่าเอ็นมอสประมาณ 20-30 % และโดยปกติแล้วลอจิกบล็อกเล็กๆ มักจะออกแบบในรูปของสแตติกซีมอส แต่ถ้าหากเป็นวงจรลอจิกขนาดใหญ่ที่อนุกรมกันก็ควรจะปรับปรุงเป็นไดนามิคลอจิกหรือโดมิโนลอจิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC FAMILY	INPUT C	T_r	T_f	NO. TRANSISTORS
CMOS complementary (NAND)	2mCg	2τ	$m\tau$	2m
(NOR)	2mCg	$2m\tau$	τ	
Pseudo-nMOS (NAND)	mCg	6τ	$m\tau$	m + 1
(NOR)	mCg	6τ	τ	
Dynamic CMOS (NAND)	mCg	NA	$m\tau$	m + 2
(NOR)	mCg	NA	τ	
Clocked CMOS (NAND)	2mCg	4τ	$(m + 1)\tau$	2m + 2
(NOR)	2mCg	$2(m + 1)\tau$	2τ	
Domino CMOS (NAND) (N)	mCg	NA	$(m + 1)\tau$	m + 4
(including (NOR) (N)	mCg	NA	2τ	(m + 2
n-p CMOS) (NAND) (P)	mCg	$2(m + 1)\tau$	NA	for
(NOR) (P)	mCg	4τ	NA	n-p CMOS)

รูปที่ 3.23 ตารางเปรียบเทียบชิมอสลอจิกตระกูลต่างๆ

LOGIC TYPE	AREA
CMOS	
complementary	1.00
Pseudo-nMOS	0.95
Dynamic CMOS	0.98
Clocked CMOS	1.5
Domino CMOS	1.3

รูปที่ 3.24 ตารางเปรียบเทียบพื้นที่ลวดลายวงจรรวม
ของชิมอสลอจิกตระกูลต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบและการสร้างวงจรรวม

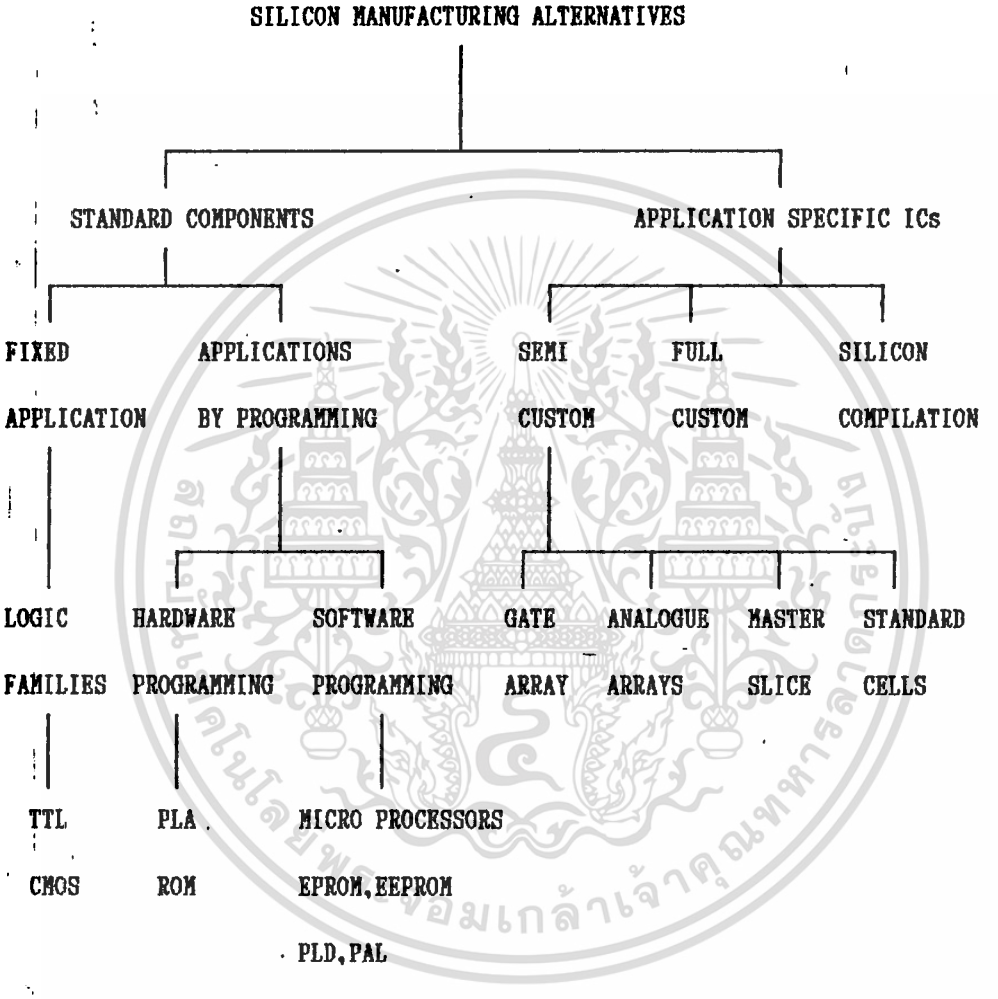
คำว่า "Very Large Scale Integration" หรือ "VLSI" เป็นคำที่สะท้อนให้เห็นภาพความเจริญทางเทคโนโลยีสารกึ่งตัวนำ ในอุตสาหกรรมการผลิตวงจรรวม ที่สามารถผลิตวงจรรวมซึ่งมีความสลับซับซ้อนลงบนผลึกซิลิกอนแผ่นเดียวได้กฎของ Moore (Moore's Law)กล่าวไว้ในปลายปี ค.ศ.1960 (พ.ศ.2503) ว่าความหนาแน่นของอุปกรณ์บนวงจรรวมจะเพิ่มเป็น 4เท่า ทุกๆ 3 หรือ 4 ปี โดยมีปัจจัยหลายๆอย่างที่สนันสนุนกฎนี้เช่น ความสามารถในการลดความกว้างของลวดลายวงจร อันเนื่องมาจากการพัฒนาเทคนิค PHOTO LITHOGRAPHY ชนิดความละเอียดสูง การพัฒนาเทคโนโลยีการสร้างวงจรรวม การเพิ่มขนาดของผลึกซิลิกอน (Silicon Wafer) และความเชี่ยวชาญของผู้ออกแบบวงจรรวม ตลอดจนความก้าวหน้าของระบบคอมพิวเตอร์

เดิมการออกแบบวงจรรวม ต้องอาศัยผู้ออกแบบที่มีความรู้ความสามารถทางวิชาการหลายด้าน ตั้งแต่วงจรลอจิก การออกแบบลวดลาย จนถึงขบวนการผลิตวงจรรวม ทำให้การออกแบบจำกัดอยู่ในวงแคบ ต่อมา Mead และ Conway ได้เสนอแนวความคิดในการออกแบบวงจรรวมใหม่ โดยแยกขั้นตอนในการออกแบบวงจรรวม และขั้นตอนในการผลิตวงจรรวมออกจากกัน ตั้งกฎการออกแบบ (design rules) สำหรับออกแบบวงจรรวม nMOS ตั้งกฎอัตราส่วน(ratio rule) สำหรับออกแบบวงจร และคิดค้นระบบนาฬิกาสองเฟส (Two-phase Clock) ทำให้การออกแบบง่าย และเป็นระเบียบมากขึ้น อีกทั้งยังสามารถแก้ปัญหาไทม์มิ่ง (timing) ของวงจรอีกด้วย นอกจากนี้ยังเสนอแนวความคิด การออกแบบวงจรรวมตามลำดับชั้น อันทำให้การออกแบบลวดลายวงจรรวมง่ายยิ่งขึ้น โครงการ Multiproject chip assembly ของโรงงานผลิตวงจรรวม ก็เป็นโครงการหนึ่งที่ทำให้การออกแบบวงจรรวมเปิดกว้างสู่สถาบันการศึกษา

สำหรับผลิตภัณฑ์ของโมโนลิธิคไอซี ปัจจุบันมีอยู่ 2 กลุ่มใหญ่ๆ ดังรูปที่ 4.1 กลุ่มแรกเป็นกลุ่มไอซีมาตรฐาน ซึ่งเป็นผลิตภัณฑ์ที่มีฟังค์ชั่นการใช้งานเฉพาะที่ได้รับการออกแบบมาเท่านั้น โดยทั่วไปจะเป็นแบบที่สามารถนำมาประยุกต์ใช้งานได้กว้างขวางมาก และไอซีในกลุ่มนี้มีบางประเภทที่สามารถที่จะโปรแกรมได้ เช่น หน่วยความจำ ไอซีกลุ่มที่ 2 ที่เรียกกันว่า ASIC (Application Specific ICs) เป็นไอซีที่จะเข้ามามีบทบาทอย่างมากในปัจจุบัน เพราะไอซีพวกนี้จะได้รับการออกแบบให้มีคุณสมบัติเฉพาะต่อความต้องการในการใช้งานแต่ละงานเท่านั้น บางครั้งการออกแบบก็จะออกแบบโดยผู้ใช้งานเอง การผลิตไอซีประเภทนี้ ซึ่งเรียกว่า full custom จะต้องใช้เวลาการออกแบบที่นาน และราคาจะลดลงมาได้ก็เฉพาะเมื่อผลิตเป็นจำนวนมากเท่านั้น ส่วนการใช้ Silicon Compilation จะทำให้ลดเวลาในการออกแบบลงได้มาก แต่ข้อเสียก็คือ ตัวโปรแกรมยังไม่สามารถใช้เนื้อที่บนซิลิกอนให้มีประสิทธิภาพสูงสุดได้ วิธีนี้จึงเหมาะสำหรับการออกแบบวงจรที่

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สลับซับซ้อนแต่ผลิตในปริมาณน้อย ดังนั้น Semi Custom จึงเป็นการแก้ปัญหาของ 2 วิธีที่กล่าวไปแล้วข้างต้น เพราะการเปลี่ยนแปลงหน้าที่ของตัวไอซี จะเปลี่ยนเพียงบางส่วนของขบวนการเท่านั้น ต้นทุนจึงลดลงเพราะมีการแบ่งส่วนกันระหว่างผู้ใช้งานด้วยกัน และ Semi Custom ยังแยกออกเป็นกลุ่มย่อยๆ อีกคือ gate array จะเป็นวงจรดิจิตอลที่ประกอบด้วย ฟังค์ชั่นการบวกและการคูณ ซึ่งสร้างไว้แล้วใน Librery การต่อกันระหว่างเกท จะขึ้นอยู่กับความต้องการของผู้ใช้งาน analog



รูปที่ 4.1 เทคนิคต่างๆ ในการผลิตวงจรรวม

array เป็นส่วนอุปกรณ์ อนาลอกประเภทต่างๆ เป็นส่วนๆ เช่น อุปกรณ์ตัวเดี่ยว วงจรขยาย VCO วงจรขยายความแตกต่าง เป็นต้น Master Slice เป็นส่วนที่คละเคล้ากันระหว่างอนาลอกและดิจิตอล และบางทีก็มีการรวมเอา RAM และ ROM เข้าไปด้วย นอกจากนี้บริษัทที่รับเจือสาร หรือบริษัทตัวแทนจะให้ความสะดวกต่อผู้ใช้งาน โดยการมีวงจรส่วนเล็กๆ หรือเซลล์ที่ออกแบบไว้เป็นมาตรฐานแล้ว (เรียกว่า Standard cell) ผู้ใช้ก็จะออกแบบเพิ่มเติมโดยใช้เซลล์เหล่านั้นเป็นพื้นฐานของวงจร ราคาการลงทุนก็จะลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 เลเยอร์ชนิดต่างๆ

Layers of Abstraction

เนื่องจากการออกแบบและการสร้างวงจรรวม ต้องใช้ความรู้และวิชาการหลายแขนง ตั้งแต่ความรู้ทางด้านฟิสิกส์ เคมี ไฟฟ้าและวิทยาการคอมพิวเตอร์ (Computer Science) นักวิชาการจึงแบ่งขบวนการออกแบบ และสร้างวงจรรวมออกเป็นขั้นย่อยๆ ดังต่อไปนี้

1. ชั้นทางกายภาพ

The Physical Layer

ระดับล่างสุดของการสร้างวงจรรวมก็คือ ระดับทางฟิสิกส์ของสารกึ่งตัวนำ การพัฒนาเทคโนโลยีทางวิศวกรรมเคมีที่สลับซับซ้อน ได้นำมาใช้ในการคิดค้นและตรวจสอบอุปกรณ์ใหม่ๆ อาทิ เช่น ทรานซิสเตอร์ ความต้านทาน ตัวเก็บประจุ ซึ่งอุปกรณ์เหล่านี้จะถูกนำมาต่อกันเป็นวงจรไฟฟ้า ทำให้เกิดการไหลของกระแส และการเปลี่ยนแปลงของแรงดัน อันเป็นพาหะของข้อมูล

ประเด็นที่สำคัญและควรจะให้ความสนใจเป็นอย่างมากก็คือ ทำอย่างไรวงจรรวมที่ออกแบบจึงจะเป็นวงจรรวมที่เหมาะสมที่สุด นั่นก็คือจะต้องพิจารณาความเร็วในการทำงานของวงจรรวม ระดับสัญญาณที่ลดต่ำลงเนื่องจากการต่อสาย และจะต้องพิจารณาพลังงานที่จ่ายให้วงจร ซึ่งจะนำไปคำนวณหาความร้อนที่เกิดขึ้น หลักการที่ควรจะยึดถือในการออกแบบก็คือกฎทางไฟฟ้า (Electrical rules) และสัญญาณไทม์มิ่ง ซึ่งจะทำให้มั่นใจได้ว่าวงจรรวมที่ออกแบบทำงานอย่างถูกต้อง

2. ชั้นลวดลาย

The Layout Layer

จุดเชื่อมต่อระหว่างโลกทางกายภาพ หรือขบวนการสร้างวงจรรวม กับโลกทางไฟฟ้าหรือวงจรไฟฟ้าก็คือ ชั้นลวดลาย (Layout Layer) วงจรไฟฟ้าจะถูกสร้างบนผิวหน้าของผลึกซิลิกอน (Silicon Substrate) ด้วยการต่อชั้นของสารเจือชั้นต่างๆ 3 ชั้นเข้าด้วยกัน คือ

ชั้นโลหะ (Metal Layer) เป็นชั้นตัวนำสำหรับการเชื่อมต่อทางไฟฟ้า ส่วนชั้น Poly silicon และชั้น Diffusion ใช้สร้างตัว TRANSISTOR โดยอาจต่อกันเป็นวงจรสวิทช์ (switch) วงจรอินเวอร์เตอร์ (inverters) และวงจรเกท (gate) อื่นๆ โดยจะต้องมีฉนวนคั่นเพื่อแยกแต่ละชั้นออกจากกัน ชั้นโลหะ (Metal Layer) มีค่าสภาพความต้านทานและความจุไฟฟ้าน้อยที่สุด ชั้น polysilicon ยังคงมีค่าความจุไฟฟ้าต่ำส่วนสภาพความต้านทานสูงขึ้นมา ส่วนชั้น diffusion มีค่าความจุไฟฟ้าสูงสุด ค่าความต้านทานปานกลาง ดังตารางที่ 4.1 เนื่องจากชั้นโลหะมีค่าสภาพความต้านทาน และความจุไฟฟ้าน้อย จึงมักจะใช้เป็นสายส่งสัญญาณข้อมูลระยะไกลๆ ภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรวม รวมทั้งใช้เดินสัญญาณไฟเลี้ยงและสัญญาณกราวด์ (ground) ทำให้วงจรรวมกินพลังงานต่ำ Heat dissipation ต่ำ มีความเร็วในการทำงานสูง (เนื่องจากค่าความจุไฟฟ้าน้อย) ส่วนข้อเสียก็คือ การเดินลายของชั้นโลหะจะต้องมีระยะห่างพอควร เพื่อป้องกันค่าความจุระหว่างลายของชั้นโลหะ และความกว้างของโลหะจะต้องไม่กว้างมากที่จะทำให้เกิด metal migration ชั้น polysilicon มักจะใช้กับสัญญาณควบคุม (control signal) ที่มีทิศทางการไหลของสัญญาณ ตั้งฉากกับลวดลายวงจรของชั้นโลหะ ส่วนชั้น diffusion จะใช้กับระยะสั้นๆ เนื่องจากมีค่าความจุไฟฟ้ามาก โดยมากมักจะใช้เป็นสารเจือสำหรับสร้างทรานซิสเตอร์ นอกจากนี้ยังมีโครงสร้างทางกายภาพอื่นๆ เช่น Contact Cuts สำหรับต่อชั้นของโลหะเข้ากับชั้น Polysilicon หรือชั้น Diffusion, burie หรือ butting contact ใช้สำหรับต่อชั้น Polysilicon เข้ากับชั้น diffusion รูปที่ 4.2 เป็นตัวอย่างการออกแบบลวดลายวงจรรวม โดยการจัดวางอุปกรณ์ให้ใช้พื้นที่น้อย

ชั้นสารเจือ	ค่าความต้านทาน	ค่าความจุไฟฟ้า
metal	ต่ำ	ต่ำ
polysilicon	ค่อนข้างสูง	ต่ำถึงปานกลาง
diffusion	ปานกลาง	สูง

ตารางที่ 4.1 แสดงค่าความต้านทาน และความจุไฟฟ้าของชั้นสารเจือต่างๆ

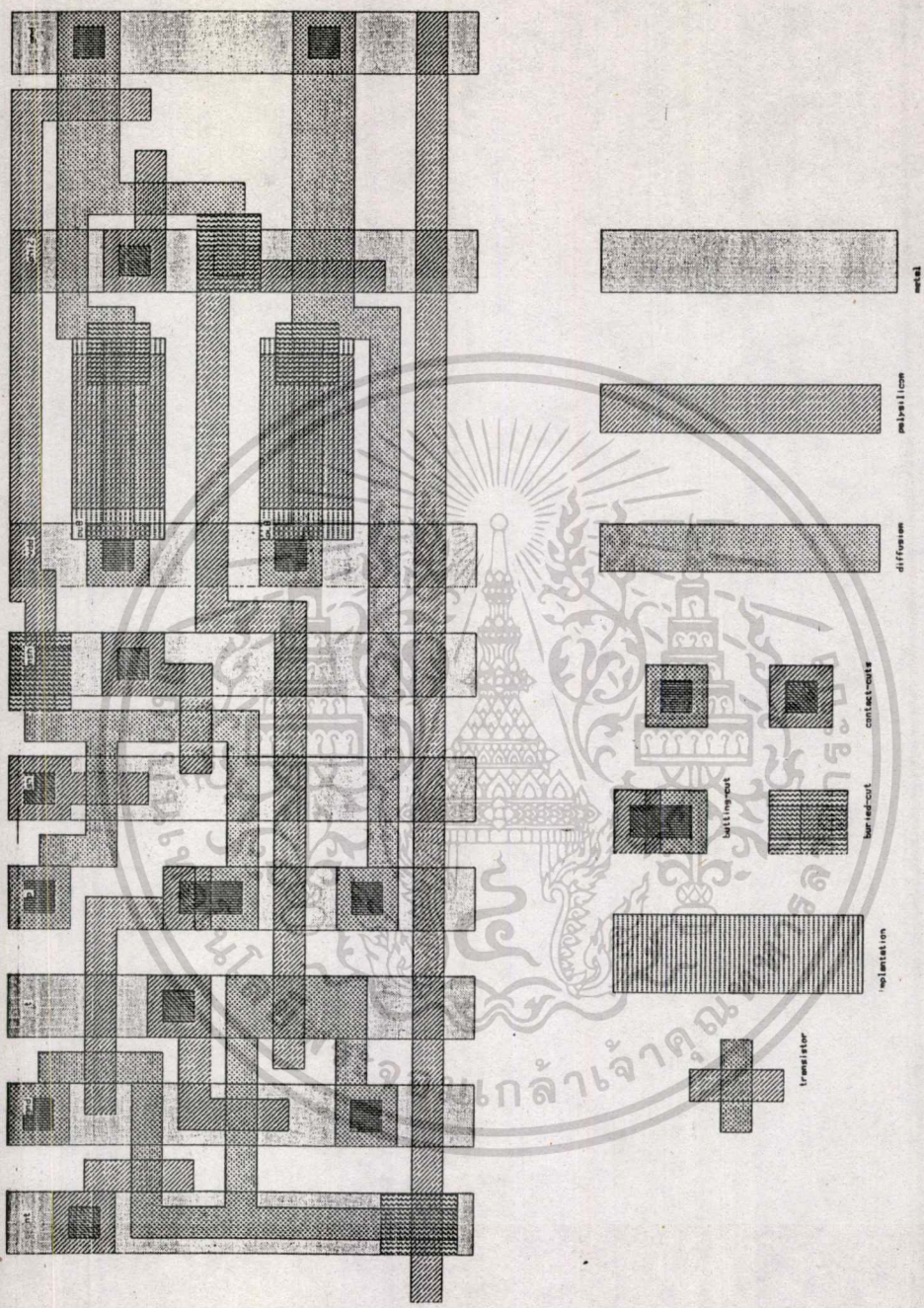
ที่สุด ภายใต้กฎการออกแบบ (design rules) ที่ยอมให้อุปกรณ์สามารถเหลื่อมซ้อนกันได้ตามขบวนการการผลิต และเทคโนโลยีของ Photo lithography อีกทั้งต้องคำนึงถึงสัญญาณไฟฟ้าอันเนื่องมาจากสภาพความต้านทาน และความจุไฟฟ้าของสารเจือชั้นต่างๆ

3. ชั้นลอจิกและวงจร

The Circuit and the Logic Layers

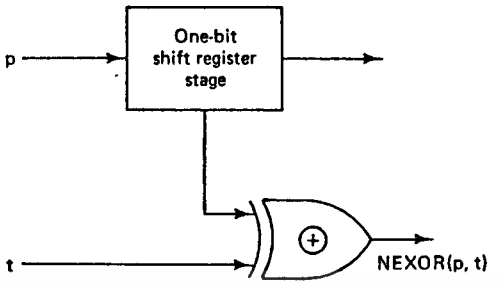
เป็นการใช้สัญญลักษณ์ทางลอจิกและสัญญลักษณ์ทางไฟฟ้ามาต่อเป็นวงจรไฟฟ้า รูปที่ 4.3 แสดงวงจรลอจิก รูปที่ 4.4 แสดงวงจรไฟฟ้าของวงจรรวมในรูปที่ 4.2 ซึ่งเป็นวงจร shift re

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

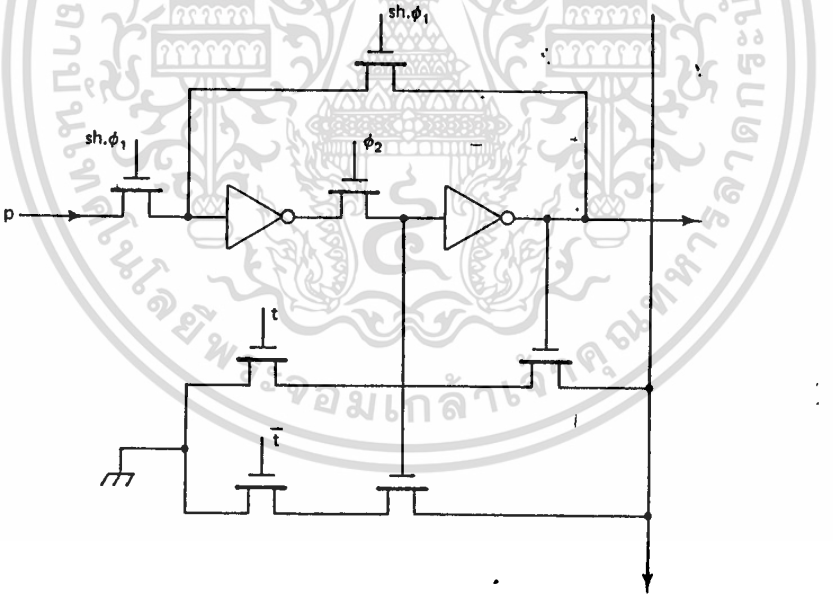


รูปที่ 4.2 แสดงตัวอย่างลวดลายวงจรรวม ของวงจร shift register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 ลอจิกไดอะแกรมของวงจร shift register



รูปที่ 4.4 แสดง circuit diagram ของ shift register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

gister วงจรในรูป 4.4 ประกอบด้วยทรานซิสเตอร์ที่ทำหน้าที่สวิทช์ อินเวอร์เตอร์ และเกท ซึ่งจะทำหน้าที่ประมวลสัญญาณลอจิก 0 และ 1 แต่สิ่งจำเป็นที่จะต้องพิจารณาในขั้นตอนนี้ก็คือ การตรวจสอบการทำงานที่ถูกต้องในระดับวงจร ตาม timing sequence โดยพิจารณาถึงการ delay และ timing ในการทำงานและอาจจะต้องพิจารณาใช้สัญญาณนาฬิกา (clock) มากำหนดการทำงานของวงจร

4. ชั้นการทำงานของวงจร

The Function Layer

ชั้นการทำงานของวงจร เป็นขั้นตอนในการนำความสามารถ ในการทำงานมาพิจารณาเทียบกับ specification และพิจารณาปัญหาที่เกิดขึ้น เช่น พิจารณาถึงอัลกอริธึม (algorithm) ที่จะนำมาใช้ในโครงสร้างของวงจรรวม ชนิดของ cell และการรับส่งสัญญาณภายในวงจรรวม ในกรณีที่วงจรรวมมีการทำงานซับซ้อน ก็ควรที่จะแบ่งวงจรรวมออกเป็นระบบย่อยหลายๆระบบ ตามวิธีการออกแบบตามลำดับชั้น โดยยึดหลักให้การทำงานของระบบย่อยๆเป็นอิสระแก่กัน ซึ่งจะทำให้การพิจารณาการทำงานของวงจรรวมง่ายยิ่งขึ้น

5. ชั้นการออกแบบระบบ

The System Layer

กล่าวได้ว่าเป็นขั้นตอนสุดท้ายของกระบวนการออกแบบ เป็นเรื่องของการเชื่อมต่อระบบย่อยต่างๆของวงจรรวมเข้าด้วยกัน ด้วยการเชื่อมต่อสายสัญญาณต่างๆ เช่น สายสัญญาณไฟเลี้ยง สายสัญญาณควบคุม สายสัญญาณข้อมูล สายสัญญาณนาฬิกา และจะต้องพิจารณาถึงการวางตำแหน่งของระบบย่อยต่างๆ ให้สอดคล้องกับการออกแบบในระดับ floor plan ซึ่งจะทำให้สามารถประเมินขนาดของวงจรรวมอย่างคร่าวๆได้

4.2 กฎการออกแบบ

Deign Rules

Design rules หรือ Layout rules ถือได้ว่าเป็นข้อกำหนดในการจัดเตรียม photomasks ที่จะใช้ในการเจือสาร (fabrication) สำหรับสร้างวงจรรวม กฎการออกแบบจะกำหนดเงื่อนไขที่สำคัญๆ ที่วิศวกรผู้ออกแบบวงจรรวม และวิศวกรผู้ทำการเจือสารจะต้องยึดถือเป็นข้อกำหนดเดียวกัน เพื่อให้ได้วงจรรวมที่มีประสิทธิภาพดีที่สุดตามเทคโนโลยีของการสร้างวงจรรวมนั้นๆ ยกตัวอย่าง เช่น ในวงจรรวมที่มีความกว้างของลวดลาย เช่น ความกว้างของลวดลายชั้นโลหะน้อย

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกินไป เมื่อนำไปทำการเจือสารก็อาจจะทำให้ลวดลายนั้นขาดออกจากกันได้ หรือในกรณีที่ระยะห่างระหว่างลวดลายน้อยเกินไป ก็อาจจะทำให้เกิดการลัดวงจรได้เช่นกัน ฯลฯ ดังนั้นจะเห็นได้ว่า กฎการออกแบบ มีความจำเป็นและสำคัญอย่างยิ่งที่จะต้องมี เนื่องจากเหตุผลดังต่อไปนี้

1. เนื่องจากเทคโนโลยีในการสร้างวงจรรวมมีข้อจำกัด และยังขึ้นอยู่กับแต่ละบริษัทที่ทำการเจือสาร อีกทั้งเทคโนโลยีเหล่านี้ ยังได้รับการพัฒนาอยู่ตลอดเวลา

2. เป็นกฎเกณฑ์ที่เชื่อมต่อระหว่างการออกแบบ และการสร้าง (Design - fabrication Interface) เพราะขนาดต่างๆ ที่ผู้ออกแบบกำหนดนั้น จำเป็นจะต้องสัมพันธ์กับขีดความสามารถในการสร้าง และยังเป็นตัวแปรของคุณสมบัติทางไฟฟ้าอีกด้วย แม้จะมี misalignment เกิดขึ้น วงจรรวมนั้นก็ยังคงสามารถทำงานได้ แต่ประสิทธิภาพอาจจะด้อยลงไป

สำหรับกฎการออกแบบ ที่พบเห็นทั่วๆไปนั้น จะนิยมใช้ด้วยกัน 3 วิธีคือ

1. กฎของอัลฟา และเบตา (Alpha and Beta rules)
2. กฎของไมครอน (Micron rules)
3. กฎของแลมดา (Lambda rules, λ rules)

กฎของแอลฟาและเบตา จะกำหนดขนาดของตัวอุปกรณ์ ในเทอมของ เบตา (β) และกำหนดระยะห่างของกริดที่ออกแบบ บนจอภาพหรืออุปกรณ์ใดๆ ในเทอมของ แอลฟา (α) นอกจากนี้ยังต้องกำหนดถึงความสัมพันธ์ของ แอลฟา และเบตาอีกด้วย ส่วนกฎของไมครอนเป็นกฎที่ระบุขนาดของอุปกรณ์ที่แท้จริง ในหน่วยของ ไมครอน (μm) ซึ่งโดยทั่วๆไป จะนำไปใช้ในขบวนการผลิตวงจรรวมในอุตสาหกรรมการผลิตไอซี สำหรับกฎการออกแบบของ แลมด้า หรือ λ rules เป็นกฎการออกแบบที่นิยมใช้กับการออกแบบวงจรรวมด้วยโปรแกรมมากที่สุด (เขียนโดย Mead และ Convay) เนื่องจากเป็นกฎที่มีความยืดหยุ่นสูง เพราะค่า λ ไม่กำหนดตายตัว เปลี่ยนแปลงตามเทคโนโลยีของการผลิตวงจรรวม ซึ่งการออกแบบวงจรรวมในวิทยานิพนธ์นี้ได้ใช้กฎการออกแบบ λ rules ของ JMRC (Joint Microelectronics Research Centre) มหาวิทยาลัย New Sounth Wales สำหรับการออกแบบวงจรรวม ซึ่งจะกล่าวในรายละเอียดต่อไป

4.3 กฎการออกแบบของ JMRC, UNSW

เป็นกฎการออกแบบที่เขียนโดย G.R.Hellestrand, T.Niday, G.A.Rigby และ C.H.Tan แห่ง JMRC (Joint Microelectronics Research Centre) มหาวิทยาลัย New South Wales โดยใช้ λ เป็นหน่วยของความยาวต่างๆ ตามกฎของ λ rules ของ Mead และ convay ในที่นี้ λ จะเท่ากับ 2.5 ไมครอน ซึ่งขึ้นอยู่กับเทคโนโลยีการผลิตวงจรรวมขณะนั้นๆ มหา

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิทยาลัย New South Wales จะส่งวงจรรวมในลักษณะ MPC (Multi Project Chip)ไปสร้างที่ AWA (Amalgamated Wireless Australia) ด้วยเทคโนโลยี 5 ไมครอน หรือ 2λ กฎการออกแบบของ JMRC, UNSW จะประกอบด้วย

1. กฎการออกแบบ (Design rules)
2. ค่าตัวแปรของโปรเซสของการสร้างวงจรรวม (Process parameters)
3. ค่าตัวแปรทางไฟฟ้า (Electrical parameters)

1. กฎการออกแบบ

Design rules

ก่อนที่จะกล่าวถึงกฎการออกแบบ จะขอสรุปถึงชื่อย่อ ของชั้นทางกายภาพ (Layer - name) และสีที่ใช้แทนชั้นทางกายภาพจริง (Physical layer) เพื่อความสะดวกในการออกแบบ ดังตารางที่ 4.2 จากตารางจะเห็นตัวอักษร C นำหน้า Layer name ทุกๆชั้นซึ่งจะหมายถึง CMOS

Physical Layer	Layer Names	Colour
contact	CC	black
n+ diffusion	CND	green
metal	CM	blue
p well	CPW	yellow
p+ diffusion	CPD	brown
polysilicon	CP	red
overglass	CG	purple

ตารางที่ 4.2 ตารางแสดงชื่อย่อของชั้นทางกายภาพและสีที่ใช้ในการออกแบบวงจรรวม

นั่นเอง ส่วนตัวห้อย (subscripts) ที่ใช้ในกฎต่างๆ มีดังต่อไปนี้คือ

c	- contact
g	- glass
m	- metal
n+	- n+ diffusion
n+guard	- n+ guard ring
p	- polysilicon
p+	- p+ diffusion
p+guard	- p+ guard ring
pw	- p well

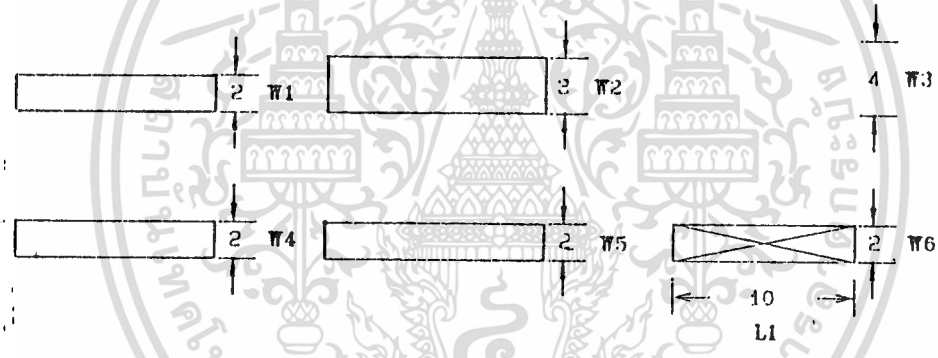
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนกฎการออกแบบจะจำแนกออกเป็น 7 กลุ่ม คือ

1. กฎการออกแบบเกี่ยวกับขนาดของชั้นสารต่างๆ (Intrinsic Geometry)

เป็นกฎการออกแบบที่เกี่ยวกับ ความกว้างและความยาว ของสารในชั้นต่างๆว่าจะต้องมีขนาดอย่างน้อยที่สุดเท่าใด จึงจะสามารถนำไปสร้างเป็นวงจรรวม โดยชั้นสารนั้นๆไม่ขาดออกจากกัน ดังแผนภาพที่แสดงในรูปที่ 4.5 W จะหมายถึง ความกว้าง ส่วน L จะหมายถึง ความยาวและความหมายของตัวห้อย (subscripts) ได้กล่าวไว้แล้วข้างต้น Intrinsic Geometry มี 7 ข้อ ดังนี้

rule W1	- polysilicon	: $W_p \geq 2\lambda$
rule W2	- metal	: $W_m \geq 3\lambda$
rule W3	- p well	: $W_{pw} \geq 4\lambda$
rule W4	- n+ diffusion	: $W_{n+} \geq 2\lambda$
rule W5	- p+ diffusion	: $W_{p+} \geq 2\lambda$
rule W6	- contact	: $W_c \geq 2\lambda$
rule L1	- contact	: $L_c \leq 10\lambda$



รูปที่ 4.5 แสดงระยะ Intrinsic Geometry

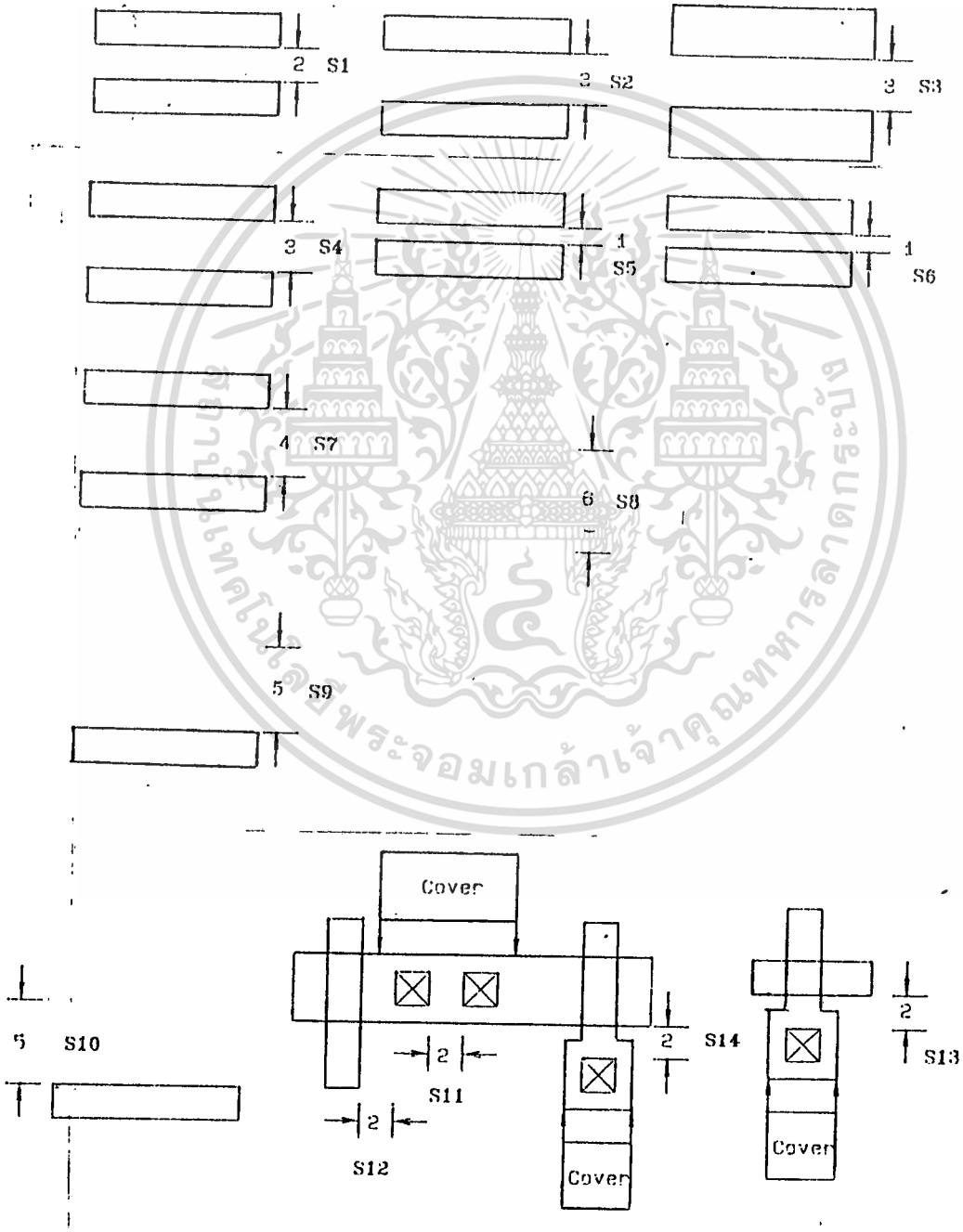
2. กฎการออกแบบเกี่ยวกับระยะห่าง (External Clearance)

เป็นกฎที่เกี่ยวกับระยะห่างระหว่างสารชนิดเดียวกันและสารต่างชนิด เพื่อป้องกันการต่อถึงกันขณะสร้างวงจรรวม ดังแผนภาพแสดงในรูปที่ 4.6 โดย S จะหมายถึงระยะห่าง กฎในกลุ่มนี้จะมีทั้งหมด 17 ข้อดังนี้

rule S1	- polysilicon and polysilicon	: $S_{pp} \geq 2\lambda$
rule S2	- n+ diffusion and n+ diffusion	: $S_{n+n+} \geq 3\lambda$
rule S3	- metal and metal	: $S_{mm} \geq 3\lambda$
rule S4	- p+ diffusion and p+ diffusion	: $S_{p+p+} \geq 3\lambda$
rule S5	- polysilicon and p+ diffusion	: $S_{pp+} \geq 1\lambda$
rule S6	- polysilicon and n+ diffusion	: $S_{pn+} \geq 1\lambda$
rule S7	- n+ diffusion and p+ diffusion	: $S_{p+n+} \geq 4\lambda$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

rule S8	- p well and p well	: $S_{pwpw} \geq 6\lambda$
rule S9	- p well and p+ diffusion	: $S_{pwp+} \geq 5\lambda$
rule S10	- p well and n+ diffusion	: $S_{pwn+} \geq 5\lambda$
rule S11	- contact and contact	: $S_{cc} \geq 2\lambda$
rule S12	- contact and polysilicon	: $S_{cp} \geq 2\lambda$
rule S13	- contact and p+ diffusion	: $S_{cp+} \geq 2\lambda$
rule S14	- contact and n+ diffusion	: $S_{cn+} \geq 2\lambda$
rule S15	- polysilicon and metal	: not applicable
rule S16	- n+ diffusion and metal	: not applicable
rule S17	- p+ diffusion and metal	: not applicable



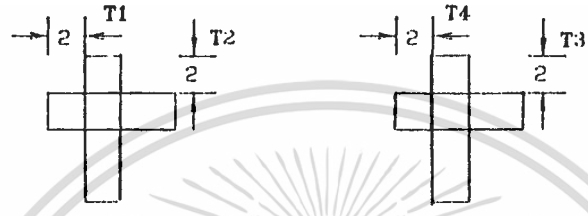
รูปที่ 4.6 แสดงระยะ External Clearance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. กฎการออกแบบเกี่ยวกับทรานซิสเตอร์ (Transister Formation)

เป็นกฎที่เกี่ยวกับการฟอร์มตัวของทรานซิสเตอร์ เพื่อให้ทรานซิสเตอร์ทำงานได้ถูกต้อง ไม่มีการลัดวงจรระหว่างขาเดรนและซอร์ส อันเนื่องจากการแพร่สารบางเกินไป ดังแผนภาพที่ 4.7 โดยที่ T หมายถึงส่วนเผื่อ (extention) ซึ่งกฎในกลุ่มนี้มี 4 ข้อ คือ

rule T1	- n+ diffusion from polysilicon	: $T_{n+p} \geq 2\lambda$
rule T2	- polysilicon from n+ diffusion	: $T_{pn+} \geq 2\lambda$
rule T3	- polysilicon from p+ diffusion	: $T_{pp+} \geq 2\lambda$
rule T4	- p+ diffusion from polysilicon	: $T_{p+p} \geq 2\lambda$

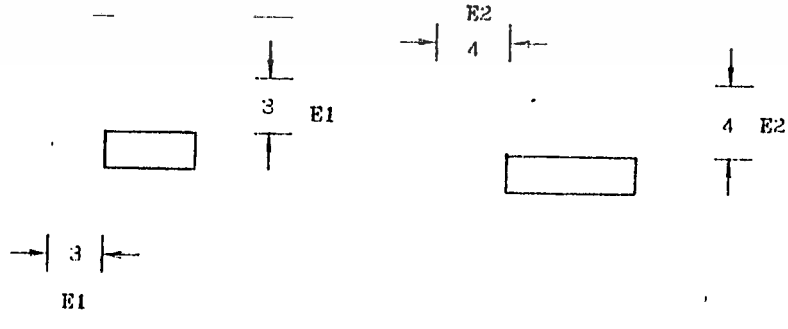


รูปที่ 4.7 แสดงกฎการออกแบบเกี่ยวกับทรานซิสเตอร์

4. กฎการออกแบบเกี่ยวกับระยะห่างในเลเยอร์ (Internal Clearance)

เป็นกฎที่เกี่ยวกับการฟอร์มตัวของ n+ diffusion และ p+ diffusion ใน p well และนอก p well ตามลำดับดังแผนภาพรูป 4.8 โดยที่ E หมายถึงส่วนเผื่อ (extension) ซึ่งกฎในกลุ่มนี้มี 2 ข้อ คือ

rule E1	- n+ diffusion from p well	: $E_{n+pw} \geq 3\lambda$
rule E2	- p+ diffusion from p well	: $E_{p+pw} \geq 4\lambda$



รูปที่ 4.8 แสดงกฎการออกแบบเกี่ยวกับระยะห่างในเลเยอร์ Internal Clearance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. กฎการออกแบบเกี่ยวกับ Contact

เป็นกฎการออกแบบที่กำหนดขนาดของ Contact สำหรับเชื่อมต่อสารเจือระหว่างชั้นต่างๆ เพื่อให้มั่นใจว่าแม้เกิด misalignment ของหน้ากากขณะทำการเจือสาร สภาพการเชื่อมต่อดังกล่าวก็สามารถดำรงอยู่ได้ ดังแผนภาพรูปที่ 4.9 กฎเกี่ยวกับ contact มี 7 ข้อ คือ

rule C1 - *p+cut* connects p+ diffusion and metal :

metal	4λ x 4λ
p+ diffusion	4λ x 4λ
contact	2λ x 2λ

rule C2 - *n+cut* connects n+ diffusion and metal :

metal	4λ x 4λ
n+ diffusion	4λ x 4λ
contact	2λ x 2λ

rule C3 - *polycut* connects polysilicon and metal :

metal	4λ x 4λ
poly	4λ x 4λ
contact	2λ x 2λ

rule C4 - *n+ buttcut* connects n+ diffusion, polysilicon and metal :

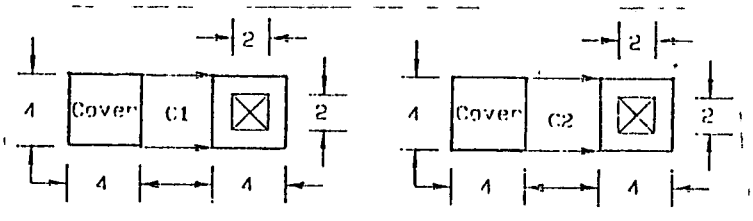
metal	6λ x 4λ
polysilicon	3λ x 4λ
n+ diffusion	4λ x 4λ
contact	4λ x 2λ

rule C5 - *p+ buttcut* connects p+ diffusion, polysilicon and metal :

metal	6λ x 4λ
polysilicon	3λ x 4λ
p+ diffusion	4λ x 4λ
contact	4λ x 2λ

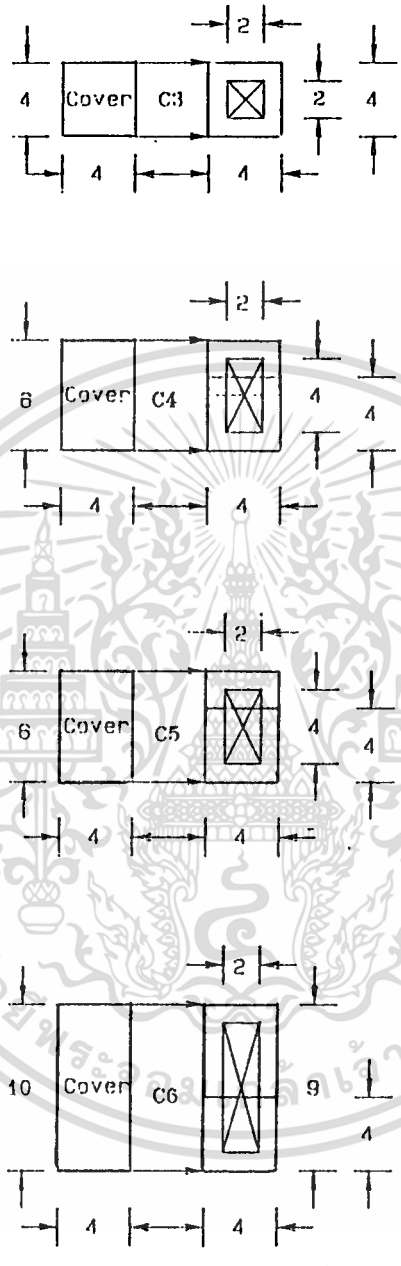
rule C6 - *split contact* connects n+ diffusion, p+ diffusion and metal :

metal	10λ x 4λ
n+ diffusion	5λ x 4λ
p+ diffusion	4λ x 4λ
contact	7λ x 2λ



รูปที่ 4.9 แสดงกฎการออกแบบเกี่ยวกับ Contact

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 (ต่อ) แสดงกฎการออกแบบเกี่ยวกับ Contact

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. กฎการออกแบบเกี่ยวกับ Glass

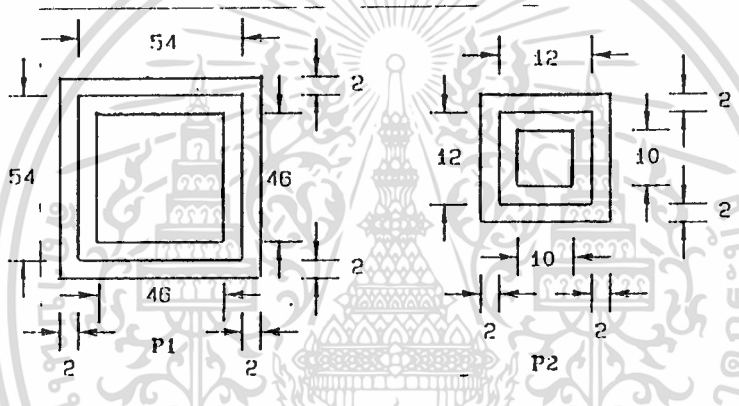
เป็นกฎเกี่ยวกับการ Bonding pads และ Probing pads ดังแผนภาพรูปที่ 4.10 ซึ่งในรูปจะเห็นว่า มีชั้นของ polysilicon อยู่ทุกๆ pads เพื่อป้องกัน pads เสียหายขณะทำการ bonding และ probing กฎในกลุ่มนี้มี 2 ข้อ คือ

rule P1 - Bonding Pads :

metal	54λ x 54λ
glass	46λ x 46λ
polysilicon	56λ x 56λ

rule P2 - Probing Pad :

metal	12λ x 12λ
glass	10λ x 10λ
polysilicon	14λ x 14λ



รูปที่ 4.10 แสดงกฎการออกแบบเกี่ยวกับ Glass

7. กฎการออกแบบเกี่ยวกับ Guard Rings

Guard Rings เป็นโครงสร้างสำหรับป้องกันปัญหา latch-up ของโครงสร้างCMOS ซึ่งจะทำให้วงจรรวมไม่สามารถทำงานได้ จึงต้องมีการใช้ p+ diffusion รอบๆ p well ในทรานซิสเตอร์ชนิด n และใช้ n+ diffusion รอบๆ ทรานซิสเตอร์ชนิด p เป็น guard ring โดยที่ p+ diffusion จะต่อกับ V_{ss} (0 โวลท์)และ n+ diffusionจะต่อกับ V_{DD} (5 โวลท์) ดังแผนภาพรูปที่ 4.11 และกฎทั้ง 2 ข้อ ดังต่อไปนี้

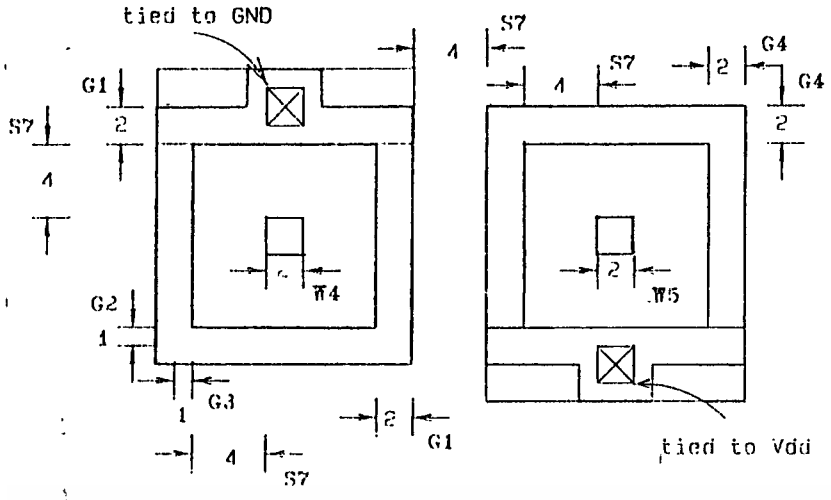
p+ guard ring

rule G1	- width of p+ diffusion	: $W_{p+guard} \geq 2\lambda$
rule G2	- extension of p+ diffusion outer edge from p-well	: $E_{p+guardpw} \geq 1\lambda$
rule G3	- extension of p-well from p+ diffusion inner edge	: $E_{pwp+guard} \geq 1\lambda$

n+ guard ring

rule G4 - width of n+ diffusion : $W_{n+guard} \geq 2\lambda$

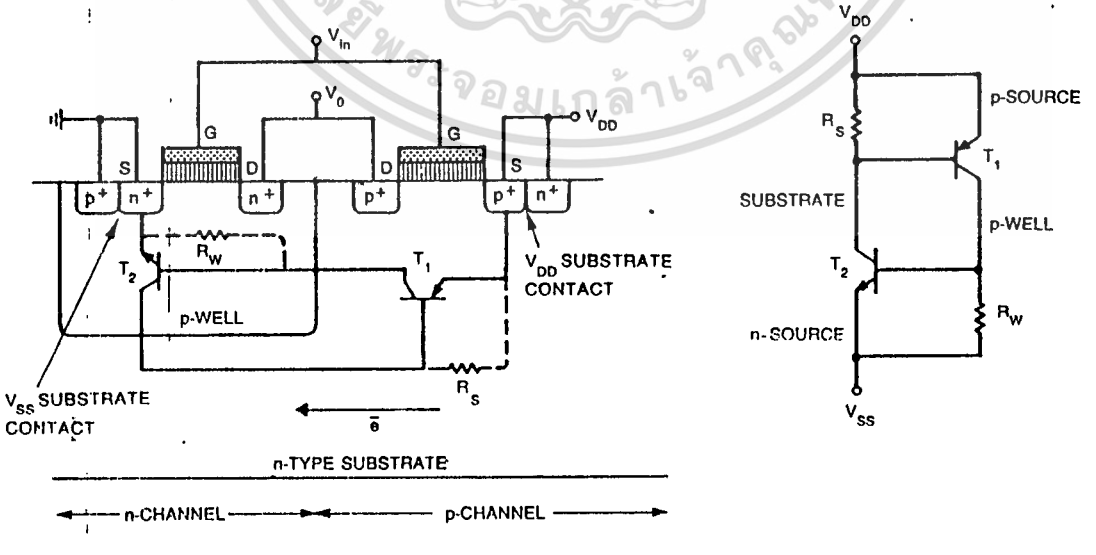
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 แสดงกฎการออกแบบเกี่ยวกับ Guard Rings

Latch-up

ปัญหา Latch-up เป็นปัญหาที่เกิดขึ้นบ่อยๆ กับกระบวนการสร้างวงจรรวมในสมัยก่อน แต่ปัจจุบันปัญหานี้ได้รับการแก้ไข ทั้งทางด้านความก้าวหน้าในการสร้างวงจรรวมและทางด้านเทคนิคการออกแบบวงจร (circuit techniques) รูปที่ 4.12 เป็นภาคตัดขวางของ p well CMOS ซึ่งจะอธิบายถึงปรากฏการณ์ Latch-up จากรูปจะเห็นว่า กระบวนการสร้าง CMOS จะทำให้เกิดรอยต่อ pnp และ npn ซึ่งเสมือน ไบโพลาทรานซิสเตอร์ขึ้น 2 ตัว คือ T_1 (ชนิด pnp) และ T_2



รูปที่ 4.12 แสดงภาคตัดขวางของ CMOS แสดงถึง Latch-up และวงจรสมมูลย์

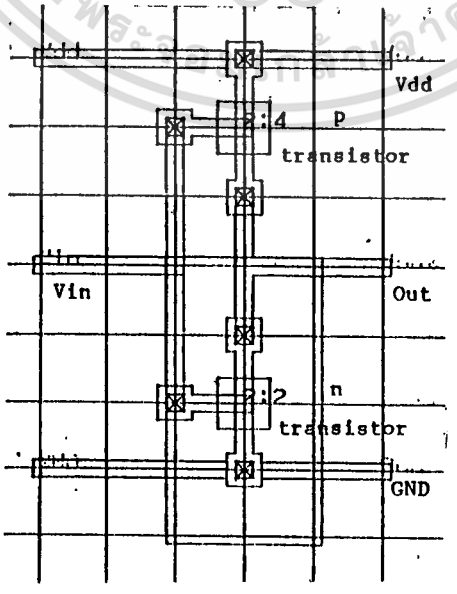
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ชนิด npn) และความต้านทานอีก 2 ตัวคือ Rs (ความต้านทานที่ substrate) และ Rw (ความต้านทานที่ p well) ในกรณีที่มีกระแสอิเลคทรอนไหลจาก n substrate ไปที่ p well มากพอ อาจจะทำให้โวลท์เตจตกคร่อม Rs มีค่ามากพอที่จะสวิทช์ ทรานซิสเตอร์ T_1 ให้นำกระแสซึ่งจะมีผลทำให้ T_2 นำกระแสต่อมา (ดูรูปวงจรสมมูลย์ประกอบ) ดังนั้น V_{DD} จะลัดวงจรกับ V_{SS} ได้วิธีที่จะแก้ปัญหาก็คือ ต้องหาวิธีการลดค่าความต้านทาน Rs และ Rw ลงรวมทั้งค่าอัตราขยายของ T_1 และ T_2 ด้วย อนึ่ง Latch-up มักเกิดกับ I/O Pad เนื่องจาก I/O Pad มีกระแสไหลสูง กว่าบริเวณอื่นๆของวงจรรวม ส่วนในทางปฏิบัติจะมีการใช้ substrate contacts เพื่อที่จะลด Rs และ Rw ดังรูป และยังมีข้อปลีกย่อยต่อไปนี้ ที่นักออกแบบควรยึดถือถือปฏิบัติ คือ

1. ทุกๆ well จะต้องมี substrate contact
2. ทุกๆ substrate contact จะต้องต่อด้วยชั้นโลหะไปที่ไฟเลี้ยง หรือ กราวด์-โดยตรง
3. ทุกๆ หนึ่ง substrate contact สามารถครอบคลุม CMOS ทรานซิสเตอร์ได้ 5-10 ตัว
4. ใช้ p+ และ n+ guard ring ที่ทุกๆ I/O Pad
5. เนื้อที่ของ p well ควรจะออกแบบให้น้อยที่สุดเพื่อป้องกันกระแส ขณะเกิด transient และสิ่งที่สำคัญซึ่งกฎการออกแบบของ JMRC, UNSW ระบุไว้ก็คือ

- ส่วนของ p well ต้องไม่มากกว่า 30 λ จาก p+ contact (p+ cut)
- ส่วนของทรานซิสเตอร์ชนิดพี ต้องไม่มากกว่า 60 λ จาก n+ contact(n+ cut)

ส่วนรูปที่ 4.13 เป็นตัวอย่างของวงจร CMOS INVERTOR ที่สร้างด้วยโปรแกรม CIR CAD II ตามกฎการออกแบบที่กล่าวไว้แล้วข้างต้น



รูปที่ 4.13 แสดงตัวอย่างของวงจร CMOS INVERTOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ค่าตัวแปรโปรเซสของการสร้างวงจรรวม

Process parameter

เป็นค่าที่แสดงคุณสมบัติต่างๆ ทางไฟฟ้า ค่าต่างๆ เหล่านี้จะนำไปคำนวณหาประสิทธิภาพของวงจรรวม โดยแทนค่าในโปรแกรม SPICE ซึ่งเป็น Analog electrical simulation ดังตารางที่ 4.3

PARAMETER	NMOS	PMOS	UNITS
LEVEL	2	2	-
VTO	0.8	-0.95	V
KP	12E-6	6E-6	A/V^2
GAMMA	1.6	0.6	$V^{0.5}$
LAMBDA	0.003	0.002	V^{-1}
TOX	0.1U	0.1U	m
CGSO	3.5E-10	3.5E-10	F/m
CGDO	3.5E-10	3.5E-10	F/m
CGBO	3.6E-10	3.6E-10	F/m
NSUB	1E16	1E15	$1/cm^3$
TPG	1.0	-1.0	-
VMAX	5E4	5E4	m/s
RSH	9.5	100	Ω/sq
CJSW	1E-9	1E-9	F/m
XJ	1.8U	2U	m
LD	1U	1U	m
DELTA	1	1	-

ตารางที่ 4.3 แสดงค่า CMOS พารามิเตอร์ที่ใช้ในโปรแกรม SPICE

โดยที่

LEVEL	- SPICE MOS model index
VTO	- zero-bias threshold voltage
KP	- transconductance parameter
GAMMA	- bulk threshold parameter
LAMBDA	- channel-length modulation
TOX	- oxide thickness
CGSO	- gate-source overlap capacitance
CGDO	- gate-drain overlap capacitance
CGBO	- gate-bulk overlap capacitance
NSUB	- substrate doping
TPG	- type of gate material
VMAX	- maximum drift velocity of carriers
RSH	- drain and source diffusion sheet resistance
CJSW	- zero-bias bulk junction side wall capacitance
XJ	- metallurgical junction depth
LD	- lateral diffusion
DELTA	- width effect on threshold voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ค่าตัวแปรทางไฟฟ้า

Electrical parameters

เป็นค่าที่แสดงถึงคุณสมบัติต่างๆ ทางไฟฟ้า ซึ่งได้จากการทดสอบ Multi Project Chip (MPC) ที่ชื่อ MPC85-1C ดังตารางที่ 4.4

Electrical Parameter	Value	Units
threshold voltage nMOS (16:16)	0.718	V
threshold voltage PMOS (16:16)	-1.015	V
threshold voltage nMOS (16:2)	0.241	V
threshold voltage PMOS (16:2)	-0.803	V
bulk effect for nMOS, gamma	1.57	$V^{0.5}$
bulk effect for PMOS, gamma	-0.55	$V^{0.5}$
transconductance, K for nMOS	12	A/V^2
transconductance, K for PMOS	5.9	A/V^2
channel length modulation for nMOS, λ (>10μm length)	0.03	1/V
channel length modulation for PMOS, λ (>10μm length)	0.002	1/V
p well resistance	5,050	Ω/square
n+ diffusion resistance	9.3	Ω/square
p+ diffusion resistance	98	Ω/square
polysilicon resistance	24	Ω/square
aluminium resistance	0.044	Ω/square
gate capacitance	0.35	$fF/\mu m^2$

ตารางที่ 4.4 แสดงค่า Electrical Parameter จากการวัด MPC85-1C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การใช้ CIRCAD II ในการสร้างวงจรรวม

การออกแบบลวดลายของวงจรรวมด้วยสัญญลักษณ์โดยใช้โปรแกรม Ingred

(Laying Out Symbolic Integrated Circuits With Ingred)

ในบทนี้จะกล่าวถึงการใช้โปรแกรม Ingred ซึ่งเป็น Interactive Graphical-Editor โดยการใช้สัญญลักษณ์แทนอุปกรณ์สำหรับการออกแบบลวดลายของวงจรรวมซึ่งเหมาะสำหรับการเริ่มออกแบบลวดลาย และการแก้ไขลวดลายที่ออกแบบไปแล้ว ก่อนที่จะกล่าวรายละเอียดของการใช้งานโปรแกรม Ingred จะขอสรุปแนวความคิดพื้นฐาน และขั้นตอนการใช้งานของโปรมแกรมเสียก่อน คือ

5.1 การออกแบบด้วยสัญญลักษณ์

Symbolic Design

การออกแบบวงจรรวมด้วยสัญญลักษณ์ เป็นการนำเอาสัญญลักษณ์ของอุปกรณ์ต่างๆ ในวงจร เช่น ทรานซิสเตอร์มาแทนลวดลายของวงจรรวม (Physical Mask Layouts) โดยใช้โปรแกรม Ingred ทำหน้าที่สร้างหรือแก้ไขสัญญลักษณ์ของลวดลายในวงจรรวม วงจรซึ่งสร้างด้วยโปรแกรม Ingred จะเก็บไว้ในไฟล์นามสกุล SL (Symbolic Layout) ซึ่งโปรแกรม JIGSAW จะทำการจัดระยะห่างของลวดลายให้เหมาะสม แล้วแปลงเป็นไฟล์ลวดลายของวงจร (CIF ไฟล์) ที่พร้อมจะสร้างเป็นวงจรรวมต่อไป

การออกแบบลวดลายด้วยสัญญลักษณ์มีข้อดีอยู่หลายประการ อาทิเช่น ทำให้มั่นใจได้ว่าไม่ผิดกฎการออกแบบ (guaranteed to be free of design rule errors) ทำให้สามารถกำจัดสาเหตุของความผิดพลาดในกระบวนการ (process) การออกแบบลงไปได้ นอกจากนี้โปรแกรม JIGSAW จะคำนวณระยะห่างของอุปกรณ์ที่น้อยที่สุดให้เอง ทำให้นักออกแบบสามารถออกแบบวงจรได้โดยไม่ต้องกังวลถึงระยะห่างระหว่างอุปกรณ์

5.2 การออกแบบตามลำดับชั้น

Hierarchical Design

การออกแบบวงจรตามโครงสร้าง (structured circuit design) จะต้องแบ่งวงจรออกเป็นโมดูล และแต่ละโมดูลจะมีหน้าที่หนึ่งๆซึ่งอาจจะเหมือนหรือต่างจากโมดูลอื่นยกตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่น วงจรคอมพิวเตอร์อย่างง่าย อาจจะประกอบไปด้วยโมดูลเพียง 3 โมดูลคือ โมดูลหน่วยความจำ โมดูล ALU และโมดูลควบคุมอุปกรณ์รอบนอก (Peripheral Controllers)

ส่วนการออกแบบตามลำดับชั้น จะแตกต่างจากวิธีแรกตรงที่ว่า แต่ละโมดูลจะถูกแบ่งเป็นโมดูลย่อยลงไปอีก อาทิเช่น โมดูล ALU ดังที่กล่าวมาแล้ว อาจจะแบ่งออกเป็น 3 โมดูลย่อยคือ โมดูลย่อยของรีจีสเตอร์ โมดูลย่อยของวงจรบวกและโมดูลย่อยของส่วนควบคุม

โปรแกรม Ingred เป็นโปรแกรมสร้างหรือแก้ไขวงจรตามลำดับชั้น(Hierarchical Editor) ซึ่งเหมาะสำหรับการออกแบบด้วยวิธีโครงสร้าง (Structured Design) และวิธีการออกแบบวงจรรวมด้วยการแบ่งออกเป็นโมดูลย่อย เราเรียกว่า Floor planning

5.3 การใช้งานโปรแกรม Ingred

How to use Ingred

การใช้โปรแกรม Ingred นี้ จะอธิบายถึงการใช้คำสั่งและผลของคำสั่งที่ปรากฏบนจอ ดังนั้นการใช้งานโปรแกรมให้เกิดประสิทธิภาพมากที่สุดคือ การใช้งานด้วยการออกแบบวงจรจริงบนจอภาพกราฟฟิค ตามคำสั่งต่างๆที่อธิบายไว้

5.3.1 การเริ่มใช้งาน

Getting Started

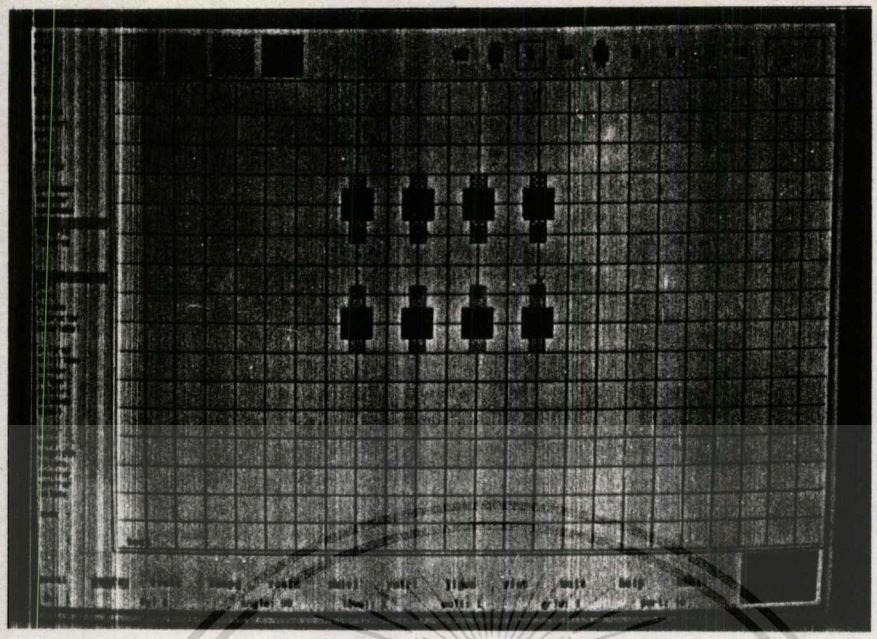
หลังจากทำการ log on เพื่อเข้าระบบให้ทำการรันโปรแกรม Ingred ด้วยการพิมพ์คำว่า "ingred" ในบางครั้งอาจจะจำเป็นต้องระบุ ชนิดของจอภาพกราฟฟิคด้วยแฟล็ค "-t work station" ซึ่ง workstation หมายถึงชนิดของจอภาพกราฟฟิค ซึ่งจะถูกระบุในโปรแกรมกราฟฟิค GROGAN ขณะใช้งานโปรแกรมข้อมูลความผิดพลาดต่างๆ ในการออกแบบจะถูกเก็บ (Debugging - Message) ไว้ในไฟล์ Ingred.Log โดยอัตโนมัติ ทำให้ผู้ใช้งานสามารถตรวจสอบและแก้ไขข้อผิดพลาดได้ในภายหลังหรืออาจจะใช้คำสั่ง "-d error file" สั่งให้โปรแกรม Ingred รายงานข้อมูลความผิดพลาดเก็บในไฟล์ "errorfile" หรืออาจจะเป็นอุปกรณ์ outputใดๆ ที่ถูกแทนด้วยชื่อ- "errorfile" นอกจากนี้โปรแกรม Ingred อาจจะถูกตามหลังด้วยชื่อไฟล์วงจร

5.3.2 ส่วนต่างๆของจอภาพ

Screen Layout

หลังจากเรียกโปรแกรม Ingred ใช้งานจะเห็นได้ว่าจอภาพถูกแบ่งออกเป็นส่วนๆ ซึ่งทำหน้าที่ต่างๆกัน ดังนี้

ลิขสิทธิ์เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 แสดงส่วนต่างๆของจอภาพ

ทางด้านซ้ายของจอภาพจากบนลงล่าง เป็นเมนูของชุดคำสั่ง ซึ่งมีทั้งชุดคำสั่งแฟล็ก-(flag) และชุดคำสั่งการทำงาน (action) ชุดคำสั่งแฟล็ก มีการทำงานในลักษณะ Toggle คือ on และ off โดยการใช้ mouse เป็นตัวชี้ใช้งานได้ทุกๆขณะ คำสั่งที่ถูกใช้งานจะสังเกตุได้จากแถบสีเหลืองที่เน้นคำสั่ง (highlighted)

ชุดคำสั่งการทำงาน แบ่งออกเป็นเมนูย่อยๆ ตามลักษณะการใช้งาน 3 เมนู คือ

- เมนูหลัก (main manu) ซึ่งมีชุดคำสั่งวางตัวเป็นแนวนอน ทางด้านล่างของจอภาพ ซึ่งชุดคำสั่งทั้งหมดผู้ออกแบบจำเป็นจะต้องใช้ตลอด ทั้งขบวนการการออกแบบ

- เมนูโมดูล (module menu) เป็นเมนูที่แสดงอยู่ด้านซ้ายของจอภาพ ประกอบด้วยชุดคำสั่ง สำหรับการออกแบบระดับโมดูล ซึ่งประกอบด้วยเซลล์ย่อยที่เรียกว่า leafcell

- เมนู leafcell (leafcell menu) เป็นเมนูเบื้องต้นที่ใช้ในการ ออกแบบวงจรรวมในระดับ leafcell การเรียกใช้เมนู leafcell จะต้องใช้ mouse เรียกจากเมนูหลัก นอกจากนี้จะสังเกตได้ว่ามีบางคำสั่งที่มีในชุดคำสั่งของเมนูโมดูล และเมนู leafcell ซึ่งคำสั่งเหล่านี้จะวางในตำแหน่งเดิมทั้ง 2 เมนู

ส่วนคำสั่งออกจากการทำงานของโปรแกรม Ingred วางแยกออกมาจากคำสั่งอื่นๆ ทางมุมบนทางขวาของจอภาพ เพื่อป้องกันความผิดพลาดจากการใช้งาน นอกจากนี้ทางด้านบนของจอภาพยังประกอบด้วยชั้น physical mask ชนิดต่างๆ เช่น polysilicon, metal, diffusion, เส้เยอร์ที่กำลังใช้งานจะถูกล้อมด้วยกรอบสี่เหลี่ยมสีดำ ส่วนตัวเลขที่อยู่ตรงกลางเลเยอร์

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่างๆระบุถึงความกว้างของเลเยอร์นั้นๆ และการเปลี่ยนความกว้างของเลเยอร์ต้องใช้คำสั่งในเมนูโมดูลหรือเมนู leafcell

ส่วนล่างสุดของจอภาพจะเป็น System Parameter และค่าตัวเลขต่างๆที่ใช้ในโปรแกรม ซึ่งจะกล่าวในการใช้งานต่อไป และพื้นที่ตอนกลางที่เหลือทั้งหมด เป็นเนื้อที่ในการออกแบบ

5.3.3 การเริ่มออกแบบ

Starting & Design Session

เมื่อเริ่มต้นออกแบบวงจรรวม สิ่งแรกที่จะต้องทำก็คือ การระบุชื่อวงจรที่ออกแบบให้โปรแกรม Ingred ด้วยการใช้คำสั่ง edit ที่มีในเมนู หรือระบุชื่อขณะที่เรียกโปรแกรม Ingred ถ้าชื่อของวงจรที่ระบุได้รับการเรียกมาก่อนแล้ว ชื่อวงจรจะปรากฏที่มุมล่างด้านซ้ายของจอภาพ ถ้าเป็นชื่อของวงจรใหม่ที่ยังไม่ได้ออกแบบมาก่อน จอภาพจะแสดงข้อความ "New Design" ออกมา ส่วนสี่เหลี่ยมสีเขียวทางมุมล่างขวามือของจอ เป็นส่วนที่แสดง context ของวงจรที่ออกแบบและจะเปลี่ยนตามขนาดของวงจร

สิ่งสำคัญที่จำเป็นจะต้องทราบก็คือ โปรแกรม Ingred จะทำงานโดยใช้ข้อมูลในหน่วยความจำของเครื่องคอมพิวเตอร์ ดังนั้นการแก้ไขหรือเปลี่ยนแปลงวงจรใดๆ จะต้องทำการเก็บวงจรที่ออกแบบนั้นๆไว้ด้วยคำสั่ง "Save" ซึ่งจะทำการเก็บข้อมูลเฉพาะลำดับชั้นที่ออกแบบ (Save One Level of Hierachy at a Time) ในกรณีโปรแกรม Ingred ทำงานผิดพลาดจนเกิด core - dump ผู้ออกแบบสามารถออกจากโปรเซส (process) ด้วยการพิมพ์คำว่า "kill - 3 pid"- จากเทอร์มินอล (terminal) หรือ window อื่น โดยที่ PID คือ Process Identification

5.3.4 เซลล์

Cell

เป็นส่วนที่ย่อยที่สุดของการออกแบบด้วยวิธีโครงสร้าง (Structured Design) ในที่นี้จะพิจารณาในลักษณะการออกแบบตามลำดับชั้น (Hierachical Design) ซึ่งจะแบ่งออกเป็น 3 วิธีคือ จากโมดูลใหญ่สู่โมดูลย่อย (top-down) จากโมดูลย่อยสู่โมดูลใหญ่ (bottom-up) และวิธีผสม (mixture) โดยนำสองวิธีแรกมารวมกันแล้วออกแบบ ในที่นี้จะกล่าวเฉพาะ 2 วิธีแรกเท่านั้น

5.3.5 การออกแบบจากโมดูลใหญ่สู่โมดูลย่อย

Top-down Method

การออกแบบด้วยวิธีนี้เป็นการออกแบบตามลำดับชั้น จากโมดูลใหญ่สู่โมดูลย่อย ด้วยการ

เอกสารนี้เป็นการเผยแพร่ที่ไม่ได้มีวัตถุประสงค์ให้ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดโมดูลตามหน้าที่การทำงานขึ้นมาก่อน โดยที่โมดูลจะประกอบด้วยโมดูลย่อยๆ หรือเซลล์ต่างๆ ในระดับการทำงานเดียวกัน และในแต่ละเซลล์ยังสามารถประกอบด้วยเซลล์ย่อยที่มีการทำงานระดับลึกลงไปอีก ส่วนรายละเอียดการทำงานในระดับวงจรจะได้รับการกำหนดในภายหลัง

คำสั่งในเมนเมนูที่ใช้สำหรับเรียกโมดูลเมนูคือ คำสั่ง โมดูล(module) หลังจากนั้นชุดคำสั่งของการออกแบบในระดับโมดูล จะปรากฏทางซ้ายมือของจอภาพ คำสั่งหลักและคำสั่งที่ใช้บ่อยๆ คือคำสั่ง creat ซึ่งเป็นคำสั่งที่ใช้สร้างเซลล์ใหม่ ในระดับบล็อกไดอะแกรม (Block Diagram) ซึ่งจะต้องกำหนดชื่อของเซลล์ และตำแหน่ง ด้วยการกำหนดจุดบนเส้นทะแยงมุมของเซลล์ 2 จุดในกรณีที่ต้องการเซลล์ที่เหมือนกันมากกว่าหนึ่งเซลล์ ผู้ออกแบบสามารถใช้คำสั่ง copy ทำการกอปปี้เซลล์ที่มีอยู่ หรืออาจจะทำการเปลี่ยนพารามิเตอร์ในเมนเมนู แล้วทำการสร้างเซลล์ใหม่หรือเรียกเซลล์ที่ทำการออกแบบไว้แล้วด้วยคำสั่ง INSTANCE ซึ่งการสร้างเซลล์ที่เหมือนกันด้วยการเปลี่ยนพารามิเตอร์จะได้การจัดตัวของเซลล์ในลักษณะของอะเรย์ (ARRAY) หรือ เมตริก (METRIX)ส่วนคำสั่ง reinstance ใช้ปรับปรุง (update) เซลล์ที่ถูกแก้ไข

ภายหลังจากการกำหนดเซลล์ จะเป็นการกำหนดรายละเอียดการทำงานภายในเซลล์ โดยการใช้คำสั่ง push แล้วเลื่อนเคอร์เซอร์ไปยังเซลล์ที่ต้องการออกแบบรายละเอียดเราสามารถใช้คำสั่ง push ลงสู่การออกแบบระดับ leafcell แล้วจิ้งเลือกคำสั่ง leafcell ในเมนเมนูเพื่อเรียก ลีฟเซลล์เมนู (leafcell menu) ส่วนคำสั่ง pop เป็นคำสั่งกลับสู่โมดูลที่จากมา ซึ่งมีหน้าที่ตรงกันข้ามกับคำสั่ง push

5.3.6 การออกแบบจากโมดูลย่อยสู่โมดูลใหญ่

Bottom-up Mothod

การออกแบบด้วยวิธีนี้ โมดูลจะประกอบด้วย โมดูลย่อย หรือ เซลล์ หรือ leafcell ที่ได้รับการออกแบบไว้แล้ว ตามปกติจะเริ่มต้นด้วยการออกแบบ leafcell ขึ้นมาก่อน หลังจากนั้นจะนำ leafcell ที่ออกแบบหรือมีอยู่แล้วใน Library มาประกอบกันขึ้นเป็นเซลล์ และโมดูลตามลำดับ ซึ่งก็ยังจัดว่าเป็นการออกแบบตามลำดับขั้น ซึ่งมีวิธีการตรงกันข้ามกับ วิธี Top-down ดังได้กล่าวมาแล้ว คำสั่ง instance เป็นคำสั่งที่ใช้ในการรวบรวม leafcell ที่ออกแบบไว้แล้วมาประกอบเป็นโมดูล ด้วยการระบุชื่อ leafcell ที่ต้องการ พร้อมกับเลื่อนเคอร์เซอร์ไปที่ตำแหน่งที่ต้องการวางเซลล์ โดยมุมล่างด้านซ้ายของเซลล์จะตรงกับตำแหน่งเคอร์เซอร์

5.3.7 อะเรย์ หรือ เมตริก

Arrays or Metrices

ในกรณีที่ต้องการจัดเซลล์ในลักษณะ อะเรย์ หรือ เมตริก การเรียกเซลล์มาวางครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ละเซลล์เป็นข้อจำกัด และเสียเวลาในการออกแบบวางจร ในเมนเมนูของโปรแกรม Ingred จะมีพารามิเตอร์ #X และ #Y ที่ส่วนล่างของจอภาพ ซึ่งระบุถึงจำนวนเซลล์ต่อการวางหนึ่งครั้ง ในแนว X และ Y เช่น ถ้าตั้งค่าพารามิเตอร์ #X และ #Y เป็น 4 การวางเซลล์หนึ่งครั้งจะได้เซลล์ในแกน X 4 เซลล์ เซลล์ในแกน Y 4 เซลล์ รวมทั้งสิ้น 16 เซลล์

5.3.8 พอร์ท

Ports

พอร์ท เป็นคุณสมบัติที่สำคัญอันหนึ่งของการออกแบบด้วยวิธีโครงสร้าง ทำหน้าที่เป็นช่องทางสื่อสารของเซลล์ หรือโมดูล ดังนั้นตำแหน่งของพอร์ทจะอยู่ตามขอบเซลล์ หรือโมดูล การออกแบบพอร์ทจะต้องใช้คำสั่งพอร์ท และระบุชื่อพอร์ทหลังคำสั่ง โดยที่ขอบของเซลล์ด้านหนึ่งๆ จะมีพอร์ทได้เพียงชื่อเดียว ส่วนการวางตำแหน่งของพอร์ทจะวางตามขอบเซลล์ ในกรณีที่พอร์ทถูกวางนอกขอบเซลล์ โปรแกรม Ingred จะขยายขอบเขตของเซลล์ออกไป จนถึงจุดที่พอร์ทวางอยู่โดยอัตโนมัติ ส่วนการวางตำแหน่งพอร์ทในเซลล์ โปรแกรม Ingred ไม่อนุญาต นอกจากนี้พอร์ทยังมีคุณสมบัติอื่นๆ ที่ผู้ออกแบบควรจะพิจารณา คือ

- เลเยอร์ของพอร์ท จะต้องตรงกับลายเส้น (wire) ที่จะต้องต่อออกพอร์ท ซึ่งอาจจะเป็นชั้นของโลหะ (metal layer) ชั้นของโพลีซิลิกอน (polysilicon layer) ชั้นของดิฟฟิวชั่น ชนิด n หรือ p (n or p diffusion) ซึ่งสามารถเลือกได้จากมุมบนด้านซ้ายของจอ
- ความกว้างของพอร์ท จะต้องกำหนดให้เท่ากับขนาดของลายเส้นที่จะนำมาต่อกัน ซึ่งสามารถกำหนดได้ด้วยคำสั่ง change width
- ชนิดของพอร์ท มีทั้งหมด 5 ชนิด คือ input, output, io, power และ ground โปรแกรม Ingred จะกำหนดชนิดของพอร์ทตามปกติเป็น io และผู้ออกแบบสามารถเปลี่ยนชนิดได้ ด้วยคำสั่งพารามิเตอร์ที่ชื่อ port ในส่วนล่างของจอภาพ

5.3.9 การเชื่อมต่อระหว่างเซลล์หรือโมดูล

Connectivity

การเชื่อมต่อทางไฟฟ้าระหว่างเซลล์ หรือโมดูลสามารถทำได้โดยใช้คำสั่ง abutport หรือ abutside ทำการต่อพอร์ท ข้อที่ควรระมัดระวังสำหรับนักออกแบบก็คือ พอร์ท ต่างๆที่ต่อไว้จะถูก โปรแกรม JIGSAW ทำการจัดรูปร่างของเซลล์ และตำแหน่งของพอร์ทให้ตรงกัน การทำเช่นนี้อาจทำให้วงจรที่ออกแบบไว้มีลวดลายที่กระจายออกไป ซึ่งไม่เหมาะที่จะนำไปสร้างลายต้นแบบของวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่อพอร์ทคู่ใดคู่หนึ่ง หรือการต่อพอร์ทคู่ใดๆ มักใช้คำสั่ง "abutport" โดยการเรียกคำสั่งแล้วใช้ เมาส์ (mouse) ชี้ไปที่พอร์ทที่ต้องการต่อ หลังจากนั้นโปรแกรม Ingred จะลากเส้นระหว่างพอร์ทให้ ตามสีที่ใช้แทนเลเยอร์ของพอร์ทนั้นๆ และจะต้องเป็นพอร์ทที่อยู่ในชั้นเดียวกัน

ส่วนคำสั่ง abutside ใช้ในการต่อพอร์ทของเซลล์ 2 เซลล์ซึ่งเซลล์ทั้งสองจะต้องมีจำนวนพอร์ทที่เท่ากัน ชั้น (layer) ชนิดเดียวกัน และชื่อตรงกัน การใช้คำสั่งเริ่มจาก เรียกคำสั่ง abutside จากนั้นใช้เมาส์ชี้ไปที่ด้านทั้งสองของเซลล์ โปรแกรมจะทำการตรวจสอบพอร์ท ว่าพอร์ทใดต่อไว้แล้ว หรือถ้าพอร์ทใดถูก มาส์ค (mask) ด้วยคำสั่ง markport โปรแกรมก็จะข้ามไปนอกนั้นโปรแกรมจะทำการต่อพอร์ททีละคู่จนครบ โดยเริ่มจากด้านล่างเซลล์ไปสู่ด้านบนเซลล์ หรือจากซ้ายไปขวา ทั้งนี้ขึ้นอยู่กับว่าผู้ออกแบบต่อเซลล์ในทิศทางใด

5.3.10 การรักษาสภาพของการเชื่อมต่อ

Maintenance of Connectivity

สิ่งที่จะหลีกเลี่ยงเสียมิได้ ในการออกแบบลวดลายของวงจรรวม ก็คือการจัดวางตำแหน่งของเซลล์ ด้วยการย้ายเซลล์หรือพอร์ท หรือทำการหมุนเซลล์ ในกรณีที่เซลล์นั้นทำการเชื่อมต่อพอร์ทไว้แล้วโปรแกรม Ingred จะรักษาสภาพการเชื่อมต่อนั้นๆไว้ ด้วยการเชื่อมต่อทางลอจิก (logical connection) ส่วนการเชื่อมต่อทางกายภาพที่เกิดจากคำสั่ง abutport หรือ abut side โปรแกรม Ingred จะลบออกไป เนื่องจากลายเส้นเหล่านี้ไม่สามารถยืด หด ได้เหมือนการเชื่อมต่อทางลอจิก

5.3.11 การแปลงทางเรขาคณิตของลวดลายวงจร

Geometric Transformation

โปรแกรม Ingred มีชุดคำสั่งต่างๆทางเรขาคณิต เช่น คำสั่ง copy คำสั่ง move- คำสั่ง rotate คำสั่งเหล่านี้จะช่วยอำนวยความสะดวกให้ผู้ออกแบบ สามารถออกแบบลวดลายวงจรรวมได้สะดวก รวดเร็ว และออกแบบได้สลับซับซ้อนมากขึ้น ซึ่งจะพิจารณาชุดคำสั่งออกเป็นกลุ่มใหญ่ๆ 2 กลุ่มคือ

1. กลุ่มคำสั่งเลือก

   Selection

กลุ่มของคำสั่งเลือก ประกอบไปด้วยคำสั่งต่างๆ ที่ใช้เลือกชนิดของลวดลายเช่น คำสั่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

selcell เป็นคำสั่งเลือกเซลล์ คำสั่ง selport เป็นคำสั่งเลือกพอร์ท คำสั่ง selnet เป็นคำสั่งเลือก net มีวิธีใช้ 2 วิธีคือใช้ เมาส์ (mouse) ชี้ไปที่ net หรือชี้ไปที่ลายเส้น (wire) คำสั่ง selconn เป็นคำสั่งที่ใช้เลือกการเชื่อมต่อทางลอจิก (logical connection) ส่วนคำสั่ง sel area ใช้เลือกลักษณะลวดลายใดๆ ในบริเวณที่ต้องการใช้งานด้วยการใช้เมาส์ชี้จุด 2 จุดในลักษณะของเส้นทะแยงมุม สำหรับการลบลวดลายใดๆ ออกจากการออกแบบ จะต้องใช้คำสั่งเลือก คำสั่งใดคำสั่งหนึ่ง แล้วตามด้วยคำสั่ง delete สุดท้ายจะเป็นคำสั่ง desel ซึ่งใช้ยกเลิกคำสั่งเลือกองชุดคำสั่งเลือกใดก็ตามที่ได้กล่าวมาแล้วข้างต้น ข้อสังเกตของชุดคำสั่งเลือกก็คือ มีคุณสมบัติเป็นสวิทช์ toggle

2. การแปลงลวดลาย

Transformation

ในที่นี้การแปลงลวดลายหมายความถึง การย้ายลวดลาย การหมุนลวดลาย ฯลฯ คำสั่ง move จะใช้กับเซลล์ (cell) หรือพอร์ท (port) เพื่อที่จะเคลื่อนย้ายไปยังส่วนต่างๆบนพื้นที่การออกแบบ การใช้คำสั่ง move จะใช้งานประกอบกับชุดคำสั่งเลือก เพื่อเลือกลวดลาย แล้วจึงเรียกคำสั่ง move จากนั้นจะใช้ mouse ชี้ไปที่ตำแหน่ง 2 ตำแหน่ง ซึ่งจะระบุถึงระยะทาง และทิศทางสัมพัทธ์ของการย้าย คำสั่ง copy ใช้กับลวดลายได้ทุกแบบยกเว้น พอร์ท ส่วนลักษณะการใช้งานเหมือนกับการใช้งานคำสั่ง move

คำสั่ง rotate, xmirror, ymirror ใช้ได้กับ เซลล์ (cell) หรือโมดูล (module) เท่านั้น การใช้งานจะต้องตามหลังคำสั่ง selcell การหมุนของคำสั่ง rotate จุดหมุนจะอยู่ที่จุดศูนย์กลางเซลล์ และมุมของการหมุนกำหนดด้วยค่าพารามิเตอร์ "angle" ที่ส่วนล่างของจอภาพ สำหรับการทำเซลล์เงามีทั้งการสร้างเซลล์เงาในแกน x และแกน y แนวแกนของเซลล์จะผ่านจุดศูนย์กลางเซลล์ทั้งแกน x และแกน y

คุณสมบัติอีกข้อหนึ่งของการแปลงลวดลายใน โปรแกรม Ingred ก็คือการทำการแปลงขณะที่เรียกเซลล์หรือโมดูลจากไซโล (silo) ขึ้นมาใช้งานโดยการกำหนดค่าพารามิเตอร์"angle" ของคำสั่ง rotinst ซึ่งมีการทำงานเช่นเดียวกับ rotate และคำสั่ง xmirinst ymirinst ซึ่งเหมือนกับ xmirror และ ymirror ตามลำดับ นอกจากนี้คำสั่งดังกล่าวยังสามารถใช้งานร่วมกันได้อีกเช่น การใช้คำสั่ง rotinst ร่วมกับคำสั่ง xmirror ส่วนการทำงานของ โปรแกรมจะเริ่มจากการหมุน (rotate) แล้วจึงสร้างเซลล์หรือโมดูลเงาตามลำดับ

5.3.12 คำสั่งตามลำดับชั้น

Hierarchical Commands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่งตามลำดับขั้น เป็นคำสั่งที่ใช้ในการออกแบบลวดลายวงจร ซึ่งต่างจากระดับที่ออกแบบอยู่ เช่น คำสั่ง push และ pop ตามที่ได้กล่าวมาแล้ว นอกจากนี้ยังมีคำสั่งอื่นๆอีก คือ

1. การดูรายละเอียดของเซลล์ของระดับการออกแบบที่ต่ำกว่า

Expansion of Cells

ในการออกแบบวงจรรวมตามปกติ ผู้ออกแบบสามารถเห็นได้ทีละระดับ ในขณะเวลาหนึ่งๆ แต่ในบางครั้งการที่ได้เห็นการออกแบบในระดับที่ต่ำลงไป จะทำให้ผู้ออกแบบมองวงจรได้ทั้งหมด คำสั่ง expand เป็นคำสั่งที่แสดงรายละเอียดของเซลล์ และแตกต่างจากคำสั่ง push ที่ว่าไม่สามารถเปลี่ยนแปลงการออกแบบใดๆ ในรายละเอียดที่แสดง และสามารถยกเลิก โดยการเรียกคำสั่งซ้ำ ส่วนการที่จะให้คำสั่งแสดงรายละเอียดกี่ระดับ จะต้องตั้งค่าพารามิเตอร์ level ที่ด้านล่างของจอภาพ

2. การแก้ไขด้วยคอนเท็ค

Editing in Context

การออกแบบวงจรรวมจะมีกรอบสี่เหลี่ยมเล็กๆ ที่เรียกว่า context display ปรากฏขึ้นที่ด้านล่างด้านขวาของจอภาพ ซึ่งเป็นส่วนที่แสดงให้นักออกแบบรู้ว่าส่วนไหนของเซลล์กำลังถูกแสดงอยู่บนจอ context display จะประกอบด้วยสี่เหลี่ยม 2 รูปซ้อนกันอยู่ โดยรูปหนึ่งสามารถเปลี่ยนแปลงขนาดได้ ซึ่งใช้แสดงขอบเขตของวงจรที่กำลังแสดงอยู่บนจอ ขอบเขตของวงจรจะซ้อนอยู่ในสี่เหลี่ยมอีกรูปหนึ่ง ซึ่งมีขนาดคงที่ สี่เหลี่ยมรูปนี้จะแสดงขอบเขตทั้งหมดของเซลล์นั้น

5.3.13 ลีฟเซลล์

Leafcell

ลีฟเซลล์เป็นโมดูลระดับต่ำสุด ของการออกแบบตามลำดับขั้น ซึ่งแตกต่างจากโมดูลชนิดอื่นตรงที่ โมดูลชนิดลีฟเซลล์เท่านั้น ที่ประกอบขึ้นมาจากอุปกรณ์ย่อยเช่น TRANSISTOR และ CONTACT CUTS ตามเทคโนโลยีที่ใช้ในการออกแบบ การสร้างลีฟเซลล์จะต้องใช้คำสั่ง leafcell ที่ด้านล่างของจอภาพ ซึ่งใช้ได้ 2 วิธีคือการสร้าง leafcell โดยการออกแบบใหม่ หรือการสร้าง-leafcell จากการพุช (push) ลงไปที่เซลล์ว่าง หลังจากเรียกคำสั่ง leafcell จอภาพจะแสดงเมนูของลีฟเซลล์ และระบุชื่อของวงจรที่ออกแบบให้เป็นชนิด leafcell เมื่อใดก็ตาม ที่ผู้ออกแบบเรียกชื่อของวงจรมาแก้ไข วงจรนั้นจะแสดงคุณสมบัติของ leafcell ทันที ชุดคำสั่งส่วนใหญ่ของเมนูลีฟเซลล์จะเหมือนกับชุดคำสั่งของเมนูโมดูล แต่อย่างไรก็ตามยังมีบางคำสั่งที่มีเฉพาะในเมนู

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลีฟเซลล์ เช่น คำสั่ง device, character, insgrid, delgrid

คำสั่ง device เป็นคำสั่งที่เรียกใช้อุปกรณ์บนจอภาพแถวบน มาใช้งานเช่น n transistor, p transistor, contact cuts ต่างๆ ส่วนการที่จะพิจารณาว่าจะใช้อุปกรณ์ตัวใดจะต้องใช้เมาส์ (mouse) ชี้ไปที่อุปกรณ์นั้น และสามารถที่จะเปลี่ยนการใช้งานของอุปกรณ์ได้ทุกๆ ขณะการออกแบบ และในอุปกรณ์ทุกตัวจะมีค่าพารามิเตอร์กำกับอยู่ เช่น ทรานซิสเตอร์จะมีค่า L/W ส่วน diffusion layer จะมีค่าของความกว้างของเลเยอร์ การเปลี่ยนค่าพารามิเตอร์เหล่านี้สามารถทำได้โดยใช้คำสั่ง character ในบางครั้งการออกแบบจำเป็นจะต้องแทรกอุปกรณ์ ลงบนลีฟเซลล์ หรือลบอุปกรณ์บางตัวออก ซึ่งจำเป็นต้องใช้ grid เพื่อแสดงตำแหน่งที่แน่ชัดของอุปกรณ์ โดยใช้คำสั่ง Ingrid และ delgrid เพื่อแสดง grid และยกเลิก grid บนจอภาพ

5.3.14 การติดต่อกับโปรแกรมย่อยอื่นๆ

Interaction with Other Systems

การติดต่อกับโปรแกรมย่อยอื่นๆ มีคุณสมบัติต่างๆ ดังนี้

1. การจัดระยะเซลล์

Composition

การออกแบบวงจรรวมด้วย โปรแกรม Ingred ผู้ออกแบบสามารถออกแบบ รวมทั้งสามารถจัดระยะของวงจรรวมทั้งที่อยู่ใน โปรแกรม Ingred โดยการใช้คำสั่ง compose เรียกโปรแกรม JIGSAW มาทำการจัดระยะ นอกจากนี้ JIGSAW ยังทำการแปลงสัญญลักษณ์ของวงจรรวมไปยังลวดลายวงจร ซึ่งพร้อมที่จะนำไปสร้างเป็นไอซี (Physical Mask Layout) และยังรู้ถึงขนาดของวงจรรวม ข้อสังเกตุของการใช้คำสั่ง compose คือ จะต้อง save ข้อมูลของวงจรนั้นลง disk เสียก่อน และขณะทำการ JIGSAW จะต้องไม่มีการแก้ไขวงจรนั้นๆ แต่ผู้ออกแบบ สามารถที่จะออกแบบหรือแก้ไขเซลล์อื่นได้ หรืออาจจะใช้คำสั่ง wait รอจนกว่าโปรแกรมจะจัดระยะให้เรียบร้อย

2. การหมุน

Roating

การที่ nets ต่างๆจะต่อถึงกันโดยอัตโนมัติ สามารถทำได้โดยคำสั่ง riot ซึ่งจะไปเรียกโปรแกรมลากเส้นอัตโนมัติ ที่ชื่อ riot มาทำงาน และขณะที่ riot ทำงานจะต้องไม่มีการแก้ไขวงจรแต่อย่างใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.15 การซูม และการแพน

Zooming and Panning

แนวความคิดของการ zoom และ pan วางอยู่บนพื้นฐานของความคิดที่ว่า บริเวณพื้นที่ที่ออกแบบเป็นส่วนหนึ่งของวงจรรวมทั้งหมด ซึ่งจะเรียกว่า หน้าต่างการเลื่อนหน้าต่างไปที่ส่วนใดๆ ของวงจรรวม โดยที่ไม่มีการย่อหรือขยายสัดส่วนของอุปกรณ์ เรียกว่า การแพน (panning) สามารถทำได้โดยใช้คำสั่ง pan แล้วใช้เมาส์ชี้ไปที่ตำแหน่งใดๆ บนวงจรที่ออกแบบ ตำแหน่งที่ถูกชี้จะเลื่อนมาอยู่ที่กึ่งกลางจอภาพ การย่อหรือขยายหน้าต่าง เรียกว่า การซูม (Zooming) คำสั่ง zoom in จะมีผลทำให้พื้นที่ทำงานระหว่างจุดสองจุดที่ถูกชี้โดยเมาส์ (mouse) ถูกขยายขึ้นมา ส่วนคำสั่ง zoom out จะเป็นคำสั่งย่อ มีการใช้งานเช่นเดียวกับคำสั่ง zoom in ในกรณีที่ผู้ออกแบบทำการย่อหรือขยายวงจรหลายครั้ง คำสั่ง last เป็นคำสั่งที่ใช้เรียกดู window ก่อนการย่อหรือขยายครั้งสุดท้าย ส่วนคำสั่ง home จะเป็นคำสั่งให้แสดงหน้าต่างเริ่มต้น นอกจากนี้โปรแกรม Ingred ยังมีส่วน context ที่ขวามือด้านล่างของจอภาพไว้สำหรับแสดงแผนภาพของวงจรทั้งหมด เพื่อดูว่าขณะนี้จอภาพกำลังแสดงส่วนใดของวงจร

5.3.16 คุณสมบัติอื่นๆของโปรแกรม Ingred

Other Features

นอกจากที่กล่าวมาแล้ว โปรแกรม Ingred ยังมีคุณสมบัติอื่นๆอีก ดังจะกล่าวโดยสังเขปดังนี้

1. กริด

The Grid

โปรแกรม Ingred มีกริดเพื่ออำนวยความสะดวกในการออกแบบอุปกรณ์ต่างๆ จะถูกจัดวางอยู่บนกริด ตามปกติลายกริดแต่ละเส้นจะห่างกัน 1 หน่วยในการเปลี่ยนระยะห่างของกริดจะต้องกำหนดค่าที่พารามิเตอร์ grid ด้วยคำสั่ง grid เป็นคำสั่งทอกเกิ้ล (toggle) สำหรับควบคุมการแสดงกริดบนจอภาพ สำหรับคำสั่ง snapgrid ใช้ควบคุมอุปกรณ์ให้วางอยู่ตามกริดต่างๆในกรณีที่ระยะห่างของกริดไม่เท่ากับ 1 หน่วย

2. การเปลี่ยนความกว้างของลายเส้นที่ออกแบบ และความกว้างของเลเยอร์

Changing the Width of Wires and Default Layer Widths

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามปกติแล้วความกว้างของลายเส้นของเลเยอร์ต่างๆ จะถูกกำหนดโดยโปรแกรมที่มุมบนด้านซ้ายมือของจอ ถ้าผู้ออกแบบมีความต้องการจะเปลี่ยนแปลงค่าเหล่านี้ สามารถทำได้โดยใช้คำสั่ง chgwidth แล้วใช้เมาส์ชี้ไปที่เลเยอร์ที่ต้องการเปลี่ยน จากนั้นให้ใส่ค่าความกว้างของเลเยอร์ที่ต้องการลงไป ในกรณีที่ผู้ออกแบบต้องการแก้ไขลายเส้นของเลเยอร์ใดเลเยอร์หนึ่ง ก็สามารถทำได้โดยใช้คำสั่ง selwire เพื่อเลือกลายเส้น แล้วจึงเรียกคำสั่ง chgwidth ขึ้นมาใช้และตามด้วยค่าของความกว้างที่ต้องการ และสิ้นสุดการทำงานด้วยคำสั่ง desel

3. การเปลี่ยนชื่อพอร์ท หรือ โหนด

Renaming Ports or Node Labels

โปรแกรม Ingred มีคำสั่ง rename ให้ผู้ออกแบบสามารถแก้ไขเปลี่ยนชื่อ พอร์ท หรือ โหนด ตามต้องการ โดยการใช้คำสั่ง selport หรือ selnode เลือกพอร์ท หรือ โหนดแล้วใช้คำสั่ง rename โปรแกรม Ingred จะแสดงชื่อของพอร์ทนั้นๆ และให้ผู้ออกแบบใส่ชื่อใหม่เข้าไป

4. การแสดงชื่อเซลล์ ชื่อพอร์ท และชื่อโหนด

Display of Cell Names, Port Names and Node Labels

ตามปกติเวลาออกแบบวงจรรวม โปรแกรม Ingred จะไม่แสดงชื่อเซลล์ ชื่อพอร์ท หรือชื่อโหนด ให้ผู้ออกแบบเห็น เพื่อให้จอภาพสะอาดตาไม่รุงรังเหยิง และเพื่อความรวดเร็วของการแสดงภาพ แต่ในบางครั้งผู้ออกแบบมีความจำเป็นต้องพิจารณาชื่อเซลล์ หรือชื่อพอร์ท หรือชื่อโหนด ก็สามารถกระทำได้โดยใช้คำสั่ง cellname portname และ nodename ตามลำดับ

5. การยกเลิกคำสั่ง

Undoing the Last Command

การยกเลิกคำสั่งครั้งสุดท้ายที่ผู้ออกแบบได้ออกคำสั่งไปแล้ว และโปรแกรม Ingred ก็ได้ปฏิบัติคำสั่งนั้นแล้ว สามารถทำได้โดยใช้คำสั่ง undo ซึ่งเป็นคำสั่งทอกเกิ้ล (toggle) การใช้คำสั่ง undo ติดๆกันสองครั้งจะได้วงจรที่มีสถานภาพเดิม ไม่มีอะไรเปลี่ยนแปลงข้อยกเว้นของคำสั่ง undo ก็คือ ไม่สามารถยกเลิกคำสั่ง reinstan ได้

6. การกลับเข้าสู่ระบบการทำงาน

The Shell Escape

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกลับเข้าสู่ระบบปฏิบัติการของเครื่อง (Operating System) ชั่วขณะของผู้ใช้งาน โดยไม่ออกจากโปรแกรม Ingred ซึ่งเป็นคุณสมบัติทั่วๆ ไปของโปรแกรมช่วยในการออกแบบ สามารถทำได้โดยใช้คำสั่ง shell เครื่องจะแสดงเครื่องหมาย prompt ของ Bouney Shell ที่จอภาพ เพื่อรอรับคำสั่งหลังจากที่ ผู้ออกแบบสิ้นสุดการใช้งานของระบบปฏิบัติการ (OS) ก็สามารถกลับเข้าสู่ โปรแกรม Ingred ได้โดยการกด Ctrl-D ข้อที่น่าสังเกตก็คือคำสั่ง shellใช้งานได้เฉพาะ Borneey Shell ไม่สามารถใช้กับระบบปฏิบัติการของ C shellได้

5.3.17 การเป็นอิสระไม่ขึ้นกับเทคโนโลยี

Technology Independence

นอกจากคุณสมบัติที่กล่าวมาแล้ว โปรแกรม Ingred ยังสามารถออกแบบวงจรรวมได้หลายๆเทคโนโลยีที่มีกระบวนการต่างกัน เช่น nMOS และ CMOS ส่วนรายละเอียดของพารามิเตอร์ต่างๆ ของแต่ละเทคโนโลยีจะบรรจุไว้ในเทคโนโลยีไฟล์ การเรียกโปรแกรม Ingred มาใช้งานโปรแกรม จะตรวจสอบพารามิเตอร์หลังแฟล็ก -P เพื่อดูเทคโนโลยีที่ใช้ในการออกแบบ โดยการเปรียบเทียบกับตัวแปรใน INGRED TECH ถ้าไม่ตรงกับตัวแปรใด โปรแกรมจะกำหนดเป็น nMOS เทคโนโลยี

สรุปชุดคำสั่งของโปรแกรม Ingred

คำสั่ง	รายละเอียด
1. abutport	เป็นคำสั่งที่ใช้ต่อพอร์ท ระหว่างเซลล์สองเซลล์ ซึ่งพอร์ทแต่ละพอร์ทสามารถต่อกับพอร์ทอื่นๆ ได้เพียงพอร์ทเดียวและต้องเป็นชนิดเดียวกัน มีชื่อเหมือนกัน โปรแกรม Ingred จะแสดงการต่อพอร์ทด้วยลายเส้น ระหว่างพอร์ทนั้นๆ และมีสีตามเลเยอร์ของพอร์ท
2. abutside	เป็นคำสั่งประเภทเดียวกับ abutport ใช้ต่อพอร์ททุกๆ พอร์ทที่มีเลเยอร์เดียวกัน ของเซลล์สองเซลล์ที่อยู่ติดกัน โดยใช้เมาส์ชี้ไปที่ด้านตรงข้ามของแต่ละเซลล์ โปรแกรม Ingred จะทำการต่อพอร์ท จากด้านล่างของเซลล์ไปสู่ด้านบน และจากด้านซ้ายไปด้านขวา ขึ้นอยู่กับทิศทางการต่อพอร์ท พอร์ทที่ต่อไว้แล้วและพอร์ทที่ถูกมาร์กด้วยคำสั่ง maskport โปรแกรม Ingred จะข้ามไปถ้าเซลล์ใดเซลล์หนึ่งยังไม่มีพอร์ทคำสั่ง abutside จะสร้างพอร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่ง	รายละเอียด
	ชนิดเดียวกันกับพอร์ทของเซลล์ตรงข้าม แล้วจึงทำการต่อพอร์ท
3. cellname	เป็นคำสั่งแฟล็ก ใช้ควบคุมการแสดงชื่อของเซลล์ และเป็นคำสั่ง toggle
4. character	เป็นคำสั่งระดับ leafcell ใช้เปลี่ยน แอททริบิว (attributes) ของอุปกรณ์ เช่น ทรานซิสเตอร์ ด้วยการป้อนค่าตัวเลขทางคีย์บอร์ด
5. chgwidth	ใช้เปลี่ยนความกว้างของลวดลายในวงจรหรือเปลี่ยนความกว้างของเลเยอร์ที่ใช้ในการออกแบบ ในการเปลี่ยนความกว้างของลวดลาย จะต้องใช้คำสั่ง selaire เลือกลายเส้นก่อน และตามด้วยคำสั่ง chgwidth
6. jigsaw	เป็นคำสั่งที่ใช้เรียก โปรแกรม JIGSAW มาจัดระยะโมดูล หรือ leafcell ที่ออกแบบ การใช้โปรแกรมจัดระยะจะต้องทำการ save วงจรที่ออกแบบก่อนแล้วจึงใช้คำสั่ง JIGSAW ขณะที่ใช้คำสั่ง JIGSAW จะต้องไม่มีการแก้ไขใดๆ แต่ผู้ออกแบบสามารถที่จะเรียกโมดูลหรือ leafcell อื่นๆ มาทำการแก้ไข หรือออกแบบต่อได้นอกจากนี้ผู้ออกแบบยังสามารถใช้คำสั่ง wait เพื่อรอจนกว่า โปรแกรม JIGSAW จะทำงานเสร็จ
7. connect	เป็นคำสั่งที่สร้างการเชื่อมต่อทางลอจิกระหว่างพอร์ท ซึ่งแสดงด้วยเส้นตรงระหว่างพอร์ทที่เชื่อมต่ออยู่ และชุดของการเชื่อมต่อทางลอจิกเรียกว่า net การสร้าง net จะต้องใช้ mouse ชี้ไปที่พอร์ทที่ต้องการต่อ และจบการทำงานด้วยการกด mouse ที่พอร์ทสุดท้ายสองครั้ง
8. copy	ก่อนการใช้คำสั่ง copy จะต้องใช้คำสั่ง "เลือก" เพื่อเลือกสิ่งที่ต้องการ copy จากนั้นจึงใช้คำสั่ง copy ระบุตำแหน่งสิ่งที่จะ copy และตำแหน่งว่าต้องการ copy ไปที่ใด ข้อยกเว้นของคำสั่ง copy ก็คือ การ copy พอร์ทต่างๆ ไม่สามารถทำได้
9. create	เป็นคำสั่งที่อนุญาต ให้ผู้ออกแบบสร้าง leafcell ขึ้นมาในขณะที่กำลังออกแบบระดับโมดูลอยู่ โดยที่ผู้ออกแบบจะต้องตั้งชื่อ และใช้เมาส์ระบุขนาดของ leafcell สองตำแหน่ง ส่วนการออกแบบรายละเอียดของ leafcell สา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่ง	รายละเอียด
	มารถใช้คำสั่ง push เพื่อเข้าสู่ leafcell นั้น
10. delete	เป็นคำสั่งที่ใช้ลบตัวอุปกรณ์ (Device) รวมทั้ง การเชื่อมต่อระหว่างเซลล์ต่างๆ ในกรณีที่ทำการลบเซลล์ หรือพอร์ทจะเป็นการลบการเชื่อมต่อระหว่างเซลล์ หรือพอร์ท ด้วย
11. desel	เป็นคำสั่งที่ใช้ยกเลิกชุดคำสั่ง select ต่างๆเช่น selcell, seldev ซึ่งได้มีการใช้ก่อนหน้านี้
12. delgrid	เป็นคำสั่งที่ใช้ลบจำนวน grid ออกจากลวดลายที่กำลังออกแบบ แต่จะต้องระลึกเสมอว่า grid ที่จะลบออกนั้น ต้องไม่มีอุปกรณ์ใดๆวางอยู่ หรือต้องไม่มีลายของ layer ใดๆวางในแนวนอนขนานกับ grid ส่วนลายของ layer ต่างๆ ที่วางตั้งฉากกับ grid สามารถมีได้
13. devchar	เป็นคำสั่งที่ควบคุมการแสดงคุณสมบัติของตัวอุปกรณ์ต่างๆ และความกว้างของลายของ layer ต่างๆ บนจอภาพซึ่งเป็นคำสั่งประเภทเดียวกับ cellname ในเมนูโมดูล (Module Menu)
14. device	เป็นคำสั่งที่เรียกอุปกรณ์ต่างๆ มาวางบนลวดลายที่กำลังออกแบบ โดยการใช้เมาส์ ชี้ตำแหน่งที่ต้องการวางอุปกรณ์ ตัวอุปกรณ์จะถูกจัดวางบนกึ่งกลาง grid การวางอุปกรณ์สามารถทำได้ในรูปแบบต่างๆ เช่นเดียวกับการจัดวางเซลล์เช่น การหมุน การทำการสะท้อน (mirror) ส่วนจะวางอุปกรณ์ตัวใด หรือชนิดใดนั้น ต้องใช้เมาส์เลือกอุปกรณ์บนมุมซ้ายด้านบน ของจอภาพ อุปกรณ์นั้นก็จะถูกล้อมกรอบโดยสี่เหลี่ยมดำ
15. edit	การใช้คำสั่ง edit จำเป็นจะต้องระบุชื่อของเซลล์ที่กำลังจะออกแบบ หรือชื่อของเซลล์ที่จะแก้ไข และจะต้องขึ้นต้นด้วยตัวอักษร
16. expand	คำสั่ง expand เป็นคำสั่งในเมนูโมดูลที่จะต้องใช้ร่วมกับคำสั่ง selcell เมื่อใช้คำสั่ง expand เซลล์ที่ถูกเลือก (select) แล้ว จะแสดงลวดลายของวงจรภายในเซลล์ ส่วนจะแสดงออกมากี่ระดับ จะขึ้นอยู่กับพารามิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่ง	รายละเอียด
	"level" ที่แสดงบนส่วนล่างของจอภาพ
17. grid	เป็นคำสั่งที่ควบคุมการแสดงกริด (grid) บนจอภาพ หน่วยของกริดสามารถดูได้จากพารามิเตอร์ "grid" ที่ส่วนล่างของจอภาพ และผู้ออกแบบสามารถเปลี่ยนค่าพารามิเตอร์ได้ โดยการใช้เมาส์ ชี้ที่พารามิเตอร์ ขณะที่กำลังออกแบบ leafcell กริด (grid) จะแสดงบนจอภาพโดยอัตโนมัติ แต่ขณะที่กำลังออกแบบโมดูลจอภาพจะไม่แสดงกริดจนกว่าผู้ออกแบบจะใช้คำสั่ง grid
18. help	เป็นคำสั่งที่ทำให้ โปรแกรม INGRED แสดงลำดับขั้นตอนในแต่ละคำสั่งเพื่อช่วยให้ผู้ออกแบบ สามารถออกแบบได้ถูกต้องตามการทำงานของโปรแกรม
19. home	เป็นคำสั่ง reset การแสดงภาพ บนจอภาพให้ไปแสดงภาพแรกสุดก่อนที่จะมีการเปลี่ยนแปลงใดๆ
20. insgrid	เป็นคำสั่งที่เพิ่มจำนวนกริด (grid) ในลวดลายที่กำลังออกแบบ การเพิ่มกริดจะต้องไม่มีตัวอุปกรณ์ใดๆ มาวางขวางหรือแทรกอยู่ ส่วนลวดลายเส้นของชั้นใดๆ ที่วางตัดขวางสามารถอนุญาตให้มีได้
21. instance	เป็นคำสั่งที่ใช้เรียกลีฟเซลล์ (leafcell) หรือโมดูลย่อย (module) จาก Library มาใช้งานในลวดลายที่กำลังออกแบบการใช้งานคำสั่ง instance จำเป็นจะต้องระบุชื่อ ลีฟเซลล์ หรือ โมดูล และจะต้องกำหนดตำแหน่งการจัดวาง โดยตำแหน่งที่กำหนด เป็นตำแหน่งมุมล่างด้านซ้ายของลีฟเซลล์ หรือโมดูล
22. last	เป็นคำสั่ง reset การแสดงบนจอภาพในขณะใดๆ ไปสู่การแสดงของจอภาพครั้งก่อนหน้านั้น ทั้งขนาดและตำแหน่งเนื่องจากการเปลี่ยนตำแหน่งและขนาดของลวดลายที่กำลังออกแบบ ตัวโปรแกรมจะถือว่า เป็นการแสดงผลบนจอภาพ 1 ครั้ง
23. leafcell	เป็นคำสั่งในเมนูโมดูล จะใช้งานได้ก็ต่อเมื่อเมนูโมดูลนั้น ยังว่างเปล่าอยู่ไม่มีลวดลายใดๆ หลังจากเรียกใช้คำสั่ง leafcell จอภาพจะแสดงเมนูของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่ง	รายละเอียด
	ลีฟเซลล์ พร้อมทั้งสัญญลักษณ์ของตัวอุปกรณ์ (device) ต่างๆ ที่สอดคล้องกับเทคโนโลยีที่กำลังออกแบบทางด้านบนของจอภาพ
24. maskport	เป็นคำสั่งที่ มาสค์พอร์ท (mask port) ต่างๆ เพื่อป้องกันมิให้คำสั่ง abut side ทำการต่อพอร์ทเหล่านั้น พอร์ทที่ได้รับการมาสค์จะมีสีส้ม ส่วนการยกเลิกการมาสค์ สามารถทำได้โดยการใช้เมาส์ชี้ซ้ำไปที่คำสั่ง
25. module	เป็นคำสั่งที่ให้ผู้ออกแบบสร้าง หรือแก้ไขการออกแบบในระดับโมดูล โดยจอภาพจะแสดงเมนูโมดูล และกำหนดคุณสมบัติของการออกแบบเป็นโมดูล ในกรณีที่ผู้ออกแบบใช้คำสั่ง module จากเมนู leafcell ที่ออกแบบลวดลายไว้แล้วจะไม่สามารถใช้งานคำสั่งได้ในขณะนั้น
26. move	เป็นคำสั่งที่ทำการเคลื่อนย้ายตัวอุปกรณ์ (device), พอร์ท (ports) หรือลายของ layer ใดๆ ด้วยการกำหนดจุดสองจุด จุดแรกจะเป็นตำแหน่งเริ่มต้น และจุดที่สองจะเป็นตำแหน่งใหม่ของการย้าย
27. pan	เป็นคำสั่งเคลื่อนย้าย กรอบหน้าต่าง (window) ของจอภาพไปที่ส่วนต่างๆ ของลวดลายที่กำลังออกแบบ ด้วยสเกลเท่าเดิม การใช้คำสั่ง pan ผู้ออกแบบจะต้องกำหนดตำแหน่ง ที่ต้องการให้เลื่อนมาอยู่กึ่งกลางจอภาพ
28. pop	เป็นคำสั่งข้ามระดับจากการออกแบบระดับหนึ่ง ขึ้นสู่ระดับที่สูงกว่า เช่นจาก leafcell ไป module หรือจาก module ไปสู่ module ที่สูงกว่า ก่อนการใช้คำสั่ง pop จำเป็นจะต้อง save ข้อมูลของลวดลายที่กำลังออกแบบในชั้นนั้นก่อนจึงจะข้ามไปสู่การออกแบบในชั้นอื่นๆ ต่อไป
29. port	เป็นคำสั่งสร้างพอร์ท บนลายวงจรที่กำลังออกแบบ การสร้างพอร์ทจะต้องสร้างที่ขอบของลวดลายและต้องกำหนดชนิดของ layer พร้อมทั้งความกว้าง นอกจากนี้ยังต้องกำหนดชื่อที่ขึ้นต้นด้วยตัวอักษร และด้านหนึ่งๆ ของลวดลายวงจรจะมีชื่อพอร์ทซ้ำกันไม่ได้
30. portname	เป็นคำสั่ง ทอกเกิ้ล (toggle) ควบคุมการแสดงชื่อของพอร์ทบนจอภาพ ซึ่งขึ้นอยู่กับการใช้งาน และความต้องการของผู้ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่ง	รายละเอียด
31. push	เป็นคำสั่งข้ามระดับการออกแบบ ไปสู่การออกแบบที่ลึกลงไป ซึ่งมีการใช้งานตรงข้ามกับคำสั่ง pop ขณะที่ทำการออกแบบอยู่ในระดับโมดูลหลังจากที่เรียกคำสั่ง push แล้วจะต้องทำการเลือก instance ที่ต้องการลงไปแก้ไขหลังจากนั้น จอภาพจะแสดงรายละเอียดของ instance นั้นๆ ตามที่ได้รับการกำหนดมาแล้วในการออกแบบครั้งก่อน
32. redraw	เป็นคำสั่งที่สั่งให้จอภาพวาดภาพใหม่ โดยคงลักษณะเดิมไว้คำสั่งนี้มีประโยชน์ในกรณีที่จอภาพแสดงภาพสับสน เนื่องจากถูกองค์ประกอบอื่นๆ ของโปรแกรมมารบกวนจนทำให้บางส่วนขาดหายไป
33. reinstan	เป็นคำสั่งที่สั่งให้ โปรแกรม Ingred ทำการ instance เซลล์ซ้ำ เนื่องจากการทำงานของโปรแกรม JIGSAW อาจทำให้ตำแหน่งของเซลล์ต่างๆ และตำแหน่งของพอร์ท เปลี่ยนไปจากเดิม หรืออาจจะเนื่องจากผู้ออกแบบได้ทำการเปลี่ยนแปลงแก้ไขเซลล์นั้นๆ การใช้งานคำสั่ง reinstan จะต้องใช้เมาส์ ชี้ไปที่เซลล์ที่ต้องการ reinstance จากนั้นโปรแกรม Ingred จะทำการ reinstance เซลล์นั้นๆ ด้วยเวอร์ชั่น ล่าสุดของเซลล์นั้น
34. rename	เป็นคำสั่งที่ใช้เปลี่ยนชื่อของพอร์ท หรือ โหนด (node) ด้วยการใช้เมาส์ ชี้ไปที่พอร์ท หรือ โหนด (node) ที่ต้องการเปลี่ยนชื่อ แล้วใส่ชื่อใหม่ลงไป
35. rotate	เป็นคำสั่งที่ใช้หมุนตัวอุปกรณ์ (device) ต่างๆรอบตัวเอง เช่น ทรานซิสเตอร์ คอนแทคท์ (contact) และเซลล์ การใช้งานจะต้องเลือกอุปกรณ์นั้นๆ ด้วยคำสั่งเลือกที่สอดคล้องกับอุปกรณ์ เช่น selcell, seldev
36. rotinst	เป็นคำสั่งทอกเกิ้ล (toggle) ควบคุมการหมุนของเซลล์ ในระดับโมดูลหรือควบคุมการหมุนของอุปกรณ์ในระดับ leafcell เมื่อมีการใช้งานคำสั่ง rot inst เซลล์หรืออุปกรณ์ที่ถูกเรียกมาใช้ จะถูกหมุนไปจากตำแหน่งเดิมด้วยมุมที่กำหนดในพารามิเตอร์ angle ซึ่งอยู่ด้านล่างของจอภาพ
37. save	เป็นคำสั่งที่ให้ โปรแกรม Ingred ทำการเก็บข้อมูลการออกแบบ ในหน่วยความจำของเครื่องสู่แผ่น disk ชื่อของไฟล์จะเป็นชื่อของลวดลาย ที่กำลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่ง	รายละเอียด
	ออกแบบ ซึ่งมีนามสกุลเป็น sl
38. selalldev	เป็นการเลือกอุปกรณ์ทั้งหมดในบริเวณที่กำหนด ด้วยการใช้เมาส์ ชี้ไปที่จุดสองจุด จอภาพจะแสดงบริเวณที่ถูกเลือกด้วยภาพสี่เหลี่ยม ในกรณีที่อุปกรณ์บางตัวถูกเลือกไว้แล้ว การใช้คำสั่ง selalldev จะเป็นการยกเลิกการเลือกอุปกรณ์นั้น
39. selarea	เป็นคำสั่งที่มีคุณสมบัติการใช้งานเช่นเดียวกับคำสั่ง selalldev แต่มีการทำงานที่กว้างขวางกว่า เนื่องจากครอบครุมอุปกรณ์ทุกชนิด รวมทั้งลวดลายของทางเดินไฟฟ้า
40. selcell	เป็นคำสั่งทอกเกิ้ล (toggle) ในเมนูโมดูลใช้สำหรับเลือกเซลล์ เซลล์ที่ได้รับการเลือกจะถูกล้อมด้วยกรอบสีดำ
41. selconn	เป็นคำสั่งทอกเกิ้ล (toggle) ที่ใช้เลือก การเชื่อมต่อระหว่าง พอร์ทสองพอร์ท การเชื่อมต่อที่ได้รับการเลือกจะถูกเปลี่ยนเป็นสีดำ
42. seldev	เป็นคำสั่งทอกเกิ้ล (toggle) ใช้สำหรับเลือกอุปกรณ์ กรณีที่ตำแหน่งที่ทำการเลือกอุปกรณ์นั้น มีอุปกรณ์อยู่หลายชนิด ตัวโปรแกรม Ingred จะเลือกอุปกรณ์ชนิดเดียวกัน กับอุปกรณ์ที่ถูกล้อมด้วยกรอบสี่เหลี่ยมสีดำ ที่มุมบนจอภาพ ถ้าไม่มีอุปกรณ์ชนิดเดียวกับตามที่กล่าวมาแล้ว ผู้ออกแบบจะต้องบอกชนิดของอุปกรณ์ให้โปรแกรมรับรู้ทางคีบอร์ด
43. selport	เป็นคำสั่งทอกเกิ้ล (Toggle) สำหรับเลือกพอร์ทชนิดต่างๆ ทั้งของ leaf cell และโมดูล
44. selwire	เป็นคำสั่งทอกเกิ้ล (toggle) ในเมนูลีฟเซลล์ (leafcell) สำหรับเลือกลวดลายทางเดินไฟฟ้า ชนิดเลเยอร์ต่างๆ
45. snapgrid	กรณีที่การแสดงกริด (grid) บนจอภาพ ซึ่งถูกกำหนดโดยพารามิเตอร์-"grid" แตกต่างไปจากระยะห่างระหว่างกริด (grid) จริง ซึ่งเท่ากับ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่ง	รายละเอียด
	หน่วย การใช้คำสั่ง snapgrid จะเป็นการสั่งให้โปรแกรม Ingred วางอุปกรณ์ต่างๆ ตามกริดที่แสดงบนจอภาพ
46. undo	เป็นคำสั่งยกเลิกการกระทำของคำสั่งก่อนหน้านั้น ซึ่งมีประโยชน์อย่างมากต่อนักออกแบบ มีเพียงคำสั่งเดียวที่คำสั่ง undo ไม่สามารถยกเลิกได้ก็คือคำสั่ง reinstan
47. wait	เป็นคำสั่งสำหรับรอดอยผลการทำงานของโปรแกรมอื่น เช่น โปรแกรม composer หรือ โปรแกรม automatic router (ซึ่งยังไม่สามารถทำงานได้ใน VERSION นี้) หลังจากที่โปรแกรม Ingred ได้รับคำสั่งนี้ตัวโปรแกรมจะหยุดทำงานและ รอจนกว่าโปรแกรมที่เรียกไปจะทำงานเรียบร้อยแล้วหลังจากนั้นจะรับผลจากการทำงานของโปรแกรมอื่นมาแสดงในส่วนของโปรแกรม Ingred ที่เกี่ยวข้อง
48. wire	เป็นคำสั่งสำหรับลากลวดลายของ layer ต่างๆ ที่ปรากฏตามเทคโนโลยีในการออกแบบ การลากลวดลายสามารถกระทำได้เพียงแนวระดับและแนวฉากโดยการชี้ไปที่จุดสองจุด และการสิ้นสุดของการลากลายทำได้โดยการชี้ซ้ำไปที่จุดสุดท้าย ส่วนผู้ออกแบบจะลากลวดลายของ layer ใดจำเป็นจะต้องทำการเลือก layer นั้นก่อน
49. xmirinst	เป็นคำสั่งทอกเกิ้ล (toggle) สำหรับควบคุมการจัดวางเซลล์ ในโมดูลหรือการวางอุปกรณ์ในลีฟเซลล์ (leafcell) ผลของคำสั่งจะทำให้เซลล์ หรืออุปกรณ์สะท้อนรูปร่างตัวเองในแนวแกน x ขณะจัดวาง
50. xmirror	เป็นคำสั่งสะท้อนตัวเองของอุปกรณ์ ที่ถูกเลือกตามแนวแกน x โดยมีจุดศูนย์กลางของอุปกรณ์นั้นๆ เป็นจุดหมุน
51. ymirinst	เป็นคำสั่งทอกเกิ้ล (toggle) มีการทำงานเช่นเดียวกับคำสั่ง xmirinst คือควบคุมการจัดวางเซลล์ในโมดูล หรือการวางอุปกรณ์ในลีฟเซลล์ (leaf cell) ผลของคำสั่งจะทำให้เซลล์ หรืออุปกรณ์สะท้อนรูปร่างของตัวเองในแนวแกน y ขณะจัดวาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่ง	รายละเอียด
52. ymirror	เป็นคำสั่งที่มีการทำงานลักษณะเดียวกับ คำสั่ง xmirror คือสะท้อนตัวเองของอุปกรณ์ที่ถูกเลือกตามแนวแกน y โดยมีจุดศูนย์กลางของอุปกรณ์นั้นๆ เป็นจุดหมุน
53. zoomin	เป็นคำสั่งที่ทำการขยาย ส่วนใดส่วนหนึ่งของลวดลายที่กำลังออกแบบ เพื่อให้ผู้ออกแบบสามารถมองรายละเอียดได้อย่างชัดเจน การใช้คำสั่งจะต้องใช้เมาส์กำหนดมุมของลวดลายที่จะขยายสองจุด
54. zoomout	เป็นคำสั่งที่ทำการย่อลวดลายที่กำลังออกแบบ เพื่อให้ผู้ออกแบบ สามารถ พิจารณาลวดลายวงจรได้อย่างทั่วถึง การใช้คำสั่งสามารถทำได้เช่นเดียวกับคำสั่ง zoomin คือ กำหนดจุดสองจุด ในลักษณะเส้นทะแยงมุม หลังจากนั้นจอภาพ จะทำการย่อลวดลายที่กำลังออกแบบให้มาอยู่ภายในจุดสองจุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทที่ 6
การออกแบบวงจรนับ/หารความถี่ขนาด 8 บิท

จากการที่ได้ศึกษาความรู้ทางด้านต่างๆ ของไมโครอิเลคทรอนิคส์มาแล้วนั้น โดยเริ่มจากศึกษาการทำงาน และคุณสมบัติของมอสทรานซิสเตอร์ หลักการออกแบบวงจรซีมอส และศึกษาซอฟท์แวร์ CIRCAD II ของ UNSW (UNIVERSITY OF NEW SOUTH WALE) ดังนั้นในบทนี้ จะทำการออกแบบวงจรรวมซึ่งเป็น "วงจรนับ/หารความถี่ขนาด 8 บิท ชนิดโปรแกรมได้" และสามารถนำไปประยุกต์ใช้งานได้โดยทั่วไป เช่น นำไปใช้งานเป็นวงจรนับ หรือวงจรหารความถี่ หรืออาจจะนำไปใช้งานในระบบวิทยุสื่อสาร โดยเฉพาะในส่วนของ phase locked loop frequency synthesizer นอกจากนี้ การทดลองออกแบบยังเป็นการเพิ่มทักษะให้กับผู้ออกแบบอีกด้วย ส่วนการออกแบบจะเริ่มจาก การกำหนดคุณสมบัติ (specification) ของวงจรรวม การออกแบบวงจรลอจิก การสร้างลวดลายของวงจรรวม และการทดสอบวงจรรวมในห้องปฏิบัติการ สำหรับรายละเอียดของขั้นตอนต่างๆ มีดังต่อไปนี้

6.1 ขั้นตอนการออกแบบ

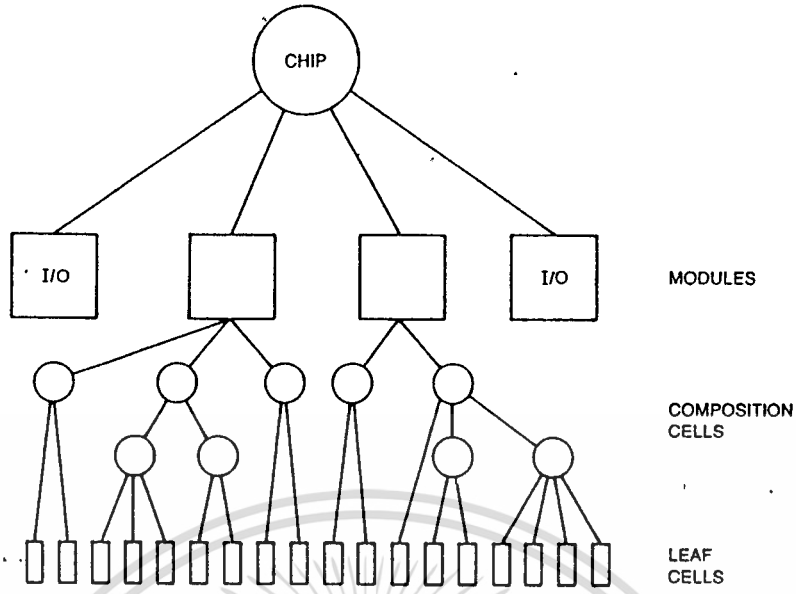
ในการออกแบบวงจร ผู้ทำวิทยานิพนธ์ได้กำหนดแนวทางการออกแบบเป็นข้อๆดังต่อไปนี้

1. การออกแบบและเงื่อนไขการออกแบบ
2. การออกแบบจากระบบสู่โมดูล
3. การออกแบบจากวงจรสู่ลีฟเซลล์

1. การออกแบบและเงื่อนไขการออกแบบ

การออกแบบจะใช้หลักการ การออกแบบตามลำดับขั้น Top to down design ผสมกับ Bottom up design เพื่อให้โครงสร้างของตัวชิพมีขนาดเล็กกระทัดรัดใช้เนื้อที่แผ่น silicon ให้เป็นประโยชน์มากที่สุด ดังรูปที่ 6.1 ตามหลักการของการออกแบบวงจรรวมทั่วๆ ไป จะเริ่มจากการวาง "FLOOR PLAN" ในลักษณะการออกแบบตามลำดับขั้น จากรูปที่ 6.1 จะเห็นว่าการวาง FLOOR PLAN ของวงจรรวมซึ่งก็คือ CHIP จะประกอบด้วย โมดูล คอมโพซิชั่นเซลล์ และลีฟเซลล์ ในลีฟเซลล์จะเป็นโครงสร้างทางกายภาพระดับล่างสุดของวงจรรวม ซึ่งได้กล่าวมาแล้วในบทที่ 4 และบทที่ 5 การนำลีฟเซลล์ มาต่อกันจะได้ คอมโพซิชั่นเซลล์ ซึ่งเป็นเซลล์ระดับกลางและการนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 6.1 แสดงแนวความคิดในการออกแบบวงจรรวม

คอมโพซิชั่นเซลล์มาต่อกันจะได้โมดูล สุดท้ายวงจรรวม หรือ CHIP ก็จะเกิดจากการนำโมดูลทั้งหมดมาต่อรวมกันโดยผ่าน I/O ของแต่ละโมดูล

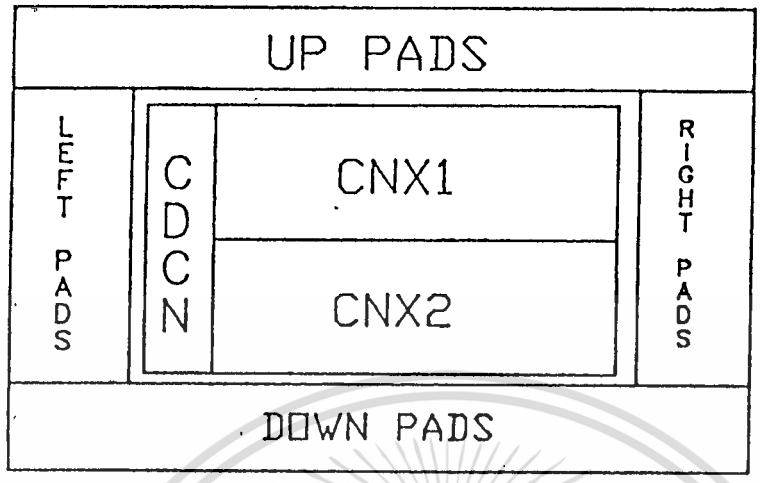
การออกแบบชิพนี้ ผู้ทำวิทยานิพนธ์ได้กำหนดขาต่างๆ รวมทั้งชื่อ ให้สอดคล้องกับชิพเคาเตอร์ที่มีขายในท้องตลาด เพื่อให้เป็นมาตรฐานเดียวกัน และกำหนดคุณสมบัติของการทำงานให้อยู่ภายในเงื่อนไขดังนี้

1. เป็น Synchronous counter
2. ทำการ Reset ได้ทุกขณะการใช้งาน
3. ทำการ Preset ได้ทุกขณะการใช้งาน
4. ทำงานที่ขอบขาขึ้นของสัญญาณนาฬิกา
5. สามารถทำเป็นวงจรนับขนาด 16 บิทได้
6. สามารถทำงานในลักษณะ Frequency Divider ได้ตั้งแต่หาร 2 ถึง หาร 256

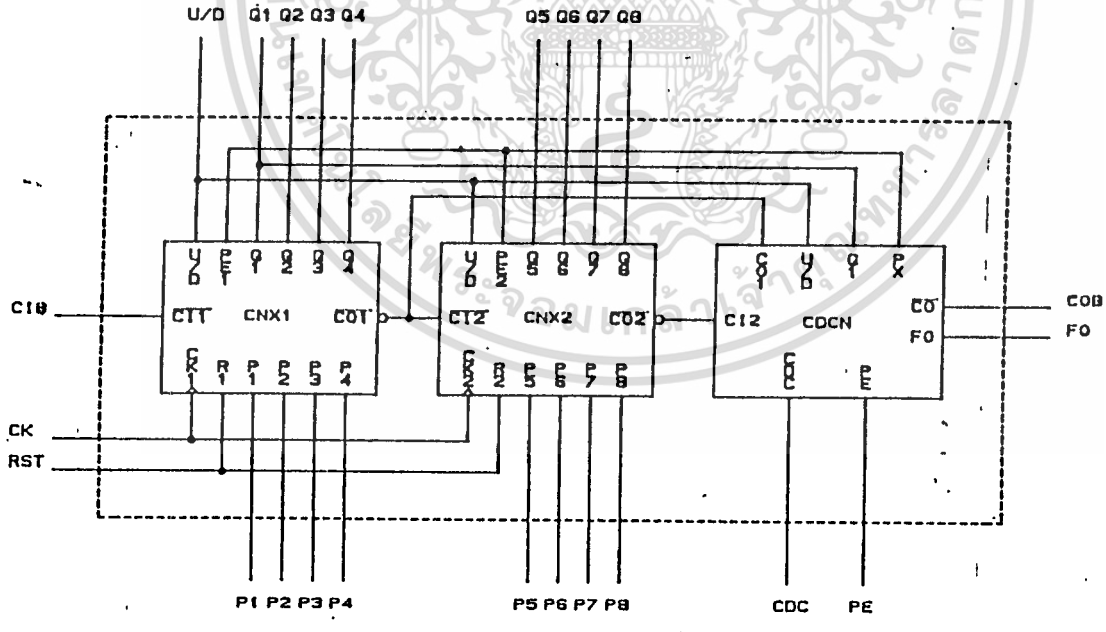
2. <u>การออกแบบจากระบบสู่โมดูล</u>

การออกแบบด้วยวิธี Top to down design ได้นำมาใช้ในการออกแบบชิพ เริ่มด้วยการวาง FLOOR PLAN ตาม Block Diagram ในรูปที่ 6.2 และรูปที่ 6.3 ซึ่งกำหนดการทำงานในระดับโมดูลออกเป็น 3 โมดูลคือ CNX 1, CNX 2 และ CDCN

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 แสดง FLOOR PLAN ของวงจร นับ/หารขนาด 8 บิท



รูปที่ 6.3 Block Diagram แสดงความสัมพันธ์ของโมดูลต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

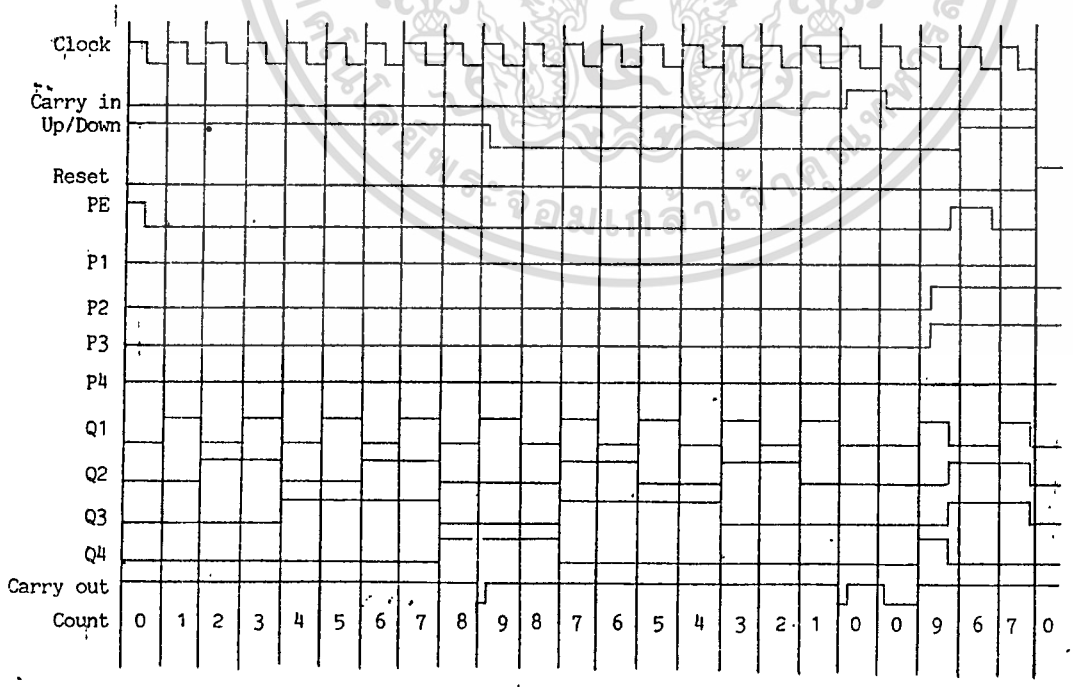
โมดูล CNX 1, CNX 2

ทั้งสองโมดูลมีโครงสร้างและการทำงานในระดับ 4 บิทเคาเตอร์ เหตุที่ออกแบบให้เป็นโมดูล 4 บิท สองโมดูลก็เพื่อให้ง่ายต่อการวาง layout และ Implement ระบบรวมทั้งการ Tap สัญญาณมาที่โมดูล CDCN เช่นสัญญาณ CO1, CO2, Q1, และ PX เป็นต้น

รายละเอียดของโมดูล CNX 1, CNX 2 แสดงในรูปที่ 6.5 โดยอาศัย Timing Diagram ที่ออกแบบไว้ ตามรูปที่ 6.4 แล้วจึงสร้างวงจรลอจิกขึ้นมาจาก Timing diagram และหลักการของ Boonlean Algebra (ตามที่อธิบายในบทที่ 3) เป็นหลักในการออกแบบวงจรทั้งหมด ซึ่งจะไม่กล่าวถึงรายละเอียดในที่นี้ IC1-IC4 ทำหน้าที่เป็น Flip Flop (รายละเอียดของ Flip Flop จะกล่าวใน Bottom up design) ในโหมด Toggle Flip Flop ซึ่งเป็นกลจักรสำคัญของการนับขึ้น นับลง และการหาร ส่วนลอจิกเกทต่างๆ ทั้ง 35 เกท สามารถแบ่งออกเป็น 4 กลุ่มตามหน้าที่การทำงานดังนี้คือ

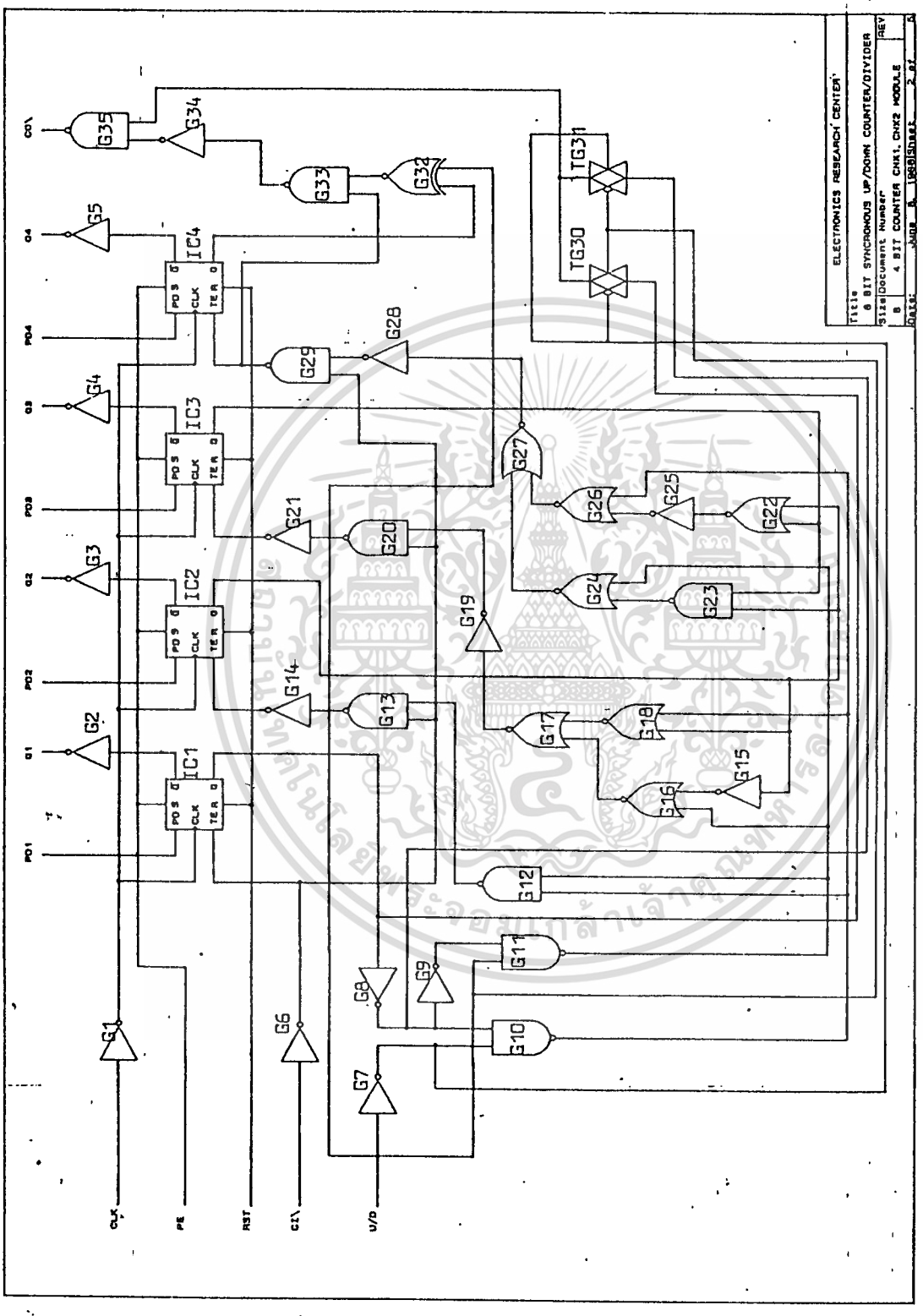
1. บัฟเฟอร์

เกทที่ทำหน้าที่เป็นอินพุทบัฟเฟอร์ ได้แก่ G1, G6 และส่วนที่ทำหน้าที่เป็นเอาท์พุทบัฟเฟอร์ ได้แก่ G2-G5, G35 เกทเหล่านี้นอกจากจะทำหน้าที่ เป็นอินพุทบัฟเฟอร์แล้วยังทำหน้าที่เป็นอินเวอร์เตอร์อีกด้วย



รูปที่ 6.4 แสดง Timing Diagram ของโมดูล CNX 1,CNX 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.5 แสดง Logic Diagram ของโมดูล CNX 1, CNX 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. สร้างสัญญาณนาฬิกาในโหมดนับขึ้นและนับลง

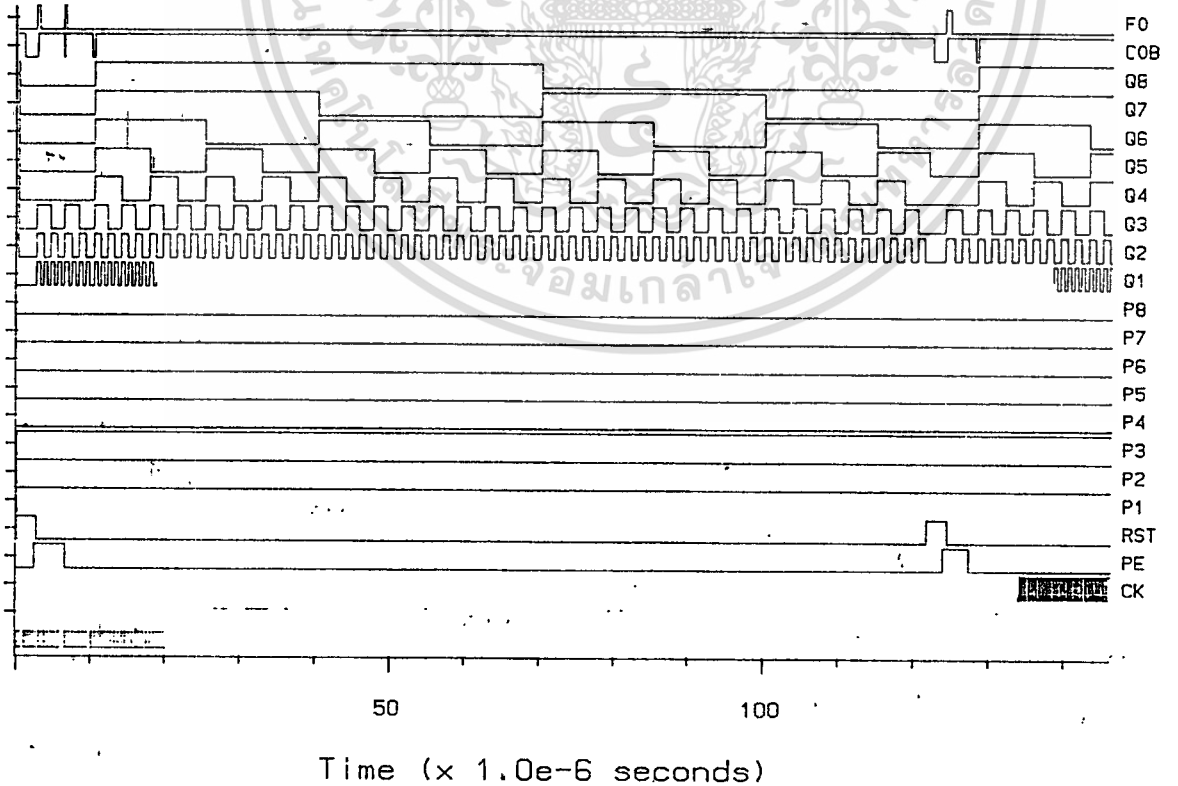
การทำงานของวงจรอาศัยหลักการ การสร้างสัญญาณนาฬิกาย่อย 2 สัญญาณจากสัญญาณขา Q ของ IC1 และสัญญาณ UP/DOWN (U/D) ซึ่งสัญญาณทั้งสองคือ สัญญาณนาฬิกาสำหรับนับขึ้น และสัญญาณนาฬิกาสำหรับนับลง เกทที่ทำเหล่านี้ประกอบด้วย G7-G11 เอาท์พุทของ G10 จะเป็นสัญญาณนาฬิกาขณะนับลง และ G11 จะเป็นสัญญาณนาฬิกาขณะนับขึ้น

3. วงจรควบคุมการ Toggle ของ IC1-IC4

หลักการของวงจรควบคุมการ Toggle คือตรวจสอบสภาวะลอจิกที่ขา Q ของ-Toggle Flip Flop ตัวที่มี เวตท์ (Weight) ต่ำกว่า เพื่อนำมาควบคุมสภาวะการ Toggle, IC1 ซึ่งมีเวตท์ (Weight) ต่ำสุดจะอยู่ในโหมด Toggle ตลอดการทำงานทั้งนับขึ้นนับลง, IC2 ใช้ G12-G14 สร้างโหมด Toggle, IC3 ใช้ G15-G21 สร้างโหมด Toggle และ IC4 ใช้-G22-G29 ควบคุมโหมดการ Toggle

4. วงจรสร้างสัญญาณทด

จะทำการสร้างสัญญาณทด (Carry out) เมื่อมีการนับขึ้นถึง 15 หรือนับลงถึงศูนย์ โดยการตรวจสอบสัญญาณ UP/DOWN ที่อินพุท และ Q4 ของ IC4 และขา TE ของ IC4 ผ่าน



รูปที่ 6.6 แสดงปัญหาทางด้าน Timing ที่สัญญาณ CBO และ FO

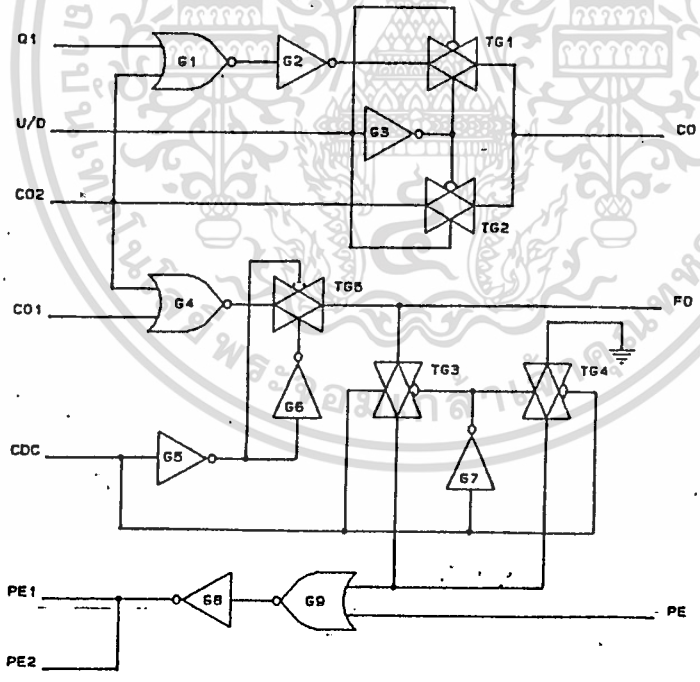
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

G32-G35 และสิ่งที่สำคัญของวงจรส่วนนี้อันขาดไม่ได้คือ Transmission gate TG30-TG31 ซึ่งจะป้อนสัญญาณจาก Q1 หรือ Q1 มาชิงค์ที่ G35 เพื่อแก้ปัญหาเกี่ยวกับ Timing ที่เหลื่อมกันในทางปฏิบัติอันเกิดจาก Delay time ดังแสดงในรูปที่ 6.6

โมดูล CDCN

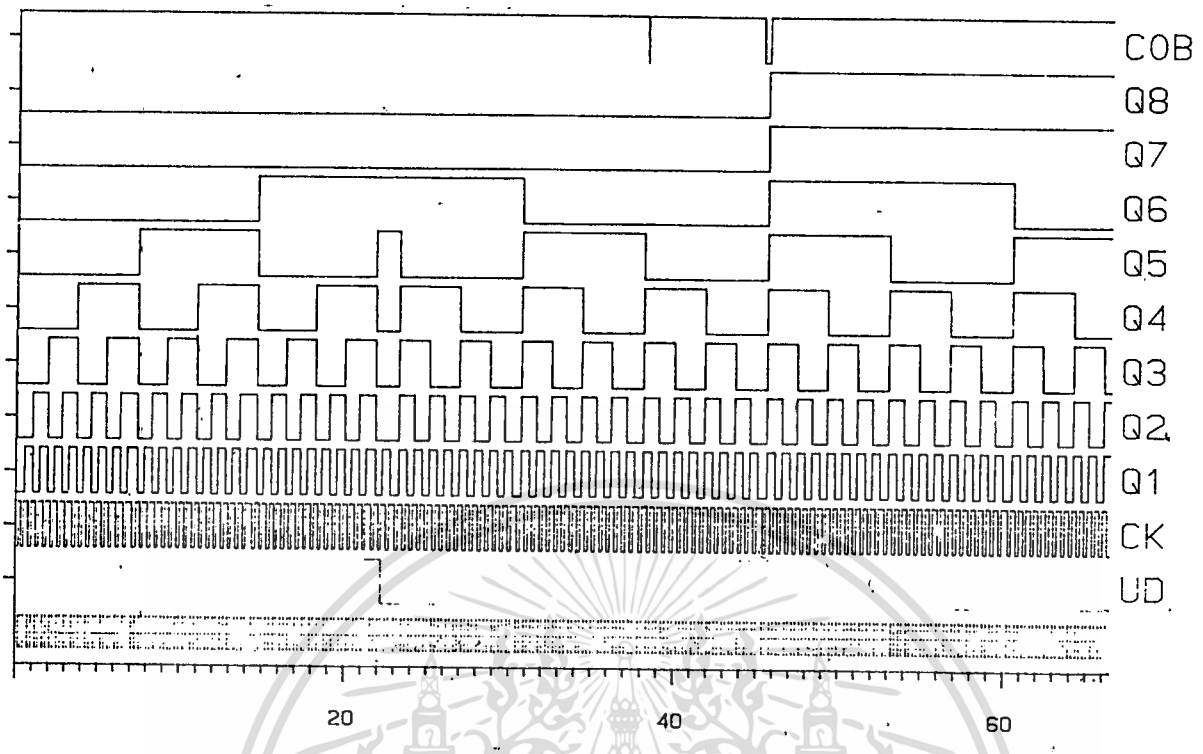
รูปที่ 6.7 เป็นโมดูล CDCN ที่ควบคุมการ Preset ค่าเริ่มต้นให้กับ CNX1, CNX2 และควบคุมการหารในโหมด Frequency Divider โดยสร้างพัลส์บวกที่ขา FO เมื่อการหารครบตามค่าที่โปรแกรมไว้และยังสร้างสัญญาณทดเมื่อเคาเตอร์ 8 บิทนับขึ้นถึง 255 หรือนับลงถึง 0

ปัญหาในทางปฏิบัติที่พบขณะออกแบบคือ ปัญหาการเกิดสัญญาณรบกวน Glitch ที่ขาสัญญาณทดเนื่องจาก delay time ขณะทำงานในโหมดนับลง ตามที่แสดงในรูปที่ 6.8 เพื่อแก้ปัญหาดังกล่าวทางผู้ทำวิทยานิพนธ์จึงนำสัญญาณ Q1ของ IC1 มาชิงค์กับสัญญาณ CO2 จากโมดูล CNX2 โดยมีสัญญาณ UP/DOWN ควบคุมการทำงาน ส่วนการทำงานในโหมดนับขึ้น ไม่มีปัญหาแต่อย่างใด



รูปที่ 6.7 แสดงวงจรในโมดูล CDCN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

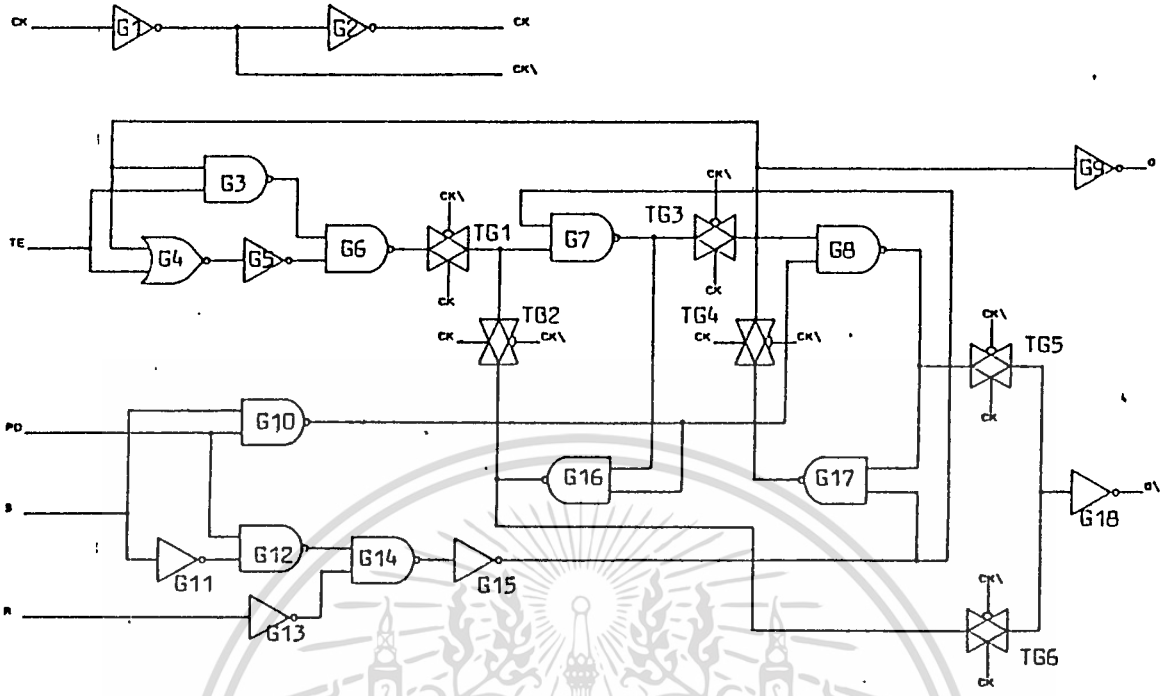


รูปที่ 6.8 แสดงการเกิด Glitch ที่ขาสัญญาณทด COB ขณะนับลง

3. การออกแบบจากวงจรสู่ลีฟเซลล์

การออกแบบโดยใช้เทคนิคของ Bottom up Design คือ IC1-IC4 ซึ่งทำงานเป็น Togle Flip Flop ประกอบด้วยลอจิกเกทต่างๆ ตามรายละเอียดของวงจรในรูปที่ 6.9 และตารางความจริงในรูปที่ 6.1 ขณะที่สัญญาณนาฬิกามีลอจิก 1 Transmission gate; TG1, TG4, TG5 "ON" ส่วน TG2, TG3 "OFF" ทำให้เกิดการลูปของสัญญาณระหว่าง G8, G17 ผ่านทาง TG4 ซึ่งเป็นการโฮลด์สถานะของเอาท์พุท Q และ $\bar{Q}$ ขณะเดียวกันสัญญาณที่อินพุทของ G9 จะถูก Feed back มาที่เกท G3, G4 ประกอบกับสัญญาณจากขา TE ถ้า TE มีลอจิก '0' สัญญาณที่เอาท์พุท G7 จะเหมือนกับสัญญาณที่อินพุทของ G9 ถ้า TE มีลอจิก '1' สัญญาณที่เอาท์พุทของ G7 จะมีลอจิกตรงข้ามกับสัญญาณที่ G9 และขณะที่สัญญาณนาฬิกาเปลี่ยนลอจิกจาก '1' เป็น '0' การทำงานของ Transmission gate ต่างๆ ดังที่กล่าวมาแล้วข้างต้นจะกลับกัน ทำให้สัญญาณที่เอาท์พุทของ G7 สามารถผ่าน TG3 ออกไปที่ขา Q โดยผ่าน G9 พร้อมกันนี้เกท G7, G16 จะลูปสัญญาณผ่าน TG2 เพื่อโฮลด์สัญญาณเอาท์พุทของเกท G7 และยังส่งสัญญาณผ่าน TG6, TG18 ไปออกที่ขา $\bar{Q}$ เกทต่างๆ ที่เหลือคือ G10-G15, G7, G8, G16 จะทำหน้าที่ตรวจสอบเงื่อนไขของอินพุท PE, PD

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



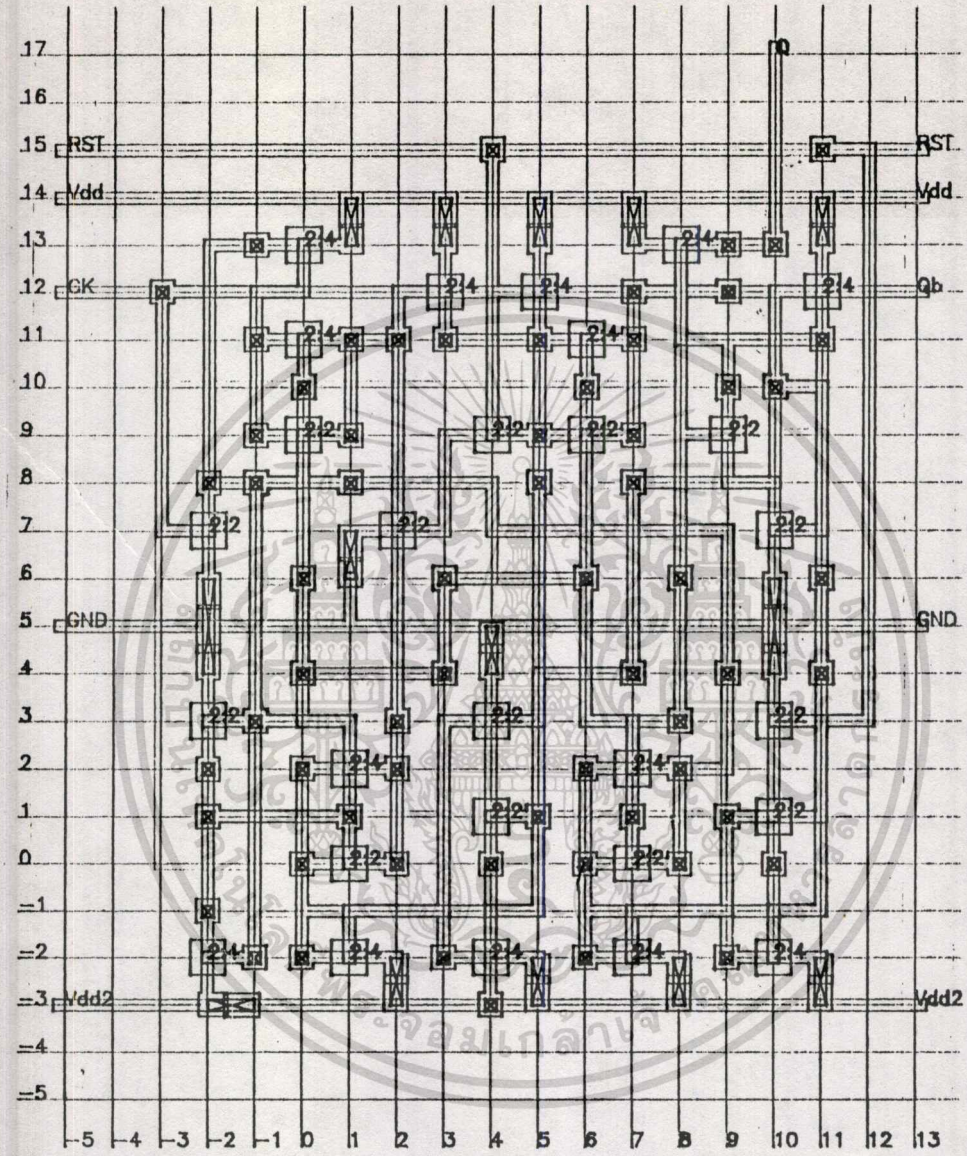
รูปที่ 6.9 แสดงวงจรของ Toggle Flip Flop

TE	CK	PE	PD	R	Q	$\bar{Q}$
0	X	0	0	0	Q_{n-1}	$\bar{Q}_{n-1}$
1	⌒	0	0	0	Q_{n-1}	$\bar{Q}_{n-1}$
1	⌒	0	0	0	Q_{n+1}	$\bar{Q}_{n+1}$
X	X	X	X	1	0	1
X	X	1	0	X	0	1
X	X	1	1	X	1	0
X	X	1	1	1	0*	0*

หมายเหตุ : * Not allowable condition

ตารางที่ 6.1 ตารางความจริงของ Toggle FF & Preset Enable & Reset

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.10 แสดงโครงสร้างของลีฟเซลล์ Toggle FF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R แล้วทำการ set หรือ reset ขาเอาท์พุท Q และ Q ตามเงื่อนไขที่แสดงในตารางความจริงที่ 6.1 ข้อควรระวังในการใช้งาน Toggle Flip Flop นี้ก็คือ ขา PE, PD, R มีลอจิก '1' ทั้งสามอินพุทจะทำให้เอาท์พุท Q และ Q มีค่าลอจิก '0' ทั้งคู่ ซึ่งเป็นเงื่อนไขที่ไม่ต้องการ ส่วนรูปที่ 6.10 แสดงโครงสร้างของวงจรรวมซึ่งเป็นลีฟเซลล์ของวงจร Toggle FF เก็บไว้ในไฟล์ชื่อ tffA.sl

6.2 วิธีการสร้างลวดลายวงจรรวม

ในขั้นตอนการออกแบบลวดลายของวงจรนับ/หาร ความถี่ขนาด 8 บิท ผู้ทำวิทยานิพนธ์จะขอกำหนดวิธีการออกแบบลวดลายวงจรรวม ออกเป็น 3 ขั้นตอน ดังต่อไปนี้

1. FLOW CHART การออกแบบ
2. คำสั่งที่ใช้ในการออกแบบ
3. การทดสอบโดยใช้เงื่อนไขเทียม

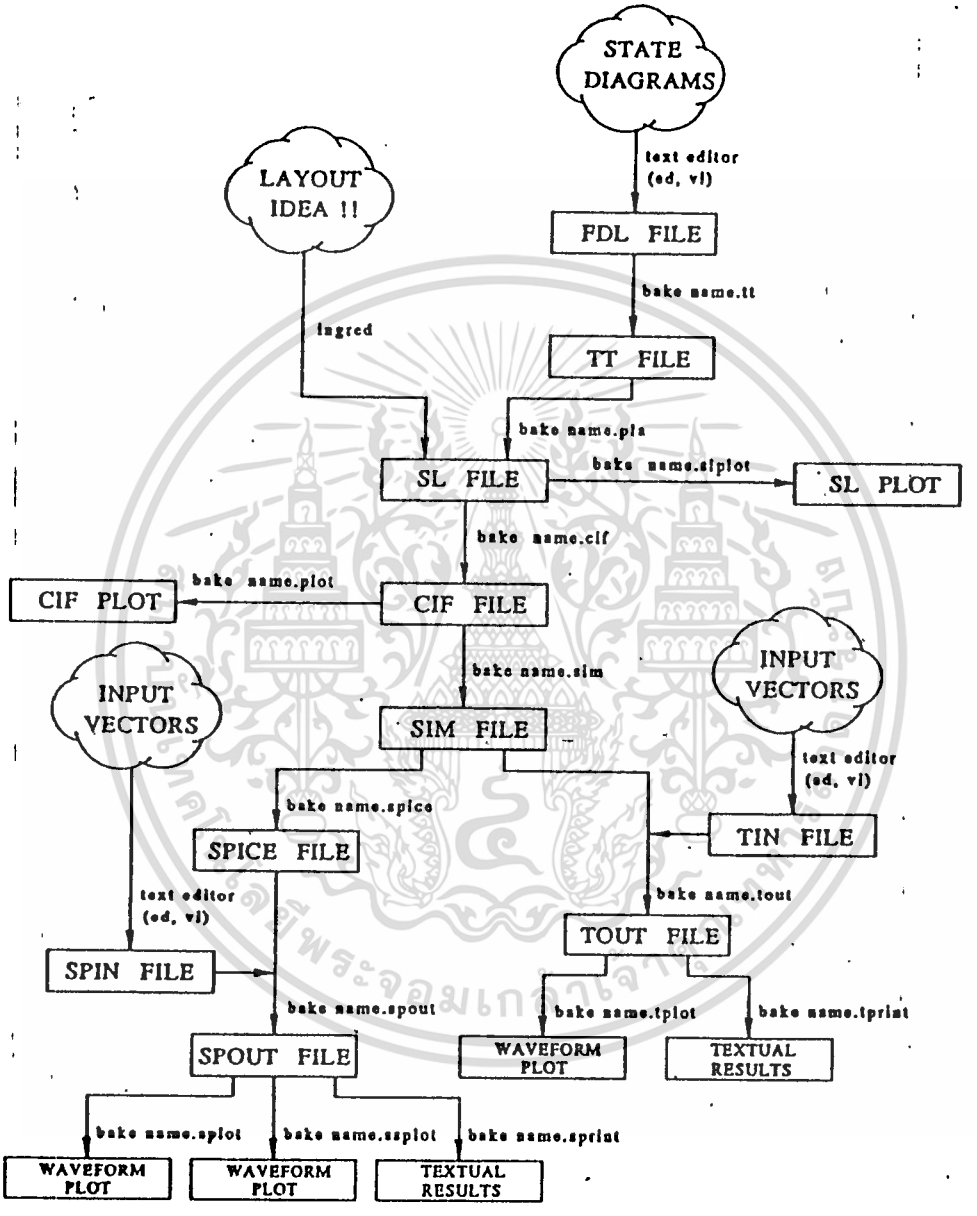
1. FLOW CHART การออกแบบ

ในการออกแบบลวดลายวงจรรวม ตามแนวทางของมหาวิทยาลัย NEW SOUTH WALE นั้น มีแนวทางต่างๆ ที่เขียนเป็น FLOW CHART หลายแนวทางแต่ในที่นี้ผู้ทำวิทยานิพนธ์จะขอกล่าวถึงเฉพาะแนวทางที่ใช้จริงตามที่ออกแบบลวดลาย วงจรนับ/หาร ความถี่ขนาด 8 บิท ดังรูป FLOW CHART รวมที่ 6.11 และรูป FLOW CHART ของระบบย่อยที่ 6.12 ซึ่งผู้ทำวิทยานิพนธ์จะต้องทำการ LAY OUT ลวดลายของวงจรรวมด้วยโปรแกรม 'ingred' แล้วเก็บเป็น sl ไฟล์ จากนั้นจะต้องใช้คำสั่ง 'JIGSAW' ทำการจัดระยะลวดลายของวงจรรวม ผลของการใช้คำสั่ง JIGSAW จะได้ไฟล์อีกไฟล์หนึ่ง คือ cifไฟล์ (CIF : Caltech Intermidiate Form) ขั้นตอนต่อไปก็คือการตรวจสอบความถูกต้องของการออกแบบ ตามกฎการออกแบบ (Design Rules) ด้วยคำสั่ง 'galah' และสุดท้ายจะใช้คำสั่ง 'trek' ทำการทดสอบการทำงานของวงจรรวมที่ออกแบบ สำหรับไฟล์ต่างๆ ไม่ว่าจะเป็น sl ไฟล์ cif ไฟล์ หรือ tout ไฟล์ (ไฟล์ที่เกิดจาก การทดสอบการทำงานของวงจรรวม) จะสามารถพลอตออกมาดูที่ PLOTTER ได้ทั้งสิ้นด้วยคำสั่ง slplot, cif plot และ simplot ตามลำดับ

2. คำสั่งที่ใช้ในการออกแบบ

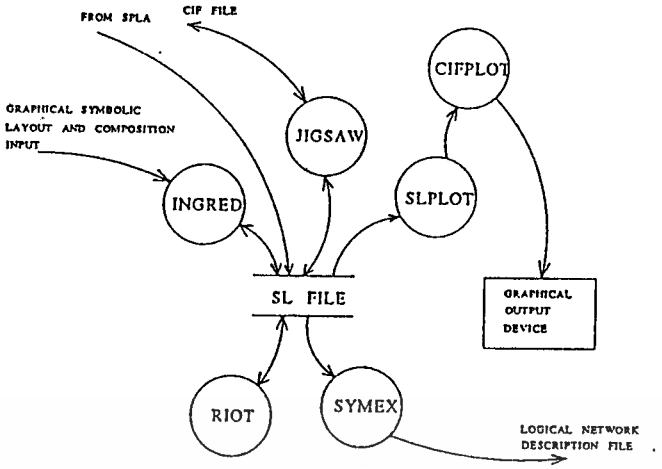
คำสั่งต่างๆที่เกี่ยวข้องกับระบบโปรแกรม (ที่เรียกระบบโปรแกรมเนื่องจากการออก-

เอกสารนี้เป็น... ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.11 แสดง FLOW CHART การออกแบบวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.12 แสดง FLOW CHART การสร้าง sl ไฟล์ด้วยวิธีต่างๆ

แบบวงจรรวม ต้องใช้คำสั่งมากมาย) ออกแบบวงจรรวมของ UNSW มีอยู่มากมาย ซึ่งขึ้นอยู่กับวิธีการออกแบบวงจรรวม เช่นเริ่มการออกแบบด้วย finite state machine / programmed logic array generator หรือเริ่มจาก ingred แต่ในที่นี้จะขอกล่าวเฉพาะคำสั่งที่เกี่ยวข้องตามหัวข้อ 'FLOW CHART การออกแบบ' ซึ่งสามารถสรุปได้ 5 หัวข้อดังนี้

1. คำสั่ง ingred

การใช้งาน ingred -p cmos 8bcnt.sl

คำสั่ง ingred เป็นคำสั่งเรียกโปรแกรม interactive graphical editor สำหรับสร้าง หรือแก้ไขลวดลายวงจรรวมด้วยสัญญลักษณ์ ซึ่งจะใช้สี และสัญญลักษณ์แทนชั้นทางกายภาพทั้ง 7 ชั้น คือ

Physical Layer	Colour
1. contact	ดำ
2. n+ diffusion	เขียว
3. metal	ฟ้า
4. p well	เหลือง
5. p+ diffusion	น้ำตาล
6. polysilicon	แดง
7. overglass	ม่วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-p cmos จะหมายถึงกำลังออกแบบวงจรรวมด้วย เทคโนโลยีซีมอส 8bcnt.sl เป็นชื่อของเซลล์ที่ออกแบบ ซึ่งก็คือ วงจรนับ/หารขนาด 8 บิท ในกรณีที่มีความผิดพลาดในการออกแบบ ความผิดพลาดเหล่านั้น จะถูกเก็บที่ไฟล์ชื่อ ingred.log

2. คำสั่ง jigsaw

การใช้งาน jigsaw -b -t cmos 8bcnt

คำสั่ง jigsaw เป็นคำสั่ง symbolic composer and spacer สำหรับทำการจัดระยะลวดลายของวงจรรวม ให้ชิดเข้ามา หรือถอยห่างออกไป ตามกฎการออกแบบที่กล่าวไว้ในบทที่ 4 เมื่อ jigsaw ทำการจัดระยะวงจรรวมเสร็จก็จะสร้างไฟล์นามสกุล cif นอกจากนี้ยังสร้างไฟล์นามสกุล nodes ซึ่งเป็น mapping list ของชื่อ nodes ต่างๆ ที่ต่อถึงกันในแต่ละโมดูล สำหรับ -t cmos เป็นแฟล็กที่กำหนดว่าคำสั่ง jigsaw จัดระยะของลวดลายวงจรรวมด้วยเทคโนโลยีของซีมอส -b เป็นแฟล็ก ที่แสดงลักษณะการจัดระยะระหว่างเซลล์ ในโมดูลอย่างหยาบๆ โดยถือว่าในแต่ละเซลล์ได้ทำการ jigsaw มาก่อนแล้ว และจะไม่สร้างไฟล์นามสกุล cif ต้องใช้คำสั่ง jigsaw อีกครั้งหนึ่ง (โดยไม่ต้องมีแฟล็ก -b) จึงจะได้ไฟล์นามสกุล cif ดังนั้นการใช้แฟล็ก -b จะทำให้คำสั่ง jigsaw ทำงานได้เร็ว ในกรณีที่ไม่ได้ระบุแฟล็ก -b ลงในคำสั่ง jigsaw โปรแกรมจะทำการจัดระยะของลวดลายวงจรรวมอย่างละเอียด ทำให้ได้ลวดลายของวงจรเล็กกระทัดรัด ใช้พื้นที่บนแผ่น silicon อย่างเต็มที่จึงเหมาะที่จะนำไปสร้างเป็น IC

3. คำสั่ง galah

การใช้งาน galah -t awa_cmos 8bcnt.cif

คำสั่ง galah เป็นคำสั่ง Circuit Extraction and Design Rule Checking สำหรับตรวจสอบลวดลายวงจร ตามกฎการออกแบบ -t awa_cmos หมายถึงการใช้เทคโนโลยีของ AWA/UNSW, CMOS แบบการดับปลั้งค่าความจุ เป็นหลักในการตรวจสอบ ซึ่งประยุกต์มาจากหลักการพื้นฐานของ Mead and Conway ในการใช้คำสั่ง galah ถ้าไม่ระบุนามสกุลของไฟล์เป็น cif ตัวคำสั่งจะนำไฟล์ที่เกิดจากคำสั่ง KIC มาตรวจสอบการออกแบบแทน และผลที่ได้จากการทำงานจะได้ไฟล์นามสกุล sim ซึ่งพร้อมจะนำไปทดสอบการทำงาน (simulation) ในลักษณะ Timing diagram ด้วยคำสั่ง trek

4. คำสั่ง trek

การใช้งาน trek 8bcnt.sim < 8bcnt.tin

คำสั่ง trek เป็นคำสั่ง event driven switch level simulator สำหรับทำการทดสอบการทำงานของวงจรรวม trek จะนำคำสั่งจาก tin ไฟล์ (คือไฟล์ 8bcnt.tin) มาทำงานร่วมกับข้อมูลใน sim ไฟล์ และผลที่ได้จะนำไปเก็บไว้ใน tout ไฟล์ ซึ่งในที่นี้คือ 8bcnt

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(นามสกุล tout) ส่วน tin ไฟล์สามารถสร้างโดยใช้ VI ซึ่งเป็น TEXT EDITOR ของ UNIX สร้างขึ้นมา ดังจะยกตัวอย่างดังนี้

```
ชื่อไฟล์ test.tin
Watch A B Out
VA  01000111
VB  10110011
R
q
```

คำสั่ง watch หรือ w จะตามด้วยรายชื่อของ node (ขา หรือ พอร์ท) ของลวดลายวงจรร่วมที่ต้องการทดสอบการทำงาน ทั้งด้านอินพุท และเอาท์พุท ในที่นี้ อินพุท คือ A B ส่วนเอาท์พุท คือ Out

คำสั่ง V หรือ v หรือ vector จะตามด้วยอินพุท node VA VB และตามด้วยค่าเวคเตอร์ในรูปสตริงค์ของ '0','1' และ 'X' ซึ่งจะแทนค่าลอจิก HI LO และไม่ทราบค่า ตามลำดับ นอกจากนี้การใช้เวคเตอร์ยังมีตัวอย่างที่น่าสนใจดังนี้

```
V input   00011XX11001
V clocka  01
V clockb  10101010*
```

จะเห็นว่าเวคเตอร์ข้างต้นมีความยาวต่างกัน เวคเตอร์ที่มีความยาวน้อย จะซ้ำค่าเริ่มต้นจนถึงค่าสุดท้ายเป็นลูปจนเท่ากับความยาวของเวคเตอร์ที่มีค่าความยาวมากกว่า ส่วน * จะแทนค่าเวคเตอร์ก่อนหน้านั้น ซึ่งก็คือ 00000 จนสุดความยาว

คำสั่ง R หรือ simv ซึ่งอาจจะตามด้วยชื่อของไฟล์หรือไม่ก็ได้เช่น R 8bcntโดยนามสกุลของไฟล์จะเป็น tout คำสั่ง R จะกำหนดให้ simulator ทำการทดสอบวงจรรวม ตามเวคเตอร์ที่กำหนดไว้ข้างต้น ผลที่ได้จะเก็บไว้ในไฟล์ 8bcnt.tout

คำสั่ง q หรือ quit คือคำสั่งออกจากโปรแกรม

5. คำสั่งอื่นๆ

คำสั่งอื่นๆ ที่จะกล่าวต่อไปก็คือกลุ่มของคำสั่งพลอตอันได้แก่ slplot, citplot, simplot ซึ่งจะใช้พลอต sl ไฟล์ cif ไฟล์ และ tout ไฟล์ ตามลำดับ โดยมีการใช้งานดังนี้

การพลอต sl ไฟล์ใช้คำสั่ง slplot -t hp 7580 8bcnt.sl

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพลอต cif ไฟล์ใช้คำสั่ง cifplot -t hp 7580 8bcnt.cif

การพลอต tout ไฟล์ใช้คำสั่ง simplot -t hp 7580 8bcnt.tout

แฟล็ก -t เป็นแฟล็กที่ระบุเอาท์พุทเทอร์มินอล เช่น HP 7580, HP 7221 ส่วนการกำหนดสีของลวดลายวงจรรวม แต่ละชั้นที่พลอตเตอร์จะกำหนดใน ENVIRONMENT FILE โดย SYSTEM ADMINISTRATOR

3. การทดสอบโดยใช้เงื่อนไขเทียม

การ Implement และการทดสอบชิพ ใช้คำสั่งต่างๆ ที่กล่าวในหัวข้อ 'คำสั่งที่ใช้ในการออกแบบ' ส่วนการทดสอบ การทำงานของลวดลาย วงจรนับ/หารความถี่ขนาด 8 บิท จะกระทำตามตารางความจริงที่ 6.2 และใช้คำสั่ง Trek เป็นโปรแกรมในการทดสอบ ซึ่งผลการทดสอบที่แสดงถึง Timing ต่างๆ แสดงในรูปที่ 6.13 ถึงรูปที่ 6.16 ส่วนรูปที่ 6.17 เป็น CIF ไฟล์ของวงจรรวมนับ/หารความถี่ขนาด 8 บิท ที่สมบูรณ์ พร้อมที่จะส่งไปสร้างเป็น IC

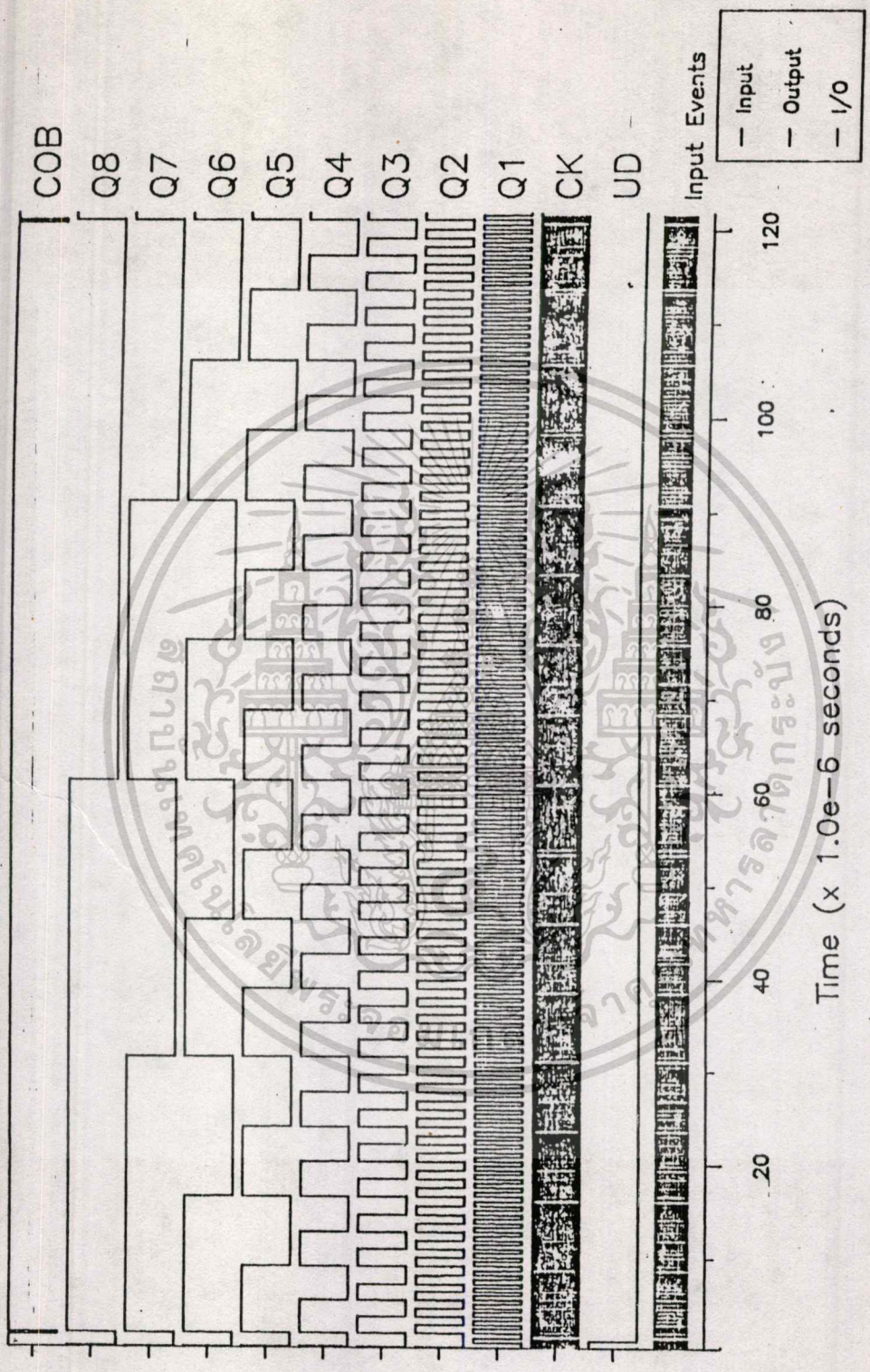
CI	U/D̄	PE	RST	CDC	CK	ACTION
1	X	0	0	X	X	NO COUNT
0	1	0	0	0	⌐	COUNT UP
0	0	0	0	0	⌐	COUNT DOWN
0	X	0	0	X	¬	NO COUNT
0	X	0	0	1	⌐	FREQ. DIV.
X	X	1	0	X	X	PRESET
X	X	X	1	X	X	RESET

หมายเหตุ : FREQ. DIV. ย่อมาจาก FREQUENCY DIVIDER

ตารางที่ 6.2 ตารางความจริงแสดงการทำงานของวงจรนับ/หารความถี่

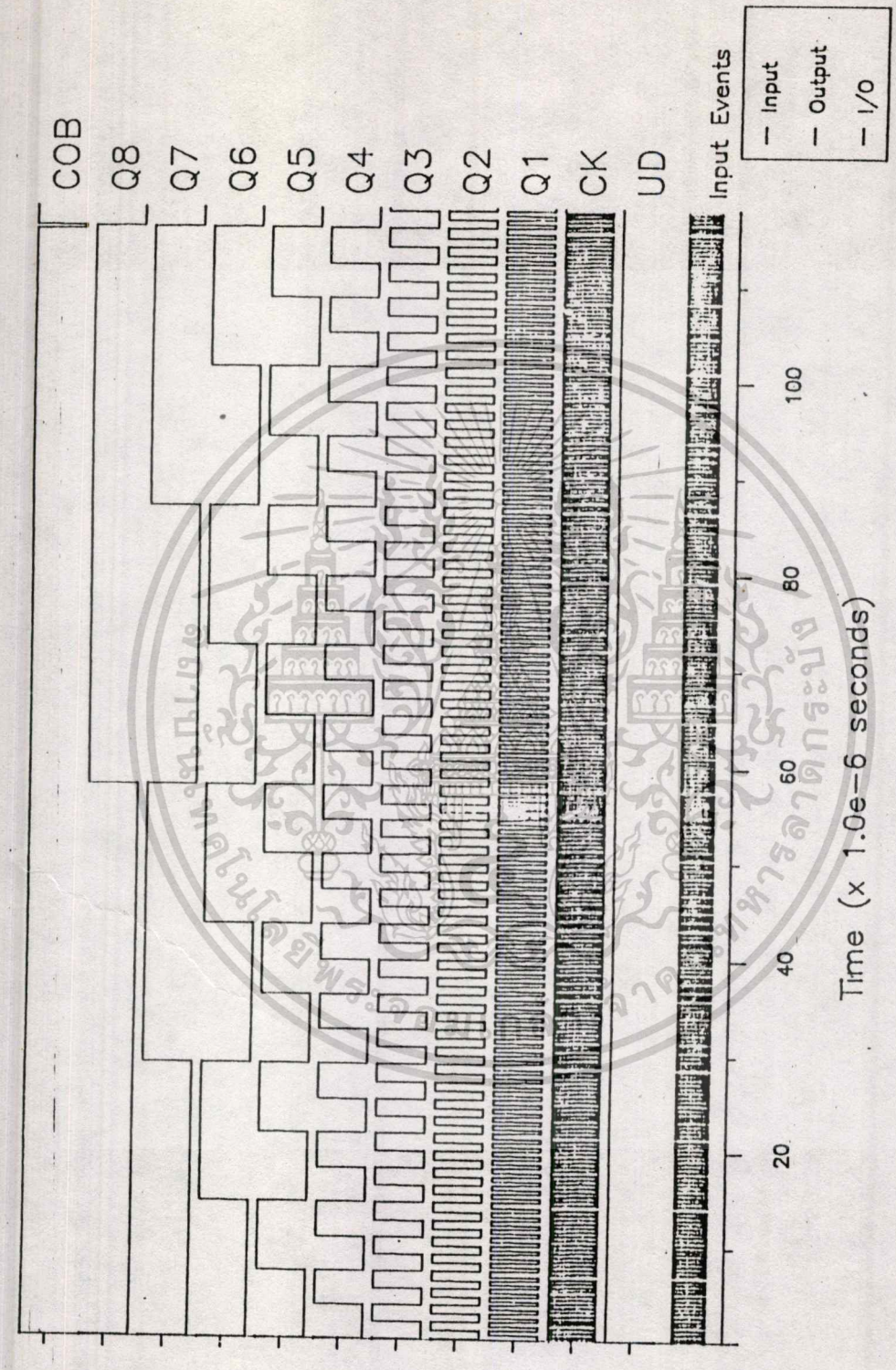
รูปที่ 6.13 แสดง timing diagram ของโหมดการนับลง (count down) โหมดนี้ COB จะเป็น '0' เมื่อวงจรนับลงมาถึง 0 ส่วนรูปที่ 6.14 แสดง timing diagram ของโหมดนับขึ้น (count up) ซึ่งทำนองเดียวกัน COB จะเป็น '0' เมื่อนับได้ 255 ทั้งสองกรณีนี้พึงสังเกตว่าขนาดความกว้างของ pulse ของ COB จะเป็นขนาดเดียวกับความกว้างของ pulse ของ Q1 เนื่องจากเงื่อนไขการ OR ทางเอาท์พุท เพื่อกำจัดสัญญาณเนื่องจาก timing ที่เหลื่อมกัน รูปที่

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



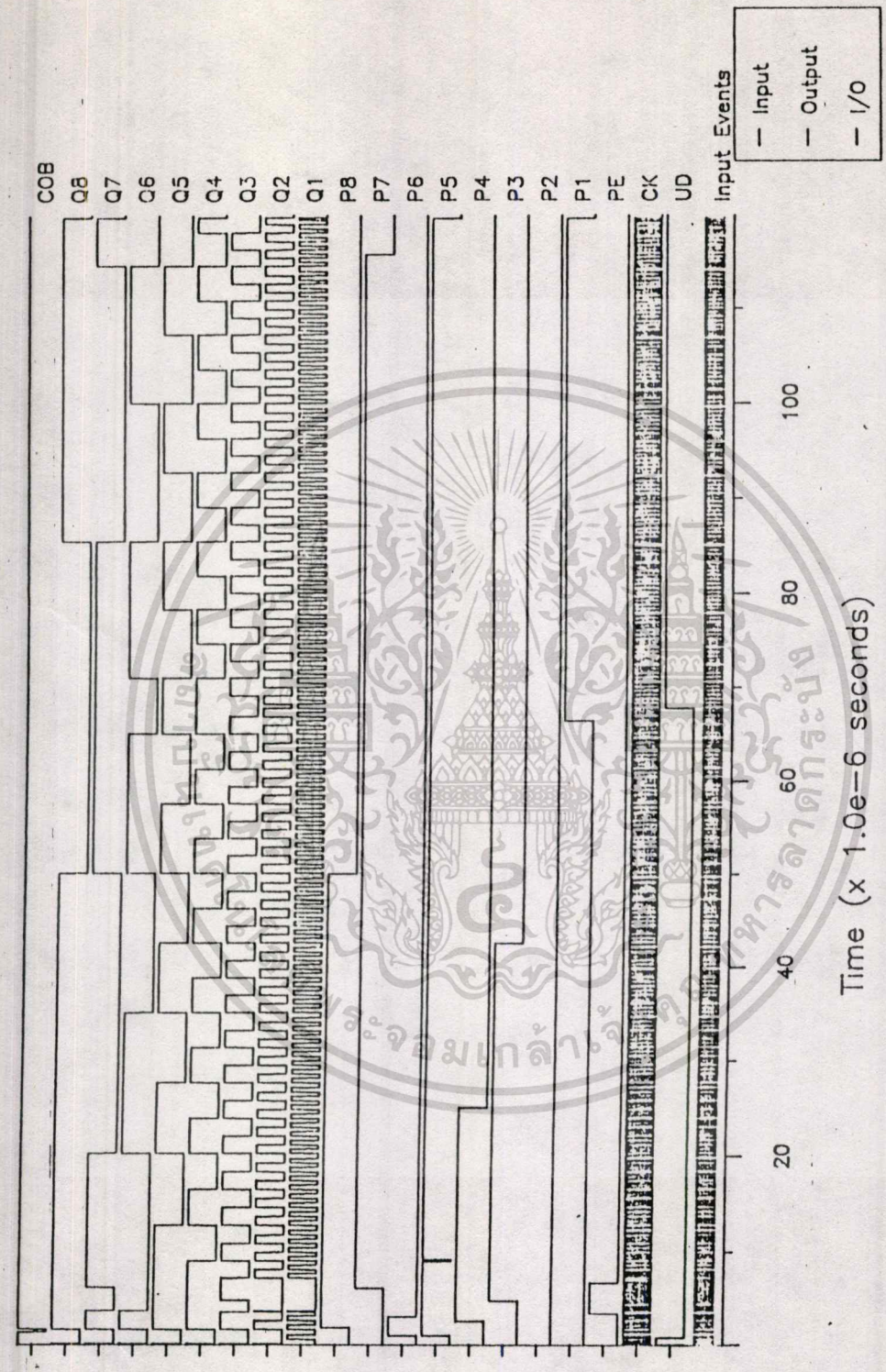
รูปที่ 6.13 Timing Diagram ของโหมดนับลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



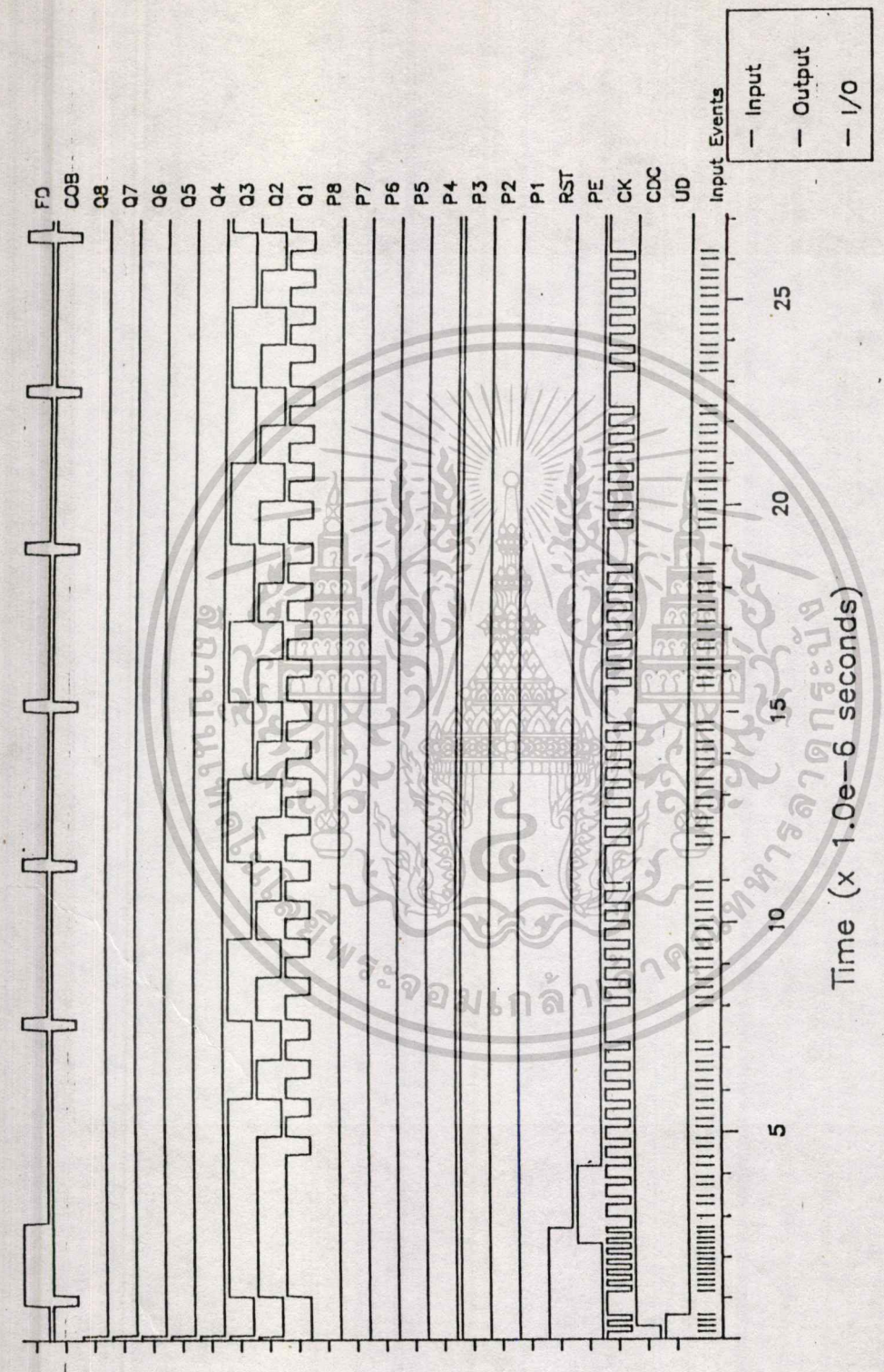
รูปที่ 6.14 Timing Diagram ของโหมดนับขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



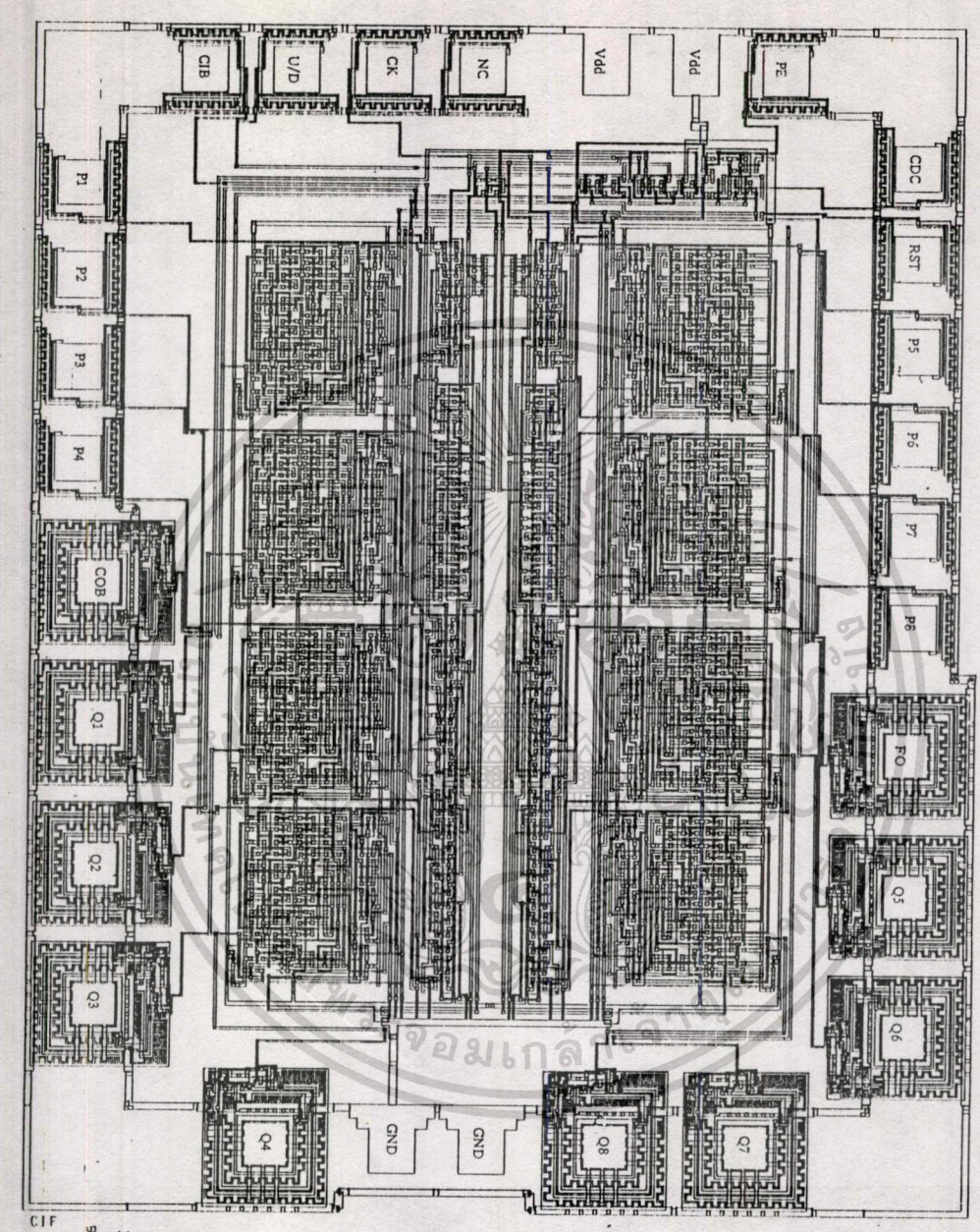
รูปที่ 6.15 แสดงการ Reset , Preset และการนับขึ้น นับลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.16 แสดงการทำงานในโหมดการความถี่

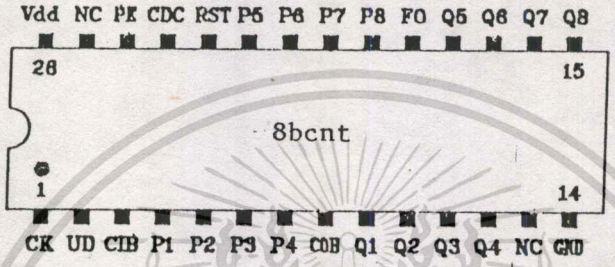
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.17 แสดง CIF ของวงจรนับ/หาร ความถี่ขนาด 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.15 จะแสดงถึงโหมดการ RESET และ PRESET ซึ่งเมื่อ RESET เอาท์พุทของทุกบิทจะเป็นลอจิก '0' ทันที และทำนองเดียวกันเมื่อ PE เป็น '1' เอาท์พุทจะถูกโหลดด้วยค่าลอจิกที่ P1 - P8 และเมื่อ PE ตกเป็น '0' วงจรนับก็จะเริ่มนับ โดยมีค่าเริ่มต้นที่ถูกโหลดเข้าไปแล้วนั้น ส่วนรูปที่ 6.16 แสดงถึงการทำงานในโหมด หารความถี่แบบช้าคาบเวลา (CDC เป็น '1') ตัวอย่างที่ป้อน P1 P2 P3 เป็น 1 1 1 หรือเป็นการหารด้วย 8 ทุกครั้งที่เอาท์พุท Q1 Q2 Q3 เป็น 0 0 0 ขา FO ก็จะให้สัญญาณออกมา 1 ครั้งเช่นกัน สำหรับรูปที่ 6.18 เป็น PIN CONNECTIONS ของ วงจรนับ/หารความถี่ขนาด 8 บิท ที่ออกแบบไว้



รูปที่ 6.18 แสดง PINS CONNECTIONS ที่ออกแบบไว้

6.3 การสร้างวงจรรวม

ในการสร้างวงจรรวมผู้ทำวิทยานิพนธ์ได้ส่ง วงจรนับ/หาร ความถี่ขนาด 8 บิท (โดยใช้ชื่อไฟล์ 8bcnt.cif) ร่วมกับวงจรรวมอื่นๆ ในโครงการ LMRDC (Ladkrabang Microelectronics Research & Development Center) ไปสร้างเป็นวงจรรวม (IC) ที่ประเทศออสเตรเลียที่

Joint Microelectronics Research Center (JMRC)
School of Electrical Engineering and Computer science
University of New South Wales,
Kensington, N.S.W. 2033

จากนั้นทาง JMRC จะจัดส่ง CIF (Caltech Intermidiate Form) ไปเจือสารที่ Amalgamated Wireless Australia (AWA), Microelectronics at Rydalmere, New - South Wales ด้วยเทคโนโลยี Single Metal, 5 μM (2λ) Polysilicon Gate P-Well CMOS, Self-alignment Process สำหรับรายละเอียดของขั้นตอนในการสร้างวงจรรวมแสดงไว้ในตารางที่ 6.3

สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Task	Responsibility	Duration
Individual IC designs	Various	
Collection of Designs	JMRC UNSW	~2 weeks
Merging of designs	JMRC UNSW	~1 week
Generation of PG tapes	JMRC UNSW	0.5 days
Reticule patterning	AWA Microelectronics	~1 week
Wafer fabrication	AWA Microelectronics	~3 weeks
Wafer probing	JMRC UNSW	1 day/wafer
Bonding diagrams	JMRC UNSW	1 day
Chip scribing and bonding	AWA Microelectronics	3 days
Chip despatch	JMRC UNSW	3 days

ตารางที่ 6.3 แสดงขั้นตอนการสร้างวงจรรวม ของหน่วยงานต่างๆ

วงจรรวมที่สร้างเสร็จในรูปของ MPC ทั้ง 8 วงจร จะบรรจุในตัวถังดีนตะขาบ (DIP:Dual In Line Package) 48 ขา ดัง BONDING DIAGRAM รูปที่ 6.19 และรูปถ่ายของจริงที่ 6.20 ก. และ ข.

6.4 การทดสอบในห้องปฏิบัติการ

การทดสอบวงจรรวมในห้องปฏิบัติการ เป็นการตรวจสอบว่าวงจรรวมทำงานได้ครบตามที่ออกแบบไว้ในหัวข้อ 'เงื่อนไขการออกแบบ' หรือไม่ โดยจะทดสอบวงจรรวม ในโหมดต่างๆดังนี้

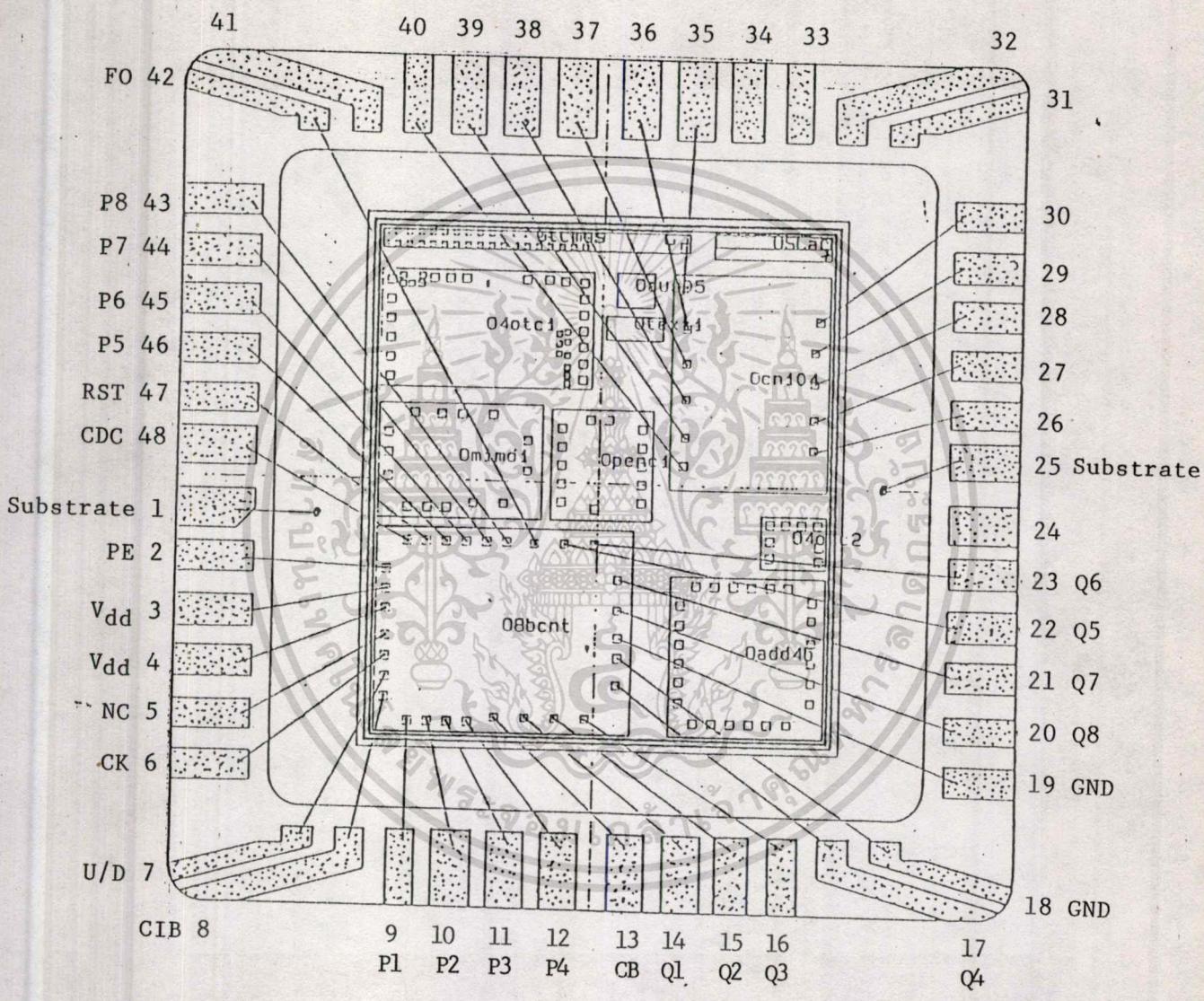
1. การทดสอบในโหมดนับขึ้น
2. การทดสอบในโหมดนับลง
3. การทดสอบในโหมดการหารความถี่ชนิดโปรแกรมได้
4. การวัด CURRENT CONSUMPTION ที่ความถี่และโวลเตจต่างๆ

ในการทดสอบจำเป็นจะต้องเตรียมอุปกรณ์ และเครื่องมือวัดต่างๆ สำหรับทดสอบการทำงานของวงจรรวมตามเงื่อนไขข้างต้น ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

48 LEAD SIDE BRAZE

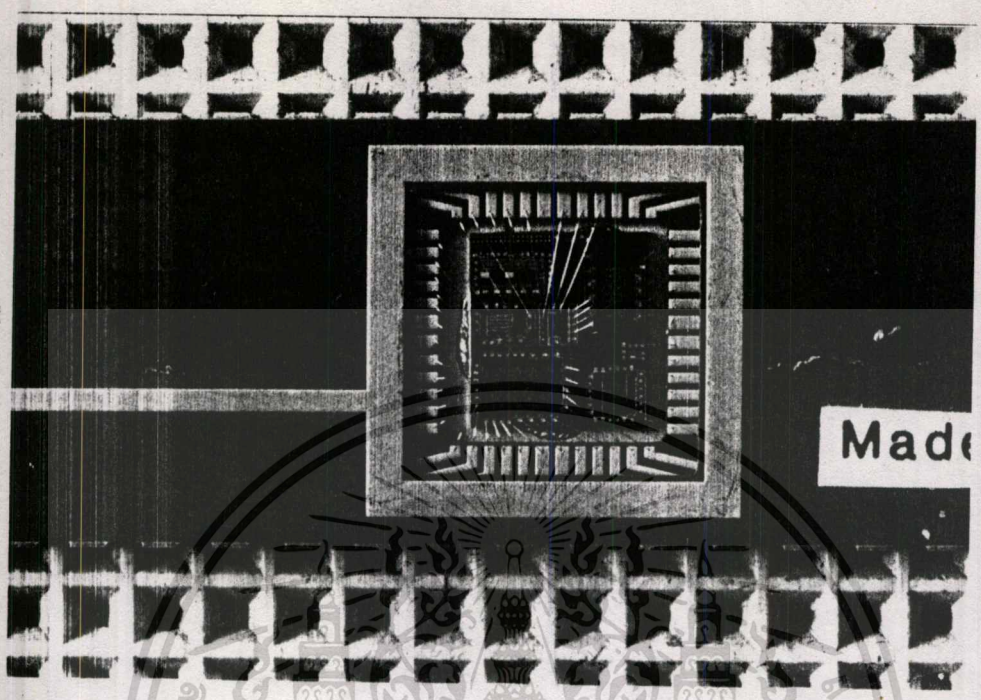
KYACERA PART NO. AA-04801



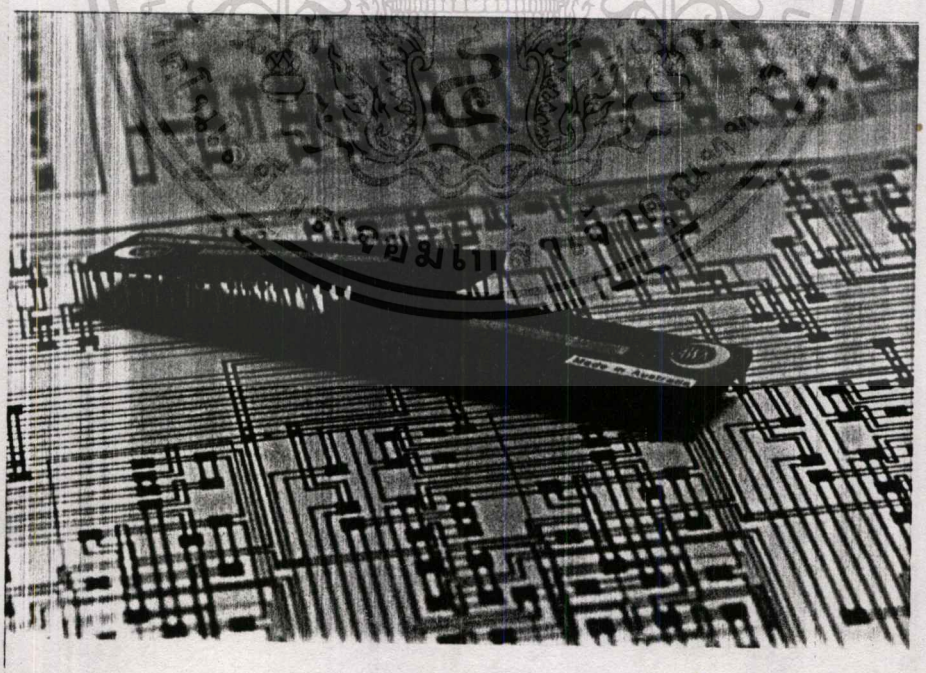
PRODUCT NO.	UNSW MPC88-2C
CHIP TYPE	DIE1.CHIPC
CHIP SIDE	6.2 mm.x 6.8 mm.

รูปที่ 6.19 แสดง BONDING DIAGRAM ของ MPC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.20 ก. รูปถ่ายจริงแสดงการ BONDING

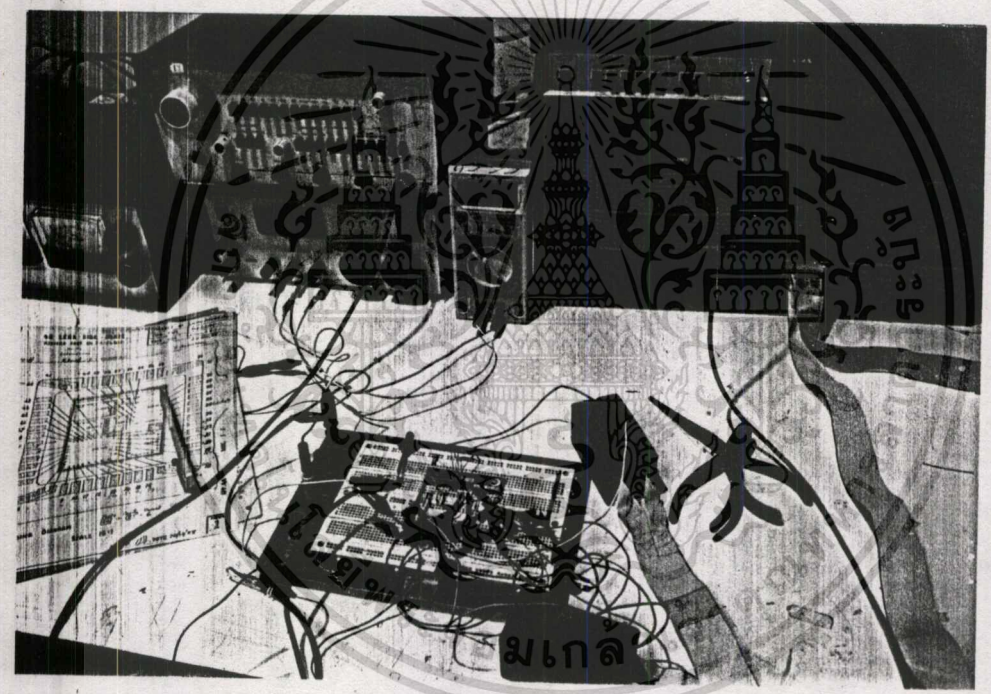


รูปที่ 6.20 ข. แสดงรูปถ่ายจริงของ IC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Photo board	1 แผ่น
2. Logic Analyzer 16 Channel	1 เครื่อง
3. Oscilloscope	1 เครื่อง
4. มิเตอร์วัด mA, V ชนิด DMM	2 เครื่อง
5. FUNCTION GENERATOR	1 เครื่อง
6. FREQUENCY COUNTER	1 เครื่อง
7. POWER SUPPLY ชนิดปรับค่าได้ 0-25 Voc	1 เครื่อง

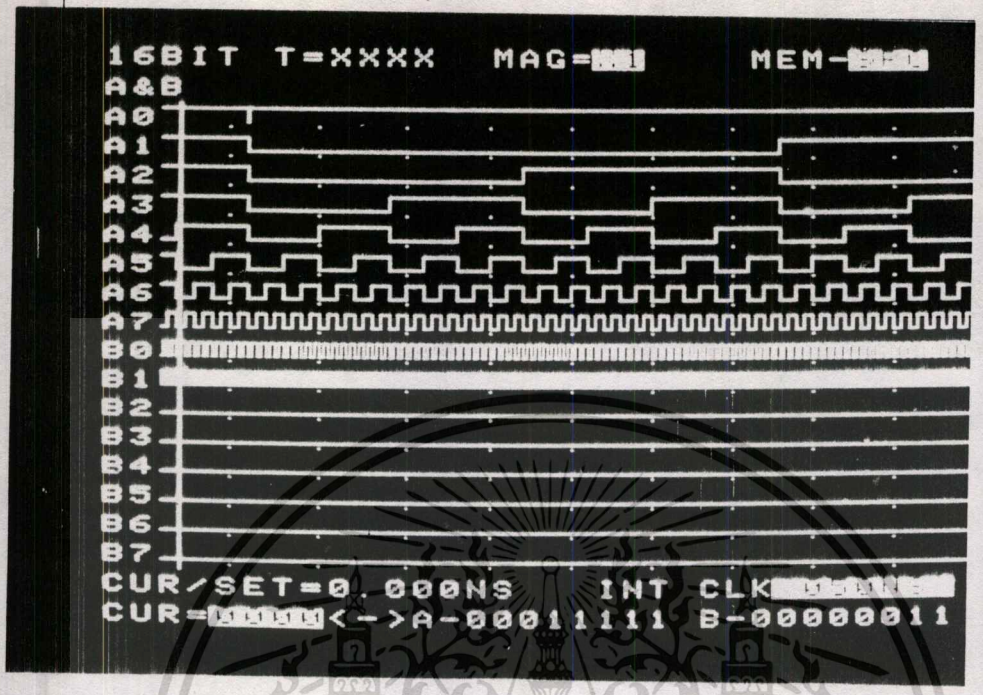
การจัดอุปกรณ์การทดสอบได้แสดงในรูปที่ 6.21 ส่วนการต่อวงจรจะใช้ข้อมูลจาก BONDING DIAGRAM เพื่อดูขาต่างๆ และยังอาศัยตารางความจริงที่ 6.2 สำหรับนำไปต่อวงจรในโหมดต่างๆ



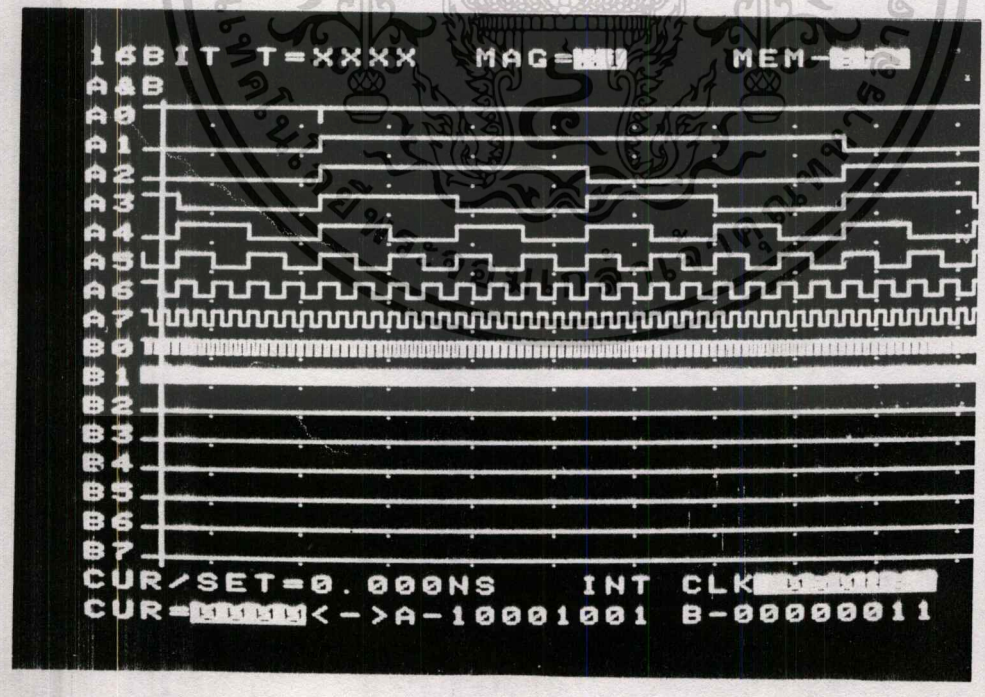
รูปที่ 6.21 แสดงการจัดอุปกรณ์การทดสอบ

ผลการทดสอบพบว่า วงจรรวมสามารถทำงานได้ถูกต้องในโหมดนับขึ้น โหมดนับลงและการ RESET ดังรูปที่ 6.22 รูปที่ 6.23 ตามลำดับ ส่วนการทำงานในโหมดการหารความถี่ ไม่สามารถทำงานได้ถูกต้อง ทำได้แต่เพียงการ PRESET ค่าเริ่มต้นในการหารเท่านั้น สำหรับการวัด current consumption ที่ค่าความถี่ต่างๆ เมื่อเปรียบเทียบกับ CMOS เบอร์ SCL 4510 B ซึ่งเป็น BCD UP/DOWN COUNTER ชนิด 4 บิท (เปรียบเทียบในลักษณะจำนวนบิทที่เท่ากัน) จะพบว่าวงจรรวมที่ออกแบบมี CURREN CONSUMPTION สูงกว่าเล็กน้อย ดังแสดงในตารางเปรียบเทียบที่ 6.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.22 แสดงภาพการทำงานในโหมด COUNT UP



รูปที่ 6.23 แสดงภาพการทำงานในโหมด COUNT DOWN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER	V_{DD}	SLC 4510 B	8bcnt	UNIT
QUIESCENT DEVICE CURRENT	5	5	60	uAdc
	10	10	60	
	15	20	65	

ตารางที่ 6.4 ตารางเปรียบเทียบกระแสสงบของ CMOS เบอร์ SCL 4510 B และ 8bcnt ที่อุณหภูมิห้อง

ความถี่	I_{DD} ที่ 5 V_{DC}	I_{DD} ที่ 10 V_{DC}
10 Hz	0.05	2.6
100 Hz	0.05	2.6
1 KHz	0.05	2.6
10 KHz	0.06	2.7
100 KHz	0.10	3.3
1 MHz	0.55	7.2
2 MHz	1.22	8.0

ตารางที่ 6.5 แสดงการกินกระแสที่ความถี่ต่างๆ (หน่วยเป็น mA)

จากรูปตารางที่ 6.5 จะเห็นว่าเมื่อวงจรรวม 8bcnt ทำงานที่ความถี่สูงขึ้น การกินกระแสจะสูงตามไปด้วย และพบว่าวงจรรวม 8 bcnt กินกระแสสูงถึง 8 mA ที่ไฟเลี้ยง 10 V_{DC} ความถี่ 2 MHz แต่ถ้าจะพิจารณาในแง่ของความถี่จะสามารถสรุปได้ว่าวงจรรวม 8bcnt สามารถทำงานที่ความถี่ใกล้เคียงกับ CMOS เบอร์ SCL 4510 B ซึ่งทำงานได้ในช่วง 1.5-3 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.5 บทสรุป

ดังนั้น จากการนำวงจรรวมมาทดสอบในห้องปฏิบัติการ ทำให้สามารถสรุปเป็นภาพโดยรวมได้ว่า

1. วงจรรวมที่ออกแบบด้วยโปรแกรมออกแบบ CIRCAD II ทำงานได้จริง

2. วงจรรวมที่ออกแบบมี QUIESCENT DEVICE CURRENT 60 uA ที่ 5 V_{DC} ขณะที่ CMOS เบอร์ SCL 4510 B (4 บิทเคาเตอร์) กินกระแสเพียง 5 uA ที่ 5 V_{DC} หรือ 10 uA ที่ 5 V_{DC} เมื่อคิดว่านำ CMOS เบอร์ SCL 4510B จำนวน 2 ตัวมาต่อทำงานเป็น 8 บิทเคาเตอร์ นั่นคือ POWER CONSUMPTION ของวงจรรวมที่ออกแบบสูงกว่าวงจรรวมทั่วไปในท้องตลาด

3. วงจรรวมที่ออกแบบสามารถทำงานในความถี่ได้ใกล้เคียงกับวงจรรวมในท้องตลาด

4. สำหรับแนวความคิดในการออกแบบวงจรรวม ที่จำเป็นอย่างยิ่งที่ต้องนำมาเป็นหัวข้อพิจารณาก็คือ

- Floor planing
- Aspect ratio
- Placement
- Routing

5. ส่วนแนวทางในการทดสอบ การทำงานของวงจรรวมที่จะต้องทำต่อไปก็คือ

- Electrical simulation
- Timing simulation
- Fault simulation

สำหรับในส่วนของโปรแกรมช่วยออกแบบวงจรรวม CIRCAD II นั้นสามารถสรุปได้ว่า CIRCAD II มีความเหมาะสมต่อการเรียนรู้ และเสริมสร้างความเข้าใจต่อขั้นตอนการออกแบบวงจรรวมได้เป็นอย่างดี แต่ไม่เหมาะสำหรับการออกแบบเพื่อผลเชิงพาณิชย์ เนื่องจากคุณสมบัติของโปรแกรมยังไม่เป็นไปตามมาตรฐาน และตัวโปรแกรม CIRCAD II ก็ยังมีข้อบกพร่องอยู่หลายประการดังนี้

1. CIRCAD II จะให้ข้อมูลจากการออกแบบเป็น CIF ไฟล์ ซึ่งจะนำไปสร้างวงจรรวมได้ที่เดียวเท่านั้น คือ บริษัท AWA (Amalgamated Wireless Australia) ประเทศออสเตรเลีย

2. CIRCAD II จะใช้กับการออกแบบวงจรรวม ด้วยเทคโนโลยี 5 um ซิงเกิลเมตัล และขณะนี้บริษัทได้เปลี่ยนเทคโนโลยีเป็น 2.5 um ดับเบิล เมตัล (ส่วนบริษัท ฮิตาชิ ใช้ขบวนการผลิตเป็นเทคโนโลยี 0.3 um)

เอกสารนี้จัดทำขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. CIRCAD II เป็นแพ็คเกจที่มีคุณสมบัติไม่สมบูรณ์ เมื่อเปรียบเทียบกับโปรแกรมออกแบบวงจรรวมมาตรฐาน หรือที่เรียกว่า SILICON COMPLILER ดังตารางเปรียบเทียบที่ 6.6 ดังนั้นจึงไม่เหมาะที่จะนำมาใช้งานเชิงพาณิชย์ เพราะราคาของการเจือสารแต่ละครั้งสูงมาก

4. คำสั่ง JIGSAW ซึ่งใช้จัดระยะลวดลายวงจร เมื่อนำไปใช้กับลีฟเซลล์ หรือโมดูลที่มีขนาดใหญ่ จะใช้เวลาในการจัดระยะนานมาก และบางครั้งการจัดระยะมีความผิดพลาด ทำให้วงจรรวมกระจัดกระจาย ดังแสดงในรูปที่ 6.23 ในการออกแบบวงจรนับ/หาร ความถี่ขนาด 8 บิทจะใช้เวลาการจัดระยะของลวดลายวงจรประมาณ 1/2 ชั่วโมง

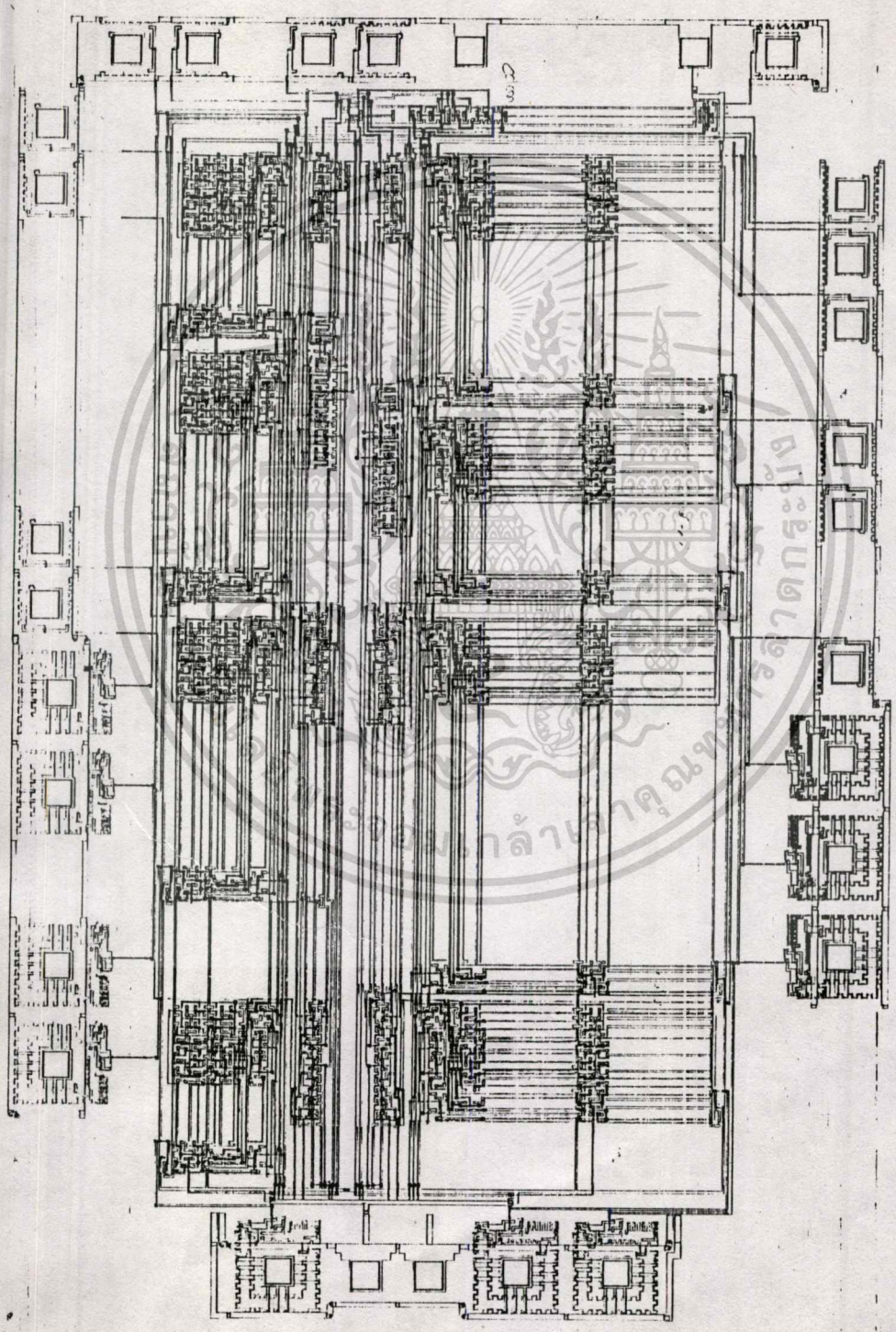
5. หน่วยความจำจำกัด (memory limit) หรือปัญหา core dump มักจะเกิดเมื่อใช้คำสั่ง JIGSAW จัดระยะลวดลายวงจรของ ลีฟเซลล์หรือโมดูลขนาดใหญ่ ดังนั้นลีฟเซลล์ควรประกอบด้วยทรานซิสเตอร์ประมาณ 10 - 25 ตัว เท่านั้น

Standard function	CIRCAD II
System simulation	-
Functional simulation	-
Graphics layout tools	INGRED
Layout language tools	VI,ED
Routing tools	RIOT
Graphics to CIF compiler	JIGSAW
Language to CIF compiler	FIDEL-SPLA-JIGSAW
Design rule checking	GALAH
CIRCUIT extraction	GALAH
Parasitics extraction	-
Check plots	CIFPLOT
Electrical rules check	-
Logic simulator	TREK
Timing simulator	RUNSPICE
Detailed electrical simulator	RUNSPICE

ตารางที่ 6.6 เปรียบเทียบโปรแกรมออกแบบวงจรรวมมาตรฐานกับ CIRCAD II

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นอาจกล่าวได้ว่า การออกแบบวงจรรวมขนาดใหญ่มากเป็นเรื่องที่สลับซับซ้อน แม้ว่าจะมีระบบคอมพิวเตอร์และซอฟท์แวร์สนับสนุนก็ตาม ผู้ออกแบบจำเป็นจะต้องรู้หลักการของวงจร และพื้นฐานของเซมิคอนดัคเตอร์อิเลคทรอนิคส์เป็นอย่างดี นอกจากนี้ ผู้ออกแบบจะต้องรู้ถึงหลักการของซอฟท์แวร์และการใช้งานคอมพิวเตอร์อีกพอสมควร **วงจรนับ/หารความถี่ขนาด 8 บิท** นี้นับเป็นชิพต้นแบบ สำหรับการประยุกต์ใช้งานอย่างกว้างขวาง เพราะชิพดังกล่าวมีคุณสมบัติที่พร้อมในการนับในโหมดต่างๆ รวมทั้งสามารถที่จะนำมาประยุกต์เป็นวงจรนับขนาด 16 บิทได้อีกด้วย



รูปที่ 6.24 แสดง BLOW OUT ซึ่งเกิดจากคำสั่ง JIGSAW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REFERENCES

1. รศ.ดร.สมเกียรติ์ ศุภเดช รศ.ดร.มนัส สังวรศิลป์ ผศ.ดร.บุญวัฒน์ อัตชู อ.สมศักดิ์ ชุมช่วย "Basic VLSI Design", Lardkrabang Microelectronic Research & Development Center (LMRDC), KMITL, 1988
2. Amar Mukherjee, "Introduction to nMOS and CMOS VLSI System Design", PRENTICE - Hall International Edition, 1986
3. Jacob Millman, Arvin Grabel, "MICROELECTRONICS", Mcgraw Hill Book Company, SECOND EDITION
4. Neil H.E. West and Kamran Eshraghian, "PRINCIPAL OF CMOS VLSI DESIGN A SYSTEM PERSPECTIVE", Addison - Wesley Publishing Company, 1985
5. VLSI and Systems research group, "CIRCAD II VLSI DESIGN MANUAL", ENG SOFT Computer Consultants, 1987

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้