สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# การศึกษา วิจัย และพัฒนาทรานซิสเตอร์โครงสร้าง CMOIS เป็นวงจรรวมขนาดเล็ก

# THE STUDY, RESEARCH AND DEVELOPMENT OF CMOIS SMALL SCALE INTEGRATED CIRCUITS

T017544

นายจิรวัฒน์ ปานกลาง

Mr. JIRAWATH PARNKLANG

อาจารย์ที่ปรึกษา

ผศ. วิสุทธิ์ ฐิติรุ่งเรือง

ASST. PROF. WISUT TITIROONGRUANG

เลขหมู่
เลขทะเบียน 17544
วัน, เดือน, ป 10 ก.ค. 2535

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2535

ISBN 974-8157-60-1

ลิขสิทธิของบัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# THE STUDY, RESEARCH AND DEVELOPMENT OF CMOIS SMALL SCALE INTEGRATED CIRCUITS

Mr. JIRAWATH PARNKLANG

ADVISOR

ASST.PROF. WISUT TITIROONGRUANG

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE

MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING

GRADUATE SCHOOL

KING MONGKUT' S INSTITUTE OF TECHNOLOGY LADKRABANG

1992

ISBN 974-8157-60-1

กสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ[illegible]ศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ


| | หน้า |
|---|---|
| บทคัดย่อ | I |
| ABSTRACT | III |
| คำนำ | V |
| บทที่ 1 ทรานซิสเตอร์ชนิดผลของสนามไฟฟ้าโครงสร้าง MOIS | 1 |
| 1.1 โครงสร้างและการทำงานของทรานซิสเตอร์แบบ MOIS | 1 |
| 1.1.1 ทรานซิสเตอร์ชนิดพีแชนแนลเอ็นแฮนซ์เมนต์โหมด (PMOIS) | 3 |
| 1.1.2 ทรานซิสเตอร์ชนิดเอ็นแชนแนลเอ็นแฮนซ์เมนต์โหมด (NMOIS) | 4 |
| 1.1.3 คุณสมบัติกระแสและแรงดันของทรานซิสเตอร์โครงสร้างแบบ MOIS | 5 |
| 1.2 การพัฒนาทรานซิสเตอร์โครงสร้าง MOIS ไปเป็น CMOIS | 7 |
| 1.3 การเปรียบเทียบทรานซิสเตอร์โครงสร้างแบบ CMOIS กับทรานซิสเตอร์โครงสร้างแบบ CMOS | 10 |
| 1.4 การควบคุมค่าอัตราขยาย ($\beta$) ของทรานซิสเตอร์โครงสร้างแบบ CMOIS | 11 |
| 1.5 การควบคุมค่าแรงดันขีดเริ่ม ($V_T$) ของทรานซิสเตอร์โครงสร้าง CMOIS | 13 |
| 1.6 ปรากฏการณ์ channel lenght modulation | 19 |
| 1.7 คุณสมบัติพื้นฐานของวงจรรวมทางตรรก | 22 |
| บทที่ 2 กฎการออกแบบทรานซิสเตอร์โครงสร้าง CMOIS | 25 |
| 2.1 ขนาดของทรานซิสเตอร์โครงสร้าง CMOIS | 26 |
| 2.1.1 ขนาดความกว้างของช่องทางเดินกระแสน้อยที่สุดของทรานซิสเตอร์โครงสร้าง CMOIS | 26 |
| 2.1.2 ขนาดความยาวของช่องทางเดินกระแสน้อยที่สุดของทรานซิสเตอร์โครงสร้าง CMOIS | 29 |
| 2.2 ระยะห่างระหว่างทรานซิสเตอร์โครงสร้าง CMOIS | 32 |
| 2.2.1 ระยะห่างน้อยที่สุดของทรานซิสเตอร์ NMOIS และ PMOIS ที่ต่อถึงกันทางไฟฟ้า | 33 |
| 2.2.2 ระยะห่างน้อยที่สุดของทรานซิสเตอร์ NMOIS และ PMOIS ที่ไม่ต่อถึงกันทางไฟฟ้า | 35 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.3 ระยะห่างน้อยที่สุดของทรานซิสเตอร์โครงสร้าง CMOIS ชนิดเดียวกันที่ไม่ต่อถึงกันทางไฟฟ้า 37

2.3 กฎระเบียบอื่น ๆ 38

บทที่ 3 การออกแบบและการสร้าง 41

3.1 การออกแบบทรานซิสเตอร์เพื่อหากฎระเบียบการออกแบบ 41

3.1.1 การออกแบบเพื่อหาขนาดของทรานซิสเตอร์ 41

3.1.2 การออกแบบเพื่อหาค่าระยะห่างระหว่างทรานซิสเตอร์ 44

3.2 การออกแบบวงจรรวมทางตรรกเบื้องต้นโดยใช้โครงสร้าง CMOIS 45

3.2.1 การออกแบบวงจรอินเวอร์เตอร์ 45

3.2.2 การออกแบบวงจรแอนด์เกทและแนนด์เกท 49

3.2.3 การออกแบบวงจรออร์เกทและนอร์เกท 53

3.2.4 การออกแบบวงจรจุดชนวนของชมิตต์ 56

3.3 การออกแบบวงจรรวมเชิงเส้นเบื้องต้น 60

3.3.1 การออกแบบวงจรริงออสซิลเลเตอร์ 60

3.4 กระบวนการสร้างทรานซิสเตอร์โครงสร้าง CMOIS 63

บทที่ 4 การทดลองและผลการทดลอง 67

4.1 การทดลองและผลการทดลองหาค่าแรงดันขีดเริ่มของอุปกรณ์ CMOIS 67

4.1.1 ผลการทดลองการเปลี่ยนแปลงค่าแรงดันขีดเริ่มกับการเปลี่ยนแปลงค่าพิกัดความต้านทานฐานรองของทรานซิสเตอร์ชนิด NMOIS และ PMOIS ในโครงสร้างแบบ CMOIS 67

4.1.2 ผลการทดลองหาค่าพิกัดความต้านทานที่เหมาะสมของฐานรองในการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOIS 71

4.2 การทดลองและผลการทดลองหาค่า channel lenght modulation factor 72

4.3 การทดลองและผลการทดลองหาค่า k' (Process Transsconductance Parameter) ของทรานซิสเตอร์ชนิด NMOIS และ PMOIS ในโครงสร้างทรานซิสเตอร์แบบ CMOIS 75

4.4 การทดลองและผลการทดลองหากฎระเบียบในการออกแบบทรานซิสเตอร์โครงสร้าง CMOIS 78

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.1 การทดลองและผลการทดลองวัดค่าความกว้างช่องทางเดินกระแสน้อยที่สุดของทรานซิสเตอร์ NMOIS และ PMOIS 78
4.4.2 การทดลองและผลการทดลองวัดค่าความยาวช่องทางเดินกระแสน้อยที่สุดของทรานซิสเตอร์ NMOIS และ PMOIS 80
4.4.3 การทดลองหาค่าระยะห่างน้อยที่สุดของทรานซิสเตอร์ชนิด NMOIS และ PMOIS ที่ไม่ต่อถึงกันทางไฟฟ้า 81
4.4.4 การทดลองและผลการทดลองหาค่าระยะห่างน้อยที่สุดของทรานซิสเตอร์ชนิดเดียวกันที่ไม่ต่อถึงกันทางไฟฟ้าของทรานซิสเตอร์โครงสร้าง CMOIS 84
4.5 การทดลองและผลการทดลองวัดคุณสมบัติของวงจรรวมทางตรรกเบื้องต้น 87
4.5.1 ผลการทดลองวัดคุณสมบัติทางไฟตรงของวงจรรวมทางตรรกเบื้องต้น 87
4.6 การทดลองและผลการทดลองวัดคุณสมบัติของวงจรรวมเชิงเส้นเบื้องต้น 93
บทที่ 5 สรุปและบทวิจารณ์ 98
กิตติกรรมประกาศ 101
เอกสารอ้างอิง 102
ภาคผนวก ก. กระบวนการแพร่สารเจือทองคำ 104
ภาคผนวก ข. ลวดลายวงจรที่ทำการออกแบบและสร้างขึ้นด้วยโครงสร้างทรานซิสเตอร์แบบ CMOIS ในวิทยานิพนธ์ 107
ภาคผนวก ค. สัญลักษณ์ 111

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | |
|---|---|
| หัวข้อวิทยานิพนธ์ | การศึกษา วิจัย และพัฒนาทรานซิสเตอร์โครงสร้าง CMOIS เป็นวงจรรวมขนาดเล็ก |
| นักศึกษา | นายจิรวัฒน์ ปานกลาง |
| อาจารย์ผู้ควบคุมวิทยานิพนธ์ | ผศ.วิสุทธิ์ ฐิติรุ่งเรือง |
| ระดับการศึกษา | วิศวกรรมศาสตรมหาบัณฑิต |
| ภาควิชา | วิศวกรรมไฟฟ้า |
| ปีการศึกษา | 2534 |

## บทคัดย่อ

ทรานซิสเตอร์ชนิดใหม่โครงสร้าง MOIS เป็นทรานซิสเตอร์ที่มีการทำงานเช่นเดียวกับมอสทรานซิสเตอร์ทั่ว ๆ ไป และเมื่อนำทรานซิสเตอร์ชนิดเอ็น (NMOIS) และทรานซิสเตอร์ชนิดพี (PMOIS) มาสร้างบนฐานรองเดียวกัน สามารถสร้างได้โดยไม่ต้องใช้โครงสร้างของบ่อแยก (well) เพื่อแยกทรานซิสเตอร์ทั้งสองออกจากกัน นอกจากนี้ถ้าหากคู่ทรานซิสเตอร์ดังกล่าวต่อถึงกันทางไฟฟ้าแล้ว สามารถออกแบบวงจรให้ทรานซิสเตอร์ดังกล่าวอยู่ชิดติดกันได้โดยไม่ต้องเว้นระยะห่างระหว่างกัน ทำให้ประหยัดพื้นที่ในการออกแบบวงจรลงได้เมื่อเทียบกับทรานซิสเตอร์โครงสร้าง CMOS ดังนั้นโครงสร้างทรานซิสเตอร์ดังกล่าวข้างต้นจึงสมควรนำมาพัฒนาเป็นวงจรรวมต่อไป

ในวิทยานิพนธ์ฉบับนี้ได้นำเสนองานวิจัย การพัฒนาทรานซิสเตอร์โครงสร้าง CMOIS เป็นวงจรร่วมทางตรรก และเป็นวงจรรวมเชิงเส้นขนาดเล็กเบื้องต้น วัตถุประสงค์ของงานวิจัยคือ ทำการศึกษาวิธีการควบคุมพฤติกรรมทางไฟฟ้าของวงจรให้เป็นไปตามความต้องการในการใช้งานวงจรรวมชนิดนั้น โดยเริ่มต้นเป็นการวิจัยกระบวนการควบคุมค่าแรงดันขีดเริ่ม ($V_{TO}$) ของทรานซิสเตอร์โครงสร้าง CMOIS ให้มีค่าแรงดันขีดเริ่มของทรานซิสเตอร์ทั้งสองให้มีค่าเท่ากัน ด้วยวิธีการเปลี่ยนแปลงค่าพิกัดความต้านทานของฐานรองเริ่มต้นที่ใช้ในกระบวนการสร้าง พบว่าที่ค่าพิกัดความต้านทานเริ่มต้น 200 ohm.cm ได้ค่าแรงดันขีดเริ่มของทรานซิสเตอร์ทั้งสองเป็น 1.5 โวลต์ นอกจากนี้ยังทำการวิจัยการควบคุมค่าอัตราขยาย ($\beta$) ให้เป็นไปตามความต้องการในการออกแบบวงจรรวมเพื่อให้ได้คุณสมบัติของวงจรตามต้องการ และได้ทำการออกแบบทรานซิสเตอร์เพื่อกำหนดกฎระเบียบในการออกแบบ (Design rule) ของการออกแบบวงจรรวมประเภท CMOIS พบว่าค่าความยาวของช่องทางเดินกระแสที่สั้นที่สุดของทรานซิสเตอร์ชนิด NMOIS และ PMOIS มีค่า 20 และ 30 ไมโครเมตร ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และค่าความกว้างน้อยที่สุดของทรานซิสเตอร์ทั้งสองจะเป็น 80 ไมโครเมตร หลังจากได้วิธีการควบคุมพารามิเตอร์ต่าง ๆ และวิธีการออกแบบทรานซิสเตอร์เพื่อประกอบเป็นวงจรรวมเรียบร้อยแล้ว นำวิธีการดังกล่าวทำการออกแบบวงจรรวมทางตรรกและวงจรรวมเชิงเส้นเบื้องต้น เช่น วงจรรวมอินเวอร์เตอร์ วงจรรวมแอนด์และแนนด์เกท วงจรรวมออร์และนอร์เกท วงจรจุดชนวนของชมิตต์ และวงจรรวมริงออสซิลเลเตอร์ เป็นต้น เมื่อทำการออกแบบและทำการสร้างเสร็จเรียบร้อยแล้ว ทำการวัดพฤติกรรมทางไฟฟ้าปรากฏว่า ผลที่ได้จากการทดลองมีค่าแตกต่างจากผลจากการคำนวนไม่เกิน 20 เปอร์เซ็นต์ ค่าแรงดันขาออกสถานะสูงและแรงดันขาออกสถานะต่ำของวงจรรวมทางตรรกมีค่าเท่ากับค่าแรงดันไฟเลี้ยง ($V_{DD}$) และค่าแรงดันอ้างอิง (0 โวลต์) ตามลำดับ โดยค่าแรงดันไฟเลี้ยงที่สามารถใช้งานได้มีค่าตั้งแต่ 5 โวลต์ ถึง 15 โวลต์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | |
|---|---|
| THESIS TITLE | THE STUDY, RESEARCH AND DEVELOPMENT OF CMOIS SMALL SCALE INTEGRATED CIRCUITS |
| STUDY | MR. JIRAWATH PARNKLANG |
| THESIS ADVISOR | ASSIS.PROF. WISUT TITIROONGRUANG |
| LEVEL OF STUDY | MASTER OF ENGINEERING |
| DEPARTMENT | ELECTRICAL ENGINEERING |
| ACADEMIC YEAR | 1992 |

## ABSTRACT

MOIS is the new structure of feild effect transistor. It operates as the general MOS transistor. The PMOIS and NMOIS can be fabricated on the same silicon substrate without the well structure to isolate one from another. Further more if any pair of them have electrical short circuit , the distance between the PMOIS and NMOIS layout is not necessary , it can be zero. From this good property of the structure will save the area of the layout on the silicon substrate comparing with the CMOS structure. So this new structure are suitable to be developed to be the integrated circuit.

The development of CMOIS structure to be the logic and linear circuits are reported in this thesis. The object of this research is to control the specific parameter for controlling the electrical characteristics of the circuit. First: we need to control the threshold voltage ($V_{TO}$) of the PMOIS and NMOIS in the CMOIS structure to find the symmetry value of them by changing the resistivity ($\rho$) of the starting silicon substrate. This, we find that the 200 ohm.cm starting silicon substrate give the $V_{TOP} = V_{TON} =$ 1.5 volts. Second: we want to control the $\beta$ (device tranconductance parameter) of the both PMOIS and NMOIS to be the expect value. And the last one is to find the design rule of the CMOIS devices. The results show that the minimum channel lenght of the NMOIS and PMOIS are 20,30 $\mu$m respectively

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

and the minimum channel width of the both transistor are 80 $\mu m$ . These controlling parameters have used to design the basic logic and linear circuits such as the inverter , AND , NAND , OR , NOR , and ring oscillator circuits. The practical results are different from the expected values not more than 20% . The output high and low level of the logic are $V_{DD}$ and ground state (0 volt) respectively. The 5 to 15 supply voltage can be used with the CMOIS devices.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในปัจจุบันนี้ ความเจริญก้าวหน้าทางเทคโนโลยีเกี่ยวกับการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำ (Semiconductor devices) เพื่อนำไปสร้างเป็นวงจรรวม (Integrated Circuit) ได้มีการวิจัยและพัฒนามาโดยตลอด การออกแบบวงจรเพื่อที่จะนำไปสร้างเป็นวงจรรวมนั้นมักนิยมออกแบบวงจรจากสิ่งประดิษฐ์จำพวกมอสเฟท (Metal Oxide Semiconductor Feild Effect Transistor) หรือ MOSFET (บางครั้งนิยมเรียกว่า MOS) กันมากขึ้นเป็นลำดับ เนื่องมาจากการออกแบบวงจรโดยใช้ MOS ซึ่งเป็นสิ่งประดิษฐ์ที่มีโครงสร้างและกระบวนการสร้างง่าย และยังใช้พื้นที่บนแผ่นผลึกซิลิกอนน้อย ดังนั้นจึงสามารถสร้างให้มีปริมาณของอุปกรณ์ต่าง ๆ ได้มากถึงหลายแสนตัวต่อชิพ(chip)ได้ และในวงจรที่ต้องการใช้พลังงานในการทำงานน้อย จะประกอบด้วยทรานซิสเตอร์ชนิดเอ็นมอสทำงานร่วมกับทรานซิสเตอร์ชนิดพีมอสบนฐานรองอันเดียวกัน เรียกทรานซิสเตอร์โครงนี้ว่า CMOS (Complementary Metal Oxide Semiconductor) และในปัจจุบันนี้ได้มีโครงสร้างทรานซิสเตอร์ชนิดใหม่ เป็นโครงสร้างที่คล้ายกับโครงสร้างทรานซิสเตอร์แบบ CMOS เรียกโครงสร้างทรานซิสเตอร์แบบใหม่นี้ว่า CMOIS ซึ่งเป็นคำย่อของ Complementary Metal Oxide Intrinsic Semiconductor

ทรานซิสเตอร์ชนิดใหม่โครงสร้างแบบ CMOIS เป็นทรานซิสเตอร์ที่มีโครงสร้างและการทำงานคล้ายคลึงกับทรานซิสเตอร์โครงสร้างแบบ CMOS ที่รู้จักกันโดยทั่วไป แต่มีข้อดีของโครงสร้างคือทรานซิสเตอร์โครงสร้าง CMOIS สามารถออกแบบให้ประหยัดพื้นที่บนแผ่นผลึกซิลิกอนในการออกแบบวงจรรวมต่าง ๆ ได้มากกว่าทรานซิสเตอร์โครงสร้างแบบ CMOS ดังนั้น ทรานซิสเตอร์โครงสร้างนี้จึงเหมาะที่จะพัฒนาเป็นวงจรรวมต่อไป ในวิทยานิพนธ์ฉบับนี้จะเป็นการศึกษาและพัฒนาทรานซิสเตอร์โครงสร้างดังกล่าวเป็นวงจรรวมขนาดเล็ก และเปรียบเทียบคุณสมบัติที่ได้กับวงจรรวมชนิดเดียวกันที่มีโครงสร้างแบบ CMOS เริ่มต้นเป็นการศึกษาถึงข้อจำกัดต่าง ๆ ในการออกแบบวงจรรวมด้วยโครงสร้างทรานซิสเตอร์แบบ CMOIS แล้วทำการศึกษาแนวทางและวิธีการออกแบบวงจรรวมทางตรรกและวงจรรวมเชิงเส้นขนาดเล็ก จากนั้นจึงทำการออกแบบและสร้างวงจรรวมขนาดเล็กดังกล่าวด้วยกระบวนการสร้างที่ได้รับการวิจัยเรียบร้อยแล้วว่าเหมาะสมกับการสร้างสิ่งประดิษฐ์ประเภท CMOIS เมื่อสร้างเสร็จเรียบร้อยแล้ว ทำการทดสอบวงจรในรายละเอียดต่าง ๆ ว่า สามารถใช้งานได้จริงตามจุดประสงค์ของการออกแบบวงจรนั้น ๆ หรือไม่ โดยรายละเอียดต่าง ๆ ในวิทยานิพนธ์ฉบับนี้ พอสรุปเป็นบทได้ดังนี้

บทที่ 1 จะเป็นการกล่าวถึงโครงสร้างของทรานซิสเตอร์แบบ MOIS ทั้งชนิดเอ็น (NMOIS) และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ชนิดพี (PMOIS) และโครงสร้างทรานซิสเตอร์แบบ CMOIS ที่ประกอบด้วยทรานซิสเตอร์ชนิดเอ็นและชนิดพีอยู่ร่วมบนฐานรองซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำ นอกจากนี้ ยังทำการเปรียบเทียบข้อดีของทรานซิสเตอร์โครงสร้างนี้กับทรานซิสเตอร์โครงสร้าง CMOS ในแง่ต่าง ๆ เช่น กระบวนการสร้าง ความประหยัดพื้นที่บนแผ่นผลึกซิลิกอน เป็นต้น และบทนี้ยังประกอบด้วยแนวทางในการควบคุมค่าพารามิเตอร์ที่สำคัญของทรานซิสเตอร์ที่ใช้ในการออกแบบวงจรรวม เช่น ค่าอัตราขยาย ($\beta$) และค่าแรงดันขีดเริ่ม (Threshold Voltage ($V_{To}$)) ของทรานซิสเตอร์โครงสร้าง MOIS เป็นต้น และยังอธิบายปรากฏการณ์อื่น ๆ ที่มีผลต่อการทำงานของทรานซิสเตอร์ในวงจรรวม ในตอนท้ายของบทนี้ได้นำเสนอคุณสมบัติเบื้องต้นของวงจรรวมทางตรรก ซึ่งเป็นวงจรที่เหมาะสมกับทรานซิสเตอร์โครงสร้างแบบ CMOIS มากที่สุด

บทที่ 2 เป็นการศึกษากฎระเบียบในการออกแบบวงจร (Circuit Design Rule) ของสิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOIS ในแง่ต่าง ๆ เช่น ข้อจำกัดถึงขนาดที่เล็กที่สุดของทรานซิสเตอร์ชนิดเอ็นและชนิดพีบนโครงสร้างทรานซิสเตอร์แบบ CMOIS (ความกว้างและความยาวของช่องทางเดินกระแสที่เล็กที่สุดของทรานซิสเตอร์) และค่าระยะห่างระหว่างทรานซิสเตอร์ทั้งสองขณะประกอบเป็นวงจรรวม เป็นต้น เพื่อนำค่าของกฎระเบียบต่าง ๆ ที่หาได้มาทำการออกแบบเป็นวงจรรวมด้วยโครงสร้าง CMOIS ทั้งวงจรรวมทางตรรกและวงจรรวมเชิงเส้น ต่อไป นอกจากนี้ยังทำการหากฎระเบียบอื่น ๆ ที่เกี่ยวข้องกับการออกแบบวงจรรวม เช่น ค่าความกว้างของช่องเปิดเพื่อสร้างขั้วสัมผัสทางไฟฟ้าระหว่างทรานซิสเตอร์กับลวดลายโลหะ ขนาดของจุดเชื่อมต่อระหว่างแถบโลหะ (bonding pad) กับตัวถังภายนอก เป็นต้น ค่าต่าง ๆ ที่กล่าวมาทั้งหมดข้างต้นของกฎระเบียบการออกแบบวงจร จะเป็นกฎระเบียบที่ใช้ในห้องปฏิบัติการสิ่งประดิษฐ์สารกึ่งตัวนำของ "ศูนย์วิจัยอิเล็กทรอนิกส์" คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ซึ่งใช้เทคโนโลยีการแพร่สารเจือด้วยความร้อน (Thermal Diffusion) และใช้เทคโนโลยีในการสกัดแบบเปียก (Wet Etching) ซึ่งใช้สารละลายเป็นตัวทำปฏิกิริยาเป็นสำคัญ เท่านั้น ดังนั้น หากเทคโนโลยีดังกล่าวเปลี่ยนแปลงไปค่าจำกัดของกฎระเบียบในการออกแบบก็จะแตกต่างกันด้วย

บทที่ 3 กล่าวถึงการออกแบบทรานซิสเตอร์ การออกแบบวงจรรวม เพื่อหาค่าพารามิเตอร์ต่าง ๆ ที่เป็นข้อมูลของวิทยานิพนธ์ฉบับนี้ และเพื่อหาข้อสรุปเรื่อง "กฎระเบียบในการออกแบบวงจรรวม" ดังที่ได้กล่าวไว้ในบทที่ 2 และยังกล่าวถึงวิธีการออกแบบวงจรรวมทางตรรกเบื้องต้น โดยใช้ทรานซิสเตอร์โครงสร้างแบบ CMOIS เช่น วงจรรวมอินเวอร์เตอร์ วงจรรวมออร์และนอร์เกท วงจรรวมแอนด์และแนนด์เกท วงจรจุดชนวนของชมิตต์ และยังกล่าวถึงการออกแบบวงจรรวมเชิงเส้น เช่น วงจรรวมริงออสซิลเลเตอร์ เป็นต้น และในตอนสุดท้ายของบท ได้กล่าวถึงกระบวนการสร้างที่เหมาะสมในการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOIS ซึ่งได้ทำการค้นคว้าและวิจัยตลอดจน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พัฒนาเพื่อให้ได้กระบวนการสร้างที่เหมาะสมกับห้องปฏิบัติการและยึดถือเป็นกระบวนการสร้างมาตราฐานที่ใช้ในการสร้างต้นแบบเพื่อหาข้อมูลของวิทยานิพนธ์ฉบับนี้

บทที่ 4 จะเป็นการนำเสนอข้อมูลที่ได้จากการทดลองสร้างสิ่งประดิษฐ์สารกึ่งตัวนำที่ได้นำเสนอในบทที่ 3 โดยนำเสนอข้อมูลเกี่ยวกับกฎระเบียบในการออกแบบ รวมทั้งผลการหาค่าพารามิเตอร์ต่าง ๆ ของทรานซิสเตอร์ที่ใช้ในการควบคุมคุณสมบัติทางไฟฟ้าของวงจร ข้อมูลเบื้องต้นเหล่านี้จะใช้เป็นข้อมูลในการออกแบบวงจรรวมต่าง ๆ ดังที่ได้เสนอในบทที่ 3 และทำการวัดคุณสมบัติทางไฟฟ้าของวงจรที่สร้างเสร็จเรียบร้อยแล้ว เช่น คุณสมบัติทางด้านไฟตรง (DC characteristics) และคุณสมบัติทางด้านทรานเซี้ยน (Transient respond) ของวงจร เป็นต้น

ในบทที่ 5 จะเป็นการสรุปผลของการสร้างทุกอย่างที่ได้จากการทดลอง รวมทั้งวิเคราะห์ผลที่ได้จากการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOIS เพื่อเป็นแนวทางในการพัฒนาสิ่งประดิษฐ์สารกึ่งตัวนำประเภทนี้เป็นวงจรรวมที่มีขนาดใหญ่ขึ้นต่อไป

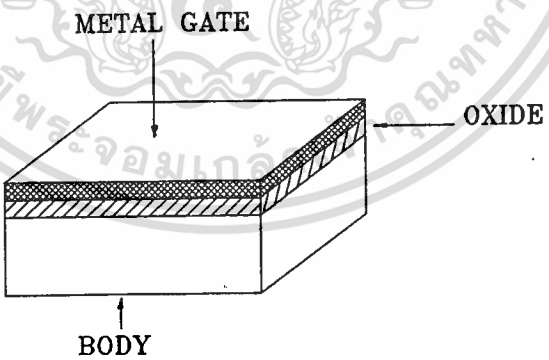
ผลจากการศึกษา วิจัย และพัฒนาทรานซิสเตอร์โครงสร้าง CMOIS เป็นวงจรรวมขนาดเล็กในครั้งนี้ จะเป็นประโยชน์อย่างมากในการพัฒนาสิ่งประดิษฐ์ประเภทนี้เป็นวงจรรวมขนาดใหญ่ขึ้น เพื่อใช้ในอุตสาหกรรมแทนที่สิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOS ที่มีใช้อยู่ในปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ทรานซิสเตอร์ชนิดผลของสนามไฟฟ้าโครงสร้าง MOIS

## 1.1 โครงสร้างและการทำงานของทรานซิสเตอร์แบบ MOIS

โครงสร้างทรานซิสเตอร์แบบ MOIS (Metal Oxide Intrinsics Semiconductor)[1] แสดงได้ดังรูปที่ 1.1-1 โดยมีส่วนประกอบที่สำคัญ 3 ชั้นคือ ชั้นบนสุดเป็นชั้นของโลหะตัวนำ (ในวิทยานิพนธ์ฉบับนี้ใช้โลหะอลูมิเนียม) ชั้นที่ 2 คือชั้นของฉนวนซึ่งในเทคโนโลยีที่ใช้ซิลิกอนในการผลิตมักนิยมใช้ซิลิกอนไดออกไซด์เป็นฉนวน และชั้นสุดท้ายล่างสุดจะเป็นสารกึ่งตัวนำซิลิกอนชนิดเอ็นระนาบ 100 ที่ได้รับการเติมอะตอมทองคำอย่างเหมาะสม อะตอมทองคำในเนื้อสารชนิดเอ็นจะทำหน้าที่จับประจุพาหะอิเล็กตรอนซึ่งเป็นประจุพาหะส่วนมากในเนื้อสาร ทำให้เนื้อสารชนิดเอ็นมีค่าความต้านทานสูงขึ้น นอกจากนี้อะตอมทองคำยังทำให้อิเล็กตรอนในเนื้อสารมีค่าระดับพลังงานเฟอร์มิอยู่ที่ระดับ 0.62 eV เทียบกับระดับพลังงานวาเลนท์ของสารกึ่งตัวนำซิลิกอน ซึ่งระดับพลังงานเฟอร์มิดังกล่าวนี้มีค่าใกล้เคียงกับระดับพลังงานของสารกึ่งตัวนำซิลิกอนบริสุทธิ์ ดังนั้นอาจกล่าวได้ว่าสารกึ่งตัวนำซิลิกอนชนิดเอ็นที่ได้รับการเติมอะตอมทองคำอย่างเหมาะสมจะมีพฤติกรรมเสมือนเป็นสารกึ่งตัวนำบริสุทธิ์ได้ และสิ่งนี้เองเป็นที่มาของชื่อสิ่งประดิษฐ์สารกึ่งตัวนำ MOIS ดังกล่าวข้างต้น




รูปที่ 1.1-1 แสดงโครงสร้างแบบ MOIS

ลักษณะในการประกอบขึ้นเป็นทรานซิสเตอร์ของโครงสร้าง MOIS จะมีลักษณะเช่นเดียวกับการประกอบทรานซิสเตอร์โครงสร้าง MOS ทั่ว ๆ ไป นอกจากลักษณะที่เหมือนกันดังกล่าวแล้ว การทำงานของทรานซิสเตอร์โครงสร้าง MOIS ยังมีลักษณะเหมือนกับทรานซิสเตอร์โครงสร้าง MOS ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

กล่าวคือ - การทำงานของทรานซิสเตอร์โครงสร้าง MOIS จะอาศัยผลของสนามไฟฟ้าเพื่อเหนี่ยวนำให้เกิดช่องทางเดินกระแสขึ้น โดยถ้าต้องการให้ช่องทางเดินกระแสมีประจุโฮลในการนำกระแสของทรานซิสเตอร์ชนิดพี (PMOIS) กระทำโดยป้อนค่าแรงดันลบ (เมื่อเทียบกับฐานรอง) ในบริเวณที่เป็นส่วนของโลหะด้านบนสุด ประจุลบบริเวณโลหะจะเหนี่ยวนำประจุโฮลในเนื้อสารซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำให้ขึ้นมาอยู่บริเวณรอยต่อสารกึ่งตัวนำและฉนวนซิลิกอนไดออกไซด์ และในทางตรงกันข้ามถ้าต้องการให้ประจุอิเล็กตรอนขึ้นมาอยู่บริเวณรอยต่อสารกึ่งตัวนำและฉนวนซิลิกอนไดออกไซด์ กระทำโดยป้อนแรงดันบวก(เมื่อเทียบกับฐานรองเช่นเดียวกัน) เข้าที่บริเวณชั้วโลหะชั้นบนสุด ประจุบวกบริเวณโลหะจะเหนี่ยวนำให้ประจุอิเล็กตรอนในบริเวณฐานรองขึ้นมาที่บริเวณผิว เพื่อเป็นประจุที่ใช้ในการนำกระแสของทรานซิสเตอร์ชนิดเอ็น (NMOIS)

จากที่กล่าวมาข้างต้นพบว่า ปรากฏการณ์การเกิดประจุพาหะของทรานซิสเตอร์โครงสร้าง MOIS ใช้สนามไฟฟ้าในการควบคุมปริมาณประจุพาหะ ดังนั้นโครงสร้างทรานซิสเตอร์แบบ MOIS จึงเป็นโครงสร้างที่มีข้อดีเช่นเดียวกับทรานซิสเตอร์โครงสร้าง MOS คือ

1. มีค่าความต้านทานขาเข้าของทรานซิสเตอร์สูงมาก เนื่องจากโครงสร้างของส่วนควบคุมการนำกระแสจะถูกกั้นด้วยชั้นฉนวนซิลิกอนไดออกไซด์ ซึ่งเป็นฉนวนที่ดี มีค่าความต้านทานสูงกว่า $10^{15}$ โอห์ม.เซ็นติเมตร และเนื่องจากค่าความต้านทานขาเข้าที่สูงนี้ทำให้ทรานซิสเตอร์โครงสร้างแบบ MOIS มีการทำงานโดยใช้แรงดันในการควบคุมการนำกระแส (Voltage Control Current) ดังนั้นทรานซิสเตอร์โครงสร้างนี้จึงสามารถขับทรานซิสเตอร์ตัวอื่น ๆ ที่มีโครงสร้างเดียวกันหรือมีโครงสร้างแบบ MOS ได้จำนวนมาก หรืออีกนัยหนึ่งคือมีค่าแฟนเอ้าท์ (fan out)สูง และมีอัตราการสูญเสียกำลังทางด้านอินพุทต่ำ (กระแสขาเข้าของทรานซิสเตอร์มีค่าน้อย)

2.ขาเดรน (DRAIN) และขาซอส (SOURCE) ของโครงสร้างทรานซิสเตอร์แบบ MOIS สามารถสลับแทนที่กันได้โดยการทำงานของทรานซิสเตอร์ยังคงไม่แตกต่างกัน เนื่องจากโครงสร้างทรานซิสเตอร์แบบนี้มีความสมมาตร (Bilatterally Symmetric)

3.ไม่เกิดปรากฏการณ์การวิ่งหนีของความร้อน (Thermal Runaway) ภายในอันเนื่องมาจากผลของอุณหภูมิที่เพิ่มขึ้นน้อยมาก กล่าวคือ เมื่ออุณหภูมิเพิ่มสูงขึ้นค่ากระแสที่ไหลผ่านทรานซิสเตอร์โครงสร้าง MOIS จะมีค่าค่อนข้างคงที่ จึงไม่เกิดความเสียหายอันเนื่องมาจากความร้อน

4.ค่าแรงดันขีดเริ่ม ($V_T$) สามารถเปลี่ยนแปลงได้จากการจ่ายแรงดันไฟฟ้าระหว่างขาซอสและฐานรอง

แต่อย่างไรก็ตามโครงสร้างทรานซิสเตอร์แบบ MOIS ก็ยังมีข้อเสียบางประการเช่นเดียวกับทรานซิสเตอร์โครงสร้างแบบ MOS คือ

1.ไม่สามารถทำงานโดยใช้กระแสในการควบคุมการไหลของกระแสได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2:มีการทำงานที่กำลังต่ำ ๆ เท่านั้นหรือทนต่อการใช้งานที่กำลังสูง ๆ ได้ไม่ดีนัก

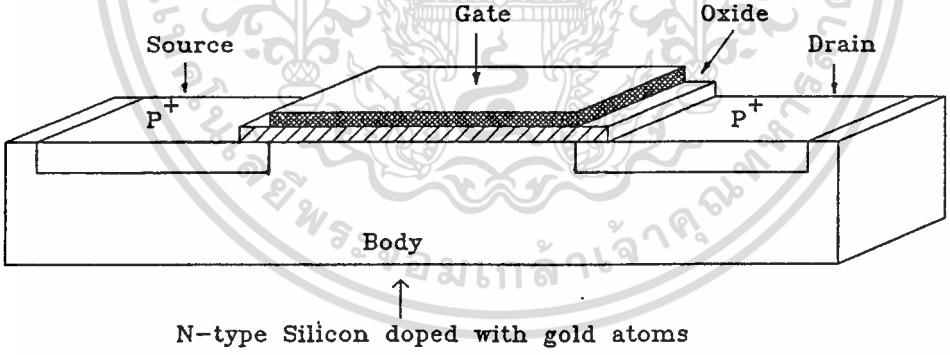
3.มีความเร็วในการทำงานต่ำ (เมื่อเปรียบเทียบกับอุปกรณ์ประเภทไบโพลาร์)เนื่องจากค่าความจุไฟฟ้าขาเข้าของวงจรมีค่าสูง ซึ่งเป็นข้อจำกัดในการใช้งานที่ความถี่สูงในปัจจุบัน

4.มีค่าทรานคอนดัคแตนท์ (Transconductance ($g_m$)) ต่ำ

แต่อย่างไรก็ตามการพัฒนาทรานซิสเตอร์โครงสร้างแบบ MOIS ก็ยังน่าสนใจ เนื่องจากมีข้อดีในด้านต่าง ๆ ดังกล่าวข้างต้นมาแล้ว โครงสร้างนี้ยังมีข้อดีที่ได้เปรียบโครงสร้างทรานซิสเตอร์แบบ MOS ซึ่งจะกล่าวต่อไปในหัวข้อที่ 1.3

### 1.1.1 ทรานซิสเตอร์ชนิดพีแชนแนลเอนแฮนซ์เมนต์โหมด (PMOIS)

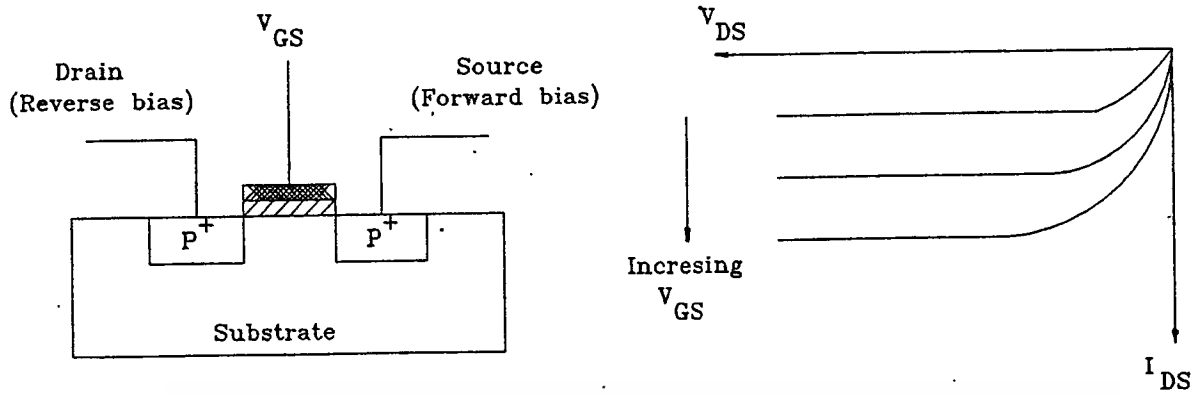
โครงสร้างภาพตัดขวางของทรานซิสเตอร์ชนิดพีแชนแนลเอนแฮนซ์เมนต์โหมด (PMOIS) แสดงได้ดังรูปที่ 1.1-2 ซึ่งสามารถสร้างโดยเติมสารเจือชนิดพีเพื่อสร้างเป็นขั้วซอสและเดรนของทรานซิสเตอร์ชนิดพีลงบนแผ่นผลึกซิลิกอนชนิดเอ็น ให้ได้ค่าความเข้มข้นของสารเจือชนิดพีมีค่าประมาณ $10^{15}$ ถึง $10^{16}$ อะตอมต่อลูกบาศก์เซ็นติเมตร การเติมสารเจือชนิดพีนี้จะกระทำก่อนการเติมสารเจือทองคำเข้าไปในเนื้อสารชนิดเอ็นที่เป็นฐานรองในการสร้างทรานซิสเตอร์




รูปที่ 1.1-2 แสดงโครงสร้างของทรานซิสเตอร์ชนิด PMOIS

จากรูปลักษณะของโครงสร้างประกอบด้วยขั้วเดรนและขั้วซอส (ซึ่งจะเลือกขั้วใดของสารเจือชนิดพีเป็นขั้วเดรนหรือขั้วซอสก็ได้) ขั้วเกทออกไซด์ (ซึ่งเป็นโครงสร้างแบบ MOIS) และขั้วฐานรอง การให้ไบอัสขั้วต่าง ๆ ของทรานซิสเตอร์กระทำโดยป้อนศักดาไฟฟ้าให้ขั้วเกทมีศักดาต่ำกว่าขั้วฐานรอง ประจุโฮลจะถูกเหนี่ยวนำให้ขึ้นมาอยู่ในช่องทางเดินกระแส และถ้ามีศักดาไบอัสที่เดรนมีค่าต่ำกว่าศักดาไบอัสที่ขั้วซอส ทรานซิสเตอร์ชนิดพีดังรูปที่ 1.1-3 ก็จะเกิดกระแสโฮลไหลจากขั้วเดรนไปยังขั้วซอสได้ การทำงานของทรานซิสเตอร์ในลักษณะนี้เรียกว่าการทำงานแบบ เอนแฮนซ์เมนต์โหมด

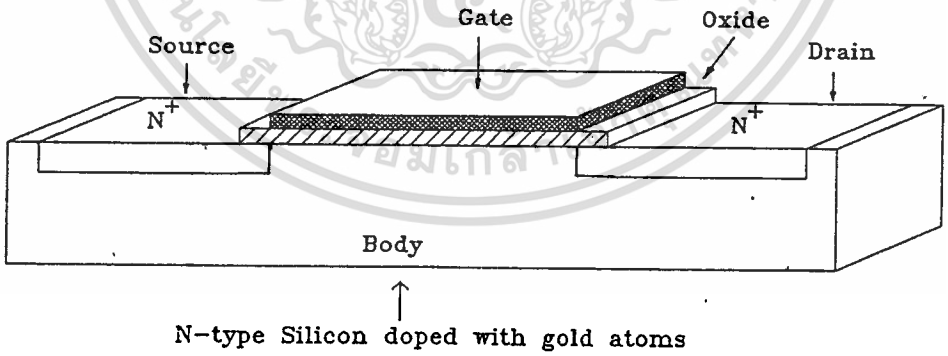
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 1.1-3 แสดงการให้ศักดาไบอัสทรานซิสเตอร์แบบ PMOIS

**1.1-2 ทรานซิสเตอร์ชนิดเอ็นแชนแนลเอนแฮนซ์เมนต์โหมด (NMOIS)**

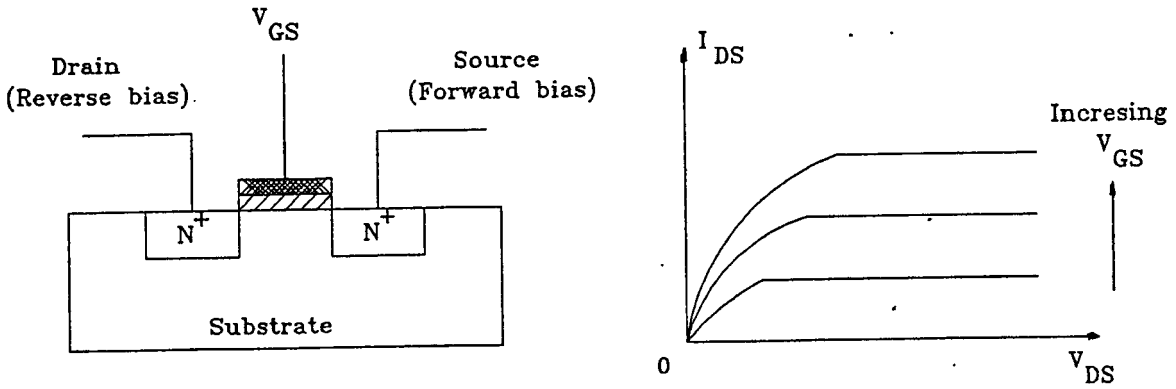
โครงสร้างภาพตัดขวางของทรานซิสเตอร์ชนิดเอ็น (NMOIS) ที่มีการทำงานแบบเอนแฮนซ์เมนต์โหมดแสดงดังรูปที่ 1.1-4 ซึ่งสามารถสร้างได้ในลักษณะเช่นเดียวกับทรานซิสเตอร์ชนิดพี โดยเติมสารเจือชนิดเอ็นเพื่อสร้างเป็นขั้วซอสและเดรนของทรานซิสเตอร์ลงบนแผ่นผลึกฐานรองชนิดเอ็นก่อนการเติมอะตอมสารเจือทองคำลงในแผ่นผลึกฐานรอง ให้ได้ค่าความเข้มข้นของอะตอมสารเจือชนิดเอ็นมีค่าประมาณ $10^{15}$ ถึง $10^{16}$ อะตอมต่อลูกบาศก์เซ็นติเมตร




รูปที่ 1.1-4 แสดงโครงสร้างภาพตัดขวางของทรานซิสเตอร์ชนิด NMOIS

จากรูปลักษณะโครงสร้างพบว่าทรานซิสเตอร์ชนิด NMOIS มีขั้วไฟฟ้าต่าง ๆ เช่นเดียวกับทรานซิสเตอร์ชนิด PMOIS แต่การจ่ายศักดาไบอัสจะเป็นไปในทางตรงกันข้ามกล่าวคือ ในการใช้งานจะจ่ายแรงดันไบอัสที่ขั้วเกทเป็นบวกเมื่อเทียบกับขั้วฐานรองและให้แรงดันไบอัสที่ขั้วเดรนสูงกว่าแรงดันไบอัสขั้วซอส ดังรูปที่ 1.1-5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า




รูปที่ 1.1-5 แสดงการให้ศักดาไบอัสทรานซิสเตอร์แบบ NMOIS

จากลักษณะโครงสร้างทรานซิสเตอร์ทั้งสองแบบ จะเห็นได้ว่าการจ่ายศักดาไบอัสที่ขั้วเดรนจะเป็นการจ่ายศักดาไบอัสย้อนกลับ (reverse bias) และการจ่ายศักดาไบอัสที่ขั้วซอสจะเป็นการจ่ายศักดาไบอัสตรง (forward bias) ซึ่งเป็นไปในลักษณะเดียวกันกับทรานซิสเตอร์โครงสร้างแบบ MOS ทั่ว ๆ ไป

### 1.1.3 คุณสมบัติกระแสและแรงดันของทรานซิสเตอร์โครงสร้างแบบ MOIS

การพิจารณาคุณสมบัติกระแสและแรงดันของทรานซิสเตอร์โครงสร้างแบบ MOIS ในที่นี้จะขอพิจารณาทรานซิสเตอร์ชนิด NMOIS เท่านั้น ส่วนทรานซิสเตอร์ชนิด PMOIS จะมีลักษณะในทำนองเดียวกันแต่เครื่องหมาย (หรือทิศทาง) ที่ใช้จะเป็นไปในทางตรงกันข้าม สมการกระแสและแรงดันของทรานซิสเตอร์โครงสร้างแบบ MOIS จะมีลักษณะเช่นเดียวกันกับสมการกระแสและแรงดันของงทรานซิสเตอร์โครงสร้างแบบ MOS ที่มีใช้อยู่ทั่ว ๆ

การจัดศักดาไบอัสการทำงานให้กับทรานซิสเตอร์แบบ MOIS นั้นสามารถแบ่งการพิจารณาการทำงานออกได้เป็น 3 ช่วงการทำงาน ซึ่งการแบ่งขอบเขตการทำงานของแต่ละช่วงนั้นพิจารณาที่ค่าแรงดันตกคร่อมขั้วเกทกับขั้วซอส ($V_{GS}$) ค่าแรงดันตกคร่อมขั้วเดรนและขั้วซอส ($V_{DS}$) และค่าแรงดันขีดเริ่ม ($V_T$) เป็นสำคัญ ดังต่อไปนี้

1. <u>ช่วงที่ MOISFET ไม่ทำงาน</u> (Cutoff Region)

การทำงานของทรานซิสเตอร์ช่วงนี้เกิดขึ้นเนื่องจากค่าแรงดันตกคร่อมขั้วเกทและขั้วซอส มีค่าต่ำกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ ดังนั้นแรงดันชาเข้าที่ขั้วเกทจึงยังไม่สามารถเหนี่ยวนำประจุในช่องทางเดินกระแสให้ขึ้นมาอยู่บริเวณช่องทางเดินกระแสได้ จึงไม่เกิดการไหลของกระแสจากขั้วเดรนไปยังขั้วซอสได้ถึงแม้ว่าจะจ่ายศักดาไบอัสที่ขั้วเดรนและซอสดังที่ได้อธิบายไปแล้วก็ตาม สมการการไหลของกระแสของทรานซิสเตอร์ในช่วงนี้เป็นไปดังสมการที่ 1.1-1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

$$I_D = 0 \quad ; \quad V_{GS} < V_T \qquad (1.1\text{-}1)$$

2.<u>ช่วงที่ MOIS ทำงานในช่วงไม่อิ่มตัว</u> (Nonsaturated Region)

การทำงานในช่วงนี้บางครั้งอาจเรียกว่าเป็นการทำงานในช่วงเชิงเส้น (Linear Region) และจะเกิดขึ้นเมื่อจ่ายศักดาไบอัสให้ค่าแรงดันตกคร่อมขั้วเดรนและซอสน้อยกว่าค่าแรงดันตกคร่อมขั้วเกท กับขั้วซอสลบด้วยค่าแรงดันขีดเริ่ม การไหลของกระแสของทรานซิสเตอร์ในช่วงนี้จะมีลักษณะเป็นเชิงเส้นกับค่าแรงดันที่ตกคร่อมขั้วเดรนและซอสที่เพิ่มขึ้น ค่าความต้านทานของช่องทางเดินกระแสของทรานซิสเตอร์ ($R_{on}$) จะขึ้นกับค่าแรงดันที่ป้อนเข้าที่ขั้วเกท ดังนั้นการทำงานในช่วงนี้ทรานซิสเตอร์จะแสดงพฤติกรรมทางไฟฟ้าเหมือนตัวต้านทานไฟฟ้าตัวหนึ่ง เรียกลักษณะดังกล่าวนี้ว่า Voltage Control Resistance ดังนั้นการออกแบบให้ทรานซิสเตอร์ทำงานในลักษณะของ Active Load หรือทำงานเป็นสวิตช์มักนิยมใช้การทำงานของทรานซิสเตอร์ในช่วงนี้ และมีสมการการไหลของกระแสดังนี้คือ

$$I_{DS} = ( \beta/2 ) [2( V_{GS} - V_T ) V_{DS} - (V_{DS})^2 ] \qquad (1.1\text{-}2)$$

มีค่าของตัวแปรต่าง ๆ ดังต่อไปนี้คือ

$I_{DS}$ คือค่ากระแสที่ไหลผ่านช่องทางเดินกระแสของทรานซิสเตอร์

$\beta$ คือค่า devices transconductance parameter มีค่า = $k'(W/L)$

โดยที่ $k'$ คือค่า process transconductance parameter มีค่า = $\mu \cdot C_{ox}$

$\mu$ คือค่าความคล่องตัวของประจุพาหะที่ใช้ในการนำกระแสของทรานซิสเตอร์

$C_{ox}$ คือค่าความจุไฟฟ้าที่เกทต่อหนึ่งหน่วยพื้นที่ มีค่า $\epsilon_{ox}/T_{ox}$

$\epsilon_{ox}$ คือค่าคงที่ไดอิเล็กตริกของซิลิกอนไดออกไซด์มีค่า $3.9\epsilon_o$

$T_{ox}$ คือค่าความหนาของชั้นฉนวนที่บริเวนช่องทางเดินกระแสของทรานซิสเตอร์

W คือค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์

L คือค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์

$V_{GS}$ คือค่าแรงดันที่ตกคร่อมขั้วเกทและซอสของทรานซิสเตอร์

$V_{DS}$ คือค่าแรงดันที่ตกคร่อมขั้วเดรนและซอสของทรานซิสเตอร์

$V_T$ คือค่าแรงดันขีดเริ่มของทรานซิสเตอร์

จากสมการที่ 1.1-2 พบว่าถ้าต้องการให้ค่าความต้านทานในช่องทางเดินกระแสมีค่าต่ำสามารถทำได้โดยเพิ่มค่าแรงดันขั้วเกทหรือเพิ่มค่าอัตราส่วน W/L



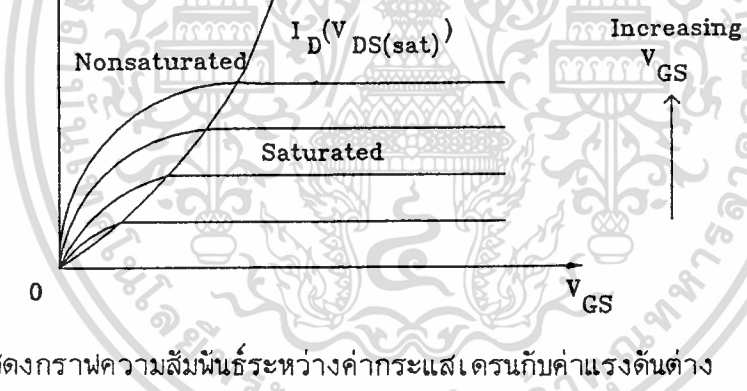
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

3: <u>ช่วงที่ MOIS ทำงานในช่วงอิ่มตัว</u> (Saturated Region)

การทำงานในช่วงนี้จะเกิดขึ้นเมื่อค่าแรงดันตกคร่อมขั้วเดรนกับขั้วซอสมีค่ามากกว่าค่าแรงดันตกคร่อมขั้วเกทกับขั้วซอสลบด้วยค่าแรงดันขีดเริ่มของทรานซิสเตอร์ ช่วงนี้ปริมาณของประจุพาหะในช่องทางเดินกระแสมีค่าคงที่ตลอดเวลาแม้ว่าแรงดัน $V_{DS}$ จะเพิ่มขึ้น . ค่ากระแสที่ไหลผ่านช่องทางเดินกระแสจะมีค่าคงที่ที่ค่าแรงดันตั้งแต่ $V_{DS} = (V_{GS} - V_T)$ ดังนั้นจึงเรียกช่วงการทำงานของทรานซิสเตอร์ช่วงนี้ว่า "ช่วงอิ่มตัว" และมีความสัมพันธ์ระหว่างกระแสและแรงดันดังต่อไปนี้

$$I_{DS} = (\beta/2) [V_{GS} - V_T]^2 \qquad (1.1\text{-}3)$$

โดยที่ความหมายของตัวแปรต่าง ๆ ยังคงเดิมเช่นเดียวกับช่วงการทำงานแบบเชิงเส้น กราฟความสัมพันธ์ระหว่างค่ากระแส ($I_{DS}$) และแรงดันต่าง ๆ ของทรานซิสเตอร์โครงสร้างแบบ MOIS จะเป็นไปดังรูปที่ 1.1-6



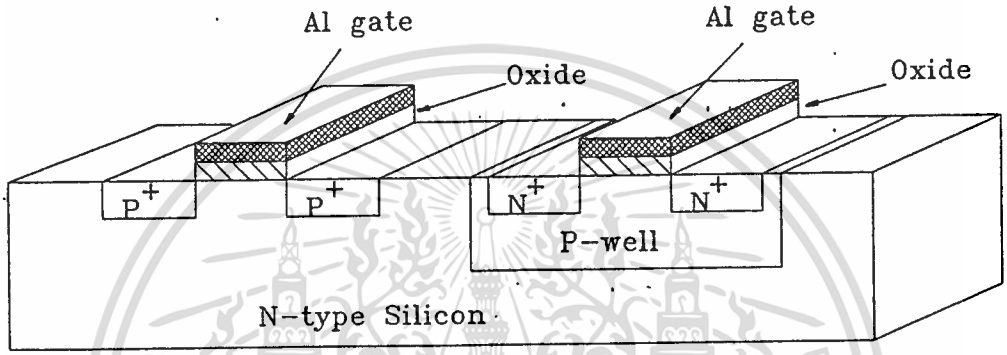

รูปที่ 1.1-6 แสดงกราฟความสัมพันธ์ระหว่างค่ากระแสเดรนกับค่าแรงดันต่าง ๆ ของทรานซิสเตอร์โครงสร้างแบบ MOIS

## 1.2 การพัฒนาทรานซิสเตอร์โครงสร้าง MOIS ไปเป็น CMOIS

วงจรรวมโครงสร้างแบบ CMOS ที่รู้จักกันดีในปัจจุบันนี้ จะประกอบด้วยทรานซิสเตอร์ชนิดเอ็นมอสทำงานร่วมกับทรานซิสเตอร์ชนิดพีมอส เนื่องจากโครงสร้างทรานซิสเตอร์ดังกล่าวมีข้อดีของวงจรคือวงจรจะใช้พลังงานไฟฟ้าในการทำงานต่ำ กล่าวคือวงจรต้องการใช้พลังงานไฟฟ้าต่อเมื่อเกิดการเปลี่ยนแปลงสถานะแรงดันขาออกของวงจรเท่านั้น ในสภาวะที่วงจรคงสถานะแรงดันขาออกวงจรไม่ต้องการพลังงานใด ๆ ทั้งสิ้น ข้อดีของวงจรนี้แตกต่างจากวงจรรวมโครงสร้างแบบไบโพล่าร์หรือวงจรรวมโครงสร้างแบบเอ็นมอส ดังนั้นการพัฒนาวงจรรวมโครงสร้างแบบ CMOS ให้มีประสิทธิภาพสูงจึงสมควรได้รับการพัฒนาต่อไป ในกระบวนการสร้างวงจรรวมโครงสร้างแบบ CMOS จำเป็นต้องสร้าง

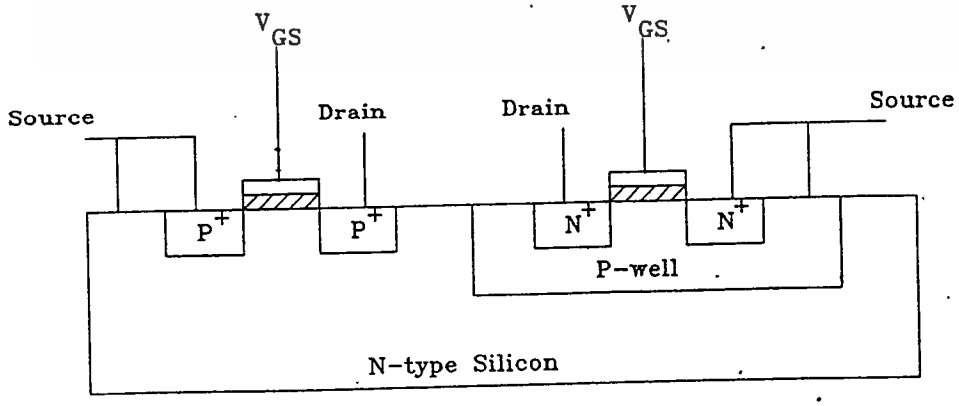
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์ชนิดเอ็นมอสร่วมกับทรานซิสเตอร์ชนิดพีมอสบนฐานรองอันเดียวกัน ดังนั้นเทคโนโลยีในการสร้างวงจรรวมแบบ CMOS จึงจำเป็นต้องสร้างบ่อแยกเพื่อแยกทรานซิสเตอร์ทั้งสองออกจากกัน โดยถ้าแผ่นผลึกซิลิกอนที่ใช้เป็นฐานรองเป็นสารกึ่งตัวนำซิลิกอนชนิดเอ็น จำเป็นต้องสร้างบ่อแยกชนิดพีเพื่อแยกทรานซิสเตอร์ชนิดเอ็นออกจากฐานรอง และในทางตรงกันข้ามถ้าฐานรองเป็นสารกึ่งตัวนำชนิดพีก็จำเป็นต้องสร้างบ่อแยกชนิดเอ็นเพื่อแยกทรานซิสเตอร์ชนิดพีออกจากฐานรอง ที่เป็นเช่นนี้เพราะทรานซิสเตอร์โครงสร้างแบบ MOS จำเป็นต้องสร้างให้ชนิดของทรานซิสเตอร์มีความแตกต่างจากฐานรอง ดังโครงสร้างภาพตัดขวางของทรานซิสเตอร์แบบ CMOS ที่แสดงได้ดังรูปที่ 1.2-1




รูปที่ 1.2-1 แสดงโครงสร้างภาพตัดขวางของทรานซิสเตอร์แบบ CMOS

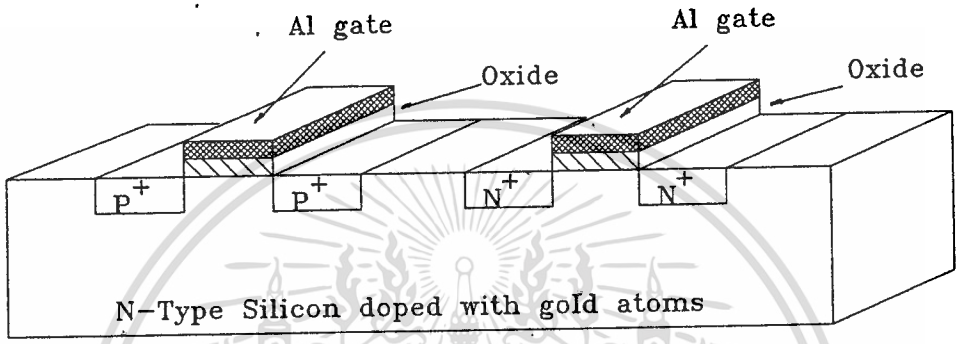
ตัวอย่างการจ่ายศักดาไฟฟ้าแก่ทรานซิสเตอร์โครงสร้างแบบ CMOS ในวงจรร่วมแสดงได้ดังรูปที่ 1.2-2 ซึ่งจะพบว่าขาซอสของทรานซิสเตอร์ทั้งสองจำเป็นต้องต่อร่วมกับขั้วฐานรองของทรานซิสเตอร์นั้น ๆ เพื่อป้องกันการเกิดปรากฏการณ์แล็ชอับ (latch up) คือปรากฏการณ์การเกิดไบโพลาร์ทรานซิสเตอร์แฝงในโครงสร้างทรานซิสเตอร์แบบ CMOS) ขึ้นในวงจร และจากรูปแบบของการไบอัสจะพบว่าขั้วฐานรองของทรานซิสเตอร์ชนิดเอ็นจะได้รับศักดาไบอัสแบบย้อนกลับกับขั้วฐานรองของทรานซิสเตอร์ชนิดพี ดังนั้นฐานรองของทรานซิสเตอร์ทั้งสองจึงแยกออกจากกันโดยสมบูรณ์ยิ่งขึ้น




รูปที่ 1.2-2 แสดงการจ่ายศักดาไฟฟ้าแก่ทรานซิสเตอร์โครงสร้างแบบ CMOS

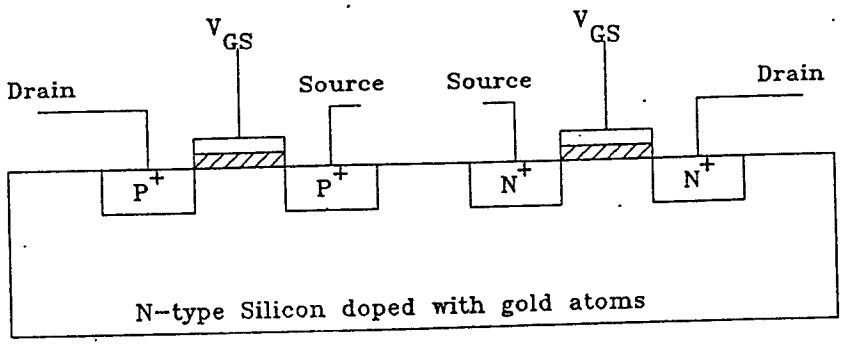
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ทรานซิสเตอร์โครงสร้างแบบ MOIS ทั้งชนิดพีและชนิดเอ็น สามารถสร้างได้โดยใช้ฐานรองซิลิกอนชนิดเอ็นที่ได้รับการเติมอะตอมทองคำอย่างเหมาะสม[2] ดังนั้นการประกอบทรานซิสเตอร์ชนิดพีเพื่อทำงานร่วมกันกับทรานซิสเตอร์ชนิดเอ็นบนแผ่นผลึกซิลิกอนชิ้นเดียวกัน สามารถกระทำได้โดยไม่จำเป็นต้องอาศัยบ่อแยกเพื่อแยกทรานซิสเตอร์ออกจากกันดังรูปที่ 1.2-3 จุดนี้เป็นข้อดีของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่จะได้รับการพัฒนาเป็นวงจรรวมขนาดใหญ่ขึ้นเพื่อแทนที่สิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOS ที่ใช้อยู่ในปัจจุบันนี้ต่อไป




รูปที่ 1.2-3 แสดงโครงสร้างภาพตัดขวางของทรานซิสเตอร์โครงสร้างแบบ CMOIS

การแบ่งขั้วของทรานซิสเตอร์โครงสร้างแบบ CMOIS เพื่อใช้ในการคำนวนคุณสมบัติทางไฟฟ้าของวงจรรวม จำเป็นต้องพิจารณาการจ่ายศักดาไฟฟ้าแก่ทรานซิสเตอร์ ขั้วเดรนของทรานซิสเตอร์จะเป็นขั้วที่ถูกจ่ายศักดาไฟฟ้าแบบย้อนกลับ และในทางตรงกันข้ามขั้วซอสของทรานซิสเตอร์จะเป็นขั้วที่ได้รับการจ่ายศักดาไฟฟ้าแบบตรง และการจ่ายศักดาไฟฟ้าแก่ทรานซิสเตอร์โครงสร้างแบบ CMOIS ในวงจรรวม จะทำการต่อศักดาไฟฟ้าเข้าที่ขั้วฐานรองไม่ได้ ดังรูปที่ 1.2-4 (ซึ่งสิ่งนี้ตรงกันข้ามกับสิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOS) เนื่องจากฐานรองทรานซิสเตอร์ทั้งสองเป็นฐานรองชนิดเดียวกัน ดังนั้นถ้าทำการต่อขั้วซอสของทรานซิสเตอร์ทั้งสองกับขั้วฐานรองแล้วจะทำให้กระแสไหลจากแหล่งจ่ายไฟเลี้ยงลงสู่จุดที่มีแรงดันต่ำกว่าโดยผ่านฐานรองที่ใช้สร้างทรานซิสเตอร์เท่านั้น ทำให้ทรานซิสเตอร์ไม่ทำงานตามฟังก์ชันของวงจรที่ต้องการ

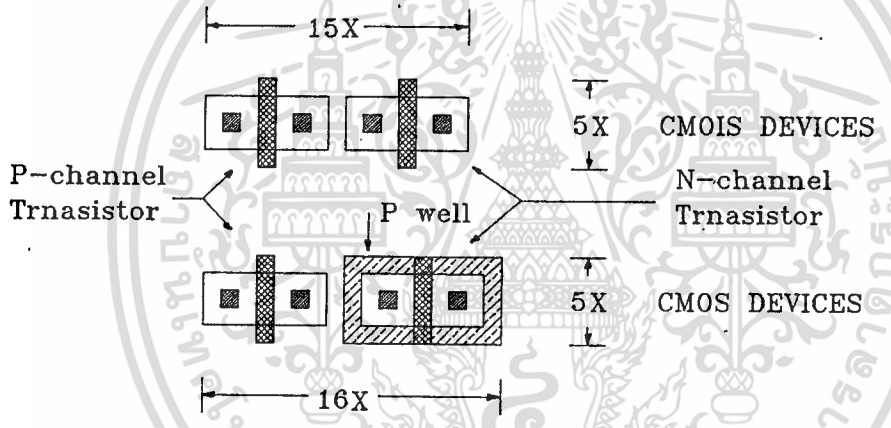



รูปที่ 1.2-4 แสดงการจ่ายไฟเลี้ยงวงจรทรานซิสเตอร์โครงสร้างแบบ CMOIS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 การเปรียบเทียบทรานซิสเตอร์โครงสร้างแบบ CMOIS กับทรานซิสเตอร์โครงสร้างแบบ CMOS

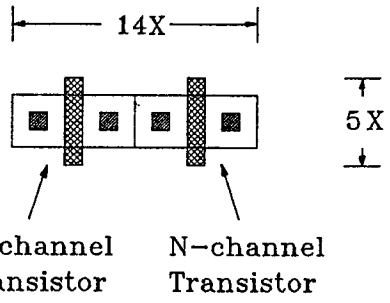
จากที่กล่าวมาในหัวข้อต่าง ๆ ข้างต้นจะเห็นได้ว่าทรานซิสเตอร์โครงสร้าง MOIS เป็นทรานซิสเตอร์ที่มีลักษณะของโครงสร้างหลักและการทำงานเช่นเดียวกับทรานซิสเตอร์โครงสร้าง MOS ทั่ว ๆ ไป ดังนั้นถ้าทำการเปรียบเทียบข้อดีหรือข้อด้อยจากลักษณะโครงสร้างแล้ว จะไม่พบสิ่งที่แตกต่างกันอย่างชัดเจนนัด แต่ถ้าพิจารณาโครงสร้างภาพตัดขวางของทรานซิสเตอร์โครงสร้างแบบ CMOS และโครงสร้างภาพตัดขวางของทรานซิสเตอร์โครงสร้างแบบ CMOIS จะพบว่า ในการออกแบบทรานซิสเตอร์ทั้งสองด้วยกฎระเบียบในการออกแบบอันเดียวกัน ทรานซิสเตอร์โครงสร้างแบบ CMOIS จะใช้พื้นที่บนแผ่นผลึกซิลิกอนน้อยกว่าทรานซิสเตอร์โครงสร้างแบบ CMOS ดังรูปที่ 1.3-1




รูปที่ 1.3-1 แสดงภาพด้านบนของการออกแบบรูปทรงทางเรขาคณิตของทรานซิสเตอร์โครงสร้างแบบ CMOIS เทียบกับทรานซิสเตอร์โครงสร้างแบบ CMOS

จากรูปที่ 1.3-1 ถ้าสมมุติให้ค่าต่ำสุดของการออกแบบมีค่า 1X พบว่าทรานซิสเตอร์โครงสร้างแบบ CMOIS จะใช้พื้นที่ในการสร้างทรานซิสเตอร์ชนิดเอ็นและชนิดพีหนึ่งคู่เท่ากับ 15X x 5X มีค่า $75X^2$ และทรานซิสเตอร์โครงสร้างแบบ CMOS จะใช้พื้นที่ทั้งสิ้น 16X x 5X มีค่า $80X^2$ และถ้าสมมุติให้ค่า X มีค่า 10 ไมโครเมตร พบว่าการออกแบบทรานซิสเตอร์ด้วยโครงสร้างแบบ CMOIS จะประหยัดพื้นที่ได้ 6.25 เปอร์เซ็นต์ เมื่อเทียบกับการออกแบบทรานซิสเตอร์ด้วยโครงสร้างแบบ CMOS นอกจากนี้ในงานวิจัยสิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOIS พบว่า ถ้าคู่ของทรานซิสเตอร์ทั้งสองต่อถึงกันทางไฟฟ้าแล้ว สามารถออกแบบให้จุดที่เชื่อมต่อกันนั้นอยู่ชิดติดกันได้โดยไม่ต้องเว้นระยะห่างระหว่างทรานซิสเตอร์ทั้งสองดังรูปที่ 1.3-2 ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 1.3-2 แสดงภาพด้านบนของการออกแบบทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่คู่ของทรานซิสเตอร์ต่อถึงกันทางไฟฟ้า

ในกรณีนี้พบว่าทรานซิสเตอร์โครงสร้างแบบ CMOIS จะใช้พื้นที่บนแผ่นผลึกซิลิกอนเท่ากับ $70X^2$ ซึ่งสามารถประหยัดพื้นที่ได้มากกว่าการออกแบบทรานซิสเตอร์โครงสร้าง CMOS ถึง 12.5 เปอร์เซ็นต์ หรือกล่าวอีกนัยหนึ่งคือ จำนวนของทรานซิสเตอร์โครงสร้างแบบ CMOIS จะมีความหนาแน่นสูงกว่าจำนวนของทรานซิสเตอร์โครงสร้างแบบ CMOS บนพื้นที่แผ่นผลึกซิลิกอนขนาดเท่ากัน

## 1.4 การควบคุมค่าอัตราขยาย ($\beta$) ของทรานซิสเตอร์โครงสร้างแบบ CMOIS

ในการออกแบบวงจรรวมโครงสร้างแบบ CMOIS (หรือโครงสร้างแบบ CMOS ทั่ว ๆ ไป) จำเป็นต้องกำหนดคุณสมบัติทางไฟฟ้าของวงจรให้เป็นไปตามที่ผู้ใช้ต้องการ เช่น การกำหนดค่ากระแสที่ไหลออกจากวงจรในขณะที่วงจรจ่ายกำลังแก่โหลดภายนอกวงจร หรือ การกำหนดค่ากระแสที่สามารถไหลเข้าวงจรได้ในขณะที่วงจรอยู่ในสถานะต่ำ หรือ การกำหนดค่าแรงดันการเปลี่ยนสถานะของวงจร (threshold voltage) เป็นต้น การกำหนดคุณสมบัติต่าง ๆ นี้จำเป็นต้องทำการควบคุมค่ากระแสที่สามารถไหลผ่านทรานซิสเตอร์แต่ละตัวในวงจร และถ้าพิจารณาความสัมพันธ์ระหว่างกระแสและแรงดันในหัวข้อที่ 1.1-3 จะพบว่าสามารถที่จะควบคุมได้หลายทาง เช่น ควบคุมค่าแรงดันขีดเริ่มของทรานซิสเตอร์ ($V_T$) หรือควบคุมค่าแรงดันตกคร่อมขั้วเดรนและขั้วซอสของทรานซิสเตอร์ ($V_{DS}$) ซึ่งสามารถควบคุมได้โดยกำหนดค่าศักดาไฟฟ้าของแหล่งจ่ายไฟเลี้ยงของวงจร หรือควบคุมค่าแรงดันไฟฟ้าที่ขั้วเกทและประการสุดท้าย ควบคุมได้จากค่าอัตราขยาย ($\beta$) ของทรานซิสเตอร์แต่ละตัวในวงจร เป็นต้น การควบคุมค่ากระแสที่ดีที่สุด คือการควบคุมค่าอัตราขยาย($\beta$)และการควบคุมค่าแรงดันขีดเริ่ม($V_T$)ของทรานซิลเตอร์ เนื่องจากสามารถควบคุมได้จากการออกแบบตัวทรานซิสเตอร์ ส่วนการควบคุมค่าแรงดันตกคร่อมขั้วต่าง ๆ ของทรานซิสเตอร์นั้น ส่วนใหญ่จะถูกจำกัดจากค่าแรงดันไฟเลี้ยงของวงจร ซึ่งเป็นสิ่งที่ผู้ใช้งานน่าจะเป็นผู้ควบคุมเอง

ค่าอัตราขยาย (($\beta$) Devices Transconductance Parameter) มีสมการความสัมพันธ์กับ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปทรงทางเรขาคณิตของการออกแบบทรานซิสเตอร์ด้วยโครงสร้างแบบ MOIS ดังสมการที่ (1.4-1) [2][3]

$$\beta = k' (W/L) \qquad (1.4\text{-}1)$$

จากสมการพบว่าสามารถออกแบบให้ทรานซิสเตอร์มีค่าอัตราขยายตามต้องการได้โดยออกแบบค่าอัตราส่วนความกว้าง (W) ต่อความยาว (L) ของช่องทางเดินกระแสของทรานซิสเตอร์ให้ได้ค่าตามความต้องการ แต่จากสมการยังมีค่าคงที่ค่าหนึ่งคือ k' (Process Transconductance Parameter) ซึ่งเป็นค่าคงที่ของทรานซิสเตอร์มีความสัมพันธ์คือ

$$k' = \mu_{Au} ( \epsilon_{ox} / T_{ox} ) \qquad (1.4\text{-}2)$$

โดยที่ $\mu_{Au}$ คือค่าความคล่องตัวของประจุพาหะที่ใช้ในการนำกระแสของทรานซิสเตอร์โครงสร้าง MOIS มีค่า 150 $cm^2$/V.sec สำหรับประจุโฮล และมีค่า 65 $cm^2$/V.sec สำหรับประจุอิเล็กตรอน [4]

$\epsilon_{ox}$ มีค่า $3.9\epsilon_o$ โดยที่ 3.9 คือค่าคงที่ไดอิเล็กตริกของฉนวนซิลิกอนไดออกไซด์ และ $\epsilon_o$ คือค่าสภาพยอมของสูญญากาศ (Permittivity of Free Space) มีค่า $8.854 \times 10^{-14}$ F/cm

$T_{ox}$ คือค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์ในบริเวณช่องทางเดินกระแส

จะเห็นได้ว่า การควบคุมค่าอัตราขยายนอกจากสามารถควบคุมได้จากค่าความกว้างและค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์แล้ว ยังสามารถควบคุมได้จากค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์ในช่องทางเดินกระแสได้อีกวิธีหนึ่ง แต่การควบคุมทั้งสองวิธีนี้ยังมีข้อจำกัดคือ

1) ค่าความกว้างและค่าความยาวของช่องทางเดินกระแสจะต้องมีค่ามากกว่าค่าต่ำสุดของอุปกรณ์ชนิดนั้น ๆ เพื่อหลีกเลี่ยงผลของขนาดของช่องทางเดินกระแสที่เล็กมาก ๆ
2) ค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์จะต้องมีความหนาพอที่จะทำแรงดันไฟฟ้าที่ป้อนเข้ามาที่ขั้วเกทได้ โดยความหนาของซิลิกอนไดออกไซด์ 1 ไมโครเมตร สามารถทนแรงดันได้ 600 โวลต์

ดังนั้นถ้าสามารถหาค่า k' ของทรานซิสเตอร์โครงสร้างแบบ MOIS ได้ จะสามารถควบคุมค่าอัตราขยายของทรานซิสเตอร์ในวงจรให้เป็นไปตามต้องการ แต่ในการหาค่า k' ของทรานซิสเตอร์นี้จำเป็นต้องกำหนดค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์ที่แน่นอนและสามารถใช้งานในวงจรรวมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1.5 การควบคุมค่าแรงดันขีดเริ่ม ($V_T$) ของทรานซิสเตอร์โครงสร้างแบบ CMOIS

ค่าแรงดันขีดเริ่มเป็นค่าตัวแปรอันหนึ่งที่ใช้ในการควบคุมพฤติกรรมทางไฟฟ้าของวงจร ดังนั้นถ้าสามารถควบคุมค่าแรงดันนี้ได้เช่นเดียวกับการควบคุมค่าอัตราขยาย ก็จะสามารถออกแบบวงจรให้มีคุณสมบัติตามที่ผู้ใช้ต้องการได้

พิจารณาค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้างแบบ MOIS ซึ่งเป็นความสัมพันธ์ที่มีลักษณะคล้ายคลึงกับค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้างแบบ MOS ทั่ว ๆ ไปดังนี้ [2]

$$V_T = V_{FB} + \phi_F + \frac{1}{C_{OX}}\sqrt{2\, q\, \epsilon_{Si}\, N\, (\phi_F)} \qquad (1.5\text{-}1)$$

โดยที่ $V_{FB} = \Phi_{GS} - (1/C_{ox})(Q_{ox} + Q_{SS})$

$C_{ox} = \epsilon_{ox} / T_{ox}$

$\epsilon_{Si} = 11.7\epsilon_o$

$q = 1.6 \times 10^{-19}$ C

$N$ = จำนวนประจุในฐานรอง (ประจุที่ใช้ในการนำกระแสของทรานซิสเตอร์ที่กำลังพิจารณาอยู่)

$\phi_F$ = ค่าพลังงานจากระดับพลังงานของฐานรองถึงระดับพลังงานที่อิเล็กตรอนหรือโฮลที่กำลังนำกระแสอยู่

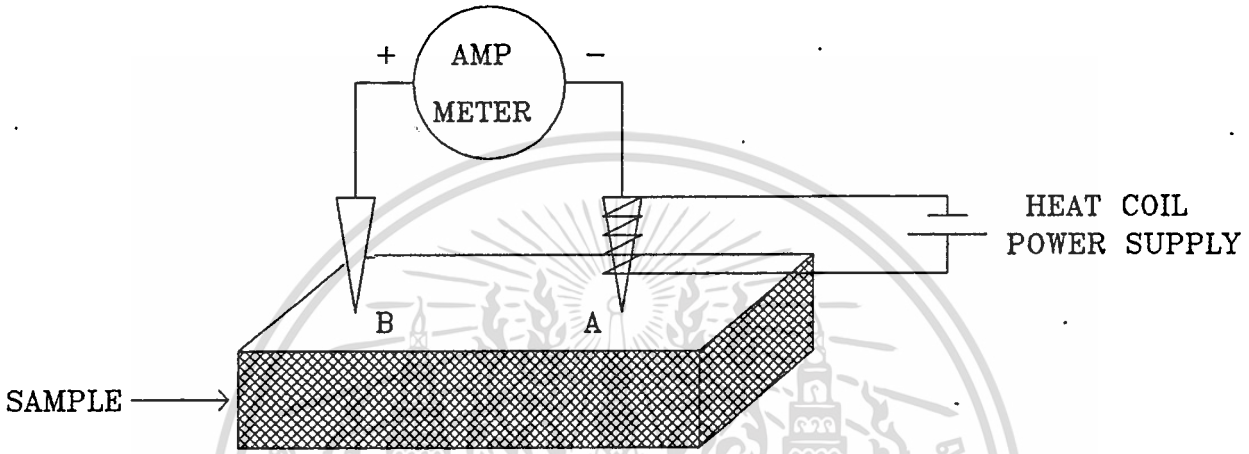
จากสมการข้างต้นจะพบว่า ค่าพารามิเตอร์ต่าง ๆ ของสมการมีลักษณะคล้ายคลึงกับสมการที่ใช้ในการพิจารณาค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้าง MOS แต่จากการวิจัยพบว่าสิ่งที่ทรานซิสเตอร์โครงสร้าง CMOIS แตกต่างจากทรานซิสเตอร์โครงสร้าง CMOS ทั่ว ๆ ไปคือ 1) ค่าปริมาณประจุที่ใช้ในการนำกระแสของทรานซิสเตอร์ (N) และ 2) ค่าพลังงาน $\phi_F$ เนื่องจากผลของอะตอมทองคำที่ถูกเติมเข้าไปในแผ่นผลึกซิลิกอนชนิดเอ็นที่ใช้เป็นฐานรองของทรานซิสเตอร์ ทำให้คุณสมบัติทางไฟฟ้าของแผ่นผลึกเปลี่ยนแปลงไป เช่น ทองคำจะสร้างระดับพลังงานค่าหนึ่งในสารกึ่งตัวนำซิลิกอนชนิดเอ็นมีค่าประมาณ 0.62 eV เทียบกับระดับพลังงานของวาเลนซ์อิเล็กตรอน ระดับพลังงานนี้จะทำหน้าที่เสมือนระดับพลังงานผู้รับ (acceptor like level)[1] ดังนั้นอิเล็กตรอนในสารกึ่งตัวนำชนิดเอ็นจะสามารถลงมาอยู่ที่ระดับพลังงานนี้ได้ ทำให้อิเล็กตรอนที่ใช้ในการนำกระแสของทรานซิสเตอร์มีปริมาณน้อยลง เป็นต้น ดังนั้นในการคำนวนค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้าง MOIS จึงจำเป็นต้องทราบว่าปริมาณของประจุพาหะที่ใช้ในการนำกระแสของทรานซิสเตอร์ที่เหลืออยู่หลังจากเติมอะตอมทองคำแล้วมีปริมาณเท่าใด และค่าระดับพลังงานเฟอร์มิของแผ่นผลึกฐานรองมีค่าระดับพลังงานระดับใด และหลังจากที่ประจุพาหะในแผ่นผลึกฐานรองถูกดึงขึ้นไปที่บริเวณผิวจะอยู่ที่ระดับพลังงานไหน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

พิจารณาปริมาณประจุที่ใช้ในการนำกระแสของทรานซิสเตอร์โครงสร้าง MOIS

ก่อนที่จะทำการหาปริมาณของประจุพาหะที่เหลือในแผ่นผลึกซิลิกอนชนิดเอ็นหลังจากเติมอะตอมของทองคำเข้าไปแล้ว จำเป็นต้องทำการตรวจสอบชนิดของประจุพาหะส่วนมากที่อยู่ในฐานรองด้วยปรากฏการณ์ซีเบ็ค (Zeebec Effect) [5]

ลักษณะของเครื่องมือที่ใช้ในการทดสอบปรากฏการณ์ดังกล่าวแสดงได้ดังรูปที่ 1.5-1




รูปที่ 1.5-1 แสดงการหาชนิดของประจุพาหะส่วนมากในเนื้อสารซิลิกอน

จากรูปที่ 1.5-1 จะประกอบด้วยชิ้นสารกึ่งตัวนำที่ต้องการทดสอบ และมีเข็มจี้ติดที่แผ่นผลึก ณ จุด A และจุด B โดยเข็มที่จี้อยู่ที่จุด A จะมีขดลวดความร้อนเพื่อทำให้เข็มที่จุด A มีอุณหภูมิสูงกว่าเข็มที่จี้ที่จุด B (จุด B มีอุณหภูมิเท่าสิ่งแวดล้อม) และระหว่างขั้วเข็มทั้งสองจะมีแอมป์มิเตอร์ต่ออยู่ ดังรูป ในกรณีที่ชิ้นสารกึ่งตัวนำที่กำลังทดสอบมีประจุอิเล็กตรอนเป็นประจุที่ใช้ในการนำกระแสส่วนมาก จะเกิดกระแสไหลจากจุด A ไปยังจุด B และในทางตรงกันข้าม ถ้าชิ้นสารกึ่งตัวนำที่ทำการทดสอบมีประจุโฮลเป็นประจุที่ใช้ในการนำกระแสส่วนมาก จะเกิดกระแสไฟฟ้าไหลในทิศทางตรงกันข้าม ปรากฏการณ์นี้เกิดขึ้นได้ เนื่องจากบริเวณที่เข็มที่มีความร้อนจี้ลงบนเนื้อสารจะทำให้ประจุพาหะในบริเวณนั้นเกิดการเคลื่อนที่ได้มากกว่าบริเวณที่ประจุพาหะรอบบริเวณที่ปลายเข็มมีอุณหภูมิเท่ากับสิ่งแวดล้อม ดังนั้นจึงเกิดการถ่ายเทประจุขึ้นในวงจร และจากการนำชิ้นสารกึ่งตัวนำซิลิกอนชนิดเอ็นที่ได้รับการเติมอะตอมทองคำเรียบร้อยแล้ว ทำการทดสอบประจุพาหะส่วนใหญ่ที่อยู่ในเนื้อสารด้วยวิธีดังกล่าว พบว่าประจุอิเล็กตรอนยังคงเป็นประจุพาหะส่วนใหญ่ในเนื้อสารอยู่ ดังนั้นในการพิจารณาปริมาณประจุที่ใช้ในการนำกระแสของทรานซิสเตอร์โครงสร้าง MOIS จะทำการพิจารณาประจุอิเล็กตรอนก่อน จากนั้นจึงนำผลที่ได้ทำการพิจารณาปริมาณประจุโฮลต่อไป

การหาปริมาณประจุพาหะอิเล็กตรอนของแผ่นผลึกซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำแล้ว กระทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยนำแผ่นผลึกซิลิกอนชิ้นนั้นตัดเป็นรูปทรงที่แน่นอน สามารถหาค่าพื้นที่หน้าตัด (a) ได้ค่าหนึ่ง จากนั้นนำชิ้นสารกึ่งตัวนำดังกล่าวทำการทดสอบค่าความต้านทานของชิ้นสาร (R) เมื่อได้ค่าความต้านทานของชิ้นสารแล้วแทนค่าความต้านทานลงสมการ (1.5-2) เพื่อหาค่าพิกัดความต้านทาน ($\rho$)

$$R = \rho ( l/a ) \qquad (1.5\text{-}2)$$

โดยที่ R คือค่าความต้านทานของชิ้นสารกึ่งตัวนำที่ทำการทดสอบ

$\rho$ คือค่าพิกัดความต้านทานของชิ้นสารกึ่งตัวนำที่ทำการทดสอบ

l คือค่าความหนาของชิ้นสารกึ่งตัวนำที่ทำการทดสอบ

a คือค่าพื้นที่หน้าตัดของชิ้นสารกึ่งตัวนำที่ทำการทดสอบ

เมื่อแทนค่าต่าง ๆ ลงในสมการแล้วจะได้ค่าพิกัดความต้านทานของชิ้นสาร นำค่าพิกัดความต้านทานมาคำนวนค่าปริมาณอิเล็กตรอนในเนื้อสาร โดยแทนค่าพิกัดความต้านทานลงในสมการ (1.5-3)

$$N_e = ( \rho q \mu_{nAu} )^{-1} \qquad (1.5\text{-}3)$$

โดยที่ $N_e$ คือค่าปริมาณของประจุพาหะอิเล็กตรอนในเนื้อสาร

$\rho$ คือค่าพิกัดความต้านทานของชิ้นสารที่หาได้จากสมการที่ 1.5-2

q คือค่าประจุของอิเล็กตรอนมีค่า $1.6 \times 10^{-19}$ C

$\mu_{nAu}$ คือค่าความคล่องตัวของประจุพาหะอิเล็กตรอนในเนื้อสารซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำ

จากสมการที่ (1.5-3) เมื่อแทนค่าตัวแปรต่างๆ เรียบร้อยแล้วจะทำให้ทราบถึงปริมาณของประจุพาหะอิเล็กตรอนที่อยู่ในเนื้อสาร และใช้ในการคำนวนค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS และนำค่าประจุอิเล็กตรอนที่หาได้แทนค่าในสมการที่ (1.5-4) เพื่อหาค่าประจุพาหะโฮลจะได้

$$N_h = n_i^2 / N_e \qquad (1.5\text{-}4)$$

โดยที่ $N_h$ คือปริมาณประจุพาหะโฮลในเนื้อสารกึ่งตัวนำ

$N_e$ คือปริมาณประจุพาหะอิเล็กตรอนในเนื้อสาร

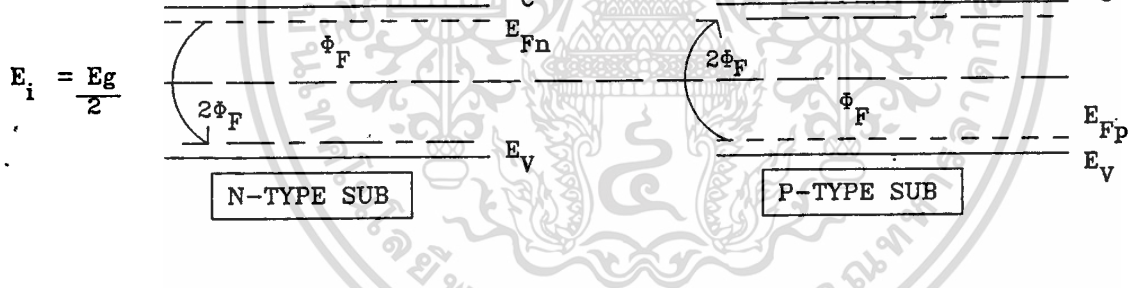
$n_i$ คือปริมาณประจุพาหะอิเล็กตรอนหรือโฮลในสารกึ่งตัวนำซิลิกอนบริสุทธิ์ มีค่า $1.45 \times 10^{10}$ อะตอม/ลูกบาศก์เซ็นติเมตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าปริมาณประจุพาหะโฮลและอิเล็กตรอนที่หาได้จะสามารถนำไปแทนค่าในสมการพิจารณาค่าแรงดันชีดเริ่มของทรานซิสเตอร์ชนิดพีโครงสร้างแบบ MOIS ได้

<u>พิจารณาค่า $\phi_F$ ของแผ่นผลึกซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำ</u>

ก่อนที่จะพิจารณาค่า $\phi_F$ ในสมการที่ (1.5-1) จะขอกล่าวถึงค่านิยามของค่า $\phi_F$ ในระบบของ MOS ก่อน ค่า $\phi_F$ คือค่าความแตกต่างของพลังงานระหว่างระดับพลังงานเฟอร์มิที่มีอิเล็กตรอนหรือโฮลอยู่กับระดับพลังงานเฟอร์มิของสารกึ่งตัวนำซิลิกอนบริสุทธิ์ และในสมการการคำนวนค่าแรงดันชีดเริ่มของทรานซิสเตอร์โครงสร้าง MOS เทอม $\phi_F$ ในสมการที่ 1.5-1 นี้จะแทนด้วยค่า $2\phi_F$ เนื่องจากการเหนี่ยวนำประจุในช่องทางเดินกระแสของทรานซิสเตอร์โครงสร้าง MOS จำเป็นต้องเหนี่ยวนำประจุในช่องทางเดินกระแสให้เป็นประจุตรงกันข้ามกับชนิดของประจุในฐานรองทรานซิสเตอร์ดังรูปที่ 1.5-2 ตัวอย่างเช่น ถ้าฐานรองทรานซิสเตอร์ชนิดเอ็นโครงสร้าง MOS เป็นสารกึ่งตัวนำชนิดพี ค่าพลังงาน $2\phi_F$ คือพลังงานที่ใช้ในการผลักประจุโฮลในฐานรอง $1\phi_F$ และเป็นพลังงานที่ใช้ในการดึงประจุอิเล็กตรอนในฐานรองอีก $1\phi_F$ ดังนั้นพลังงานรวมจึงมีค่า $2\phi_F$ เป็นต้น

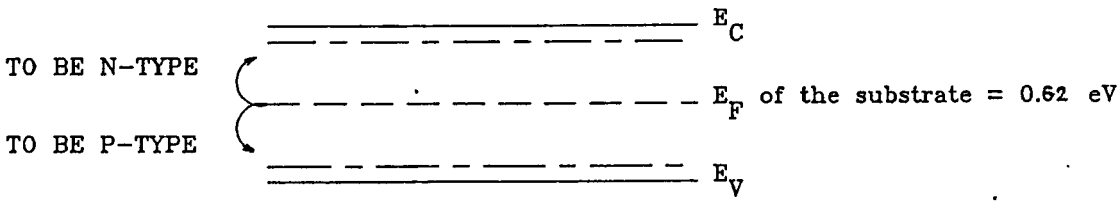



รูปที่ 1.5-2 แสดงแผนภาพการใช้พลังงาน $2\phi_F$ ในการเปลี่ยนประจุในช่องทางเดินกระแสของทรานซิสเตอร์โครงสร้างแบบ MOS ให้เป็นประจุชนิดตรงกันข้ามกับฐานรอง

ในอุปกรณ์สิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOIS ใช้ฐานรองทรานซิสเตอร์ชนิดเอ็นและทรานซิสเตอร์ชนิดพีอันเดียวกัน ซึ่งจากการทดลองที่ผ่านมาพบว่า แผ่นผลึกซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำจะมีระดับพลังงานเฟอร์มิอยู่ที่ระดับ **0.62 eV** เทียบกับระดับพลังงานวาเลนซ์อิเล็กตรอนของซิลิกอน ดังนั้นถ้าต้องการทราบว่า ค่าพลังงานที่ต้องใช้เพื่อให้ช่องทางเดินกระแสของทรานซิสเตอร์แต่ละชนิดมีประจุที่ใช้ในการนำกระแสอยู่ จำเป็นต้องทราบว่าประจุที่อยู่บริเวณช่องทางเดินกระแสที่ใช้ในการนำกระแสของทรานซิสเตอร์นั้นมีค่าระดับพลังงานเฟอร์มิที่ระดับใด ดังรูปที่ 1.5-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง




รูปที่ 1.5-3 แสดงค่าพลังงาน $\phi_F$ ที่ใช้ในการเหนี่ยวนำช่องทางเดินกระแสของทรานซิสเตอร์โครงสร้างแบบ MOIS

แนวทางการหาระดับพลังงานเฟอร์มิของประจุในช่องทางเดินกระแส เป็นดังนี้คือ ถ้าพิจารณากราฟคุณสมบัติกระแสและแรงดันของทรานซิสเตอร์โครงสร้าง MOIS ดังรูปที่ 1.1-6 เส้นกราฟในช่วงที่ทรานซิสเตอร์ทำงานในสภาวะไม่อิ่มตัว (nonsaturated region) ช่วงนี้สามารถหาค่าความต้านทานของช่องทางเดินกระแสได้ ($R_{on}$) และเมื่อทราบค่าความต้านทานของช่องทางเดินกระแสแล้วสามารถหาจำนวนประจุในช่องทางเดินกระแสได้ดังนี้คือ

พิจารณาความสัมพันธ์

$$R = \rho (l/a) \qquad (1.5\text{-}5)$$

เนื่องจากค่าความต้านทานในช่องทางเดินกระแสที่วัดได้เกิดจากประจุพาหะที่ใช้ในการนำกระแสของทรานซิสเตอร์บริเวณผิวของแผ่นผลึก ดังนั้นค่าพิกัดความต้านทาน($\rho$) ในสมการจะเป็นค่าพิกัดความต้านทานที่ผิวบาง ๆ เท่านั้น เรียกว่า Sheet Resistanec ($\rho_s$) โดย

$$\rho_s = (N q \mu_{Au})^{-1} \qquad (1.5\text{-}6)$$

โดยที่ $\rho_s$ คือค่าพิกัดความต้านทานที่ผิว

N คือปริมาณประจุพาหะที่ผิว (อิเล็กตรอนหรือโฮล)

q คือค่าประจุของอิเล็กตรอนมีค่า $1.6 \times 10^{-19}$ C

$\mu_{Au}$ คือค่าความคล่องตัวของประจุพาหะที่กำลังพิจารณา

แทนค่า $\rho_s$ ที่ได้จากสมการที่ (1.5-6) ลงใน (1.5-5) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

17544

$$R_{on} = (N q \mu_{Au})^{-1} (l/w) \qquad (1.5\text{-}7)$$

หลังจากแทนค่าต่าง ๆ ลงในสมการแล้วจะได้ค่าปริมาณประจุพาหะอิเล็กตรอนหรือโฮลในช่องทางเดินกระแส และค่าปริมาณประจุพาหะดังกล่าวสามารถหาค่าระดับพลังงานของประจุอิเล็กตรอนได้โดยแทนค่าปริมาณประจุอิเล็กตรอนที่หาได้ในสมการที่ (1.5-8)

$$E_{Fn} = E_c - kT \ln (N_c/N_{electron}) \qquad (1.5\text{-}8)$$

และในทำนองเดียวกันค่าระดับพลังงานของโฮลในช่องทางเดินกระแสสามารถหาได้โดยแทนค่าปริมาณประจุโฮลลงในสมการ (1.5-9)

$$E_{Fh} = E_c - kT \ln (N_v/N_{hole}) \qquad (1.5\text{-}9)$$

โดยที่ $E_c$ และ $E_v$ คือค่าระดับพลังงานของชั้น conduction band และชั้น valance band ของสารกึ่งตัวนำซิลิกอนมีค่า 1.12 eV และ 0 eV ตามลำดับ

$k$ คือค่าคงที่ของโบสมานต์มีค่า $1.38 \times 10^{-23}$ J/K

$T$ คือค่าของอุณหภูมิ ($^{\circ}$K)

$N_c$ และ $N_v$ คือปริมาณประจุที่อยู่ในชั้น conduction band และชั้น valance band ตามลำดับ โดยทั่ว ๆ ไปในแผ่นผลึกซิลิกอนจะมีปริมาณ $2.9 \times 10^{19}$ และ $1.04 \times 10^{19}$ ประจุตามลำดับ

เมื่อทราบค่าระดับพลังงานเฟอร์มิของประจุอิเล็กตรอนหรือโฮลในช่องทางเดินกระแสแล้ว จะสามารถหาค่าพลังงานที่ใช้ในการดึงประจุอิเล็กตรอนในสารกึ่งตัวนำซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำให้ขึ้นมาอยู่บริเวณช่องทางเดินกระแสคือ

$$\phi_{Fe} = E_{Fe} - 0.62 \qquad (1.5\text{-}10)$$

และค่าพลังงานที่ใช้ในการดึงประจุโฮลในสารกึ่งตัวนำซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำให้ขึ้นมาอยู่บริเวณช่องทางเดินกระแสมีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

$$\varnothing_{Fh} = 0.62 - E_{Fh} \qquad (1.5\text{-}11)$$

ค่าพลังงาน $\varnothing_F$ ที่หาได้นี้จะใช้แทนค่าลงในสมการที่ (1.5-1) เพื่อหาค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้าง MOIS ต่อไป

จากที่กล่าวมาพบว่า ตัวแปรที่สามารถควบคุมค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้าง MOIS คือ ค่าความหนาของชั้นซิลิกอนไดออกไซด์บริเวณช่องทางเดินกระแสของทรานซิสเตอร์ และค่าความหนานี้ยังมีข้อจำกัดเช่นเดียวกับที่ได้อธิบายในหัวข้อที่ 1.4 และตัวแปรที่สามารถควบคุมได้อีกคือค่าปริมาณประจุพาหะที่ใช้ในการนำกระแสของทรานซิสเตอร์แต่ละชนิด ดังนั้นการควบคุมค่าแรงดันขีดเริ่มด้วยการควบคุมประจุพาหะที่ใช้ในการนำกระแส จึงสามารถควบคุมได้ 2 วิธีคือ

1) ควบคุมปริมาณอะตอมทองคำที่เติมเข้าไปในฐานรอง

2) ควบคุมปริมาณประจุในฐานรองเริ่มต้นที่ทำการสร้างทรานซิสเตอร์

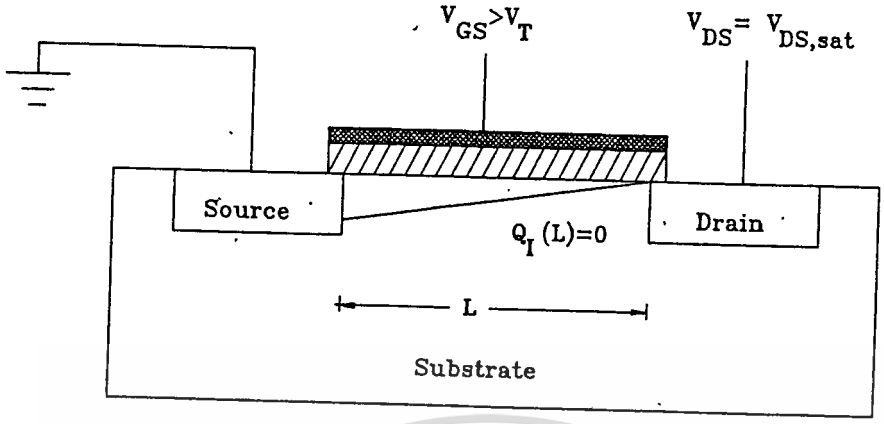
ในวิทยานิพนธ์ฉบับนี้จะนำเสนอแนวทางการควบคุมวิธีที่ 2 ซึ่งควบคุมได้ง่ายและแม่นยำกว่า และเป็นที่น่าสังเกตุว่า ทรานซิสเตอร์โครงสร้างแบบ CMOIS ไม่สามารถควบคุมค่าแรงดันขีดเริ่มได้โดยการจ่ายศักดาไฟฟ้าแก่ฐานรอง สิ่งนี้แตกต่างอย่างสิ้นเชิงกับทรานซิสเตอร์โครงสร้างแบบ CMOS เป็นผลให้ในการคำนวนเพื่อกำหนดคุณสมบัติทางไฟฟ้าของวงจร จึงไม่จำเป็นต้องคำนวนค่าแรงดันขีดเริ่มที่เปลี่ยนแปลงเนื่องจากความแตกต่างของศักดาไฟฟ้าที่ขั้วฐานรองกับขั้วซอสของทรานซิสเตอร์ และในการควบคุมค่าปริมาณประจุในฐานรองจะสามารถควบคุมค่าแรงดันขีดเริ่มของทรานซิสเตอร์ทั้งสองชนิดในเวลาเดียวกัน ซึ่งแตกต่างจากทรานซิสเตอร์โครงสร้าง CMOS ที่สามารถควบคุมค่าแรงดันขีดเริ่มของทรานซิสเตอร์แต่ละชนิดแยกกัน

## 1.6 ปรากฏการณ์ channel lenght modulation ในทรานซิสเตอร์โครงสร้าง CMOIS

ปรากฏการณ์ channel lenght modulation เป็นปรากฏการณ์ที่เกิดขึ้นในทรานซิสเตอร์โครงสร้าง MOS [6][7][8] และเกิดขึ้นกับทรานซิสเตอร์โครงสร้าง MOIS ด้วย แต่ปรากฏการณ์ที่เกิดขึ้นในทรานซิสเตอร์โครงสร้าง MOIS ค่อนข้างมากกว่าทรานซิสเตอร์โครงสร้างแบบ MOS

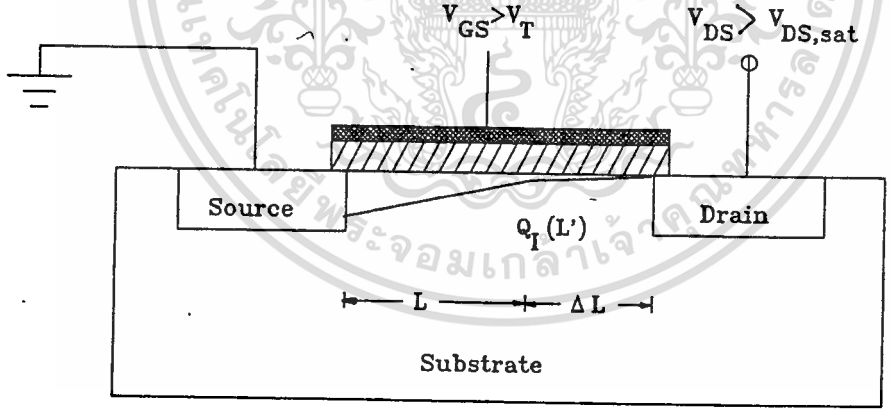
ขณะที่ทรานซิสเตอร์โครงสร้างแบบ MOIS ทำงานในช่วงอิ่มตัว กระแสที่ไหลผ่านทรานซิสเตอร์จะไม่ขึ้นกับการเปลี่ยนแปลงค่าแรงดัน $V_{DS}$ แต่กระแสจะคงที่ตลอด ตามการพิจารณาจากสมการการไหลของกระแสเดรนของทรานซิสเตอร์โครงสร้าง MOIS ที่ได้อธิบายไปแล้ว แต่ในความเป็นจริงค่ากระแสดังกล่าวยังคงเพิ่มสูงขึ้นอีกเล็กน้อยตามค่าแรงดัน $V_{DS}$ ที่เพิ่มสูงขึ้น ในการอธิบายปรากฏการณ์ดังกล่าว จะทำการพิจารณารูปภาพตัดขวางของทรานซิสเตอร์โครงสร้างแบบ MOIS ขณะที่ทรานซิสเตอร์กำลังทำงานในช่วงกระแสอิ่มตัว ดังรูปที่ 1.6-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 1.6-1 แสดงจุดเริ่มต้นในการทำงานช่วงอิ่มตัวของทรานซิสเตอร์โครงสร้าง MOIS

จากรูปจะพบว่าที่จุดปลายสุดของช่องทางเดินกระแส (L) จะมีไม่มีปริมาณประจุที่ใช้ในการนำกระแสของทรานซิสเตอร์เหลืออยู่ แต่เมื่อเพิ่มค่าแรงดัน $V_{DS}$ แก่ทรานซิสเตอร์อีก จุดที่ไม่มีประจุอยู่นี้จะเปลี่ยนแปลงไปดังรูปที่ 1.6-2




รูปที่ 1.6-2 แสดงปรากฏการณ์การเกิด channel lenght modulation

ดังนั้นจะพบว่าค่าความยาวของช่องทางเดินกระแสจะเสมือนมีค่าสั้นลง โดยช่องทางเดินกระแสที่ประจุที่ถูกเหนี่ยวนำด้วยแรงดันที่ป้อนที่ขั้วเกทในช่วงชั้นกลับจะมีความยาวเพียง L' เท่านั้น ดังนั้นความยาวช่องทางเดินกระแส L' จะมีค่าดังสมการที่ 1.6-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

$$L' = L - \Delta L \qquad (1.6\text{-}1)$$

เพื่อให้การพิจารณาเข้าใจได้รวดเร็ว จะขอสมมุติให้ค่าแรงดัน $V_{DS}$ ที่จ่ายจากแหล่งกำเนิดตกคร่อมในช่องทางเดินกระแสทั้งหมด ดังนั้น

$$V_{DS} = V(L') \qquad (1.6\text{-}2)$$

ค่าความยาว $\Delta L$ นี้สามารถประมาณได้จากการขยายของช่วงปลอดพาหะ (depletion region) ของรอยต่อ p-i หรือ n-i โดยค่าแรงดันที่ตกคร่อมรอยต่อมีค่า $V_{DS} - V_{DS\ (sat)}$ ดังนั้นจะได้ว่าค่า $\Delta L$ จะมีค่าดังสมการ (1.6-3)

$$\Delta L = (2\epsilon_{Si}/qN)(V_{DS} - V_{DS\ (sat)}) \qquad (1.6\text{-}3)$$

ค่าของตัวแปรต่าง ๆ ยังคงเป็นเช่นเดียวกับการพิจารณารอยต่อพีเอ็น และค่า N ในสมการคือปริมาณของประจุที่ตรงกันข้ามกับประจุที่ใช้ในการนำกระแสของทรานซิสเตอร์ที่กำลังพิจารณาอยู่ เช่นถ้าทรานซิสเตอร์ที่กำลังพิจารณาใช้ประจุอิเล็กตรอนในการนำกระแส ประจุ N ในสมการคือประจุโฮลที่อยู่ฐานรองซิลิกอนชนิดเอ็นที่ได้รับการเติมอะตอมทองคำ เป็นต้น และเมื่อพิจารณาสมการความสัมพันธ์ระหว่างกระแสเดรนและแรงดันต่าง ๆ ของทรานซิสเตอร์โครงสร้าง MOIS เมื่อค่าความยาวของช่องทางเดินกระแสเป็น L' จะเป็นไปดังสมการ (1.6-4)

$$I_{DS} = [(k'/2)(W/L')(V_{GS} - V_T)^2] \qquad (1.6\text{-}4)$$

แทนค่า $L' = L - \Delta L$ ลงในสมการที่ 1.6-4 จะได้

$$I_{DS} = I_{DO} / ( 1 - (\Delta L/L)) \qquad (1.6\text{-}5)$$

โดยที่ $I_{DO}$ คือค่ากระแสเดรนที่ได้จากสมการพิจารณาค่าความยาวช่องทางเดินกระแสแบบปรกติ และจะเห็นได้ว่าในการหาค่ากระแสเดรนจะมีความยุ่งยากมากขึ้น ดังนั้นในการคำนวนจึงไม่นิยมใช้สมการที่ (1.6-5) ในการคำนวน และถ้าพิจารณาสมการที่ (1.6-3) จะพบว่าค่า $\Delta L$ นี้จะเป็นฟังก์ชันที่ขึ้นกับค่าแรงดัน $V_{DS}$ ของวงจร ดังนั้นจะแทนผลของปรากฏการณ์นี้ด้วยตัวแปรตัวหนึ่งดังความสัมพันธ์ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(1.6-6)

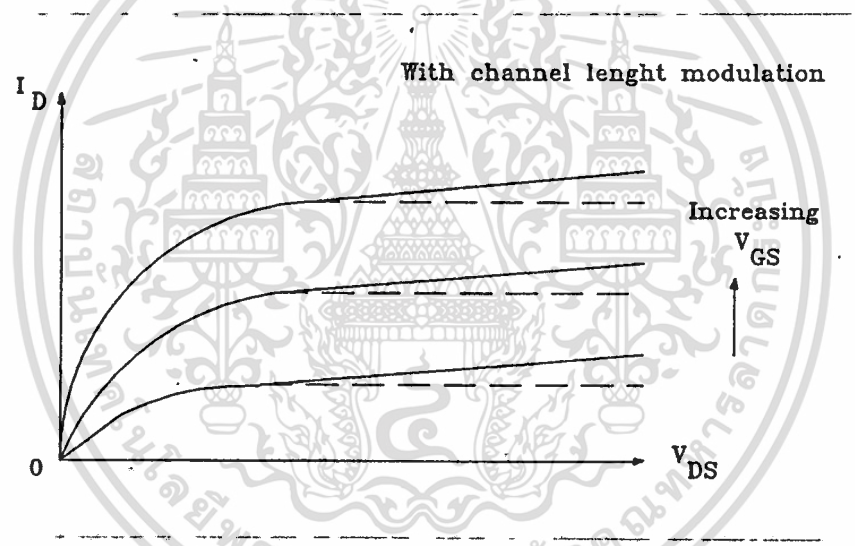
$$1 - (\Delta L/L) = 1 + \lambda V_{DS} \qquad (1.6\text{-}6)$$

โดยที่ $\lambda$ คือค่า channel lenght modulation factor มีหน่วยเป็น $[V^{-1}]$

ดังนั้นสมการกระแสของทรานซิสเตอร์โครงสร้างแบบ MOIS ในช่วงอิ่มตัวคือ

$$I_{DS} = (\beta/2)(V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \qquad (1.6\text{-}7)$$

จากสมการจะพบว่าค่ากระแสเดรนในช่วงอิ่มตัวมีค่าไม่คงที่ ดังนั้นกราฟความสัมพันธ์ระหว่างกระแสและแรงดันของทรานซิสเตอร์โครงสร้าง MOIS จะเป็นไปดังรูปที่ 1.6-3




รูปที่ 1.6-3 แสดงคุณสมบัติกระแสและแรงดันของทรานซิสเตอร์โครงสร้าง MOIS ขณะเกิดปรากฏการณ์ channel lenght modulation

## 1.7 คุณสมบัติพื้นฐานของวงจรรวมทางตรรก

เนื่องจากความคล่องตัวของประจุพาหะอิเล็กตรอนและประจุโฮลในเนื้อสารซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำแล้ว มีค่าต่ำกว่าความคล่องตัวของประจุพาหะในสารกึ่งตัวนำซิลิกอนธรรมดา[8][9] ดังนั้นการออกแบบให้ทรานซิสเตอร์โครงสร้างแบบ CMOIS สามารถจ่ายกระแสได้สูงจึงจำเป็นต้องเพิ่มค่าอัตราส่วนความกว้างและค่าความยาวของช่องทางเดินกระแสให้สูงขึ้น (เพิ่มค่าความกว้างและลดค่าความยาวของช่องทางเดินกระแส) ดังนั้นอุปกรณ์สิ่งประดิษฐ์สารกึ่งตัวนำประเภทนี้จึงไม่เหมาะที่จะพัฒ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

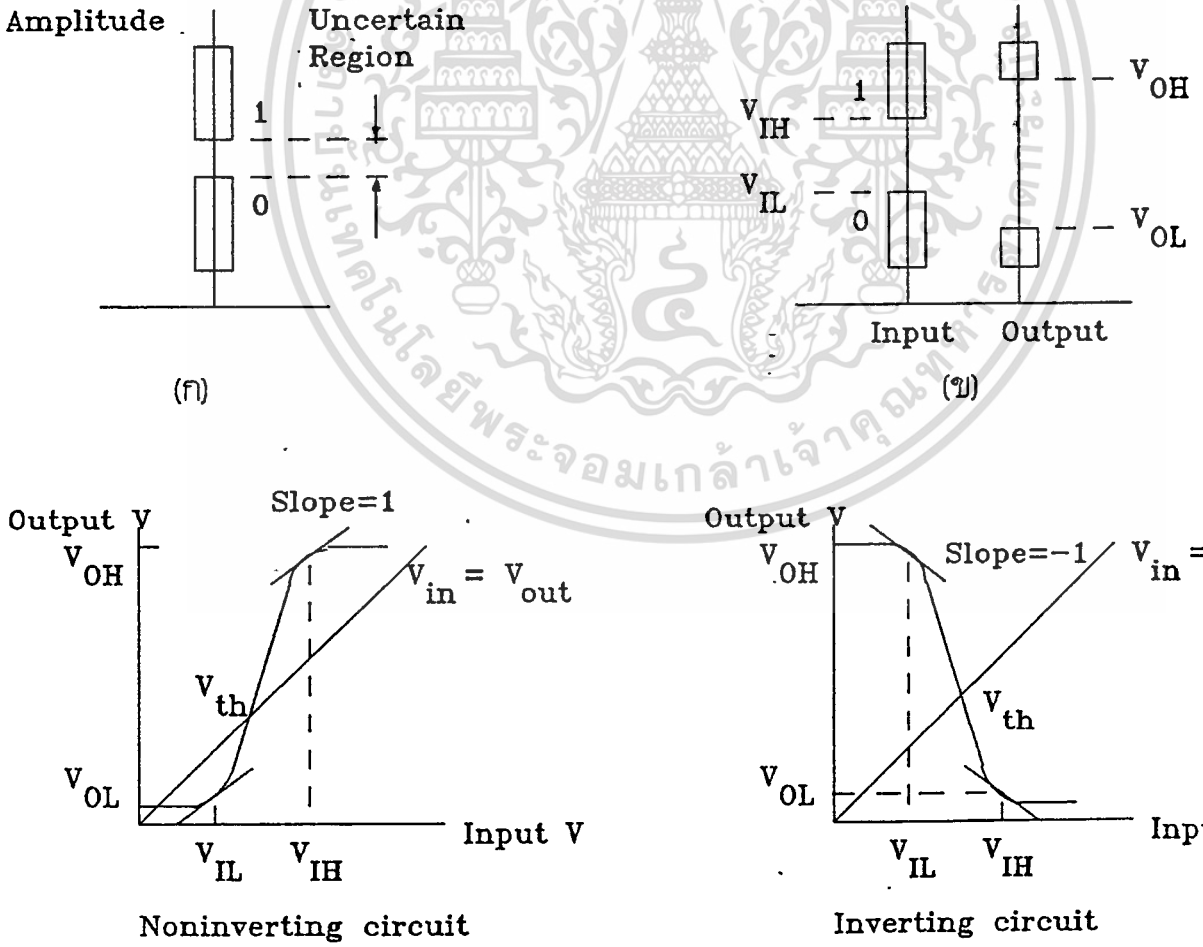
นาเป็นวงจรรวมเชิงเส้นที่ต้องการจ่ายกระแสแก่โหลดภายนอกสูง ๆ แต่โครงสร้างทรานซิสเตอร์แบบนี้เหมาะที่จะพัฒนาเป็นวงจรรวมทางตรรก เนื่องจากการทำงานของวงจรรวมทางตรรกส่วนใหญ่ไม่จำเป็นต้องใช้กระแสในการทำงานมากนัก แต่จะใช้แรงดันในการกำหนดฟังก์ชั่นทางตรรกศาสตร์เท่านั้น ดังนั้นการนิยามค่าแรงดันต่าง ๆ เพื่อให้เป็นมาตราฐานในการสื่อสารด้วยวงจรทางตรรกจึงเป็นสิ่งที่ผู้ออกแบบวงจรรวมจำเป็นต้องทราบและออกแบบวงจรเพื่อใช้ร่วมกับวงจรรวมทางตรรกอื่น ๆ ได้

ลักษณะของสัญญานแรงดันของวงจรรวมทางตรรกส่วนใหญ่จะมีสองลักษณะด้วยกันคือ

1) ค่าแรงดันขาออกกลับเฟสกับแรงดันขาเข้า

2) ค่าแรงดันขาออกเฟสเดียวกับแรงดันขาเข้า

ดังนั้นกราฟคุณสมบัติการส่งผ่านสัญญานไฟฟ้า (Voltage Transfer Characteristic Curve)ของวงจรรวมทางตรรกจึงมีลักษณะต่าง ๆ ที่ใช้เป็นมาตราฐานในการออกแบบวงจรรวม แสดงดังรูปที่ 1.7-1




รูปที่ 1.7-1 แสดงความสัมพันธ์ของแรงดันขาออกและแรงดันขาเข้าของวงจรรวมทางตรรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปพบว่าค่าแรงดันต่าง ๆ ที่นิยามขึ้นในระบบวงจรรวมทางตรรกสามารถสรุปได้ว่า

1) ค่าสัญญาณขาออกสถานะสูง ($V_{OH}$) และสถานะต่ำ ($V_{OL}$) จะมีลักษณะเช่นเดียวกันกับสถานะของสัญญาณขาเข้า ซึ่งค่าของสถานะสัญญาณนี้จะต้องตอบสนองต่อฟังก์ชันทางตรรกศาสตร์ ดังนั้นจากรูปที่ 1.7-1จะพบว่าช่วงขอบเขตของสถานะสัญญาณขาเข้า

$$\text{logic 1} = V_{IH} \text{ ถึง } V_{DD}$$

$$\text{logic 0} = 0 \text{ ถึง } V_{IL}$$

และสถานะสัญญานขาออกของวงจรมีค่า

$$\text{logic 1} = V_{OH} \text{ ถึง } V_{DD}$$

$$\text{logic 0} = 0 \text{ ถึง } V_{OL}$$

2) ค่าแรงดันต่าง ๆ จะต้องอยู่ในช่วงขอบเขตที่ใช้งานได้ดังรูปที่ 1.7-1(ก) โดยผู้ออกแบบจำเป็นต้องปรับปรุงวงจรให้ได้ค่าสถานะแรงดันที่บอกไม่ได้ว่าเป็นฟังก์ชันอะไร (uncertain region) ให้น้อยที่สุด

3) ค่าแรงดันขาออกสถานะสูงและค่าแรงดันขาออกสถานะต่ำของวงจร คือจุดที่ลากจากจุดซึ่งเส้นกราฟส่งผ่านสัญญาณแรงดันมีความชันเป็น -1 (แบบกลับเฟส) หรือ 1 (แบบไม่กลับเฟส) มาตั้งฉากกับแกนแรงดันขาออกและในทำนองเดียวกัน ค่าสถานะแรงดันขาเข้าสถานะสูงและค่าแรงดันขาเข้าสถานะต่ำของวงจร จะคือจุดตัดบนแกนแรงดันขาเข้าที่ลากมาจากจุดที่มีความชันเป็น -1 (แบบกลับเฟส) หรือ 1 (แบบไม่กลับเฟส) ดังรูปที่ 1.7-1(ค)

4) ค่าแรงดันการเปลี่ยนแปลงสถานะของวงจร ($V_{th}$ (threshold voltage)) คือจุดตัดระหว่างเส้นตรงที่มีสมการ $V_{in} = V_{out}$ กับเส้นกราฟคุณสมบัติการส่งผ่านสัญญานแรงดันดังรูปที่ 1.7-1(ค)

5) ค่าความสามารถในการทนต่อสภาวะรบกวน (noise margin) ของวงจรจะมีค่าดังสมการ (1.7-1ก) สำหรับสัญญานรบกวนในขณะที่วงจรมีสถานะสูง และ (1.7-1ข) สำหรับสัญญานรบกวนในขณะที่วงจรมีสถานะต่ำ

$$NM_H = V_{OH} - V_{IH} \qquad (1.7\text{-}1\ \text{ก})$$

$$NM_L = V_{IL} - V_{OL} \qquad (1.7\text{-}1\ \text{ข})$$

ค่า noise margin จะเป็นค่าที่แสดงประสิทธิภาพของวงจรในการทำงานที่สภาวะรบกวนสูงได้ดีเพียงใดและในการออกแบบวงจรรวมเพื่อให้ใช้งานได้ทั้งสถานะสูงและสถานะต่ำมีความสามารถทนค่าแรงดันของสัญญาณรบกวนได้ดีเท่ากัน จะต้องออกแบบให้ค่า noise margin มีค่าเท่ากันทั้งสถานะสูงและสถานะต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2

## กฎการออกแบบทรานซิสเตอร์โครงสร้างแบบ CMOIS

การออกแบบวงจรรวมที่ประกอบด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS (หรือทรานซิสเตอร์โครงสร้าง CMOS) จำเป็นต้องทำการออกแบบให้มีคุณสมบัติในการทำงาน หรือคุณสมบัติทางไฟฟ้าในด้านต่าง ๆ ของวงจรสามารถตอบสนองความต้องการของผู้ใช้งานในด้านต่าง ๆ ได้ และในการออกแบบทรานซิสเตอร์เพื่อบรรจุลงบนแผ่นผลึกซิลิกอน จำเป็นต้องทำการออกแบบรูปทรงทางเรขาคณิต (ค่าความกว้างและค่าความยาวของช่องทางเดินกระแส) ให้ได้ค่าอัตราขยายตามคุณสมบัติของวงจรที่ต้องการ นอกจากนี้วงจรบนแผ่นผลึกซิลิกอนควรทำให้มีขนาดเล็กที่สุดเพื่อหลีกเลี่ยงปัญหาต่าง ๆ ที่จะเกิดขึ้น เช่น ปริมาณผลผลิตที่ดีต่อผลผลิตที่เสีย (yield) เพราะวงจรที่มีขนาดใหญ่มีโอกาสพบจุดเสีย (defect) บนแผ่นผลึกซิลิกอนสูงกว่าวงจรที่มีขนาดเล็ก ดังนั้นวงจรที่มีขนาดใหญ่จึงมีโอกาสที่ไม่สามารถใช้งานได้มีมากกว่าวงจรที่มีขนาดเล็ก หรือปัญหาทางเศรษฐศาสตร์ในด้านต่าง ๆ เช่น วงจรที่มีขนาดเล็กจะประหยัดพื้นที่บนแผ่นผลึกซิลิกอนมากกว่าวงจรที่มีขนาดใหญ่ ทำให้ราคาของวงจรถูกลง เพราะแผ่นผลึกซิลิกอนขนาดเท่าเดิมแต่สามารถสร้างวงจรรวมได้มากวงจรกว่า ดังนั้นต้นทุนในการผลิตจึงต่ำลง เป็นต้น และเพื่อแก้ปัญหาต่าง ๆ ที่ได้กล่าวมา จึงทำให้ความพยายามที่จะพัฒนาวงจรรวมต่าง ๆ ให้เล็กลงไม่ว่าจะเป็นการลดจำนวนทรานซิสเตอร์ลงโดยใช้วงจรที่มีอุปกรณ์น้อยลงแต่ประสิทธิภาพของวงจรยังคงเดิม หรือลดพื้นที่ของวงจรบนแผ่นผลึกซิลิกอนลง เป็นสิ่งที่ทั่วโลกทำการวิจัยเป็นอย่างหนัก เพื่อให้เกิดวงจรรวมที่มีขนาดเล็ก และมีประสิทธิภาพสูง การออกแบบวงจรให้มีขนาดเล็กนั้น จะต้องไม่ทำให้คุณสมบัติทางไฟฟ้าของวงจรเปลี่ยนแปลงไป ดังนั้นเทคโนโลยีในการออกแบบและการสร้างวงจรแต่ละเทคโนโลยีจึงมีขีดความสามารถในการทำวงจรได้เล็กลงเพียงค่าหนึ่งเท่านั้น และในการทดสอบเทคโนโลยีเพื่อทราบถึงข้อจำกัดของเทคโนโลยีในการสร้างอุปกรณ์นั้น ๆ ว่าสามารถสร้างได้เล็กเท่าใด จึงเป็นสิ่งที่ควรศึกษาก่อนการสร้างวงจรรวม เพื่อให้ผู้ออกแบบวงจรสามารถกำหนดคุณสมบัติทางไฟฟ้าของวงจรได้ถูกต้องยิ่งขึ้น

การออกแบบวงจรรวมด้วยโครงสร้างทรานซิสเตอร์แบบ CMOIS โดยใช้เทคโนโลยีการแพร่สารเจือด้วยความร้อน และการสกัดชั้นฉนวนซิลิกอนไดออกไซด์ด้วยสารละลายแบบเปียกนี้ ก็มีขีดจำกัดในการออกแบบและสร้างด้วยเช่นกัน ดังนั้นข้อมูลของขนาดที่เล็กที่สุดของโครงสร้างดังกล่าวจึงเป็นสิ่งจำเป็นในการออกแบบวงจรรวม และหลังจากที่ทราบขนาดที่เล็กที่สุดแล้ว การออกแบบวงจรรวมด้วยทรานซิสเตอร์โครงสร้างนี้ จะต้องออกแบบให้มีขนาดใหญ่กว่าหรือเท่ากับขนาดที่เล็กที่สุดนี้เพื่อให้คุณสมบัติทางไฟฟ้าตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.1 ขนาดของทรานซิสเตอร์โครงสร้าง CMOIS

ขนาดโครงสร้างทางเรขาคณิตของทรานซิสเตอร์แบบ CMOIS ที่จะกล่าวถึงในหัวข้อนี้จะประกอบด้วยค่าความกว้างและค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ ซึ่งเป็นพารามิเตอร์ตัวหนึ่งในการกำหนดค่าอัตราขยายของทรานซิสเตอร์ตัวนั้น ๆ ที่ปรากฏอยู่ในสมการพิจารณาค่ากระแสเดรนที่ไหลผ่านขั้วเดรนและขั้วซอสของทรานซิสเตอร์ที่ได้กล่าวมาแล้วในบทที่ 1 และหลังจากที่ได้ออกแบบวงจรแล้วจะได้ค่าอัตราขยายของทรานซิสเตอร์แต่ละตัวในวงจร จากนั้นจึงทำการเลือกค่าอัตราส่วนความกว้างต่อความยาวของช่องทางเดินกระแสเพื่อให้ได้ค่าอัตราขยายตามต้องการ เมื่อได้ค่าอัตราส่วนดังกล่าวแล้วจึงทำการเลือกค่าความกว้างและค่าความยาวช่องทางเดินกระแสที่เหมาะสมต่อไป

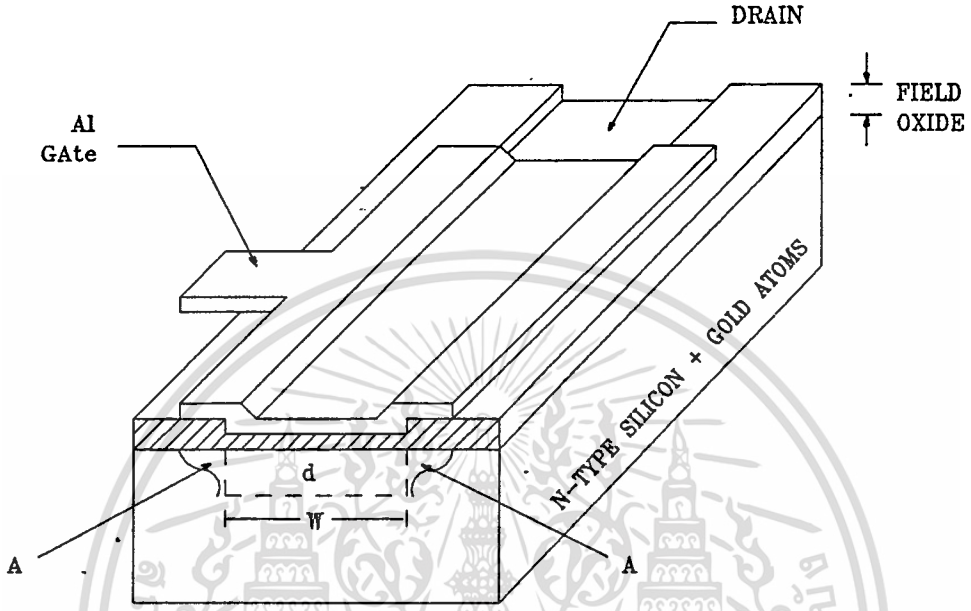
### 2.1.1 ขนาดความกว้างของช่องทางเดินกระแสน้อยที่สุดของทรานซิสเตอร์โครงสร้าง CMOIS

จากความประสงค์ของผู้ออกแบบทรานซิสเตอร์บนแผ่นผลึกซิลิกอนที่ต้องการลดขนาดของทรานซิสเตอร์ลงเพื่อบรรจุปริมาณของทรานซิสเตอร์ให้มากที่สุดบนพื้นที่จำกัดค่าหนึ่ง และในการลดขนาดพื้นที่ลงนั้น ค่าความกว้างของช่องทางเดินกระแสเป็นพารามิเตอร์หนึ่งที่ได้รับความสนใจในการลดขนาดเป็นอย่างมาก แต่ในการลดค่าความกว้างของช่องทางเดินกระแสลงเพื่อให้ทรานซิสเตอร์มีขนาดเล็กนี้ จะส่งผลให้เกิดปรากฏการณ์ "ผลของความกว้างช่องทางเดินกระแสที่แคบ ๆ (narrow width effect)" ซึ่งเป็นปรากฏการณ์ที่ส่งผลกระทบต่อค่าแรงดันขีดเริ่มของทรานซิสเตอร์ที่ออกแบบไว้ โดยปรากฏการณ์นี้มีลักษณะดังนี้คือ [6]

ในการออกแบบขั้วโลหะที่ใช้เป็นส่วนเหนี่ยวนำช่องทางเดินกระแสบริเวณขั้วเกทของทรานซิสเตอร์โครงสร้าง MOIS (หรือทรานซิสเตอร์โครงสร้าง MOS) จำเป็นต้องทำการสร้างขั้วโลหะนี้เกินออกนอกบริเวณที่เป็นส่วนของทางเดินกระแสจริงไปเล็กน้อย (gate overlap design) ดังรูปที่ 2.1-1 เพื่อให้ขั้วโลหะส่วนเกทปกคลุมทั่วทั้งบริเวณช่องทางเดินกระแสทั้งหมด และมีส่วนทำให้กระบวนการสร้างเกิดความผิดพลาดน้อยที่สุด นอกจากนี้ขั้วโลหะส่วนนี้ยังถูกสร้างขึ้นเพื่อใช้ในการนำแรงดันจากบริเวณภายนอกส่วนเกทให้เข้ามาเหนี่ยวนำช่องทางเดินกระแส หรือนำไปเชื่อมต่อกับลวดลายวงจรบริเวณอื่น ๆ เพื่อสร้างเป็นวงจรรวมขึ้น ดังนั้นขั้วโลหะส่วนนี้จึงถูกลากไปบนชั้นฉนวนซิลิกอนไดออกไซด์ส่วนอื่น ๆ ที่ไม่ใช่ส่วนช่องทางเดินกระแสของทรานซิสเตอร์ด้วย ทำให้ลวดลายที่เดินนี้สามารถที่จะเหนี่ยวนำประจุอิเล็กตรอนหรือประจุโฮลในเนื้อของฐานรองที่ใช้ในการสร้างทรานซิสเตอร์ขึ้นมาที่บริเวณผิวได้ ประจุต่าง ๆ ที่ถูกดึงขึ้นมาในบริเวณใกล้เคียงหรือติดกับช่องทางเดินกระแสของทรานซิสเตอร์นี้จะมีจำนวนน้อยมากเมื่อเทียบกับประจุที่อยู่ของบริเวณช่องทางเดินกระแสของทรานซิสเตอร์ที่มีช่องทางเดินกระแสที่กว้าง ๆ แต่เมื่อทรานซิสเตอร์ดังกล่าวถูกลดค่าความกว้างของช่องทางเดินกระแสลงจนมีขนาดเล็กมาก ๆ ประจุที่ถูกเหนี่ยวนำบริเวณใกล้กับช่องทางเดินกระแสนี้จะมีปริมาณมากเมื่อเทียบกับปริมาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประจุในช่องทางเดินกระแส และมีผลทำให้การพิจารณาค่าแรงดันชีดเริ่มของทรานซิสเตอร์ตัวนั้นเปลี่ยนแปลงไปจากที่ได้เคยอธิบายไว้ในบทที่ 1




รูปที่ 2.1-1 แสดงการออกแบบขั้วโลหะเหนือบริเวณช่องทางเดินกระแส และประจุที่ถูกเหนี่ยวนำขึ้นมาบริเวณผิวเนื่องจากขั้วโลหะที่เกินช่องทางเดินกระแสออกมา

การคำนวนค่าแรงดันชีดเริ่มที่เปลี่ยนแปลงเนื่องจากผลของความกว้างช่องทางเดินกระแสที่น้อย ๆ พิจารณาดังนี้คือ ปริมาณประจุที่อยู่ในช่องทางเดินกระแสบริเวณพื้นที่ W x L เนื่องจากถูกเหนี่ยวนำด้วยแรงดันไฟฟ้าที่ขั้วเกท ($Q_B$) มีค่า (เมื่อไม่คิดส่วนขั้วโลหะที่เกินส่วนเกท)

$$Q_B L W = q N d W L \qquad (2.1\text{-}1)$$

โดยที่ $Q_B$ คือประจุในบริเวณช่องทางเดินกระแส

N คือปริมาณประจุที่บริเวณช่องทางเดินกระแส (โฮลหรืออิเล็กตรอน)

d คือความกว้างของชั้นกลับ

ถ้าพิจารณาให้ประจุที่ถูกเหนี่ยวนำโดยส่วนขั้วโลหะบริเวณช่องทางเดินกระแสที่เกินออกไปมีพื้นที่หน้าตัด A มีปริมาณมากเมื่อเทียบกับปริมาณประจุที่อยู่บริเวณช่องทางเดินกระแส ดังรูปที่ 2.1-1 ดังนั้นประจุที่ถูกเหนี่ยวนำทั้งหมดมีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Q_B L W = q N L (dW + 2A) \qquad (2.1\text{-}2)$$

แต่โดยทั่ว ๆ ไปการกล่าวถึงปริมาณประจุในบริเวณช่องทางเดินกระแสนี้มักนิยมทำค่าให้เป็นอิสระจากค่าอัตราส่วนทางเรขาคณิตของทรานซิสเตอร์ตัวนั้น ดังนั้นถ้านำค่าความจุไฟฟ้าที่ช่องทางเดินกระแสของทรานซิสเตอร์ ($C_g = C_{ox} \times (W/L)$) หารสมการที่ (2.1-2) ข้างต้นจะได้

$$Q_B / C_{ox} = [ q N d / C_{ox} ] g \qquad (2.1\text{-}3)$$

เรียกค่า g ว่าค่าตัวแปรของปรากฏการณ์ความกว้างช่องทางเดินกระแสที่น้อย ๆ (channel width effect factor) ซึ่งมีค่า

$$g = 1 + ( 2A / dW ) \qquad (2.1\text{-}4)$$

จากสมการ (2.1-4) จะพบว่าค่า g จะมีค่ามากกว่า 1 เสมอ และในกรณีที่ค่าแรงดันที่ขั้วฐานรองทรานซิสเตอร์มีค่าเป็นศูนย์ (ทรานซิสเตอร์โครงสร้าง CMOIS ต่อศักดาไฟฟ้าแก่ฐานรองไม่ได้) เมื่อแทนค่า d แล้วจะได้ค่า $Q_B$ ในสมการ (2.1-3) คือ

$$Q_B = 2 q \epsilon_{si} N \phi_F \quad g \qquad (2.1\text{-}5)$$

ดังนั้นค่าแรงดันขีดเริ่มของทรานซิสเตอร์เมื่อมีผลของความกว้างช่องทางเดินกระแสที่น้อย ๆ จะมีค่าดังสมการที่ (2.1-6) โดยแทนค่า $Q_B$ ที่มีผลของความกว้างช่องทางเดินกระแสที่น้อยๆ จากสมการที่ (2.1-5) ลงในสมการพิจารณาค่าแรงดันขีดเริ่มที่ได้พิจารณาในบทที่ 1 จะได้

$$V_T = V_{FB} + \frac{1}{C_{OX}} \sqrt{2 q \epsilon_{si} N (\phi_F)} \quad (g) + \phi_F \qquad (2.1\text{-}6)$$

จากสมการแสดงค่าแรงดันขีดเริ่มที่ (2.1-6) พบว่าค่าแรงดันขีดเริ่มจะเปลี่ยนแปลงเนื่องจากค่า g ที่เพิ่มเข้ามาในสมการ โดยที่ทรานซิสเตอร์ที่ถูกผลกระทบของปรากฏการณ์นี้จะมีผลทำให้ค่าแรงดันขีดเริ่มมีค่ามากขึ้น (เนื่องจากค่า g มีค่ามากกว่า 1เสมอ) และเมื่อพิจารณาค่า g ดังสมการที่ (2.1-4) พบว่า ถ้าขนาดของความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์มีค่ามากกว่าค่าความลึกของชั้นกลับบริเวณช่องทางเดินกระแส และค่าพื้นที่ของขั้วโลหะที่เกินบริเวณช่องทางเดินกระแสมีค่าน้อย

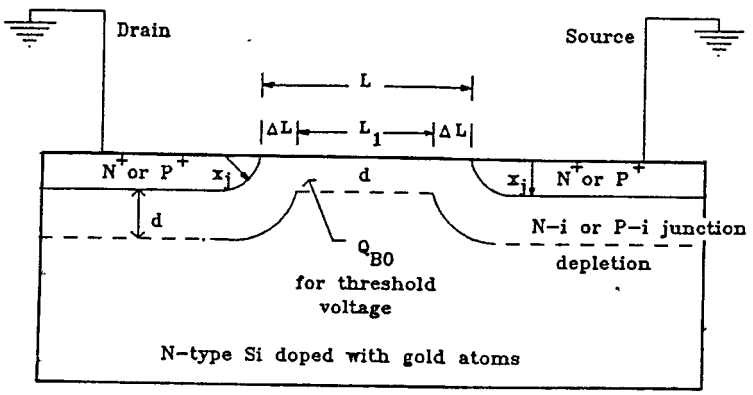
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ทำให้ค่า A น้อย) จะทำให้เทอมที่สองของค่าคงที่ g มีค่าเข้าใกล้ 1 ดังนั้นเทอมของ g ในสมการพิจารณาค่าแรงดันขีดเริ่มที่ (2.2-6) จะมีค่าเป็น 1 ซึ่งไม่มีผลต่อการเปลี่ยนแปลงค่าแรงดันขีดเริ่ม ดังนั้นในการออกแบบทรานซิสเตอร์โครงสร้างแบบ MOIS จึงจำเป็นต้องออกแบบให้ค่าความกว้างของช่องทางเดินกระแสมีค่าสูงกว่าค่าความลึกของชั้นกลับในช่องทางเดินกระแส และในทำนองเดียวกันส่วนขั้วโลหะของช่องทางเดินกระแสที่เกินช่องทางเดินกระแสออกไปควรมีค่าน้อย ๆ เมื่อเทียบกับค่าความกว้างของช่องทางเดินกระแส ซึ่งในการกำหนดค่าต่าง ๆ เหล่านี้จะขึ้นกับเทคโนโลยีในการผลิตวงจรรวมนั้น ๆ ด้วย

### 2.1.2 ขนาดความยาวช่องทางเดินกระแสน้อยที่สุดของทรานซิสเตอร์โครงสร้าง CMOIS

การลดขนาดของทรานซิสเตอร์บนแผ่นผลึกซิลิกอนนอกจากทำการลดค่าความกว้างของช่องทางเดินกระแสแล้ว ค่าความยาวของช่องทางเดินกระแสก็เป็นพารามิเตอร์หนึ่งที่นิยมค้นคว้าและวิจัยเพื่อทำการลดให้ได้ค่าน้อยที่สุด เนื่องจากการลดค่าความยาวของช่องทางเดินกระแสนี้จะทำให้ทรานซิสเตอร์มีค่าอัตราขยายสูงขึ้น ในขณะที่ค่าความกว้างของช่องทางเดินกระแสมีค่าเท่าเดิม แต่ในการลดค่าความยาวของช่องทางเดินกระแสลงมาก ๆ จะทำให้ค่าแรงดันขีดเริ่มของทรานซิสเตอร์มีค่าเปลี่ยนแปลงเช่นเดียวกับการลดค่าความกว้างของช่องทางเดินกระแส เรียกปรากฏการณ์นี้ว่า "ปรากฏการณ์ short channel effect" [6]

ผลกระทบของปรากฏการณ์นี้เกิดขึ้นเมื่อค่าความยาวของช่องทางเดินกระแสมีค่าน้อยลงมาก ๆ จนมีค่าเข้าใกล้ค่าความลึกของชั้นกลับใต้ช่องทางเดินกระแส เนื่องจากประจุในช่วงปลอดพาหะของรอยต่อระหว่างขั้วเดรนหรือขั้วซอสกับฐานรองที่ใช้ในการสร้างวงจรรวม ส่งผลกระทบต่อประจุในช่องทางเดินกระแสทำให้ช่องทางเดินกระแสที่ออกแบบไว้กับช่องทางเดินกระแสจริงเกิดความแตกต่างกันมากยิ่งขึ้นดังรูปที่ 2.1-2




รูปที่ 2.1-2 แสดงความยาวช่องทางเดินกระแสจริง ($L_{eff}$) ของทรานซิสเตอร์โครงสร้าง MOIS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.1-2 พบว่าความสัมพันธ์ของช่องทางเดินกระแสที่ออกแบบไว้ (L) กับช่องทางเดินกระแสที่ถูกผลกระทบจากประจุในช่วงปลอดประจุพาหะของขั้วเดรนและขั้วซอสของทรานซิสเตอร์ ขณะที่ทรานซิสเตอร์กำลังทำงานจะเป็นไปดังสมการ (2.1-7)

$$L = L_1 + 2(\Delta L) \qquad (2.1\text{-}7)$$

โดยที่ค่าความยาว $\Delta L$ คือค่าการขยายของช่วงปลอดประจุพาหะของรอยต่อขั้วเดรนหรือซอสกับฐานรอง และในกรณีที่แรงดันที่ขั้วซอสและเดรนของทรานซิสเตอร์มีค่าเป็นศูนย์จะได้ว่า

$$\Delta L = ( L - L_1 ) / 2 \qquad (2.1\text{-}8)$$

ดังนั้นกรณีนี้ (แรงดันที่ขั้วเดรนและซอสเป็นศูนย์) จะได้ค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ที่แท้จริง ($L_{eff}$) มีค่า

$$L_{eff} = L - 2(\Delta L) \qquad (2.1\text{-}9)$$

ดังนั้นปริมาณประจุที่ขึ้นมาอยู่บริเวณผิวในบริเวณช่องทางเดินกระแสมีค่าลดลงเนื่องจากความยาวช่องทางเดินกระแสมีขนาดเล็กลง จะมีค่า

$$( Q_B W L / C_{ox} W L ) = \frac{1}{C_{OX}} 2 q \epsilon_{Si} N \phi_F \gamma \qquad (2.1\text{-}10)$$

โดยที่ f คือค่าตัวแปรที่ขึ้นกับรูปทรงทางเรขาคณิตของทรานซิสเตอร์มีค่า

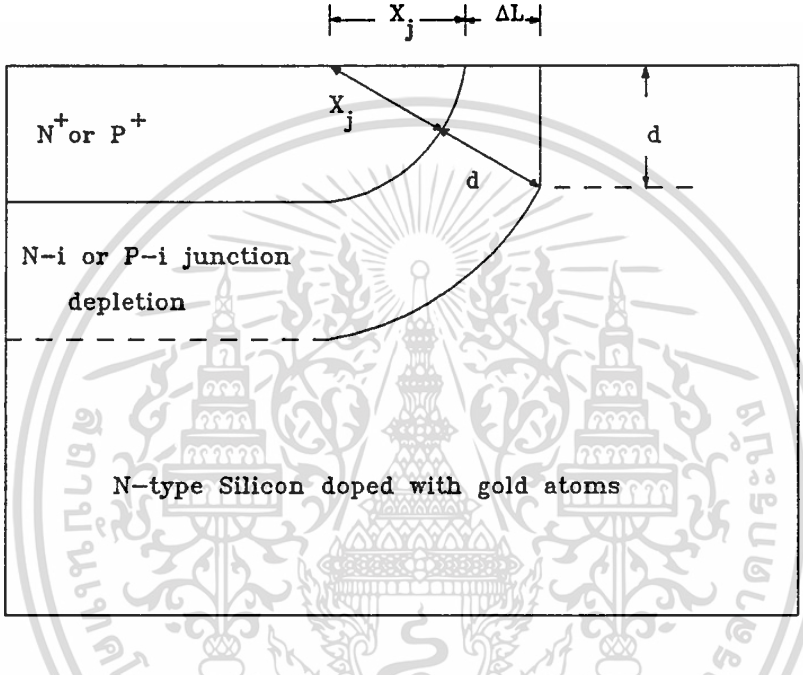
$$\gamma = 1 - ( 2(\Delta L) / L ) \qquad (2.1\text{-}11)$$

ดังนั้นค่าแรงดันขีดเริ่มของทรานซิสเตอร์ที่มีผลกระทบของความยาวช่องทางเดินกระแสมีค่าน้อยสามารถหาได้โดยแทนค่าประจุที่หาได้ลงในสมการพิจารณาค่าแรงดันขีดเริ่มที่ได้กล่าวมาแล้วในบทที่ 1 มีค่า

$$V_T = V_{FB} + \frac{1}{C_{OX}} \sqrt{2 q \epsilon_{Si} N \phi_F} \gamma + \phi_F \qquad (2.1\text{-}12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กจรพิจารณาค่า $\gamma$ เพื่อดูผลกระทบของค่าความยาวช่องทางเดินกระแสที่น้อย ๆ ว่าจะเริ่มต้นมีผลเมื่อใดนั้น สามารถพิจารณาได้โดยการประมาณค่าว่า ชั้วเดรนและซอสของทรานซิสเตอร์ซึ่งสร้างจากการเติมสารเจือชนิดเอ็นหรือสารเจือชนิดพีลงบนแผ่นผลึกซิลิกอนจะมีขอบของรอยต่อเป็นส่วนหนึ่งของวงกลมและการขยายของช่วงปลอดประจุพาหะของรอยต่อขยายลึกลงไปในเนื้อของฐานรองที่ใช้ในการสร้างทรานซิสเตอร์นั้น ดังนั้นรูปแบบของการขยายของช่วงปลอดประจุพาหะจะเป็นไปดังรูปที่ 2.1-3




รูปที่ 2.1-3 แสดงการขยายของช่วงปลอดประจุพาหะของรอยต่อสารกึ่งตัวนำชั้วเดรนหรือซอสของทรานซิสเตอร์กับฐานรอง

ดังนั้นในการคำนวนค่า $\Delta L$ ในสมการที่ (2.1-11) สามารถประมาณจากสามเหลี่ยมในรูปที่ 2.1-3 ดังนี้คือ

$$( X_j + d )^2 = d^2 + ( X_j + \Delta L )^2 \qquad (2.1\text{-}13)$$

โดยที่ $X_j$ คือค่าความลึกของรอยต่อชั้วซอสหรือเดรนกับฐานรอง

จัดรูปสมการใหม่จะได้

$$\Delta L^2 + 2 X_j \Delta L - 2 X_j d = 0 \qquad (2.1\text{-}4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่าสมการที่ (2.1-4) เป็นสมการกำลังสองธรรมดา ดังนั้น $\Delta L$ มีค่า

$$\Delta L = X_j + \sqrt{X_j + 2 X_j d} \qquad (2.1\text{-}15)$$

แทนค่า $\Delta L$ ลงในสมการที่ (2.1-11) จะได้

$$\gamma = 1 - (X_j/L) \left[\sqrt{1 + (2d/X_j)} - 1\right] \qquad (2.1\text{-}16)$$

จากที่กล่าวมาจะพบว่า การออกแบบเพื่อหลีกเลี่ยงไม่ให้เกิดผลของช่องทางเดินกระแสที่แคบ ๆ จำเป็นต้องออกแบบให้ทรานซิสเตอร์มีค่าความยาวของช่องทางเดินกระแสมีค่ามากกว่าค่าความลึกของรอยต่อระหว่างขั้วซอสหรือขั้วเดรนของทรานซิสเตอร์กับฐานรองที่ใช้สร้างทรานซิสเตอร์มาก ๆ จึงจะทำให้ค่า $\gamma$ มีค่าใกล้เคียง 1 ซึ่งทำให้ค่าแรงดันขีดเริ่มของทรานซิสเตอร์ไม่เปลี่ยนแปลง

## 2.2 ระยะห่างระหว่างทรานซิสเตอร์โครงสร้าง CMOIS

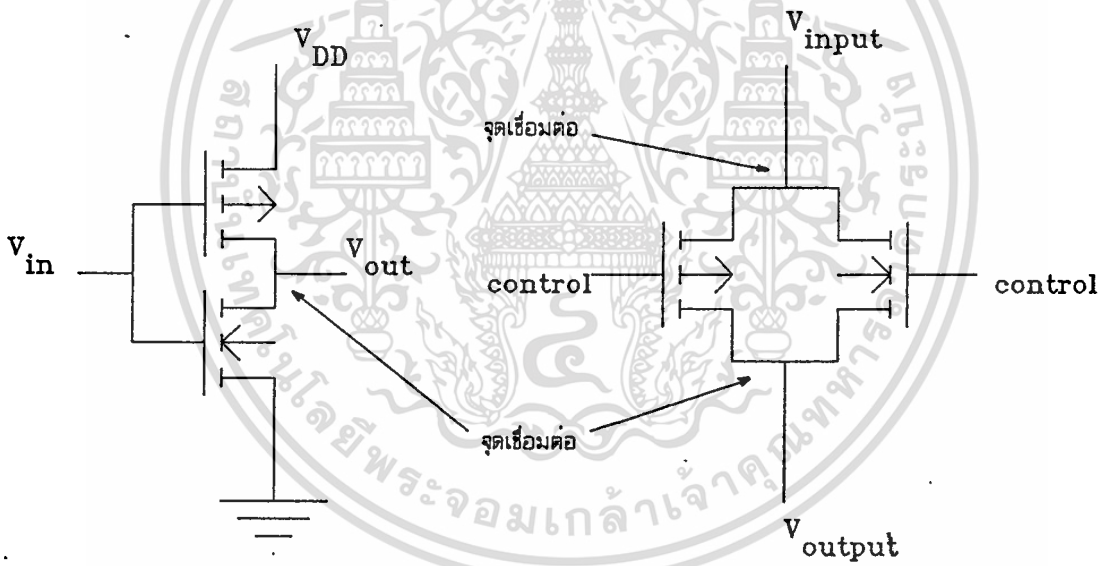
การออกแบบวงจรรวมเพื่อใช้ในการผลิตเพื่ออุตสาหกรรม จำเป็นต้องออกแบบวงจรให้มีความหนาแน่นของอุปกรณ์สูง จะทำให้ปริมาณของวงจรที่ใช้งานได้มีปริมาณมาก และในการทำให้วงจรมีความหนาแน่นของอุปกรณ์สูงนอกจากทำการลดขนาดของทรานซิสเตอร์ลงจนถึงขนาดของทรานซิสเตอร์ที่เล็กที่สุดดังที่ได้กล่าวในหัวข้อที่ 2.1 แล้ว การขยับเลื่อนทรานซิสเตอร์แต่ละชนิดแต่ละตัวในวงจรให้เข้ามาใกล้ชิดกันมากยิ่งขึ้น เป็นแนวทางหนึ่งในการทำให้วงจรมีความหนาแน่นของอุปกรณ์สูงเช่นกัน แต่การลดพื้นที่บนแผ่นผลึกซิลิกอนด้วยวิธีนี้ มีขีดจำกัดของการออกแบบเช่นเดียวกันกับการลดขนาดของทรานซิสเตอร์ กล่าวคือ ทรานซิสเตอร์ 2 ตัวที่เข้ามาอยู่ใกล้กันจะต้องไม่ส่งผลกระทบซึ่งกันและกันในทางไฟฟ้าจนทำให้คุณสมบัติทางไฟฟ้าของทรานซิสเตอร์ข้างเคียงเปลี่ยนแปลงไป เช่น ค่ากระแสรั่วจากทรานซิสเตอร์ตัวหนึ่งจากรอยต่อขั้วเดรนหรือขั้วซอสกับฐานรองทรานซิสเตอร์ อาจกระทบกระเทือนต่อการทำงานของทรานซิสเตอร์ข้างเคียงที่อยู่ใกล้กันจนเกินไป และถ้าระยะห่างระหว่างทรานซิสเตอร์ทั้งสองตัวมีค่าเหมาะสมแล้ว กระแสรั่วที่เกิดจากอิเล็กตรอนหรือโฮลก็จะถูกรวมตัวกับประจุที่เป็นคู่ตรงกันข้ามจับเอาไว้ ทำให้ไม่ส่งผลกระทบกับทรานซิสเตอร์ข้างเคียง เป็นต้น ดังนั้นการหาค่าระยะห่างระหว่างทรานซิสเตอร์โครงสร้าง CMOIS ที่เหมาะสมในการออกแบบวงจรรวมที่เข้ามาอยู่ใกล้กัน จึงเป็นสิ่งจำเป็นที่ผู้ออกแบบจำเป็นต้องทราบก่อนการออกแบบวงจรรวมดังกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.2.1 ระยะห่างน้อยที่สุดของทรานซิสเตอร์ NMOIS และ PMOIS ที่ต่อถึงกันทางไฟฟ้า**

เนื่องจากฐานรองทรานซิสเตอร์ชนิดเอ็นและทรานซิสเตอร์ชนิดพีที่ใช้ในการสร้างวงจรรวมด้วยโครงสร้าง CMOIS คือแผ่นผลึกซิลิกอนชนิดเอ็นที่ได้รับการเติมอะตอมทองคำอย่างเหมาะสม ดังนั้นทรานซิสเตอร์ชนิดเอ็นและทรานซิสเตอร์ชนิดพีโครงสร้าง MOIS จึงแยกออกจากกันด้วยช่วงปลอดประจุพาหะระหว่างขั้วเดรนหรือขั้วซอสกับฐานรองซึ่งเป็นรอยต่อสารกึ่งตัวนำชนิดเอ็นหรือชนิดพีกับสารกึ่งตัวนำบริสุทธิ์ ที่ไม่มีการต่อศักดาไฟฟ้าให้เท่านั้น แต่ถ้าทรานซิสเตอร์คู่ดังกล่าว (ทรานซิสเตอร์ชนิดเอ็นและชนิดพี) ต่อถึงกันทางไฟฟ้า [9] ค่าระยะห่างที่น้อยที่สุดระหว่างทรานซิสเตอร์ทั้งสองจึงเป็นสิ่งที่ผู้ออกแบบจำเป็นต้องทราบ เพื่อทำการออกแบบวงจรให้มีความหนาแน่นของอุปกรณ์สูงดังกล่าว

การเชื่อมต่อกันของทรานซิสเตอร์ชนิดเอ็นและทรานซิสเตอร์ชนิดพีจะเป็นไปได้สองลักษณะคือ การเชื่อมต่อเพียงจุดเดียว และการเชื่อมต่อสองจุด เช่น ตัวอย่างวงจรอินเวอร์เตอร์ และวงจรทรานสมิทชั่นเกท ดังรูปที่ 2.2-1

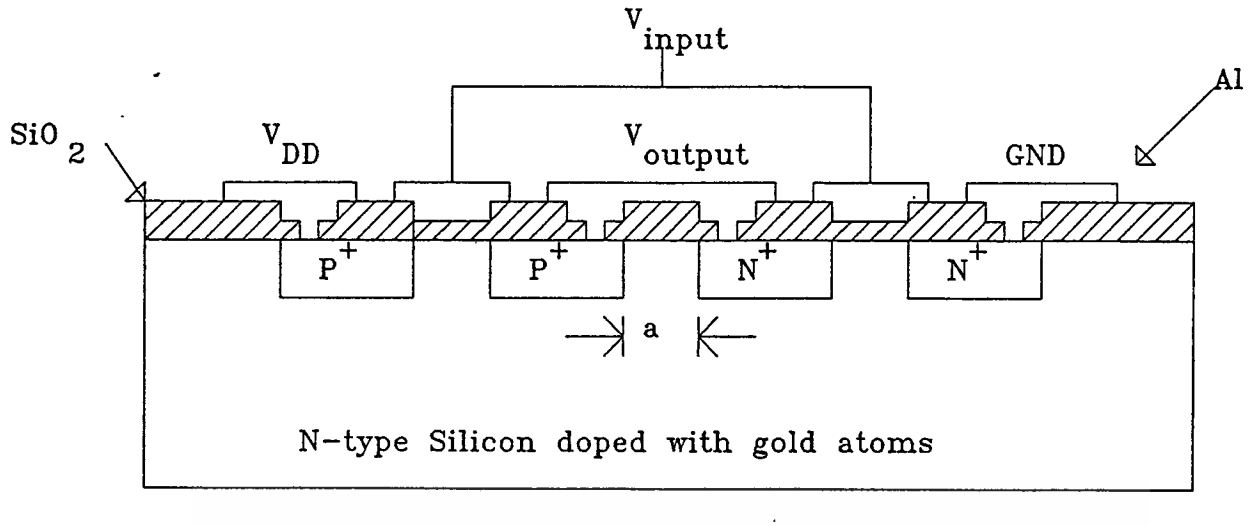



ก) วงจรอินเวอร์เตอร์ ข) วงจรทรานสมิทชันเกท

รูปที่ 2.2-1 แสดงลักษณะในการเชื่อมต่อกันของทรานซิสเตอร์ชนิดเอ็นและทรานซิสเตอร์ชนิดพี

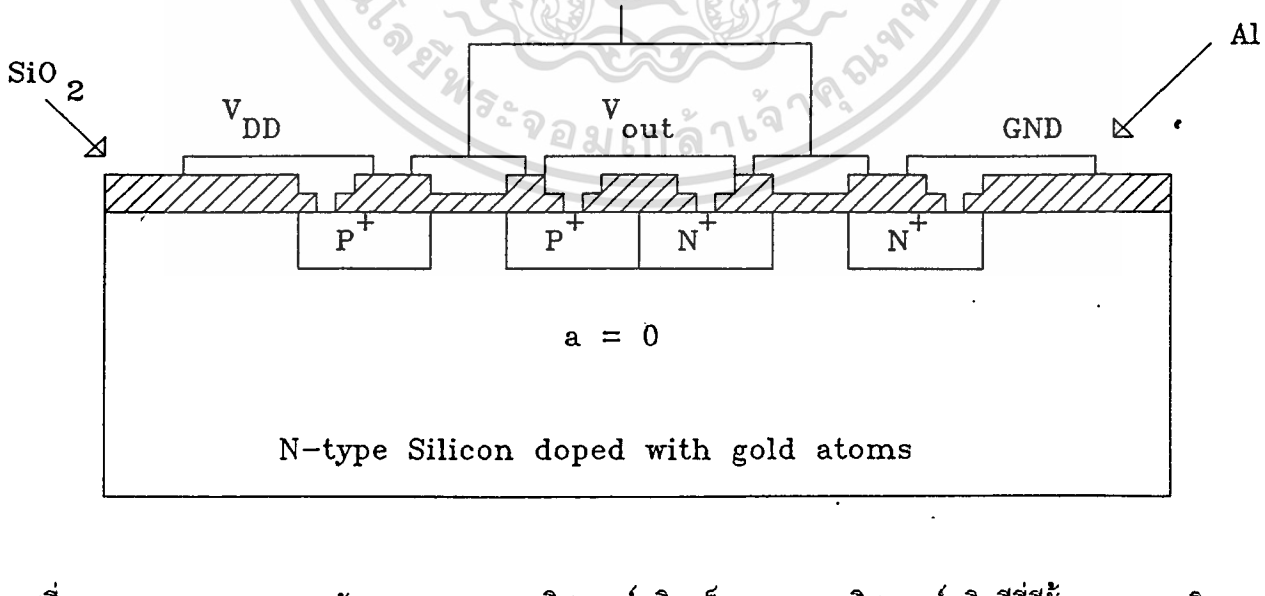
พิจารณาการเชื่อมต่อดังรูปที่ 2.2-1 (ก) จุดที่เชื่อมต่อกันคือขั้วเดรนของทรานซิสเตอร์ชนิดเอ็นกับขั้วเดรนของทรานซิสเตอร์ชนิดพี ดังนั้นลักษณะภาพตัดขวางของทรานซิสเตอร์คู่นี้จะเป็นไปดังรูปที่ 2.2-2 ซึ่งจะพบว่าค่าระยะห่างของทรานซิสเตอร์ทั้งสอง (ค่า a ในรูป) จะเป็นค่าที่ต้องการทราบก่อนการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.2-2 แสดงภาพตัดขวางของการออกแบบวงจรรวมอินเวอร์เตอร์

จากโครงสร้างภาพตัดขวางดังรูปที่ 2.2-2 จะพบว่าขั้วเดรนของทรานซิสเตอร์เชื่อมต่อกันด้วยโลหะที่ใช้ในการเดินลายวงจร และขั้วเดรนของทรานซิสเตอร์ทั้งสองยังแยกออกจากกันด้วยฐานรองชิ้นเดียวกัน ดังนั้นถ้าเลื่อนขั้วเดรนของทรานซิสเตอร์ทั้งสองให้เข้ามาอยู่ชิดติดกัน จะทำให้ขั้วเดรนของทรานซิสเตอร์ทั้งสองถูกแยกออกจากกันด้วยช่วงปลอดประจุพาหะของรอยต่อสารกึ่งตัวนำชนิดเอ็นกับสารกึ่งตัวนำชนิดพี และช่วงปลอดประจุพาหะนี้จะไม่มีผลกระทบใด ๆ ต่อวงจรเนื่องจากศักดาไฟฟ้าของขั้วเดรนของทรานซิสเตอร์ทั้งสองไม่แตกต่างกัน ดังนั้นจากโครงสร้างภาพตัดขวางดังกล่าว ทำให้ทราบว่าค่าระยะห่างระหว่างทรานซิสเตอรบทั้งสองในกรณีนี้จึงไม่มีความจำเป็นดังรูปที่ 2.2-3

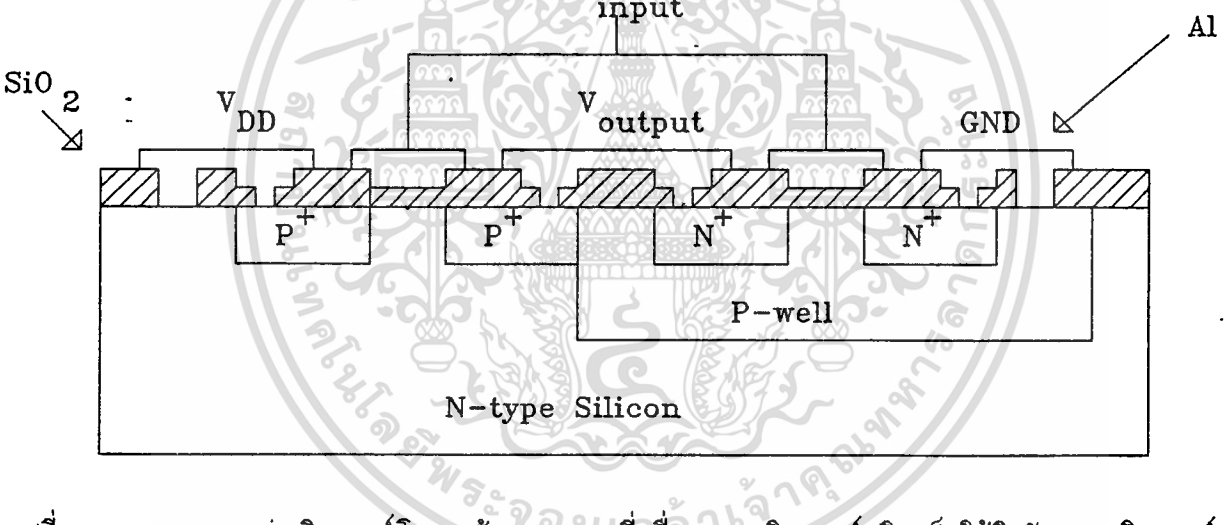



รูปที่ 2.2-3 แสดงภาพตัดขวางของทรานซิสเตอร์ชนิดเอ็นและทรานซิสเตอร์ชนิดพีที่มีขั้วของทรานซิสเตอร์ต่อกันหนึ่งคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาการเชื่อมต่อทรานซิสเตอร์ชนิดเอ็นและทรานซิสเตอร์ชนิดพีดังรูปที่ 2.2-1 (ข) จะพบว่ามีลักษณะใกล้เคียงกับวงจรอินเวอร์เตอร์ กล่าวคือขั้วเดรนของทรานซิสเตอร์ชนิดเอ็นจะต่อกับขั้วซอสของทรานซิสเตอร์ชนิดพี และขั้วซอสของทรานซิสเตอร์ชนิดเอ็นจะต่อกับขั้วเดรนของทรานซิสเตอร์ชนิดพีและค่าแรงดันตกคร่อมของรอยต่อพีเอ็นมีค่าเป็นศูนย์เช่นเดียวกัน ดังนั้นรอยต่อนี้จึงไม่มีผลกระทบต่อการทำงานของวงจรอันเนื่องมาจากพฤติกรรมทางไฟฟ้าของรอยต่อ ในกรณีนี้ค่าระยะห่างระหว่างทรานซิสเตอร์ทั้งสองบริเวณจุดที่เชื่อมต่อกันจึงเป็นไปในทำนองเดียวกันกับวงจรอินเวอร์เตอร์คือ ไม่ต้องเว้นระยะห่างระหว่างทรานซิสเตอร์ทั้งสองในการออกแบบ

จากที่กล่าวมาจะพบว่าข้อดีของทรานซิสเตอร์โครงสร้างแบบ CMOIS นี้เหนือกว่าทรานซิสเตอร์โครงสร้างแบบ CMOS โดยที่เทคโนโลยีในการสร้างอุปกรณ์ประเภท CMOS ไม่สามารถเลื่อนทรานซิสเตอร์ชนิดพีและทรานซิสเตอร์ชนิดเอ็นให้เข้ามาอยู่ชิดติดกันได้ดังรูปที่ 2.2-4




รูปที่ 2.2-4 แสดงทรานซิสเตอร์โครงสร้าง CMOS ที่เลื่อนทรานซิสเตอร์ชนิดเอ็นให้ชิดกับทรานซิสเตอร์ชนิดพีบริเวณจุดเชื่อมต่อ

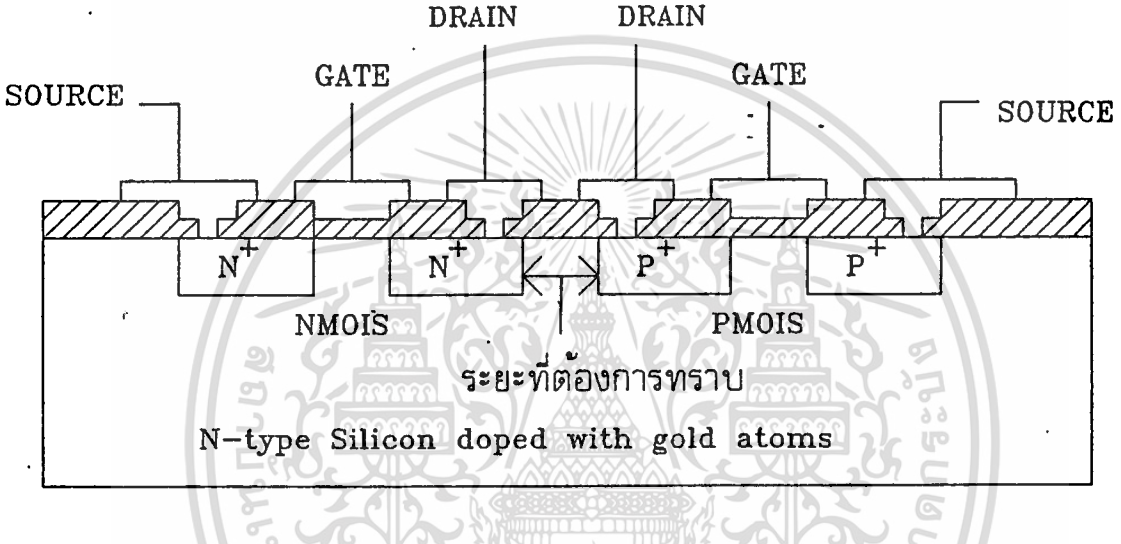
จากรูปที่ 2.2-4 พบว่าขั้วเดรนของทรานซิสเตอร์ชนิดพีจะเชื่อมต่อทางไฟฟ้ากับบ่อแยกของทรานซิสเตอร์ชนิดเอ็น ทำให้กระแสไหลผ่านบ่อแยกทรานซิสเตอร์ชนิดเอ็นลงสู่จุดที่มีค่าศักดาไฟฟ้าต่ำกว่า ดังนั้นทรานซิสเตอร์ชนิดเอ็นจึงไม่มีผลในการทำงาน ดังนั้นการเลื่อนทรานซิสเตอร์คู่นี้อยู่ชิดกันจึงทำไม่ได้ในทรานซิสเตอร์โครงสร้างแบบ CMOS

### 2.2.2 ระยะห่างน้อยที่สุดของทรานซิสเตอร์ NMOIS และ PMOIS ที่ไม่ต่อถึงกันทางไฟฟ้า

ในกรณีที่ทรานซิสเตอร์ชนิดเอ็นและทรานซิสเตอร์ชนิดพีที่ไม่ต่อถึงกันทางไฟฟ้าจำเป็นต้องออกแบบให้อยู่ใกล้กัน การออกแบบรูปทรงทางเรขาคณิตจะไม่สามารถเลื่อนคู่ของทรานซิสเตอร์ดังกล่าวเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชิดติดกันได้ เนื่องจากถ้าเลื่อนคู่ทรานซิสเตอร์ดังกล่าวมาอยู่ชิดติดกันแล้ว ทรานซิสเตอร์ทั้งสองจะแยกออกจากกันด้วยช่วงปลอดประจุพาหะของรอยต่อพีเอ็นเท่านั้น ถ้ามีแรงดันไฟฟ้าตกคร่อมรอยต่อแบบไบอัสตรงสูงกว่าค่าแรงดันตกคร่อมรอยต่อ (ประมาณ 0.6-0.7 โวลต์) จะทำให้เกิดกระแสไหลผ่านรอยต่อได้ ทำให้วงจรไม่ทำงานตามฟังก์ชันที่กำหนด และในกรณีที่แรงดันตกคร่อมรอยต่อแบบไบอัสย้อนกลับถ้าแรงดันไบอัสย้อนกลับสูงกว่าค่าแรงดันพังทลายของรอยต่อพีเอ็นแล้วจะทำให้เกิดกระแสไหลผ่านรอยต่อได้เช่นเดียวกัน ดังนั้นในกรณีนี้จึงสมควรแยกทรานซิสเตอร์คู่ดังกล่าวนี้ออกจากกัน โดยมีค่าระยะห่างที่เหมาะสมดังรูปที่ 2.2-5




รูปที่ 2.2-5 แสดงการแยกคู่ทรานซิสเตอร์ชนิด NMOIS และ PMOIS ที่ไม่ต่อถึงกันทางไฟฟ้า

หลังจากที่แยกคู่ทรานซิสเตอร์ดังกล่าวออกจากกันแล้ว ทรานซิสเตอร์ทั้งสองจะถูกแยกออกจากกันด้วยช่วงปลอดประจุพาหะของรอยต่อระหว่างขั้วเดรนหรือขั้วซอสของทรานซิสเตอร์กับฐานรองที่ใช้สร้างทรานซิสเตอร์ ในกรณีนี้ขั้วต่าง ๆ ของทรานซิสเตอร์จะส่งผลกระทบซึ่งกันและกันด้วยค่ากระแสรั่วที่เกิดขึ้นบริเวณรอยต่อ การหาค่าระยะห่างที่เหมาะสมของทรานซิสเตอร์คู่นี้ขึ้นกับปริมาณของกระแสรั่วที่ผู้ออกแบบยอมรับได้ เช่น ผู้ออกแบบ (หรือผู้ใช้งาน) ต้องการใช้งานวงจรด้วยค่าแรงดันไฟเลี้ยง 10 โวลต์และกระแสไหลในวงจร 10 มิลลิแอมป์ กระแสรั่วที่ยอมรับได้มีค่าไม่เกิน 1 มิลลิแอมป์ เป็นต้น ดังนั้นในการออกแบบจึงต้องทำการออกแบบให้ค่ากระแสรั่วที่เกิดจากทรานซิสเตอร์ตัวหนึ่งที่ส่งผลกระทบกับทรานซิสเตอร์ข้างเคียงมีค่าไม่เกิน .1 ไมโครแอมป์ ที่แรงดันไฟเลี้ยงใช้งาน

ค่ากระแสรั่วบริเวณรอยต่อสารกึ่งตัวนำจะเกิดขึ้นเมื่อรอยต่อได้รับแรงดันไบอัสย้อนกลับ ดังนั้นกระแสรั่วในกรณีนี้จะเกิดขึ้นเมื่อขั้วของทรานซิสเตอร์ชนิดเอ็นได้รับแรงดันไฟฟ้าสูงกว่าขั้วของทรานซิสเตอร์ชนิดพี จากรูปที่ 2.2-5 จะพบว่ากระแสรั่วจะเกิดจากขั้วของทรานซิสเตอร์ชนิดเอ็นลงสู่ฐานรองและส่งผลกระทบเป็นกระแสรั่วระหว่างฐานรองกับขั้วของทรานซิสเตอร์ชนิดพีที่มีศักดาไฟฟ้าต่ำกว่า ทำ

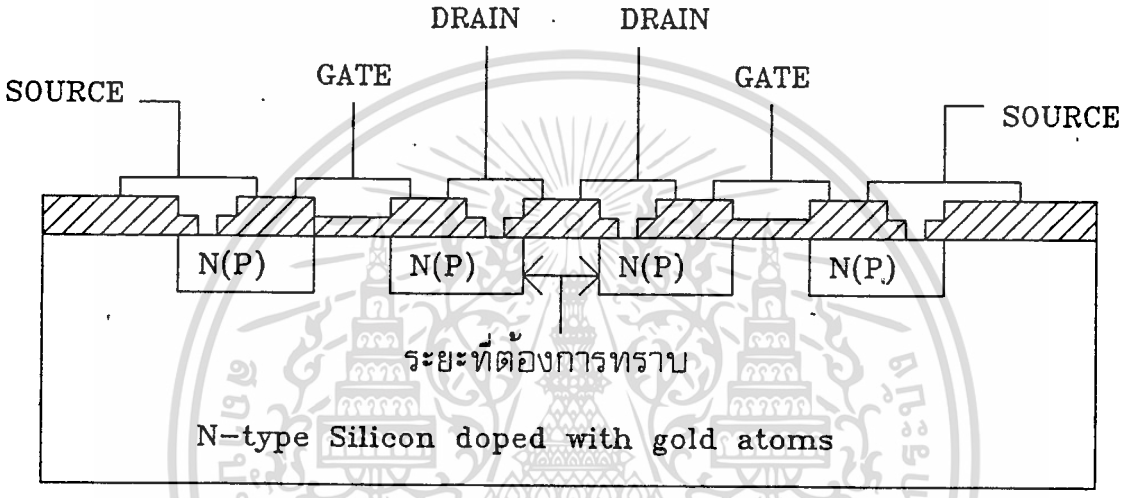
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ทรานซิสเตอร์ทั้งสองไม่ทำงานตามความต้องการของวงจร

**2.2.3 ระยะห่างน้อยที่สุดของทรานซิสเตอร์โครงสร้าง CMOIS ชนิดเดียวกันที่ไม่ต่อถึงกันทางไฟฟ้า**

เมื่อทรานซิสเตอร์ชนิด PMOIS คู่หนึ่งหรือทรานซิสเตอร์ชนิด NMOIS คู่หนึ่งจำเป็นต้องออกแบบให้อยู่ใกล้กันบนแผ่นผลึกซิลิกอน ผู้ออกแบบจำเป็นต้องทราบว่าค่าระยะห่างที่น้อยที่สุดของการออกแบบทรานซิสเตอร์คู่ดังกล่าวที่เหมาะสมจะมีค่าเป็นเท่าใด เพื่อออกแบบวงจรให้มีความหนาแน่นสูงสุด

พิจารณาทรานซิสเตอร์โครงสร้างแบบ MOIS หนึ่งคู่ที่อยู่ใกล้กันดังรูป 2.2-6




รูปที่ 2.2-6 แสดงทรานซิสเตอร์โครงสร้างแบบ MOIS หนึ่งคู่ที่อยู่ใกล้กัน

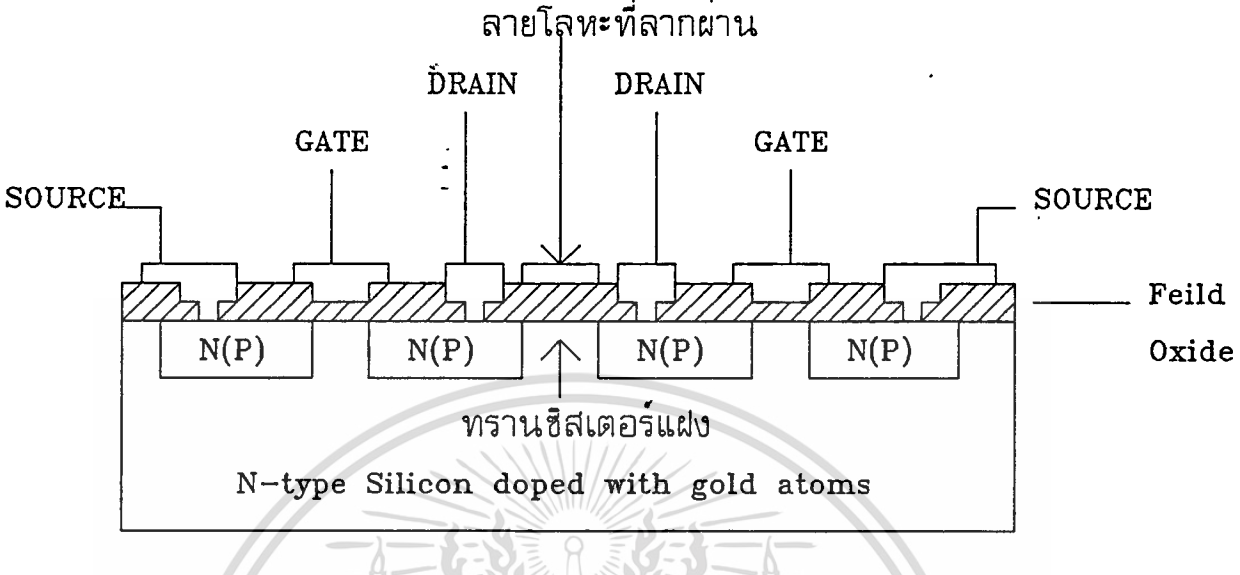
เมื่อทรานซิสเตอร์คู่หนึ่งถูกออกแบบให้อยู่ใกล้กันดังรูปที่ 2.2-6 ขั้วเดรนและขั้วซอสของทรานซิสเตอร์ทั้งสองจะถูกแยกออกจากกันด้วยช่วงปลอดประจุพาหะของรอยต่อดังที่ได้อธิบายไปแล้ว และในการใช้งานในวงจรรวมถ้าศักดาไฟฟ้าของขั้วที่อยู่ใกล้กันมีค่าเป็นศูนย์แล้ว ทรานซิสเตอร์ทั้งสองจะไม่ส่งผลกระทบซึ่งกันและกัน แต่ถ้าศักดาไฟฟ้าระหว่างขั้วต่าง ๆ ของทรานซิสเตอร์ทั้งสองมีค่าไม่เท่ากันแล้ว ทรานซิสเตอร์ทั้งสองจะส่งผลกระทบกันเอง โดยค่ากระแสรั่วไหลของรอยต่อระหว่างขั้วของทรานซิสเตอร์และฐานรอง ทำให้ทรานซิสเตอร์แต่ละตัวทำงานไม่ตรงกับคุณสมบัติที่ผู้ออกแบบกำหนด

นอกจากค่ากระแสรั่วที่ส่งอิทธิพลต่อการทำงานของทรานซิสเตอร์แล้ว จากการศึกษาวิจัยเกี่ยวกับรอยต่อระหว่างสารกึ่งตัวนำกับชั้นฉนวนซิลิกอนไดออกไซด์ จะมีประจุบวกอันเนื่องมาจากกระบวนการสร้างแผงอยู่บริเวณผิวของชั้นต่อดังกล่าว ประจุบวกเหล่านี้จะทำให้ทรานซิสเตอร์ชนิดพีซึ่งใช้ประจุโฮลในการนำกระแส เกิดกระแสรั่วขึ้นได้ เรียกกระแสรั่วชนิดนี้ว่า "กระแสรั่วไหลบริเวณผิว (surface leakage)" ประจุบวกเหล่านี้จะไม่ส่งผลกระทบของกระแสรั่วต่อการทำงานของทรานซิสเตอร์ชนิดเอ็นมากนัก เนื่องจากทรานซิสเตอร์ชนิดเอ็นใช้อิเล็กตรอนในการนำกระแส

ในกรณีที่มีลวดลายโลหะของวงจรผ่านระหว่างทรานซิสเตอร์โครงสร้างแบบ CMOIS ชนิดเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ไม่ต่อถึงกันทางไฟฟ้าดังรูปที่ 2.2-7




รูปที่ 2.2-7 แสดงลวดลายโลหะผ่านระหว่างทรานซิสเตอร์โครงสร้างแบบ MOIS ชนิดเดียวกันที่ไม่ต่อถึงกันทางไฟฟ้า

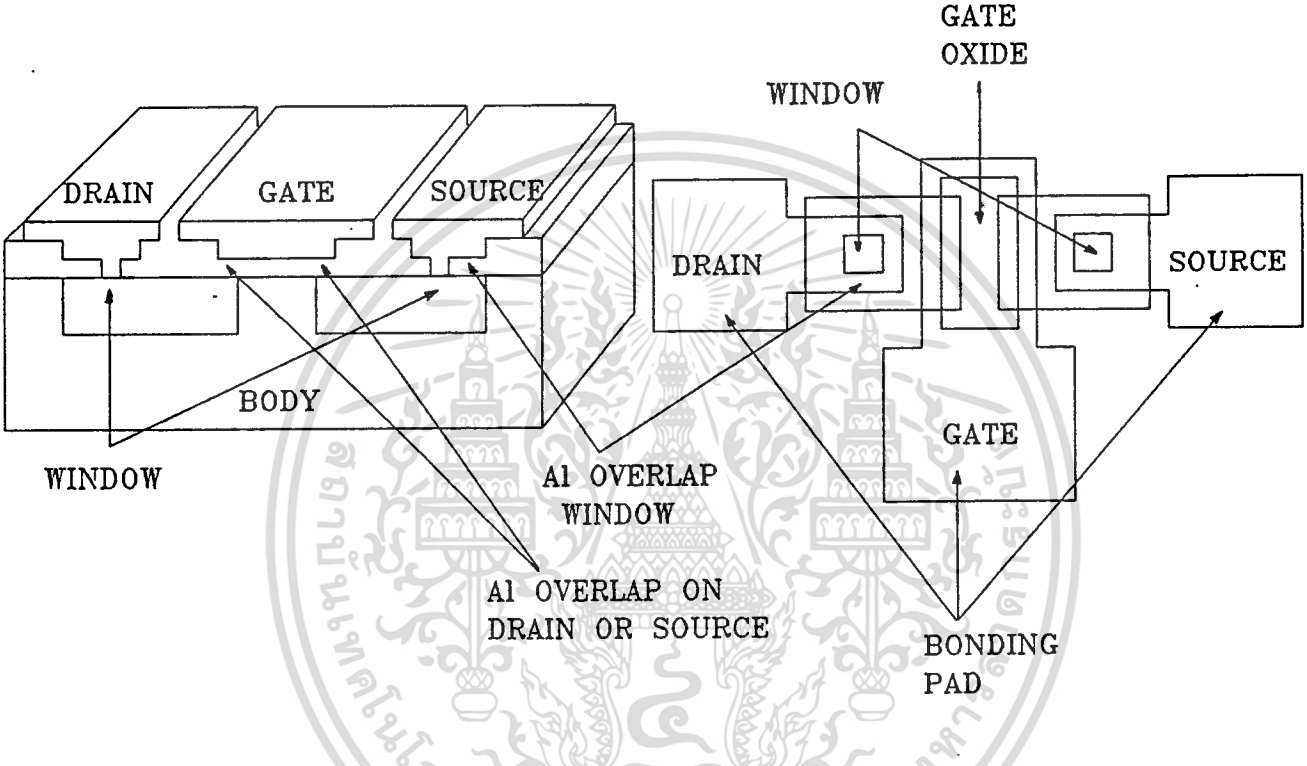
จากรูปจะพบว่าค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์จะต้องมีความหนามากพอที่ไม่ทำให้ศักดาไฟฟ้าบริเวณลายโลหะเหนี่ยวนำช่องทางเดินกระแสขึ้นมาได้ ทำให้เกิดเป็นทรานซิสเตอร์โครงสร้าง MOIS แฝงขึ้นอีก 1 ตัวในวงจร ดังนั้นในการพิจารณาค่าระยะห่างนี้จำเป็นต้องกระทำที่ความหนาของชั้นฉนวนซิลิกอนไดออกไซด์บริเวณใต้ลายโลหะมีค่าคงที่ค่าหนึ่ง กล่าวคือ ก่อนที่จะทำการพิจารณาค่าระยะห่างระหว่างทรานซิสเตอร์ชนิดเดียวกันที่ไม่ต่อถึงกันทางไฟฟ้านี้ จำเป็นต้องทราบค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์ที่ใช้ป้องกันผิวหน้าของแผ่นผลึกซิลิกอนที่เหมาะสมกับค่าแรงดันที่ใช้งาน จึงจะพิจารณาค่าระยะห่างดังกล่าวต่อไป

## 2.3 กฎระเบียบอื่น ๆ

ในการออกแบบวงจรรวมนอกจากขนาดของทรานซิสเตอร์ตัวเดี่ยว ๆ ที่คำนึงถึง และค่าระยะห่างระหว่างทรานซิสเตอร์ต่าง ๆ ในวงจรแล้ว ส่วนประกอบอื่น ๆ เพื่อสร้างวงจรรวมขึ้นก็เป็นสิ่งจำเป็นที่ต้องทำการศึกษา เพื่อหาขนาดทางเรขาคณิตที่เหมาะสมเพื่อผู้ออกแบบวงจรจะได้ทราบถึงข้อมูลในการออกแบบเบื้องต้น เพื่อใช้ในการออกแบบวงจรให้มีความถูกต้องและสามารถใช้งานได้

พิจารณาโครงสร้างภาพตัดขวางและรูปทรงทางเรขาคณิตด้านบนของทรานซิสเตอร์โครงสร้าง MOIS หนึ่งตัวดังรูปที่ 2.3-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.3-1 แสดงโครงสร้างทรานซิสเตอร์แบบ MOIS

จากรูปจะพบว่ายังมีส่วนประกอบอื่น ๆ ในการสร้างทรานซิสเตอร์หนึ่งตัว ส่วนประกอบเหล่านั้นมีขนาดทางเรขาคณิตจำกัดค่าหนึ่งขึ้นกับเทคโนโลยีที่ใช้ในการสร้าง และในวิทยานิพนธ์ฉบับนี้ใช้เทคโนโลยีการแพร่สารเจือด้วยความร้อน ใช้การสกัดต่าง ๆ ด้วยสารละลาย และใช้การเคลือบโลหะต่าง ๆ ด้วยเครื่องเคลือบโลหะในสูญญากาศโดยความร้อน ดังนั้นขอสรุปขนาดรูปทรงทางเรขาคณิตที่เล็กที่สุดของส่วนประกอบของวงจรรวมดังตารางที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 แสดงค่าจำกัดของอุปกรณ์ประกอบวงจรรวมด้วยโครงสร้างทรานซิสเตอร์แบบ CMOIS

| อุปกรณ์ | ขนาดที่เล็กที่สุด ($\mu m$) |
|---|---|
| 1. ช่องเปิดเพื่อสร้างขั้วสัมผัส | 20 x 20 |
| 2. โลหะส่วนเกินช่องเปิดเพื่อสร้างขั้วสัมผัส | 10 |
| 3. ชั้นฉนวนซิลิกอนไดออกไซด์เกินไปบนขั้วเดรนและขั้วซอส ของทรานซิสเตอร์ | 10 |
| 4. ชั้นโลหะส่วนเกินชั้นฉนวนซิลิกอนไดออกไซด์บริเวณช่องทางเดินกระแส | 10 |
| 5. ขนาดความกว้างของลายโลหะ | 20 |
| 5.1 ระยะห่างของลายโลหะกับลายโลหะ | 10 |
| 6. ขนาดของแถบโลหะที่ใช้ในการเชื่อมต่อกับอุปกรณ์ภายนอก ( Bonding Pad ) | 200 x 200 |
| 7. ขนาดของช่องเติมสารเจือเพื่อสร้างขั้วเดรนหรือขั้วซอส ของทรานซิสเตอร์เกินจากช่องเปิดสร้างขั้วสัมผัส | 10 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3

## การออกแบบและการสร้าง

การออกแบบทรานซิสเตอร์เพื่อสร้างวงจรรวมโครงสร้างทรานซิสเตอร์แบบ CMOIS มีลักษณะคล้ายคลึงกับการออกแบบวงจรรวมด้วยโครงสร้างทรานซิสเตอร์แบบ CMOS ดังที่ได้กล่าวมาแล้วในบทที่ 1 และบทที่ 2 ดังนั้นการกำหนดค่าอัตราส่วนความกว้างต่อความยาวของช่องทางเดินกระแสของทรานซิสเตอร์แต่ละตัวในวงจรจึงเป็นจุดเริ่มต้นของการออกแบบวงจรรวมชนิดต่าง ๆ ในวิทยานิพนธ์ฉบับนี้เป็นการนำเสนอแนวทางที่จะพัฒนาทรานซิสเตอร์โครงสร้างแบบ CMOIS เป็นวงจรรวมขนาดเล็ก (วงจรรวมขนาดเล็กคือวงจรที่ประกอบด้วยทรานซิสเตอร์ไม่เกิน 100 ตัวในวงจร) ซึ่งประกอบด้วยวงจรรวมทางตรรกคือ วงจรอินเวอร์เตอร์ วงจรออร์เกทและนอร์เกท วงจรแนนด์เกทและแอนด์เกท วงจรจุดชนวนของชมิตต์ และวงจรรวมเชิงเส้นคือ วงจรริงออสซิลเลเตอร์ การออกแบบวงจรรวมดังกล่าวต้องกำหนดคุณสมบัติของวงจรแล้วทำการออกแบบทรานซิสเตอร์เพื่อให้ได้คุณสมบัติตามต้องการ ดังนั้นในบทนี้จะทำการอธิบายแนวทางในการออกแบบวงจรที่กล่าวข้างต้นด้วยโครงสร้างทรานซิสเตอร์แบบ CMOIS เพื่อให้วงจรมีคุณสมบัติทางไฟฟ้าตามต้องการ

ก่อนที่จะกล่าวถึงการออกแบบวงจรรวมชนิดต่าง ๆ ขอกล่าวถึงการออกแบบทรานซิสเตอร์โครงสร้างแบบ CMOIS เพื่อหาขนาดของโครงสร้างทรานซิสเตอร์ที่เหมาะสมในการออกแบบวงจรรวม และขนาดของระยะห่างต่าง ๆ ที่ได้นำเสนอในบทที่ 2 จากนั้นจึงนำผลที่ได้ทำการกำหนดขนาดของทรานซิสเตอร์ในการออกแบบวงจรรวมต่อไป

### 3.1 การออกแบบทรานซิสเตอร์เพื่อหากฎระเบียบในการออกแบบ

จากที่ได้กล่าวมาในบทที่ 2 ถึงขนาดของทรานซิสเตอร์ที่มีผลกระทบต่อค่าแรงดันขีดเริ่มและค่าระยะห่างที่เหมาะสมในการออกแบบวงจรรวม ในหัวข้อนี้จะทำการวิเคราะห์ถึงขนาดที่กล่าวถึงพร้อมทั้งกำหนดขนาดของทรานซิสเตอร์เพื่อพิสูจน์แนวความคิดต่อไป

#### 3.1.1 การออกแบบเพื่อหาขนาดของทรานซิสเตอร์

ขนาดของทรานซิสเตอร์ที่เหมาะสมในการออกแบบวงจรรวม จะต้องมีขนาดความกว้างและความยาวของช่องทางเดินกระแสที่มีผลต่อค่าแรงดันขีดเริ่มที่น้อยที่สุด กล่าวคือ ปรากฏการณ์ผลของช่องทางเดินกระแสที่แคบ ๆ และปรากฏการณ์ผลของช่องทางเดินกระแสที่สั้น ๆ จะต้องมีผลต่อแรงดันขีดเริ่มของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์น้อยที่สุดเนื่องจากในการออกแบบวงจรรวมที่ดีมีความต้องการค่าแรงดันขีดเริ่มของทรานซิสเตอร์แต่ละตัวในวงจรมีค่าเท่ากันในกรณีที่เป็นทรานซิสเตอร์ชนิดเดียวกัน เพื่อสะดวกในการวิเคราะห์และออกแบบวงจรซึ่งในทางปฏิบัติมีความเป็นไปได้ค่อนข้างยาก ดังนั้นผู้ออกแบบวงจรจำเป็นต้องกำหนดขอบเขตของความเปลี่ยนแปลงของพารามิเตอร์ต่าง ๆ ที่จะเกิดขึ้นเนื่องจากกระบวนการสร้างที่สามารถยอมรับได้ ในวิทยานิพนธ์ฉบับนี้กำหนดค่าขอบเขตของการเปลี่ยนแปลงของพารามิเตอร์ที่ยอมรับได้มีค่าไม่เกิน 10 เปอร์เซ็นต์ของค่าที่ต้องการ

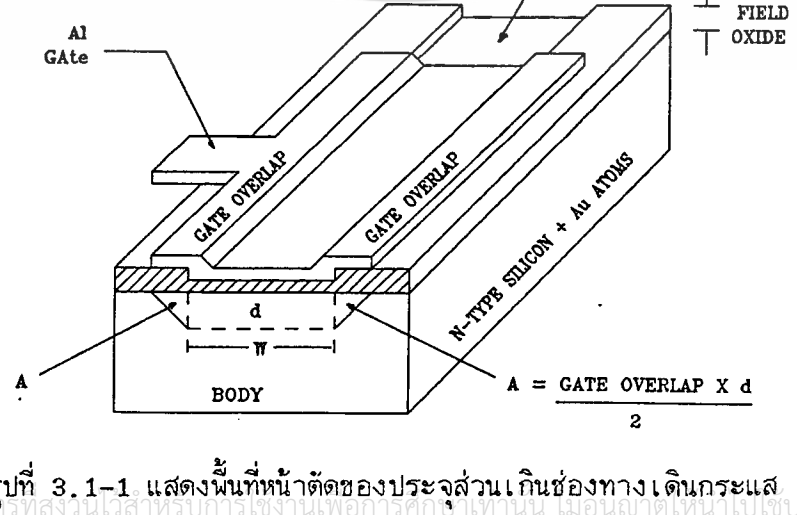
<u>พิจารณาความกว้างของช่องทางเดินกระแสที่เหมาะสม</u>

ช่องทางเดินกระแสที่เหมาะสมต่อการออกแบบวงจรรวมด้วยทรานซิสเตอร์โครงสร้าง CMOIS จะต้องทำให้ค่าแรงดันขีดเริ่มของทรานซิสเตอร์มีค่าสูงกว่าค่าแรงดันขีดเริ่มปรกติไม่เกิน 10 เปอร์เซ็นต์ตามความยอมรับที่ได้กล่าวมาข้างต้น ดังนั้นถ้าพิจารณาสมการของค่าแรงดันขีดเริ่มที่มีผลกระทบจากค่าความกว้างของช่องทางเดินกระแสที่น้อย ๆ ดังสมการที่ (2.1-6) จะพบว่า ค่าแรงดันขีดเริ่มจะเปลี่ยนแปลงจากค่าแรงดันขีดเริ่มปรกติในสมการที่ (1.5-1) เนื่องจากเทอม $g$ ที่เพิ่มเข้ามาในสมการ และถ้าให้การเปลี่ยนแปลงของค่าแรงดันขีดเริ่มของทรานซิสเตอร์ที่ออกแบบไว้เกิดจากค่า $g$ ทั้งหมด ดังนั้นค่า $g$ จึงเป็นค่าที่ใช้ในการวิเคราะห์หาขนาดของความกว้างที่น้อยที่สุดที่ยอมรับได้[6]

พิจารณาความสัมพันธ์ของค่า $g$ กับความกว้างของช่องทางเดินกระแส $w$ ดังสมการที่ (3.1-1)

$$g = 1 + (2A/dw) \qquad (3.1\text{-}1)$$

จากสมการที่ 3.1-1 ถ้าพิจารณาว่าประจุที่ถูกเหนี่ยวนำเนื่องจากโลหะส่วนที่เกินช่องทางเดินกระแสออกไปบริเวณฐานรองที่ใช้สร้างทรานซิสเตอร์มีพื้นที่หน้าตัดเป็นรูปสามเหลี่ยมดังรูปที่ 3.1-1




รูปที่ 3.1-1 แสดงพื้นที่หน้าตัดของประจุส่วนเกินช่องทางเดินกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.1-1 จะพบว่าค่าพื้นที่หน้าตัด A คือค่าพื้นที่รูปสามเหลี่ยมธรรมดามีค่า

$$A = ( GO \times d )/2 \qquad (3.1\text{-}2)$$

โดยที่ GO คือค่าความยาวของโลหะที่เกินช่องทางเดินกระแสออกไปในบริเวณฐานรอง และเมื่อแทนค่า A จากสมการที่ (3.1-2) ลงในสมการที่ (3,1-1) จะได้

$$g = 1 + (GO/w) \qquad (3.1\text{-}3)$$

ในกรณีที่สามารถยอมรับความผิดพลาดของค่าแรงดันชีดเริ่มของทรานซิสเตอร์ให้เพิ่มขึ้นได้ 10 เปอร์เซ็นต์อันเนื่องจากผลของความกว้างช่องทางเดินกระแสที่น้อย ๆ ดังนั้นค่า g จึงมีค่าไม่เกิน 1.1 (เนื่องจากค่า g มีค่ามากกว่า 1 เสมอและผลของปรากฏการณ์นี้ทำให้ค่าแรงดันชีดเริ่มสูงขึ้น) และเทคโนโลยีที่ใช้ในการสร้างวงจรรวมในวิทยานิพนธ์ฉบับนี้จำเป็นต้องสร้างชั้นโลหะเกินช่องทางเดินกระแสไปบนฐานรองที่ใช้ในการสร้างทรานซิสเตอร์มีค่า 10 ไมโครเมตร ดังนั้นเมื่อทำการแทนค่าต่าง ๆ ที่ได้กล่าวมาลงในสมการที่ (3.1-3) แล้วจะได้ความกว้างของช่องทางเดินกระแสที่เกิดผลของปรากฏการณ์ผลกระทบจากค่าความกว้างของช่องทางเดินกระแสที่น้อย ๆ ต่ำกว่า 10 เปอร์เซ็นต์จะต้องออกแบบให้ค่าความกว้างของช่องทางเดินกระแสมีค่ามากกว่า 100 ไมโครเมตร

ดังนั้นในการออกแบบทรานซิสเตอร์เพื่อพิสูจน์แนวความคิดนี้จึงทำการออกแบบทรานซิสเตอร์ที่มีค่าความกว้างของช่องทางเดินกระแสมีค่า 40, 60, 80, 100, 160, 200 และ 400 ไมโครเมตร โดยที่ความยาวของช่องทางเดินกระแสของทรานซิสเตอร์แต่ละตัวมีค่า 40 ไมโครเมตร

<u>พิจารณาค่าความยาวช่องทางเดินกระแสที่เหมาะสม</u>

ความยาวช่องทางเดินกระแสที่เหมาะสมต่อการออกแบบวงจรรวมด้วยโครงสร้างทรานซิสเตอร์แบบ CMOIS จะต้องทำให้ค่าแรงดันชีดเริ่มของทรานซิสเตอร์มีค่าต่ำกว่าค่าแรงดันชีดเริ่มปรกติไม่เกิน 10 เปอร์เซ็นต์ตามความยอมรับการเปลี่ยนแปลงของพารามิเตอร์ที่ได้กล่าวมาแล้วข้างต้น และแนวทางในการพิจารณาค่าความยาวช่องทางเดินกระแสที่เหมาะสมจะมีลักษณะเดียวกันกับการพิจารณาค่าความกว้างช่องทางเดินกระแสที่เหมาะสม กล่าวคือจะทำการพิจารณาค่า $\gamma$ ที่เพิ่มเข้าไปในการพิจารณาค่าแรงดันชีดเริ่มในสมการที่ (2.1-12) เนื่องจากเป็นเทอมที่ส่งผลกระทบอันเนื่องมาจากช่องทางเดินกระแสที่สั้น ๆ ตามที่ได้กล่าวมาแล้ว

พิจารณาเทอม $\gamma$ ในสมการที่ (3.1-4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\gamma = 1 - [x_j/L]\left[\sqrt{1 + (2d/x_j)} - 1\right] \qquad (3.1\text{-}4)$$

จากสมการที่ (3.1-4) พบว่าถ้าให้ค่าแรงดันขีดเริ่มลดลงเนื่องจากผลของปรากฏการณ์นี้ประมาณ 10 เปอร์เซ็นต์ ค่า $\gamma$ ในสมการจะต้องมีค่า 0.9 และจากสมการมีเทอมของตัวแปร $X_j$ และ d อยู่ซึ่งไม่สามารถหาค่าที่ถูกต้องได้ (ในสิ่งประดิษฐ์ประเภท CMOIS) ดังนั้นการพิจารณาว่าค่าความยาวของช่องทางเดินกระแสที่เหมาะสมจะเป็นค่าใดจึงใช้วิธีการทางอ้อมแทน โดยพิจารณาค่าความกว้างของช่วงปลอดประจุพาหะที่ขยายจากขั้วเดรนหรือขั้วซอสของทรานซิสเตอร์แทนดังนี้

พิจารณาค่าอัตราขยายของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่เกิดผลของช่องทางเดินกระแสที่ลดลงเนื่องมาจากการขยายของช่วงปลอดประจุพาหะของขั้วเดรนและซอสกับฐานรองซึ่งทำให้ช่องทางเดินกระแสที่ออกแบบไว้มีค่าสั้นลง ดังสมการที่ (3.1-5)

$$\beta = \mu_{Au} C_{ox} (w/L_{eff}) \qquad (3.1\text{-}5)$$

โดยที่ $L_{eff}$ คือค่าความยาวของช่องทางเดินกระแสที่แท้จริงของทรานซิสเตอร์

ถ้าให้ตัวแปรทุกตัวของสมการที่ (3.1-5) เป็นค่าคงที่ยกเว้นค่า $L_{eff}$ ดังนั้นค่าอัตราขยายจะแปรผกผันกับค่าความยาวของช่องทางเดินกระแสดังความสัมพันธ์ที่ (3.1-6)

$$1/\beta = L_{eff} \qquad (3.1\text{-}6)$$

ดังนั้นในกรณีที่ค่า $L_{eff}$ มีค่าเป็นศูนย์ซึ่งหมายความว่าช่วงปลอดประจุพาหะของขั้วเดรนและขั้วซอสของทรานซิสเตอร์ชนกันพอดีจะทำให้ค่า $1/\beta$ มีค่าเท่ากับศูนย์ ถ้าทำการเขียนกราฟความสัมพันธ์ระหว่างความยาวของช่องทางเดินกระแสที่ออกแบบไว้กับค่า $1/\beta$ จุดตัดบนแกนความยาวช่องทางเดินกระแสคือจุดที่ช่วงปลอดประจุพาหะดังกล่าวชนกันพอดีทำให้ทราบว่าค่าความกว้างของช่วงปลอดประจุพาหะดังกล่าวมีค่าเป็นเท่าใด ดังนั้นจึงสามารถกำหนดได้ว่าค่าความกว้างของช่องทางเดินกระแสที่ทำการออกแบบจะต้องมีค่ามากกว่าค่าความกว้างของช่วงปลอดประจุพาหะดังกล่าวมากกว่า 10 เท่า

### 3.1.2 การออกแบบเพื่อหาค่าระยะห่างระหว่างทรานซิสเตอร์

สิ่งที่ส่งผลกระทบต่อการทำงานของทรานซิสเตอร์สองตัวที่อยู่ใกล้กันมากที่สุดคือค่ากระแสรั่วที่เกิดจากทรานซิสเตอร์ตัวหนึ่งกระทำต่อทรานซิสเตอร์ข้างเคียงดังที่ได้กล่าวแล้วในบทที่ 2 ดังนั้นในการกำหนดค่าระยะห่างระหว่างทรานซิสเตอร์ จึงต้องทำการกำหนดค่ากระแสรั่วที่ยอมรับได้ว่าควรจะมีค่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท่าใดในวงจร อนึ่งในวิทยานิพนธ์ฉบับนี้ทำการพัฒนาทรานซิสเตอร์โครงสร้างแบบ CMOIS เป็นวงจรรวมขนาดเล็กซึ่งจะใช้งานในระดับสัญญาณต่ำ ๆ เท่านั้น ดังนั้นการหาค่าแรงดันขีดเริ่มของทรานซิสเตอร์จึงสามารถใช้วิธีการ 1 ไมโครแอมป์ได้ โดยค่าแรงดันขีดเริ่มของทรานซิสเตอร์จะพิจารณาจุดที่กระแสเดรนของทรานซิสเตอร์ไหล 1 ไมโครแอมป์ ดังนั้นค่ากระแสรั่วของทรานซิสเตอร์ของวงจรจึงกำหนดที่จุด 10 เปอร์เซ็นต์ของค่ากระแสนี้มีค่า 0.1 ไมโครแอมป์

การออกแบบจะทำการออกแบบทรานซิสเตอร์สองตัวแต่ละกรณีที่ได้กล่าวแล้วในบทที่ 2 ให้มีค่าระยะห่างระหว่างกันตั้งแต่ 20, 40, 60, 80 และ 100 ไมโครเมตร (ยกเว้นกรณีที่ทรานซิสเตอร์คู่นั้นต่อถึงกันทางไฟฟ้าที่สามารถออกแบบให้ทรานซิสเตอร์ทั้งสองอยู่ชิดติดกันได้ ซึ่งได้มีการทดสอบและสร้างแล้วว่าสามารถสร้างได้โดยที่วงจรยังคงทำงานได้จริง) เพื่อทำการทดสอบค่ากระแสรั่วและทำการกำหนดค่าระยะห่างระหว่างทรานซิสเตอร์แต่ละชนิดต่อไป อนึ่งในกรณีที่ทรานซิสเตอร์ชนิดเดียวกันสองตัวอยู่ใกล้กันและมีลายโลหะผ่านระหว่างกลางของทรานซิสเตอร์ทั้งสอง ซึ่งทำให้เกิดพฤติกรรมของทรานซิสเตอร์แฝงขึ้นดังที่ได้อธิบายแล้วในหัวข้อที่ 2.2 นั้น ทำให้การหาค่าระยะห่างระหว่างทรานซิสเตอร์ในกรณีนี้ต้องทำการกำหนดค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์บริเวณนอกตัวทรานซิสเตอร์ก่อนว่าควรจะมีค่าเป็นเท่าใด กระทำโดยพิจารณาความสัมพันธ์ระหว่างค่าแรงดันขีดเริ่มกับค่าความหนาของชั้นฉนวนบริเวณช่องทางเดินกระแสของทรานซิสเตอร์แต่ละชนิด จากนั้นจึงกำหนดค่าแรงดันไฟเลี้ยงของวงจรเพื่อกำหนดค่าความหนาของชั้นซิลิกอนไดออกไซด์ที่ไม่ทำให้เกิดการเหนี่ยวนำช่องทางเดินกระแสได้ต่อไป

### 3.2 การออกแบบวงจรรวมทางตรรกเบื้องต้นโครงสร้างแบบ CMOIS

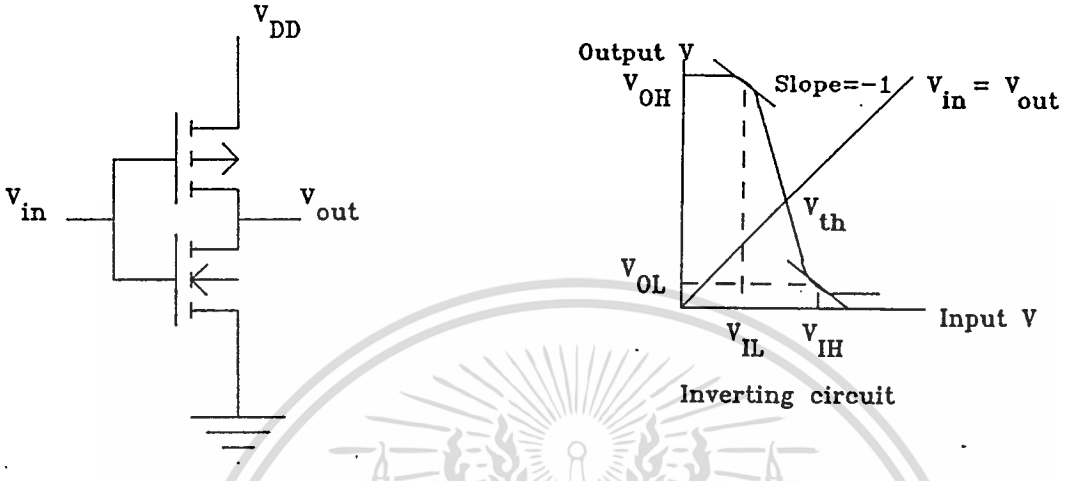
การออกแบบวงจรรวมทางตรรกที่กล่าวถึงในหัวข้อนี้ มีลักษณะคล้ายคลึงกับการออกแบบวงจรรวมด้วยโครงสร้างทรานซิสเตอร์แบบ CMOS แต่ลักษณะในการแบ่งขั้วของทรานซิสเตอร์ชนิด PMOIS และทรานซิสเตอร์ชนิด NMOIS ในวงจรรวมจะพิจารณาตามแนวความคิดที่ได้นำเสนอในหัวข้อที่ 1.2 ซึ่งเป็นมาตราฐานในการออกแบบวงจรรวมด้วยทรานซิสเตอร์โครงสร้าง CMOIS ทุกวงจรที่จะกล่าวถึงในหัวข้อนี้

#### 3.2.1 การออกแบบวงจรอินเวอร์เตอร์

วงจรอินเวอร์เตอร์เป็นวงจรที่ได้รับความนิยมในการใช้งานทางด้านระบบดิจิตอล [10] และนิยมใช้เป็นวงจรตัวอย่างในการออกแบบและสร้างทรานซิสเตอร์โครงสร้างแบบต่าง ๆ เพราะวงจรอินเวอร์เตอร์เป็นวงจรที่มีส่วนประกอบของวงจรน้อย สามารถเป็นตัวอย่างในการอธิบายการทำงานของวงจรที่เข้าใจง่าย วงจรอินเวอร์เตอร์ที่ออกแบบและสร้างด้วยโครงสร้างทรานซิสเตอร์แบบ CMOIS แสดงได้ดังรูปที่ 3.2-1 (ก) และคุณสมบัติในการส่งผ่านสัญญาณแรงดันซึ่งมีลักษณะเช่นเดียวกับที่ได้อธิบายไว้ดัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1 แสดงดังรูปที่ 3.2-1 (ข)




(ก) (ข)

รูปที่ 3.2-1 แสดงวงจรอินเวอร์เตอร์และกราฟการส่งผ่านสัญญาณแรงดัน

จากรูปวงจรจะพบว่าในการจ่ายแรงดันไฟเลี้ยง ($V_{DD}$) ที่สูงกว่าค่าแรงดันอ้างอิง (GND) ทำให้ขั้วของทรานซิสเตอร์ชนิดพีที่ต่ออยู่กับแรงดันไฟเลี้ยงคือขั้วซอส ดังนั้นขั้วที่เหลือของทรานซิสเตอร์ชนิดพีจึงเป็นขั้วเดรน และในทำนองเดียวกันขั้วของทรานซิสเตอร์ชนิดเอ็นที่ต่อกับกราวด์ก็เป็นขั้วซอสและขั้วที่ต่อกับทรานซิสเตอร์ชนิดพีเป็นขั้วเดรน ที่เป็นเช่นนี้เนื่องจากลักษณะในการจ่ายศักดาไฟฟ้าดังที่ได้อธิบายแล้วในหัวข้อที่ 1.2 และในการพิจารณาวงจร กำหนดให้ทรานซิสเตอร์ชนิด NMOIS และทรานซิสเตอร์ชนิด PMOIS ในวงจรมีค่าอัตราขยายและแรงดันขีดเริ่มเป็น $\beta_n$ , $\beta_p$ , $V_{Tn}$ และ $V_{Tp}$ ตามลำดับ

จากวงจรในรูปที่ 3.2-1 จะได้ว่า

$$V_{in} = V_{GS(n)} = V_{DD} - V_{SG(p)} \qquad (3.2\text{-}1)$$

และ $$V_o = V_{DS(n)} = V_{DD} - V_{SD(p)} \qquad (3.2\text{-}2)$$

การวิเคราะห์ค่าแรงดันที่จุดต่าง ๆ ของกราฟการส่งผ่านสัญญาณแรงดันในรูปที่ 3.2-1 (ข) พิจารณาได้ดังนี้คือ เมื่อ $V_{in} < V_{Tn}$ ขณะนี้ทรานซิสเตอร์ชนิด NMOIS กำลังอยู่ในสภาวะหยุดนำกระแส ดังนั้นจึงไม่มีกระแสเดรนไหลผ่านทรานซิสเตอร์ชนิด NMOIS แต่ขณะนี้ทรานซิสเตอร์ชนิด PMOIS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิดชั้นกลับบริเวณช่องทางเดินกระแสแล้วและกำลังทำงานในช่วงอิ่มตัว ดังนั้นค่าแรงดันขาออกของวงจรมีค่าดังสมการที่ (3.2-3)

$$V_o = V_{OH} = V_{DD} - V_{SD(P)} = V_{DD} \qquad (3.2\text{-}3)$$

เมื่อ $V_{in}$ เพิ่มสูงมากกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS เล็กน้อยจะทำให้ทรานซิสเตอร์เริ่มทำงานในช่วงอิ่มตัว และทรานซิสเตอร์ชนิด PMOIS กำลังเข้าสู่การทำงานในช่วงไม่อิ่มตัว และในขณะนี้มีกระแสไหลผ่านวงจรเนื่องจากทรานซิสเตอร์ชนิด NMOIS เริ่มนำกระแสแล้ว และเมื่อพิจารณาจากวงจรพบว่ากระแสที่ไหลในวงจรคือค่ากระแสเดรนจากทรานซิสเตอร์ชนิด PMOIS ผ่านไปยังทรานซิสเตอร์ NMOIS ดังนั้นกระแสของทรานซิสเตอร์ทั้งสองจึงมีค่าเท่ากัน และถ้าคิดว่าไม่มีกระแสรั่วจากทรานซิสเตอร์ทั้งสองแล้ว จะได้

$$(\beta_n/2)(V_{in} - V_{Tn})^2 = (\beta_p/2)[2(V_{DD} - V_{in} - V_{Tp})(V_{DD} - V_{out}) - (V_{DD} - V_{out})^2] \qquad (3.2\text{-}4)$$

เมื่อถึงจุดนี้ค่าแรงดันขาออกของวงจรจะมีค่าลดลงจนถึงจุด $(V_{DD} - V_{out}) > (V_{DD} - V_{in} - V_{Tp})$ ทำให้ทรานซิสเตอร์ทั้งสองทำงานในสภาวะอิ่มตัวพร้อมกัน เรียกจุดนี้ว่าจุดเปลี่ยนสถานะของวงจร (threshold voltage ($V_T$)) ในช่วงนี้กระแสของทรานซิสเตอร์ทั้งสองยังคงเท่ากันดังนั้น

$$(\beta_n/2)(V_{in} - V_{Tn})^2 = (\beta_p/2)(V_{DD} - V_{in} - V_{Tp})^2 \qquad (3.2\text{-}5)$$

เมื่อแรงดันขาออกมีค่าลดลงจนถึงจุด $V_{out} < V_{in} - V_{Tn}$ ทรานซิสเตอร์ NMOIS จะทำงานในช่วงไม่อิ่มตัวและทรานซิสเตอร์ PMOIS จะทำงานในช่วงอิ่มตัว ดังนั้น

$$(\beta_n/2)[\,2(V_{in} - V_{Tn})V_{out} - V_{out}^2\,] = (\beta_p/2)(V_{DD} - V_{in} - V_{Tp})^2 \qquad (3.2\text{-}6)$$

จนกระทั่งแรงดันขาเข้าของวงจรเพิ่มมากขึ้นจนถึงจุด $(V_{DD} - V_{in}) < V_{Tp}$ แล้วทรานซิสเตอร์ PMOIS จะเข้าสู่สภาวะหยุดนำกระแส ดังนั้นกระแสที่ไหลในวงจรจึงเป็นศูนย์ ทำให้ค่าแรงดันขาออกมีค่าดังสมการที่ (3.2-7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{out} = V_{OL} = V_{DS(n)} = 0 \qquad (3.2\text{-}7)$$

จากการวิเคราะห์วงจรจะพบว่าวงจรจะมีกระแสไหลผ่านเมื่อทรานซิสเตอร์ทั้งสองของวงจรกำลังนำกระแสพร้อม ๆ กันซึ่งเป็นลักษณะเดียวกันกับทรานซิสเตอร์โครงสร้างแบบ CMOS และในการออกแบบวงจรอินเวอร์เตอร์จะพิจารณาจุดที่วงจรเปลี่ยนแปลงสถานะเป็นสำคัญ เนื่องจากในทางทฤษฎีที่ได้วิเคราะห์แล้วข้างต้นพบว่า ค่าแรงดันขาออกสถานะสูงและค่าแรงดันขาออกสถานะต่ำของวงจรมีค่าเท่ากับค่าแรงดันไฟเลี้ยงและค่าแรงดันกราวด์ตามลำดับ และค่าแรงดันการเปลี่ยนสถานะของวงจรตามคำนิยามในบทที่ 1 จะพิจารณาที่จุด $V_{in} = V_{out} = V_{th}$ ของวงจร ดังนั้นในขณะที่ทรานซิสเตอร์ทั้งสองกำลังทำงานในช่วงอิ่มตัวดังสมการที่ (3.2-5) เมื่อแทนค่า $V_{in} = V_{out} = V_{th}$ ลงในสมการแล้วจัดรูปสมการใหม่จะได้

$$V_{th} = \frac{V_{Tn} + \sqrt{(\beta_p/\beta_n)}(V_{DD} - V_{Tp})}{1 + (\beta_p / \beta_n)} \qquad (3.2\text{-}8)$$

ในกรณีที่ผู้ออกแบบวงจรต้องการให้วงจรสามารถทนแรงดันของสัญญาณรบกวนดีเท่ากันทั้งขณะที่วงจรทำงานในสถานะสูงและสถานะต่ำ จะต้องออกแบบให้ค่าแรงดันของการเปลี่ยนสถานะของวงจรมีค่าก็งกลางของแรงดันไฟเลี้ยง ($V_{th} = V_{DD}/2$) แทนค่าดังกล่าวนี้ลงในสมการที่ (3.2-8) แล้วจัดรูปสมการใหม่จะได้

$$\sqrt{(\beta_n/\beta_p)} = \frac{(V_{DD}/2) - |V_{Tp}|}{(V_{DD}/2) - V_{Tn}} \qquad (3.2\text{-}9)$$

จากสมการที่ (3.2-9) จะพบว่าถ้าทรานซิสเตอร์ทั้งสองมีค่าแรงดันขีดเริ่มเท่ากันแล้ว จะทำให้ค่าอัตราขยายของทรานซิสเตอร์ชนิดเอ็นเท่ากับทรานซิสเตอร์ชนิดพี โดยที่ค่าแรงดันการเปลี่ยนสถานะของวงจรจะไม่เปลี่ยนแปลงไปจากจุดกึ่งกลางของแรงดันไฟเลี้ยงของวงจรไม่ว่าจะเปลี่ยนแปลงค่าแรงดันไฟเลี้ยงเป็นเท่าใด แต่ทรานซิสเตอร์ที่ทำการออกแบบด้วยโครงสร้างทรานซิสเตอร์แบบ CMOIS ของวงจรรวมในวิทยานิพนธ์ฉบับนี้ มีค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดเอ็นเท่ากับ 1.5 โวลต์ในขณะที่ค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดพีมีค่า -2.5 โวลต์ ดังนั้นในการออกแบบวงจรอินเวอร์เตอร์จำเป็นต้องทำการกำหนดค่าแรงดันไฟเลี้ยงที่แน่นอน เพื่อกำหนดค่าอัตราขยายของทรานซิสเตอร์ทั้งสองและถ้าให้ค่าแรงดันไฟเลี้ยงขณะใช้งานมีค่า 10 โวลต์ ดังนั้นค่าอัตราขยายของทรานซิสเตอร์ทั้งสองจะมีความสัมพันธ์คือ $\beta_n / \beta_p$ มีค่า 0.5 ทำให้สามารถกำหนดค่าความกว้างและค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองได้ดังตารางที่ 3.2-1

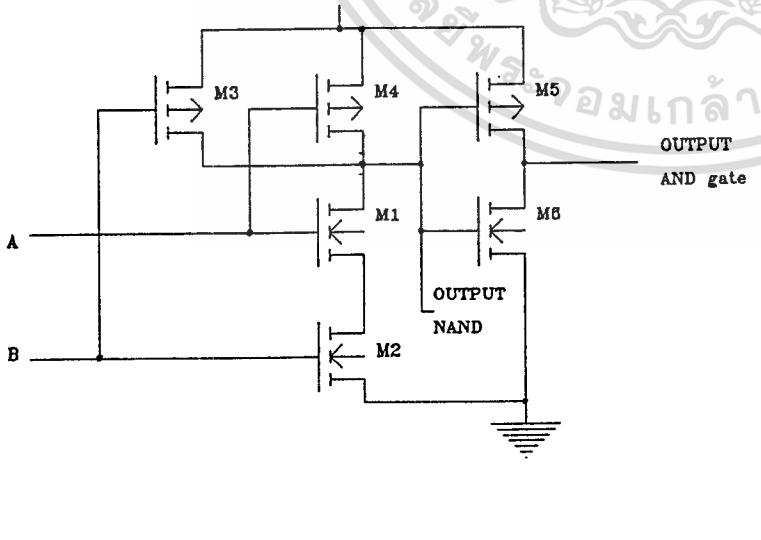
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ตารางที่ 3.2-1 แสดงค่าความกว้างและความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ในวงจรอินเวอร์เตอร์

| วงจรชุดที่ | NMOIS | | PMOIS | | $\beta_n/\beta_p$ |
|---|---|---|---|---|---|
| | w($\mu$m) | L($\mu$m) | w($\mu$m) | L($\mu$m) | |
| 1 | 200 | 20 | 160 | 20 | 0.54 |
| 2 | 200 | 20 | 100 | 20 | 0.87 |
| 3 | 100 | 20 | 80 | 20 | 0.55 |
| 4 | 100 | 20 | 80 | 40 | 0.15 |

### 3.2.2 การออกแบบวงจรแอนด์เกทและแนนด์เกท

วงจรแอนด์เกทและวงจรแนนด์เกทที่ออกแบบและสร้างขึ้นด้วยโครงสร้างทรานซิสเตอร์แบบ CMOIS [11] เป็นวงจรที่มีสัญญาณขาเข้าสองทาง (2-input NAND gate and AND gate) คือแรงดันที่จุด A และจุด B ดังรูปที่ 3.2-2




| A | B | A.B | A.B |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

รูปที่ 3.2-2 แสดงวงจรแอนด์เกทและแนนด์เกทโครงสร้างทรานซิสเตอร์แบบ CMOIS และตารางความจริงของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาการทำงานเฉพาะวงจรแนนด์เกทก่อนในส่วนแรกของวงจรในรูปที่ 3.2-2 และจากตารางความจริงจะพบว่า ในการทดสอบวงจรเพื่อหาความสัมพันธ์ระหว่างแรงดันขาออกและแรงดันขาเข้าของวงจรสามารถทำได้สามกรณีคือ กรณีที่ 1 เชื่อมแรงดันขาเข้าของวงจรทั้งสองเข้าด้วยกันแล้วทำการเปลี่ยนแปลงสัญญาณขาเข้าจากแรงดันศูนย์โวลต์ไปสู่แรงดันไฟเลี้ยงของวงจร กรณีที่ 2 คือให้ค่าแรงดันที่สัญญาณขาเข้าที่จุด A เป็นแรงดันไฟเลี้ยงแล้วทำการเปลี่ยนแปลงแรงดันขาเข้าที่จุด B จากแรงดันศูนย์เป็นแรงดันไฟเลี้ยง และกรณีสุดท้ายคือให้ค่าแรงดันสัญญาณขาเข้าที่จุด B มีค่าเป็นแรงดันไฟเลี้ยงแล้วทำการเปลี่ยนแปลงแรงดันขาเข้าที่จุด A จากแรงดันศูนย์โวลต์เป็นแรงดันไฟเลี้ยง ซึ่งแต่ละกรณีของการทำงานของวงจรจะได้กราฟคุณสมบัติการส่งผ่านสัญญาณแรงดันที่แตกต่างกันเล็กน้อย ดังนั้นในการออกแบบวงจรแนนด์เกทนี้จะเลือกพิจารณากรณีที่ 1 เท่านั้น คือทำการเปลี่ยนแปลงค่าแรงดันสัญญาณขาเข้าของวงจรพร้อม ๆ กัน แล้วทำการวิเคราะห์วงจรได้ดังต่อไปนี้

ถ้าทำการเชื่อมจุด A เข้ากับจุด B และให้แรงดันเริ่มต้นเป็นศูนย์โวลต์ ทำให้แรงดันขาออกของวงจรขณะนี้คือแรงดันไฟเลี้ยง ($V_{DD}$) ดังนั้นสามารถหาค่าแรงดันของการเปลี่ยนแปลงสถานะของวงจร (threshold voltage) โดยพิจารณาที่จุด $V_{in} = V_{out} = V_{th}$ ได้ดังต่อไปนี้

วงจรในรูปที่ 3.2-2 และการจ่ายศักดาไฟฟ้าต่าง ๆ ในวงจรจะพบว่า ขั้วของทรานซิสเตอร์ชนิดพีที่ต่อกับแหล่งจ่ายไฟเลี้ยงจะเป็นขั้วซอสของทรานซิสเตอร์ชนิดพี และขั้วที่เหลือจะคือขั้วเดรน และทรานซิสเตอร์ชนิดเอ็นตัวที่ M2 จะมีขั้วซอสคือขั้วที่ต่อกับระดับสัญญาณอ้างอิง (0 โวลต์) ส่วนทรานซิสเตอร์ชนิดเอ็นตัวที่ M1 มีขั้วที่ต่อกับสัญญาณขาออกเป็นขั้วเดรนเนื่องจากสัญญาณขาออกขณะที่พิจารณาอยู่นี้มีศักดาไฟฟ้าสูงกว่าขั้วที่เหลือ ดังนั้นขั้วที่เหลือของทรานซิสเตอร์ชนิดเอ็นตัวที่ M1 จะเป็นขั้วซอส และในทำนองเดียวกันทรานซิสเตอร์ M5 และ M6 จะพิจารณาการแบ่งขั้วแบบวงจรอินเวอร์เตอร์ที่ได้นำเสนอไปแล้วในหัวข้อที่ 3.2.1 และในการพิจารณากำหนดให้ทรานซิสเตอร์ชนิด NMOIS ตัวที่ M1 และ M2 มีค่าอัตราขยายและค่าแรงดันขีดเริ่มเป็น $\beta_n$ และ $V_{Tn}$ และในทำนองเดียวกันทรานซิสเตอร์ชนิด PMOIS ตัวที่ M3 และ M4 ในวงจรมีค่าอัตราขยายและค่าแรงดันขีดเริ่มเป็น $\beta_p$ และ $V_{Tp}$ ตามลำดับ ดังนั้นในขณะที่ $V_{in} = V_{out} = V_{th}$ จะได้

$$V_{GS(M1)} = V_{th} - V_{DS(M2)} \qquad (3.2\text{-}10)$$

และ

$$V_{GS(M2)} = V_{th} \qquad (3.2\text{-}11)$$

จาก Kirchhoff's voltage law จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{th} = V_{DS(M1)} + V_{DS(M2)} \qquad (3.2\text{-}12)$$

แทนค่า $V_{th}$ จากสมการที่ (3.2-12) ลงในสมการที่ 3.2-10 จะได้

$$V_{GS(M1)} = V_{DS(M1)} \qquad (3.2\text{-}13)$$

จากสมการที่ (3.2-13) สรุปได้ว่าทรานซิสเตอร์ M1 กำลังทำงานในช่วงอิ่มตัว ดังนั้นกระแสเดรนของทรานซิสเตอร์ M1 มีค่า

$$I_D = I_{D(M1)} = (\beta_n/2)(V_{th} - V_{Tn} - V_{DS(M2)})^2 \qquad (3.2\text{-}14)$$

ในขณะนี้ทรานซิสเตอร์ M2 มีค่าแรงดัน $V_{GS(M2)} > V_{GS(M1)}$ และเนื่องจากทรานซิสเตอร์ชนิด NMOIS ทั้ง M1 และ M2 มีค่าอัตราขยายเท่ากันดังที่ได้กำหนดไว้แล้วข้างต้น ดังนั้น $[V_{GS(M2)} - V_{Tn}] > [V_{GS(M1)} - V_{Tn}]$ ทำให้ทราบว่าขณะนี้ทรานซิสเตอร์ M2 กำลังทำงานในช่วงไม่อิ่มตัวมีค่ากระแสเดรนที่ไหลผ่านทรานซิสเตอร์ดังสมการที่ (3.2-15)

$$I_D = I_{D(M2)} = (\beta_n/2)\{[2(V_{th} - V_{Tn})V_{DS(M2)}] - [V_{DS(M2)}]^2\} \qquad (3.2\text{-}15)$$

แต่เนื่องจากกระแสเดรนของทรานซิสเตอร์ทั้งสองมีค่าเท่ากัน ดังนั้นถ้าทำการจัดรูปสมการที่ (3.2-14) ใหม่เพื่อหาค่า $V_{DS(M2)}$ จะได้

$$V_{DS(M2)} = (V_{th} - V_{Tn}) - (2I_{D(M2)}/\beta_n) \qquad (3.2\text{-}16)$$

แล้วทำการแทนค่า $V_{DS(M2)}$ จากสมการที่ (3.2-16) ลงในสมการที่ (3.2-15) พร้อมจัดรูปสมการใหม่จะได้

$$V_{th} = 2(I_D/\beta_n) + V_{Tn} \qquad (3.2\text{-}17)$$

สมการที่ (3.2-17) จะเป็นสมการที่ใช้ในการหาค่าแรงดันการเปลี่ยนสถานะของวงจรได้แต่ต้องทราบค่าของกระแสเดรนที่ไหลมาจากทรานซิสเตอร์ชนิด PMOIS ตัวที่ M3 และ M4 ก่อน ดังนั้นจึงต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการพิจารณาค่ากระแสเดรนนี้จากนั้นจึงทำการแทนค่าลงในสมการที่ (3.2-17) เพื่อหาค่าแรงดันการเปลี่ยนสถานะของวงจรดังกล่าวต่อไป

จากการจ่ายศักดาไฟฟ้าต่าง ๆ พบว่าขณะที่วงจรกำลังเปลี่ยนแปลงสถานะทำให้ $V_{SG(M3)} = V_{SG(M4)} = V_{DD} - V_{th}$ โดยที่ $V_{SD(M3)} = V_{SD(M4)} = V_{DD} - V_{th}$ ดังนั้นทรานซิสเตอร์ชนิด PMOIS ตัวที่ M3 และ M4 ทั้งสองตัวก้ำลังทำงานในช่วงอิ่มตัวโดยมีค่ากระแสเดรนที่ไหลผ่านทรานซิสเตอร์คือ

$$I_D = I_{D(M3)} = I_{D(M4)} = (\beta_p/2)\,(V_{DD} - V_{th} - V_{Tp})^2 \qquad (3.2\text{-}18)$$

แทนค่ากระแสเดรนที่ไหลจากทรานซิสเตอร์ชนิด PMOIS สู่ทรานซิสเตอร์ชนิด NMOIS จากสมการที่ (3.2-18) ลงในสมการที่ (3.2-17) แล้วจัดรูปใหม่จะได้

$$V_{th} = \frac{V_{Tn} + 2\sqrt{(\beta_p/\beta_n)}(V_{DD} - |V_{Tp}|)}{1 + 2\sqrt{(\beta_p/\beta_n)}} \qquad (3.2\text{-}19)$$

จัดรูปของสมการใหม่เพื่อหาขนาดของทรานซิสเตอร์จะได้

$$(\beta_p/\beta_n) = \frac{V_{th} - V_{Tn}}{2(V_{DD} - V_{th} - |V_{Tp}|)} \qquad (3.2\text{-}20)$$

ดังนั้นในการออกแบบวงจรแนนด์เกทจะทำการแทนค่าพารามิเตอร์ต่าง ๆ ลงในสมการเพื่อหาขนาดของทรานซิสเตอร์ที่ประกอบวงจรเช่นเดียวกับการออกแบบวงจรอินเวอร์เตอร์ คือค่าแรงดันไฟเลี้ยงของวงจรมีค่า 10 โวลต์ และค่าแรงดันชีดเริ่มของทรานซิสเตอร์ชนิด NMOIS และทรานซิสเตอร์ชนิด PMOIS มีค่า 1.5 และ -2.5 โวลต์ตามลำดับ จะได้

$$\beta_p / \beta_n = 0.5 \qquad (3.2\text{-}20)$$

จากสมการที่ (3.2-20) สามารถกำหนดค่าความกว้างและความยาวของช่องทางเดินกระแสของทรานซิสเตอร์แต่ละตัวในวงจรแนนด์เกทได้ดังตารางที่ 3.2-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

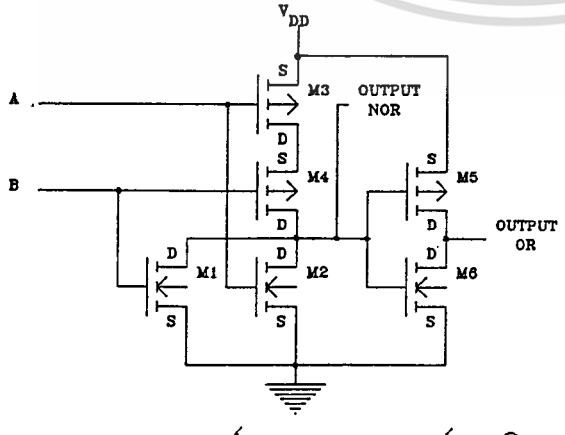
ตารางที่ 3.2-2 แสดงค่าความกว้างและค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ในวงจรแนนด์เกท

| วงจรชุดที่ | N-channel | | P-channel | | $\beta_p/\beta_n$ |
|---|---|---|---|---|---|
| | w(μm) | L(μm) | w(μm) | L(μm) | |
| 1 | 200 | 20 | 160 | 20 | 0.54 |
| 2 | 200 | 20 | 100 | 20 | 0.87 |
| 3 | 100 | 20 | 80 | 20 | 0.55 |
| 4 | 100 | 20 | 80 | 20 | 0.15 |

ในกรณีของวงจรแอนด์เกทจะทำการต่อวงจรอินเวอร์เตอร์เพิ่มเข้าที่สัญญาณขาออกของวงจรแนนด์เกทโดยวงจรอินเวอร์เตอร์ที่นำมาต่อจะมีพารามิเตอร์เช่นเดียวกับวงจรอินเวอร์เตอร์ที่ได้ทำการออกแบบไว้ในหัวข้อที่ 3.2-1 ที่มีค่าอัตราส่วนของ $\beta_n/\beta_p$ ประมาณ 0.55

### 3.2.3 การออกแบบวงจรออร์เกทและวงจรนอร์เกท

วงจรออร์เกทและวงจรนอร์เกทที่ได้ทำการออกแบบและสร้างขึ้นด้วยโครงสร้างทรานซิสเตอร์แบบ CMOIS มีสัญญาณขาเข้าสองทาง (2-input NOR gate and OR gate) คือแรงดันขาเข้าที่จุด A และจุด B ดังแสดงในรูปที่ 3.2-3




| A | B | A+B | A+B |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 |

รูปที่ 3.2-3 แสดงวงจรออร์เกทและวงจรนอร์เกทโครงสร้างทรานซิสเตอร์แบบ CMOIS และตารางความจริงของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการพิจารณาชั้วต่าง ๆ ของทรานซิสเตอร์แต่ละตัวในวงจรพิจารณาได้เช่นเดียวกับการพิจารณาการแยกชั้วของวงจรแอนด์เกท และสามารถแสดงชั้วต่าง ๆ ดังรูปที่ 3.2-3 และจากตารางความจริงของวงจรจะพบว่า ในการวิเคราะห์วงจรจะมีลักษณะเช่นเดียวกับการวิเคราะห์วงจรแนนด์เกท กล่าวคือในการวิเคราะห์ระดับแรงดันการเปลี่ยนสถานะของวงจรสามารถกระทำได้สามวิธี แต่ในการวิเคราะห์วงจรที่จะนำเสนอนี้ จะทำการเชื่อมต่อสัญญาณขาเข้าของวงจรทั้งสองเข้าด้วยกันแล้วทำการเปลี่ยนแปลงแรงดันขาเข้าทั้งสองจากค่าแรงดันศูนย์โวลต์ไปสู่แรงดันไฟเลี้ยงของวงจร และพิจารณาจุดที่แรงดันของวงจรเปลี่ยนแปลงสถานะคือจุดที่ $V_{in} = V_{out} = V_{th}$ ดังนั้นในกรณีนี้จะได้

$$V_{GS(M1)} = V_{GS(M2)} = V_{th} = V_{DS(M1)} = V_{DS(M2)} \qquad (3.2\text{-}21)$$

และเช่นเดียวกับการพิจารณาวงจรแนนด์เกทและแอนด์เกทคือ ทรานซิสเตอร์ชนิด NMOIS ตัวที่ M1 และ M2 จะมีค่าอัตราขยายและค่าแรงดันขีดเริ่มเป็น $\beta_n$ และ $V_{Tn}$ ตามลำดับ และในทำนองเดียวกัน ทรานซิสเตอร์ชนิด PMOIS ตัวที่ M4 และ M3 จะมีค่าอัตราขยายและค่าแรงดันขีดเริ่มเป็น $\beta_p$ และ $V_{Tp}$ เช่นเดียวกัน ดังนั้น

$$\begin{aligned} I_D &= I_{D(M1)} + I_{D(M2)} \\ &= \beta_n ( V_{Th} - V_{tn} )^2 \end{aligned} \qquad (3.2\text{-}22)$$

จัดรูปสมการใหม่จะได้

$$(V_{th} - V_{tn}) = (I_D/\beta_n) \qquad (3.2\text{-}23)$$

สมการที่ (3.2-23) จะเป็นสมการที่ใช้ในการหาค่าแรงดันการเปลี่ยนแปลงสถานะของวงจร ดังนั้นจึงต้องหากระแสเดรนที่ไหลจากทรานซิสเตอร์ชนิด PMOIS โดยการพิจารณาการทำงานของทรานซิสเตอร์ชนิด PMOIS ตัวที่ M3 และ M4 ก่อน ขณะที่แรงดันของวงจรกำลังเปลี่ยนแปลงสถานะนี้

$$V_{GS(M3)} = V_{DD} - V_{th} \qquad (3.2\text{-}24)$$

และ $$V_{GS(M4)} = V_{DD} - V_{th} - V_{SD(M3)} \qquad (3.2\text{-}25)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก Kirchhoff's voltage law ที่จุดแรงดันขาออกของวงจรจะได้

$$V_{DD} - V_{th} = V_{SD(M3)} + V_{SD(M4)} \qquad (3.2\text{-}26)$$

แสดงว่าขณะนี้ทรานซิสเตอร์ M3 กำลังทำงานในช่วงไม่อิ่มตัว และทรานซิสเตอร์ M4 กำลังทำงานในช่วงอิ่มตัว ดังนั้นกระแสเดรนของทรานซิสเตอร์ทั้งสองคือ

M3 มี $I_D = (\beta_p/2)[(2(V_{DD} - V_{th} - V_{Tp})V_{SD(M3)}) - V_{SD(M3)}^2]$ (3.2-27)

M4 มี $I_D = (\beta_p/2)[V_{DD} - V_{th} - V_{Tp} - V_{SD(M4)}]^2$ (3.2-28)

ทำการกำจัดเทอม $V_{SD(M3)}$ ออกจากสมการจะได้

$$(2I_D/\beta_p) = V_{DD} - V_{th} - V_{Tp} \qquad (3.2\text{-}29)$$

ทำการแทนค่ากระแสเดรนที่ไหลจากทรานซิสเตอร์ชนิดพีจากสมการที่ (3.2-29) ลงในสมการที่ (3.2-23) แล้วจัดรูปสมการใหม่จะได้

$$V_{th} = \frac{V_{Tn} + 0.5\sqrt{(\beta_p/\beta_n)}(V_{DD} - V_{Tp})}{1 + 0.5\sqrt{(\beta_p/\beta_n)}} \qquad (3.2\text{-}30)$$

จากสมการที่ (3.2-30) จะพบว่าค่าแรงดันของการเปลี่ยนสถานะของวงจรจะมีลักษณะคล้ายคลึงกับแรงดันการเปลี่ยนสถานะของวงจรแนนด์เกท กล่าวคือค่าแรงดันนี้มีค่าขึ้นกับค่าแรงดันขีดเริ่มของทรานซิสเตอร์ในวงจรและขึ้นกับค่าแรงดันไฟเลี้ยงของวงจรด้วย นอกจากนี้ค่าอัตราส่วนของอัตราขยายของทรานซิสเตอร์ทั้งสองก็ยังคงเป็นปัจจัยที่สำคัญในการออกแบบวงจร ทำการจัดรูปสมการที่ 3.2-30 ใหม่เพื่อให้สะดวกแก่การกำหนดค่าความกว้างและความยาวของช่องทางเดินกระแสของทรานซิสเตอร์แต่ละตัวในวงจรจะได้

$$\sqrt{(\beta_p/\beta_n)} = \frac{2(V_{th} - V_{Tn})}{(V_{DD} - V_{th} - V_{Tp})} \qquad (3.2\text{-}31)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่าแรงดันการเปลี่ยนสถานะของวงจรมีค่ากึ่งกลางของแรงดันไฟเลี้ยงและค่าแรงดันขีดเริ่มของทรานซิสเตอร์ทั้งสองเช่นเดียวกับวงจรแนนด์เกทจะได้

$$\beta_p/\beta_n = 7.8 \qquad (3.2\text{-}32)$$

จากสมการที่ (3.2-32) ทำการกำหนดค่าความกว้างและค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ที่ประกอบเป็นวงจรนอร์เกทได้ดังตารางที่ 3.2-3

ตารางที่ 3.2-3 แสดงค่าความกว้างและความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ในวงจรนอร์เกท

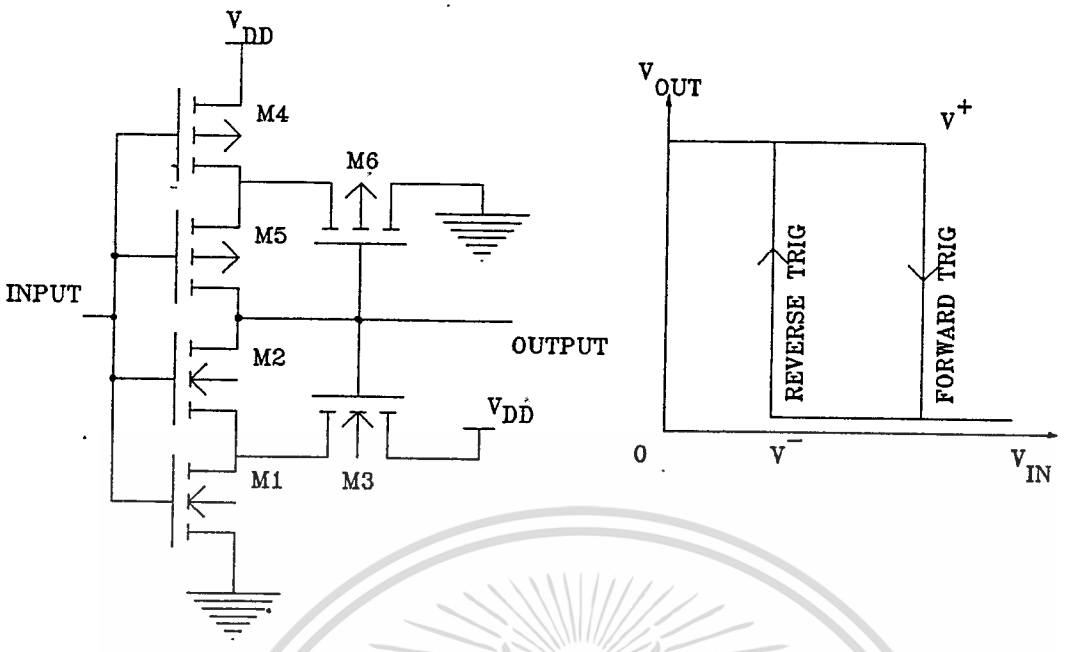
| วงจรชุดที่ | N-channel | | P-channel | | $\beta_p/\beta_n$ |
|---|---|---|---|---|---|
| | w($\mu$m) | L($\mu$m) | w($\mu$m) | L($\mu$m) | |
| 1 | 100 | 20 | 200 | 20 | 4.6 |
| 2 | 80 | 20 | 200 | 20 | 6.8 |
| 3 | 80 | 20 | 240 | 40 | 7.3 |

และในกรณีที่ต้องการแรงดันขาออกทำงานแบบวงจรออร์เกทกระทำได้โดยต่อวงจรอินเวอร์เตอร์ที่ได้ออกแบบไว้ในหัวข้อที่ 3.2-1 โดยวงจรอินเวอร์เตอร์ที่นำมาต่อเพิ่มนั้นมีค่า $\beta_n/\beta_p$ ประมาณ 0.5 ที่ขาแรงดันขาออกของวงจรนอร์เกทดังแสดงในรูปที่ 3.2-3

### 3.2.4 การออกแบบวงจรจุดชนวนของชมิตต์

วงจรจุดชนวนของชมิตต์ที่ออกแบบและสร้างขึ้นด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS และลักษณะของการส่งผ่านสัญญาณแรงดันแสดงได้ดังรูปที่ 3.2-4 [12]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.2-4 แสดงวงจรจุดชนวนของชมิตต์โครงสร้างทรานซิสเตอร์แบบ CMOIS และคุณสมบัติการส่งผ่านสัญญาณแรงดัน

ในการทดสอบคุณสมบัติของวงจรจุดชนวนของชมิตต์จะทำการทดสอบค่าแรงดันทริกที่ขอบขาขึ้น (forward trigger voltage ($V^+$) ของวงจรโดยการเปลี่ยนค่าแรงดันขาเข้าจากค่าแรงดันศูนย์โวลต์ไปสู่ค่าแรงดันไฟเลี้ยงของวงจรเช่นเดียวกับการทดสอบวงจรดิจิตอลทั่ว ๆ ไป และค่าแรงดันทริกที่ขอบขาลง (reverse trigger voltage ($V^-$)) ของวงจรโดยการเปลี่ยนค่าแรงดันขาเข้าของวงจรจากค่าแรงดันไฟเลี้ยงไปสู่ค่าแรงดันศูนย์โวลต์ จุดที่เป็นค่าแรงดันทั้งสอง ($V^+$ และ $V^-$) คือจุดที่แรงดันของวงจรเริ่มเปลี่ยนแปลงสถานะพอดี ดังรูปที่ 3.2-4 และค่าแรงดันทั้งสองนี้สามารถวิเคราะห์แยกออกจากกันได้

พิจารณาแรงดันทริกที่ขอบขาขึ้นโดยเริ่มป้อนแรงดันขาเข้าของวงจรเป็นศูนย์โวลต์ ทรานซิสเตอร์ชนิด PMOIS ตัวที่ M4 และ M5 จะนำกระแสในช่วงอิ่มตัวเนื่องจากความแตกต่างของค่าแรงดันขาเข้าของวงจรกับค่าแรงดันไฟเลี้ยงสูงกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด PMOIS ดังนั้นค่าแรงดัน $V_y$ จึงมีค่าเท่ากับค่าแรงดัน $V_x$ แต่ในขณะนี้ไม่มีกระแสไหลในวงจร เนื่องจากทรานซิสเตอร์ชนิด NMOIS ตัวที่ M1 และ M2 ยังไม่นำกระแสเพราะค่าแรงดันขาเข้าของทรานซิสเตอร์มีค่าน้อยกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS และเมื่อค่าแรงดัน $V_x$ มีค่าเป็นแรงดันไฟเลี้ยงแล้วทำให้ทรานซิสเตอร์ M3 จะนำกระแสในช่วงอิ่มตัวและเมื่อพิจารณาทรานซิสเตอร์ M1 และ M3 จะพบว่าประกอบขึ้นเป็นวงจร NMOIS อินเวอร์เตอร์ที่มีตัวโหลดแบบอิ่มตัวคือ M3 และตัวขับคือทรานซิสเตอร์ M1 ดังนั้นค่าแรงดัน $V_z$ (ซึ่งเป็นค่าแรงดันขาออกของวงจร NMOIS อินเวอร์เตอร์) มีค่า $V_x - V_{Tn}$ (เกิดเนื่องจากพฤติกรรมของสัญญาณขาออกสถานะสูงของวงจร NMOIS อินเวอร์เตอร์ที่ต้องสูญเสียค่าแรงดันที่ตก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คร่อมขั้วเดรนและซอสซึ่งมีค่าเท่ากับค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS ตัวโหลดในวงจร) และเมื่อเพิ่มค่าแรงดันขาเข้าสูงขึ้นจนมีค่าเท่ากับค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS พอดี ทำให้ทรานซิสเตอร์ M1 เริ่มนำกระแส แต่ทรานซิสเตอร์ M2 ยังคงอยู่ในสภาวะหยุดนำกระแสเนื่องจากค่าแรงดันขั้วเกทและขั้วซอสของทรานซิสเตอร์ M2 คือค่าแรงดัน $V_{in} - V_z$ ซึ่งต้องน้อยกว่าค่าแรงดันขีดเริ่มแน่นอน ดังนั้นในขณะนี้ถึงแม้ว่าแรงดันขาเข้าของวงจรจะสูงกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS ก็ตาม ค่าแรงดันขาออกของวงจรจุดชนวนของชมิตต์ก็ยังคงมีค่าเป็นค่าแรงดันไฟเลี้ยง และเมื่อเพิ่มค่าแรงดันขาเข้าของวงจรให้สูงขึ้นกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS จนทำให้ค่าแรงดัน $V_z$ มีค่าลดลง (คือจุดที่ NMOIS อินเวอร์เตอร์เริ่มเปลี่ยนสถานะสูงไปสถานะต่ำ)ที่จุดนี้ค่าแรงดันขาเข้าของทรานซิสเตอร์ M2 จึงจะมีค่ามากกว่าค่าแรงดันขีดเริ่ม ทำให้ทรานซิสเตอร์ M2 เริ่มนำกระแสได้ ดังนั้นแรงดันขาออกของวงจรจุดชนวนของชมิตต์จึงจะเริ่มมีค่าลดลง ซึ่งก็คือค่าแรงดันทริกที่ชอบขาขึ้นของวงจรนั่นเอง ดังนั้นในขณะที่เกิดสภาวะแรงดัน $V^+$ นี้ทรานซิสเตอร์ M2 เริ่มทำงานพอดี แต่ยังไม่มีกระแสไหลได้เนื่องจากค่าแรงดันขั้วเดรนกับขั้วซอสมีค่าใกล้เคียงศูนย์โวลต์ กล่าวคือ

$$V_{GS(M2)} = V_{Tn} \qquad (3.2\text{-}33)$$

และแรงดันขาเข้าของวงจรมีค่า

$$V_{in} = V_{GS(M1)} = V_{Tn} + V_{DS(M1)} \qquad (3.2\text{-}34)$$

ในขณะนี้ทรานซิสเตอร์ M1 ซึ่งกำลังทำงานในช่วงอิ่มตัว มีกระแสไหลผ่านทรานซิสเตอร์เท่ากับกระแสที่ไหลมาจากทรานซิสเตอร์ M3 ซึ่งทำงานในช่วงอิ่มตัวเช่นเดียวกัน ดังนั้น

$$(\beta_1/2)(V_{in} - V_{Tn})^2 = (\beta_3/2)(V_{DD} - V_{DS(M1)} - V_{Tn})^2 \qquad (3.2\text{-}35)$$

แต่ในขณะนี้ค่าแรงดันขาเข้าของวงจร ($V_{in}$) คือค่าแรงดันทริกที่ชอบขาขึ้น ($V^+$) พอดี ดังนั้นทำการแทนค่า $V_{DS(M1)} - V_{Tn} = V_{in} = V^+$ ลงในสมการที่ (3.2-35) จะได้

$$(\beta_1/2)(V^+ - V_{Tn})^2 = (\beta_3/2)(V_{DD} - V^+)^2 \qquad (3.2\text{-}36)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

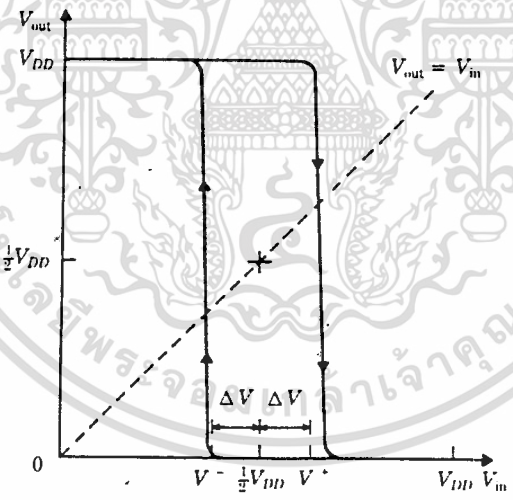
จัดรูปสมการใหม่จะได้

$$V^{+} = \frac{V_{DD}+\sqrt{(\beta_1/\beta_3)}\,V_{Tn}}{1+\sqrt{(\beta_1/\beta_3)}} \qquad (3.2\text{-}37)$$

และในการพิจารณาค่าแรงดันทริกที่ขอบขาลง ($V^{-}$) ของวงจร จะทำการพิจารณาในทำนองเดียวกันแต่ทรานซิสเตอร์ที่ส่งผลต่อการทำงานคือทรานซิสเตอร์ชนิด PMOIS ตัวที่ M4 และ M6 และมีค่าแรงดันทริกที่ขอบขาลงคือ

$$V^{-} = \frac{\sqrt{(\beta_4/\beta_6)}(V_{DD}-V_{Tp})}{1+\sqrt{(\beta_4/\beta_6)}} \qquad (3.2\text{-}38)$$

ในการออกแบบวงจรจุดชนวนของชมิตต์จะทำการออกแบบให้ค่าแรงดันทั้งสองนี้ ($V^{+}$ และ $V^{-}$) มีค่าห่างจากจุดกึ่งกลางของค่าแรงดันไฟเลี้ยงของวงจรในปริมาณที่เท่า ๆ กันดังรูปที่ 3.2-5




รูปที่ 3.2-5 แสดงค่าแรงดัน $\Delta V$ ที่ใช้ในการออกแบบวงจรจุดชนวนช่องชมิตต์

ในวิทยานิพนธ์ฉบับนี้กำหนดให้ค่า $\Delta V$ มีค่าเป็น 1 โวลต์ โดยค่าแรงดันไฟเลี้ยงของวงจรมีค่า 10 โวลต์และเมื่อแทนค่าแรงดันขีดเริ่มของทรานซิสเตอร์ทั้งสองแล้วจะได้อัตราส่วน($\beta$)ของทรานซิสเตอร์ทั้งชนิดเอ็นและชนิดพีคือ

$$\beta_1/\beta_3 = 4/5 \quad ; \quad \beta_4/\beta_6 = 4/3 \qquad (3.2\text{-}39)$$

จากสมการที่ (3.2-39) สามารถกำหนดค่าความกว้างและค่าความยาวของช่องทางเดินกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของทรานซิสเตอร์ที่ทำงานในวงจรได้ดังตารางที่ 3.2-4

ตารางที่ 3.2-4 แสดงค่าความกว้างและค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ในวงจรจุดชนวนของชมิตต์

| วงจรที่ | M1 | | M3 | | M4 | | M6 | | $\beta 1/\beta 3$ | $\beta 4/\beta 6$ |
|---|---|---|---|---|---|---|---|---|---|---|
| | w | L | w | L | w | L | w | L | | |
| 1 | 100 | 20 | 100 | 20 | 200 | 20 | 140 | 20 | 1 | 7/5 |
| 2 | 160 | 20 | 200 | 20 | 120 | 20 | 100 | 20 | 4/5 | 4/3 |
| 3 | 140 | 20 | 200 | 20 | 100 | 20 | 100 | 20 | 4/6 | 1 |

* หน่วยของความยาว w และ L เป็น ไมโครเมตร

## 3.3 การออกแบบวงจรรวมเชิงเส้นเบื้องต้น

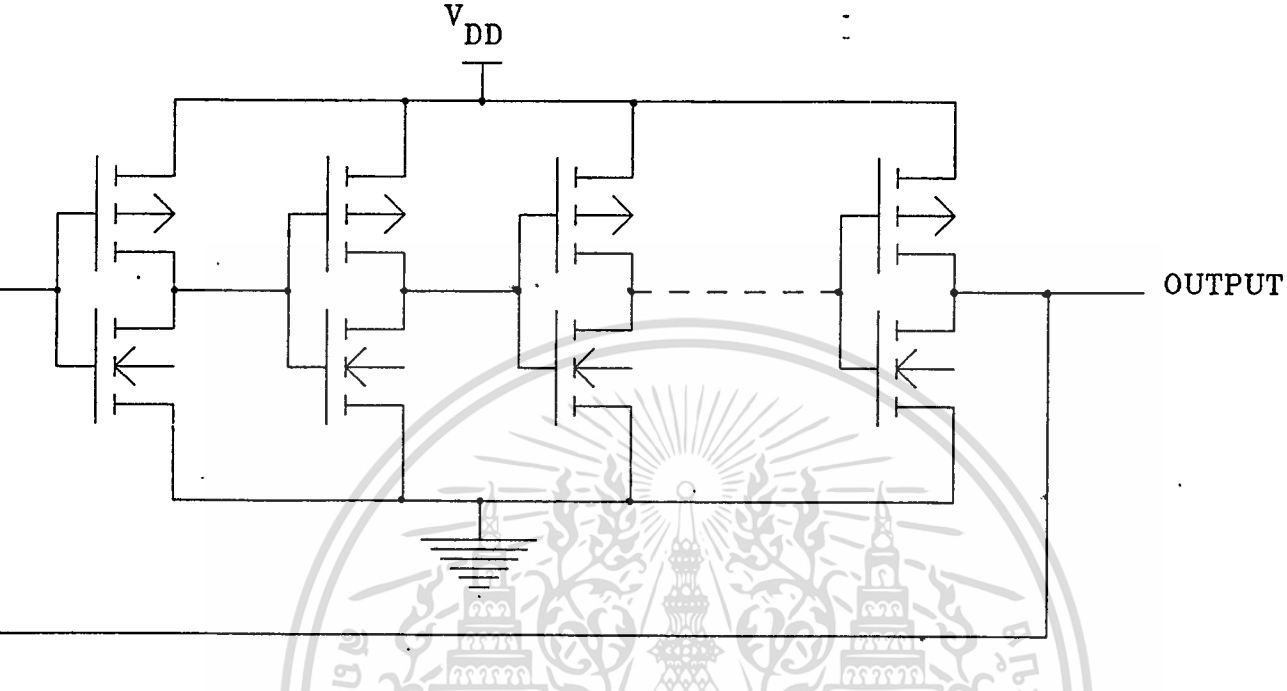
การประยุกต์ทรานซิสเตอร์โครงสร้างแบบ CMOIS เป็นวงจรรวมเชิงเส้นสามารถกระทำได้เช่นเดียวกับการใช้ทรานซิสเตอร์โครงสร้างแบบ CMOS แต่ทรานซิสเตอร์โครงสร้างแบบ CMOIS จ่ายกระแสได้น้อยกว่าทรานซิสเตอร์โครงสร้างแบบ CMOS ที่มีขนาดทางเรขาคณิตเท่ากัน (เนื่องจากค่าความคล่องตัวของประจุพาหะบริเวณผิวของสิ่งประดิษฐ์ประเภท MOIS มีค่าต่ำกว่าความคล่องตัวของประจุพาหะที่ผิวของสิ่งประดิษฐ์ประเภท MOS) ดังนั้นถ้าวงจรรวมเชิงเส้นที่ทำการออกแบบมีความต้องการกระแสเพื่อจ่ายกำลังแก่โหลดในปริมาณมากจึงต้องออกแบบให้ขนาดของอัตราส่วนของความกว้างต่อความยาวของช่องทางเดินกระแสมีค่ามากทำให้วงจรใช้พื้นที่บนแผ่นผลึกซิลิกอนสูงกว่าวงจรรวมโครงสร้างแบบ CMOS แต่วงจรรวมเชิงเส้นที่จะกล่าวถึงนี้ใช้กระแสที่ไหลออกจากวงจรน้อย โดยค่าพลังงานที่จ่ายแก่โหลดภายนอกในรูปของแรงดันเท่านั้น ดังนั้นวงจรรวมเชิงเส้นในลักษณะนี้จึงสามารถออกแบบด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS ได้

### 3.3.1 การออกแบบวงจรริงออสซิลเลเตอร์

วงจรริงออสซิลเลเตอร์คือวงจรกำเนิดความถี่ชนิดหนึ่ง ลักษณะของวงจรจะประกอบด้วยวงจรอินเวอร์เตอร์ต่อขนานกันโดยมีจำนวนของวงจรอินเวอร์เตอร์เป็นจำนวนคี่ แล้วนำสัญญาณขาออกของวง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จรอินเวอร์เตอร์ชุดสุดท้ายป้อนกลับเป็นสัญญาณขาเข้าของอินเวอร์เตอร์ชุดที่ 1 ดังรูปที่ 3.3-1




รูปที่ 3.3-1 แสดงวงจรริงออสซิลเลเตอร์โครงสร้างแบบ CMOIS

การแบ่งชั้วไฟฟ้าของทรานซิสเตอร์ที่ประกอบขึ้นเป็นวงจรริงออสซิลเลเตอร์จะพิจารณาเช่นเดียวกันกับวงจรอินเวอร์เตอร์ที่ได้กล่าวไปแล้วในหัวข้อที่ 3.2.1 การใช้งานจะทำการจ่ายแรงดันไฟเลี้ยงแก่วงจรค่าหนึ่งและวงจรจะกำเนิดสัญญาณความถี่ออกมา จุดเริ่มต้นของการทำงานของวงจรคือจุดที่แรงดัน $V_{SG}$ ของทรานซิสเตอร์ชนิด PMOIS ของวงจรอินเวอร์เตอร์ สูงกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด PMOIS นั้น (แรงดันขาเข้าของวงจรอินเวอร์เตอร์ทุกชุดมีค่าเป็นศูนย์เมื่อเริ่มพิจารณา) เมื่อทรานซิสเตอร์ชนิด PMOIS ของวงจรอินเวอร์เตอร์ทุกชุดนำกระแสในขณะที่ทรานซิสเตอร์ชนิด NMOIS ของวงจรอินเวอร์เตอร์ทุกชุดเช่นเดียวกัน ยังไม่นำกระแส ดังนั้นค่าแรงดันขาออกของวงจรอินเวอร์เตอร์ทุกชุดที่ประกอบเป็นวงจรริงออสซิลเลเตอร์จะมีสถานะสูง และค่าแรงดันขาออกของวงจรชุดที่ 1 นี้จะทำให้แรงดันขาออกของวงจรอินเวอร์เตอร์ชุดที่ 2 มีค่าเป็นศูนย์ โดยใช้เวลาในการเปลี่ยนสถานะเท่ากับเวลาหน่วง (propagation delay time) ของวงจรอินเวอร์เตอร์ชุดที่ 2 และส่งผลต่อแรงดันขาออกต่อวงจรอินเวอร์เตอร์ในสถานะต่อ ๆ ไปจนถึงวงจรอินเวอร์เตอร์ชุดสุดท้ายและในขณะที่วงจรอินเวอร์เตอร์ชุดที่ 1 ส่งสถานะสัญญาณขาออกของวงจรไปยังวงจรอินเวอร์เตอร์ชุดที่ 2 ให้ทำงาน วงจรอินเวอร์เตอร์ชุดที่ 1 ก็จะถูกวงจรอินเวอร์เตอร์ชุดสุดท้ายส่งสถานะสัญญาณขาออกสถานะสูงมาที่สัญญาณขาเข้าของวงจรด้วย ดังนั้นวงจรอินเวอร์เตอร์ชุดที่ 1 จึงเกิดการเปลี่ยนแปลงสถานะในทันทีที่วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จรส่งสถานะสัญญาณขาออกไปยังวงจรอินเวอร์เตอร์ชุดที่ 2 ดังนั้นสรุปได้ว่าค่าแรงดันขาออกของวงจรอินเวอร์เตอร์ชุดเลข คี่จะมีค่าแรงดันตรงกันข้ามกับแรงดันขาเข้าของวงจรชุดที่ 1 เมื่อวงจรอินเวอร์เตอร์ทุกชุดทำงานตามสถานะที่ส่งมาจากวงจรอินเวอร์เตอร์ชุดที่ 1 ครบเรียบร้อยแล้ว ค่าแรงดันขาออกของวงจรจะเปลี่ยนแปลงตลอดเวลาเกิดเป็นสัญญาณความถี่ค่าหนึ่ง

ค่าความถี่ของวงจรที่ได้ออกมาสามารถวิเคราะห์ได้ดังนี้คือ สัญญาณขาออกของสถานะสุดท้ายของวงจรริงออสซิลเลเตอร์จะช้ากว่าสัญญาณขาออกของวงจรอินเวอร์เตอร์ในชุดที่ 1 เท่ากับช่วงเวลาหน่วงสัญญาณของวงจรอินเวอร์เตอร์แต่ละชุดรวมกัน กล่าวคือ

$$T_{total} = N T_p \qquad (3.3\text{-}1)$$

โดยที่ $T_{total}$ คือค่า propagation delay time ของวงจรริงออสซิลเลเตอร์

$N$ คือจำนวนชุดของวงจรอินเวอร์เตอร์

$T_p$ คือค่า propagation delay time ของวงจรอินเวอร์เตอร์ 1 ชุด

ค่าเวลา $T_{total}$ ที่กล่าวนี้คือค่าเวลาที่สัญญาณขาออกของวงจรริงออสซิลเลเตอร์เปลี่ยนแปลงจากสถานะสูงไปเป็นสถานะต่ำ หรือเปลี่ยนแปลงจากสถานะต่ำไปเป็นสถานะสูง ซึ่งค่าความต่างเฟสของสัญญาณขาออกมีค่า 180 องศา ดังนั้นเวลาที่สัญญาณขาออกเปลี่ยนแปลงไปครบ 360 องศาคือ $2T_{total}$ จะได้ค่าความถี่ของสัญญาณขาออกของวงจรริงออสซิลเลเตอร์มีค่า

$$f = (2T_{total})^{-1} \qquad (3.3\text{-}2)$$

ในการออกแบบวงจรริงออสซิลเลเตอร์จึงต้องทำการออกแบบให้วงจรมีขนาดเล็กที่สุดเท่าที่เทคโนโลยีจะอำนวยให้ หรือออกแบบให้ทรานซิสเตอร์แต่ละตัวในวงจรมีค่าอัตราขยายสูงเพื่อจ่ายประจุแก่ตัวเก็บประจุที่แฝงในวงจรได้อย่างรวดเร็ว นอกจากนี้ถ้าคำนึงถึงความสมมาตรของสัญญาณขาออกของวงจร ระหว่างช่วงเวลาในการเปลี่ยนแปลงสถานะสูงไปสถานะต่ำ หรือช่วงเวลาในการเปลี่ยนสถานะต่ำไปสถานะสูงให้มีค่าเท่ากัน จะต้องออกแบบให้จุดเปลี่ยนแปลงสถานะของวงจรอินเวอร์เตอร์ที่ประกอบเป็นวงจรริงออสซิลเลเตอร์เปลี่ยนแปลงที่จุดกึ่งกลางของแรงดันไฟเลี้ยง

ในวิทยานิพนธ์ฉบับนี้ได้ทำการออกแบบวงจรริงออสซิลเลเตอร์ซึ่งประกอบด้วยจำนวนชุดของวงจรอินเวอร์เตอร์มีค่า 3, 5, 9, 11, 15 และ 19 ชุด โดยมีค่าความกว้างและค่าความยาวของช่องทางเดินกระแสของวงจรอินเวอร์เตอร์แต่ละชุดดังตารางที่ 3.3-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

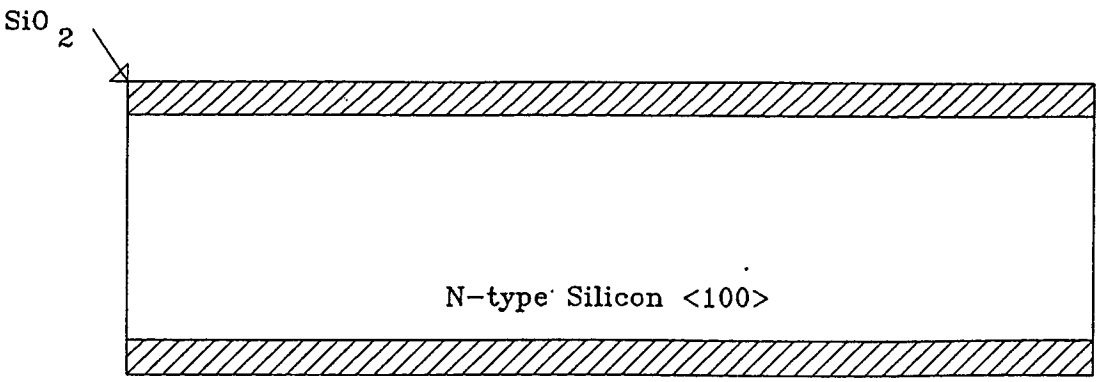
ตารางที่ 3.3-1 แสดงค่าความกว้างและความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ในวงจรริงออสซิลเลเตอร์

| วงจรชุดที่ | N-channel | | P-channel | | $\beta_p/\beta_n$ |
|---|---|---|---|---|---|
| | w(μm) | L(μm) | w(μm) | L(μm) | |
| 1 | 200 | 20 | 160 | 20 | 0.54 |
| 2 | 200 | 20 | 100 | 20 | 0.87 |
| 3 | 100 | 20 | 80 | 20 | 0.55 |

3.4 กระบวนการสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS

ในการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำแบบ CMOIS ในวิทยานิพนธ์ฉบับนี้ใช้กระบวนการสร้างที่ได้ดำเนินการวิจัยและสรุปว่าเป็นกระบวนการสร้างที่เหมาะสมที่สุดในการสร้างสิ่งประดิษฐ์ประเภทนี้ด้วยขั้นตอนในการสร้างดังต่อไปนี้คือ

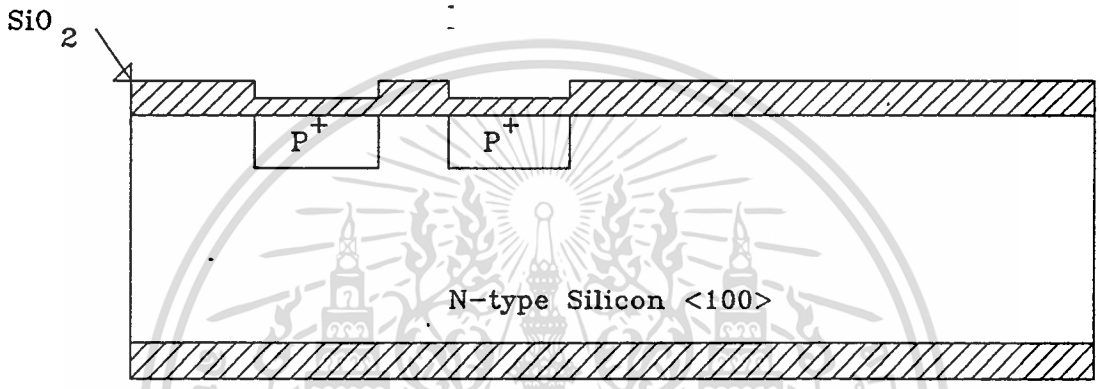
ขั้นที่ 1 เลือกแผ่นผลึกเดี่ยวของซิลิกอนชนิดพิกัดความต้านทานที่เหมาะสม ระนาบของผลึกคือ <100> ทำความสะอาดผิวหน้าด้วยกรดไนตริกเพื่อกำจัดโลหะที่ผิวหน้าของแผ่นผลึกออก จากนั้นทำการละลายไขมันต่าง ๆ ด้วยน้ำยาไตรคลอโรเอธิลีน และทำการล้างน้ำยาไตรคลอโรเอธิลีนด้วยน้ำยาอะซีโตนและน้ำบริสุทธิ์ที่ไม่มีอิออน จากนั้นทำการสร้างชั้นฉนวนซิลิกอนไดออกไซด์เพื่อปกคลุมผิวของแผ่นผลึกทั้งหมดให้ได้ค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์ที่เหมาะสม ดังรูปที่ 3.4-1




รูปที่ 3.4-1 แสดงแผ่นผลึกซิลิกอนที่ทำความสะอาดและสร้างชั้นฉนวนซิลิกอนไดออกไซด์ปกคลุมผิว

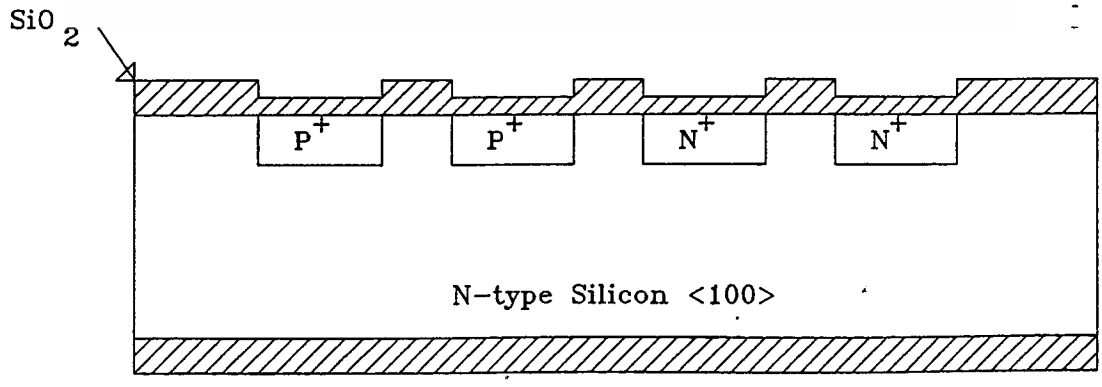
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นที่ 2 ทำการเปิดชั้นฉนวนซิลิกอนไดออกไซด์ออกเพื่อทำการแพร่สารเจือชนิดพี (ในวิทยานิพนธ์ฉบับนี้ใช้สารเจือโบรอน) โดยกระบวนการทางแสง แล้วทำการแพร่สารเจือชนิดพีเพื่อสร้างขั้วซอสและเดรนของทรานซิสเตอร์ชนิด PMOIS ที่อุณหภูมิ 1000 องศาเซลเซียส เป็นเวลานาน 30 นาที จากนั้นทำการขัดลิกพร้อมสร้างชั้นฉนวนซิลิกอนไดออกไซด์ที่อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลา 40 นาที หลังจากทำการขัดลิกแล้วควรมีค่าปริมาณของอะตอมสารเจือที่ผิวประมาณ $10^{15}$ - $10^{16}$ อะตอมต่อลูกบาศก์เซ็นติเมตร ดังรูปที่ 3.4-2




รูปที่ 3.4-2 แสดงการสร้างขั้วซอสและเดรนของทรานซิสเตอร์ PMOIS

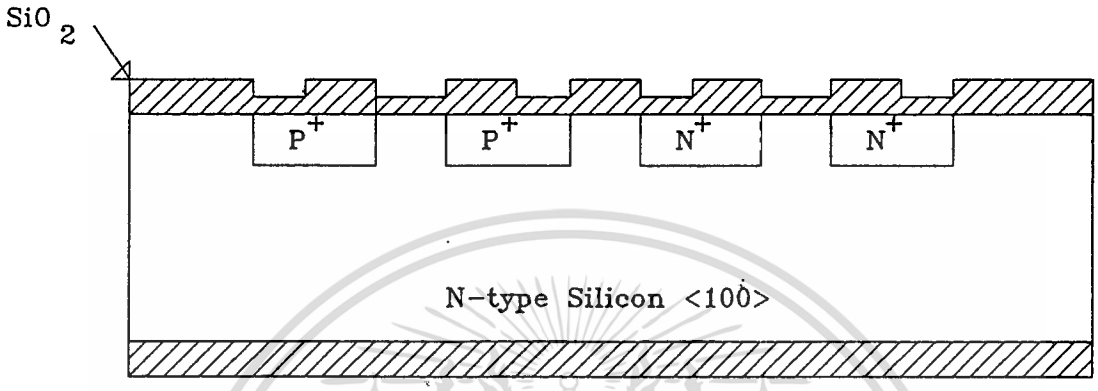
ขั้นที่ 3 ทำการเปิดชั้นฉนวนซิลิกอนไดออกไซด์เพื่อแพร่สารเจือชนิดเอ็น (ในวิทยานิพนธ์ฉบับนี้ใช้สารเจือฟอสฟอรัส) เพื่อสร้างขั้วซอสและเดรนของทรานซิสเตอร์ชนิด NMOIS ด้วยกระบวนการทางแสง แล้วทำการแพร่สารเจือชนิดเอ็นที่อุณหภูมิ 1000 องศาเซลเซียส เป็นเวลานาน 40 นาที จากนั้นทำการขัดลิกพร้อมทั้งสร้างออกไซด์ปกคลุมที่อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลานาน 40 นาที หลังจากขัดลิกแล้วควรมีปริมาณของสารเจือที่ผิวประมาณ $10^{15}$ - $10^{16}$ อะตอมต่อลูกบาศก์เซ็นติเมตร ดังรูปที่ 3.4-3




รูปที่ 3.4-3 แสดงการสร้างขั้วซอสและเดรนของทรานซิสเตอร์ชนิด NMOIS

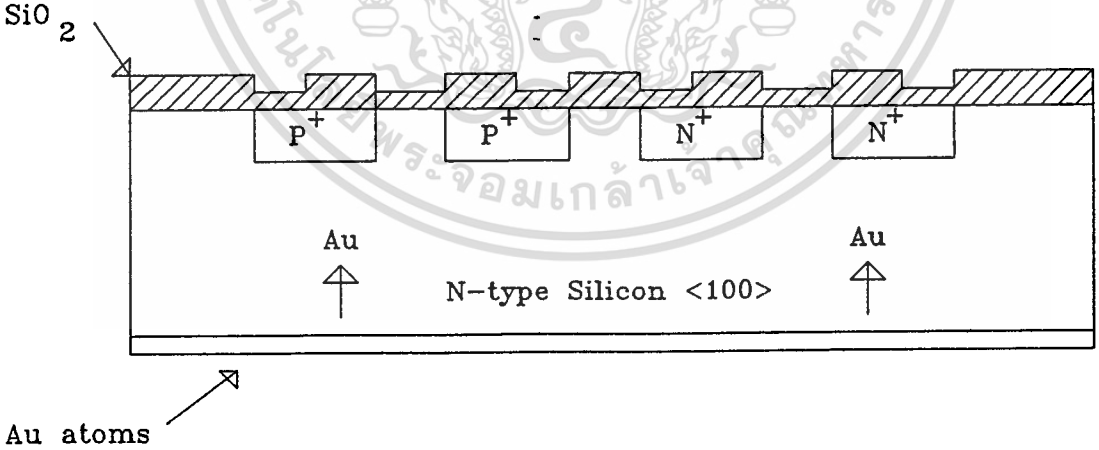
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นที่ 4 ทำการเปิดชั้นฉนวนซิลิกอนไดออกไซด์บริเวณช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองชนิด แล้วทำการสร้างชั้นฉนวนชั้นใหม่ให้มีความหนาประมาณ 700 อังสตรอม โดยใช้อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลานาน 20 นาที ดังรูปที่ 3.4-4




รูปที่ 3.4-4 แสดงการสร้างชั้นฉนวนซิลิกอนไดออกไซด์ที่บริเวณช่องทางเดินกระแส

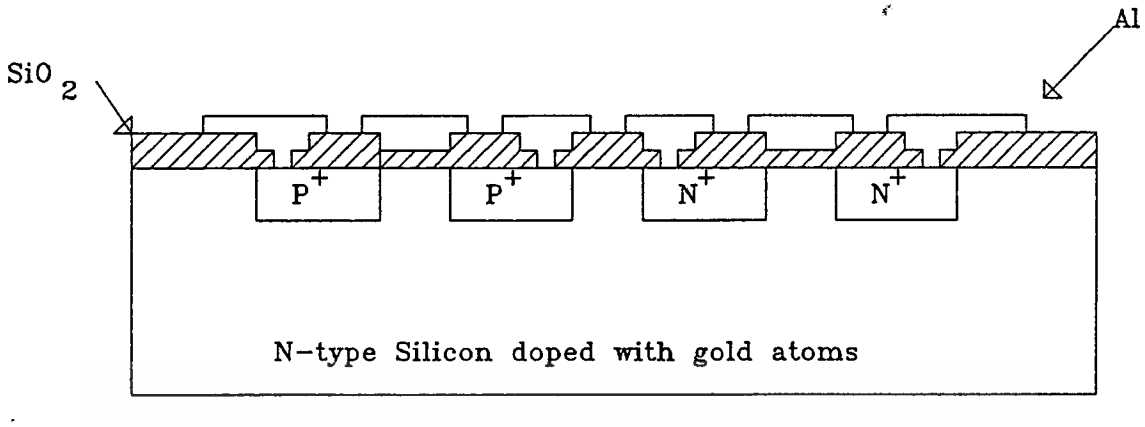
ขั้นที่ 5 ทำการเปิดชั้นฉนวนซิลิกอนไดออกไซด์ด้านตรงกันข้ามกับผิวหน้าที่ใช้ในการสร้างทรานซิสเตอร์ทั้งหมด แล้วทำการเคลือบด้วยโลหะทองคำด้วยเครื่องเคลือบโลหะในสูญญากาศ จากนั้นทำการขัดลิกทองคำที่อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลานาน 90 นาที จะทำให้ฐานรองที่ใช้ในการสร้างทรานซิสเตอร์เปลี่ยนแปลงคุณสมบัติ ดังรูปที่ 3.4-5




รูปที่ 3.4-5 แสดงการแพร่สารเจือทองคำเข้าไปในฐานรองทรานซิสเตอร์

ขั้นที่ 6 ทำการเปิดชั้นฉนวนซิลิกอนไดออกไซด์บริเวณขั้วซอสและเดรนของทรานซิสเตอร์ทุกตัวในวงจร แล้วทำการเคลือบโลหะอลูมิเนียมด้วยเครื่องเคลือบโลหะในสูญญากาศ จากนั้นทำการกัดลวดลายวงจรตามที่ได้ออกแบบไว้แล้วทำการอบเพื่อให้รอยสัมผัสต่าง ๆ ติดสนิทกับขั้วของทรานซิสเตอร์มากขึ้น ดังรูปที่ 3.4-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.4-6 แสดงโครงสร้างทรานซิสเตอร์แบบ CMOIS ที่สร้างเสร็จแล้ว

หลังจากดำเนินการสร้างเสร็จเรียบร้อยแล้วจึงนำวงจรที่สร้างเสร็จแล้วไปทดสอบคุณสมบัติทางไฟฟ้าของวงจรตามชนิดของวงจรต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4

## การทดลองและผลการทดลอง

จากการออกแบบทรานซิสเตอร์และการออกแบบวงจรรวมและดำเนินการสร้างด้วยกระบวนการสร้างมาตราฐานดังที่ได้อธิบายไว้ในบทที่ 3 เสร็จเรียบร้อยแล้ว ในบทนี้จะกล่าวถึงการทดสอบคุณสมบัติของทรานซิสเตอร์และวงจรต่าง ๆ ที่ได้ทำการสร้างขึ้น พร้อมทั้งเสนอผลการทดสอบสิ่งประดิษฐ์สารกึ่งตัวนำชนิดนี้ในด้านต่าง ๆ ดังที่ได้อธิบายไว้ในบทก่อนหน้านี้ทั้งหมด ซึ่งผลการทดสอบจะแบ่งออกเป็นสองส่วนคือ การทดสอบทรานซิสเตอร์ตัวเดี่ยว ๆ เพื่อหาค่าพารามิเตอร์ต่าง ๆ ที่ต้องการ และการทดสอบวงจรรวมเพื่อพิจารณาคุณสมบัติในการใช้งานเป็นวงจรรวมต่อไป

### 4.1 การทดลองและผลการทดลองหาค่าแรงดันขีดเริ่มของอุปกรณ์ CMOIS

จากแนวทางในการควบคุมค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้าง CMOIS โดยวิธีควบคุมด้วยการกำหนดปริมาณของประจุพาหะเริ่มต้นของฐานรองที่ใช้ในการสร้างทรานซิสเตอร์ดังแสดงไว้ในหัวข้อที่ 1.5 ซึ่งเป็นแนวทางที่สามารถควบคุมได้แน่นอนกว่าการควบคุมปริมาณของอะตอมสารเจือทองคำที่เติมเข้าไปในเนื้อสารซิลิกอน ในหัวข้อนี้จะนำเสนอผลของวิธีการควบคุมดังกล่าวพร้อมทั้งเลือกแผ่นผลึกซิลิกอนฐานรองที่เหมาะสมในการสร้างสิ่งประดิษฐ์ประเภทนี้ต่อไป

#### 4.1.1 การทดลองและผลการทดลองการเปลี่ยนแปลงค่าแรงดันขีดเริ่มกับการเปลี่ยนแปลงค่าพิกัดความต้านทานของฐานรองของทรานซิสเตอร์ NMOIS และ PMOIS ในโครงสร้างแบบ CMOIS

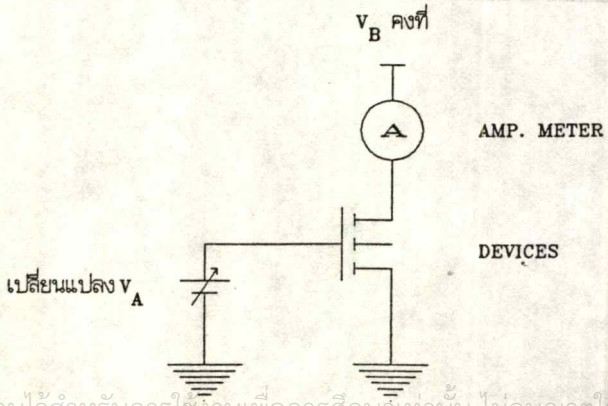
การหาค่าความสัมพันธ์ระหว่างค่าแรงดันขีดเริ่มของทรานซิสเตอร์ทั้งสองชนิดกับการเปลี่ยนแปลงค่าพิกัดความต้านทานของฐานรองที่ใช้ในการสร้างทรานซิสเตอร์ กระทำโดยเลือกฐานรองเริ่มต้นในการสร้างทรานซิสเตอร์ทั้งสองเป็นชนิดเอ็นระนาบ <100> ที่มีค่าพิกัดความต้านทาน 3 ค่าคือ 5, 55 และ 600 โอห์ม.เซ็นติเมตร เนื่องจากแผ่นผลึกซิลิกอนชนิดเอ็นที่มีค่าพิกัดความต้านทานทั้งสามค่านี้มีปริมาณของประจุพาหะอิเล็กตรอนทั้งแผ่นผลึกคือ $9.25 \times 10^{14}$ , $8.4 \times 10^{13}$ และ $7.7 \times 10^{12}$ อะตอม ตามลำดับ ซึ่งจะพบว่าค่าปริมาณของอิเล็กตรอนจะแตกต่างกันอยู่ประมาณ 1 ลำดับพอดี และในทำนองเดียวกันปริมาณของประจุพาหะโฮลในเนื้อสารจะมีค่า $2.27 \times 10^{5}$, $2.5 \times 10^{6}$ และ $2.7 \times 10^{7}$ ตามลำดับเช่นเดียวกัน หลังจากทำการเลือกแผ่นผลึกเรียบร้อยแล้วดำเนินการสร้างด้วยกระบวนการสร้างมาตราฐานที่ได้นำเสนอไว้ในบทที่ 3 เมื่อทำการสร้างเสร็จเรียบร้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วจึงทำการทดสอบด้วยเครื่องทดสอบค่ากระแสและแรงดันของ Hewlett Packard รุ่น 4061A Semiconductor/Component Test System ดังรูปที่ 4.1-1

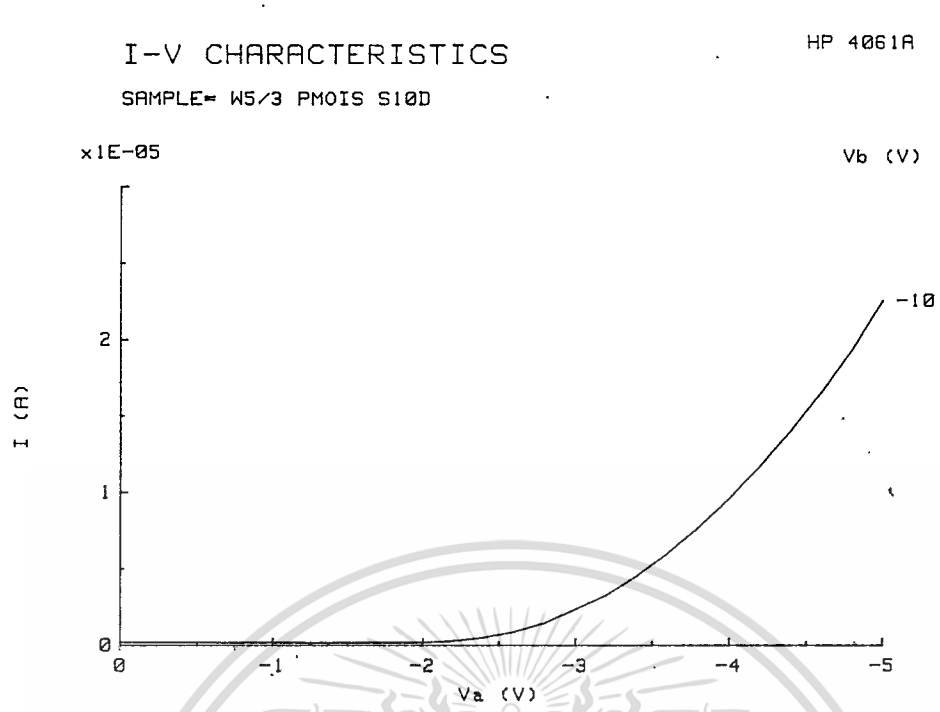
รูปที่ 4.1-1 แสดงการทดสอบอุปกรณ์ที่สร้างเสร็จเรียบร้อยด้วยเครื่องทดสอบคุณสมบัติกระแสและแรงดันของ Hewlett Packard

ส่วนประกอบของเครื่องที่ใช้ในการหาค่าแรงดันขีดเริ่มของทรานซิสเตอร์จะประกอบด้วยแหล่งจ่ายไฟเลี้ยง 2 ค่า ($V_A$ และ $V_B$) และเครื่องวัดกระแส (Amp Meter) ในการทดสอบคุณสมบัติดังกล่าวทำการต่อวงจรดังรูปที่ 4.1-2 ในการทดสอบจะทำการจ่ายค่าแรงดันไฟเลี้ยงเดรนซอสแก่วงจรคงที่ค่าหนึ่ง (10 โวลต์ สำหรับทรานซิสเตอร์ชนิด PMOIS และ 5 โวลต์ สำหรับทรานซิสเตอร์ชนิด NMOIS) จากนั้นทำการแปลี่ยนแปลงค่าแรงดันที่ขั้วเกทของทรานซิสเตอร์จาก 0 โวลต์ไปสู่ค่าแรงดันไฟเลี้ยง เครื่องจะทำการบันทึกค่ากระแสที่ไหลผ่านทรานซิสเตอร์แต่ละครั้งที่ทำการเปลี่ยนแปลงค่าแรงดันและเก็บค่าต่าง ๆ ไว้ จากนั้นทำการแสดงผลด้วยเครื่องไมโครคอมพิวเตอร์ ตัวอย่างของผลการทดสอบแสดงได้ดังรูปที่ 4.2-3

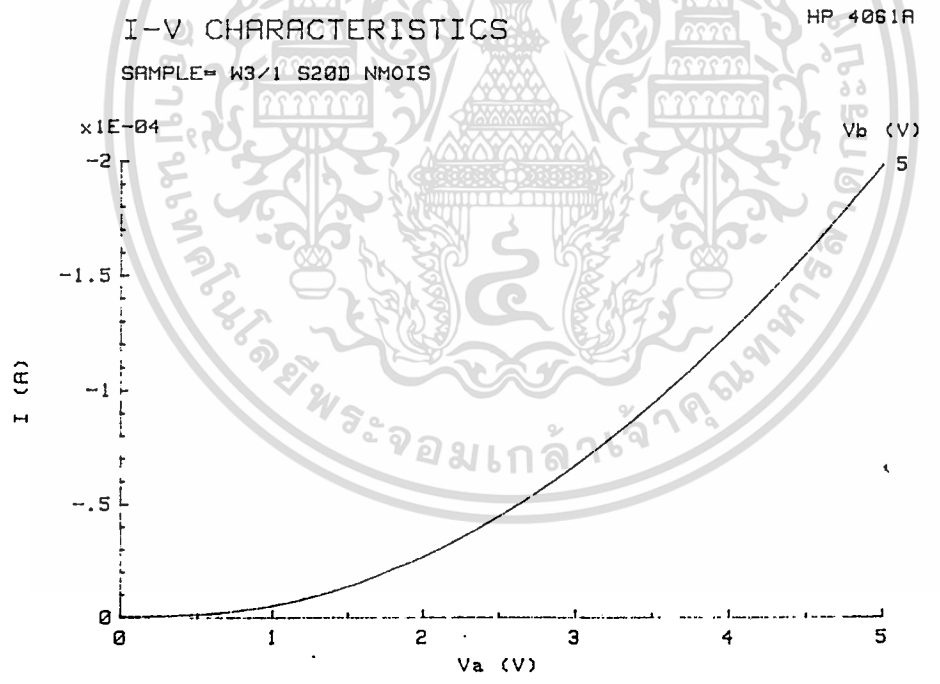



รูปที่ 4.1-2 แสดงวงจรในการหาค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้าง MOIS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ก.PMOIS

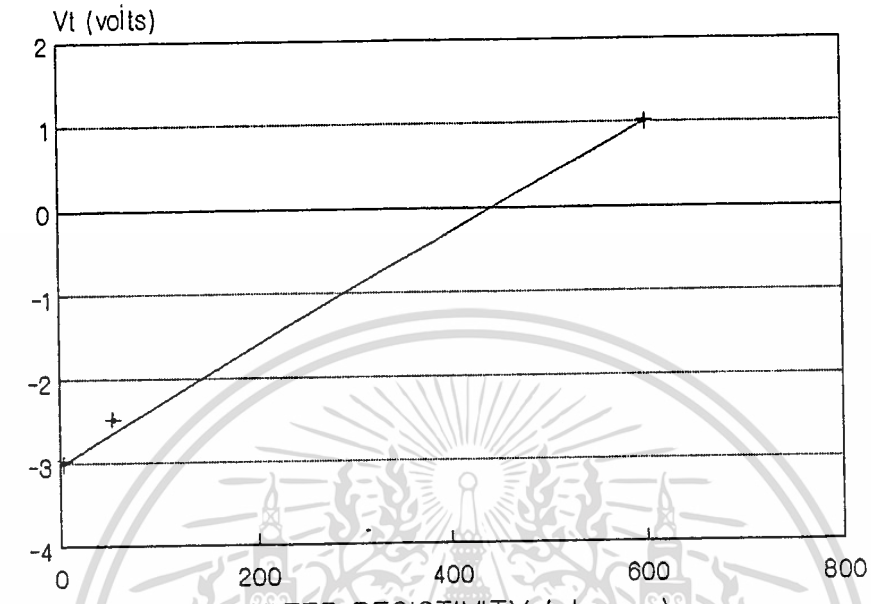



ข.NMOIS

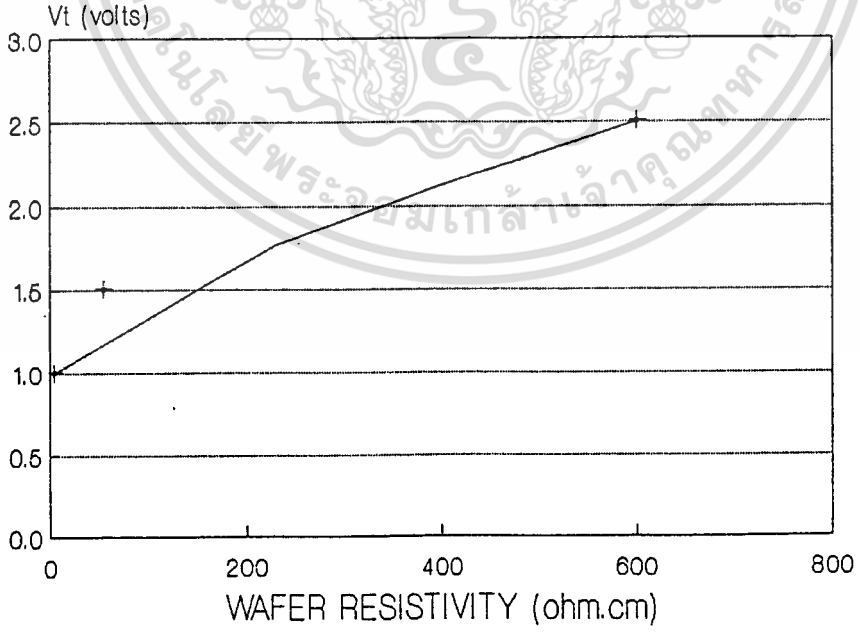
รูปที่ 4.1-3 แสดงตัวอย่างผลการทดสอบค่าแรงดันชีดเริ่มของทรานซิสเตอร์โครงสร้าง MOIS

หลังจากที่ทดสอบค่าแรงดันชีดเริ่มของทรานซิสเตอร์ทั้งสองของทรานซิสเตอร์แล้ว นำผลการทดลองที่ได้ทำการหาความสัมพันธ์ระหว่างการเปลี่ยนแปลงค่าแรงดันชีดเริ่มของทรานซิสเตอร์กับการเปลี่ยนแปลงค่าพิกัดความต้านทานของฐานรองเริ่มต้นที่ใช้สร้างทรานซิสเตอร์ ผลการทดลองเป็นไปดังรูปที่ 4.1-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ก. PMOIS




ข.NMOIS

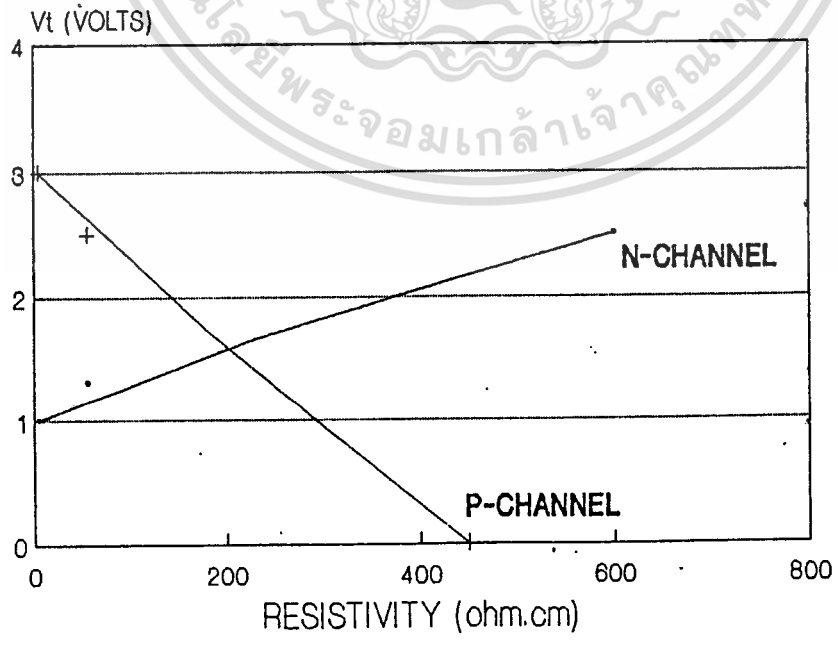
**รูปที่ 4.1-4** แสดงผลการทดลองการเปลี่ยนแปลงค่าแรงดันขีดเริ่มของทรานซิสเตอร์แบบ MOIS กับการเปลี่ยนแปลงค่าพิกัดความต้านทานของฐานรองเริ่มต้นในการสร้างทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.1.2 ผลการทดลองหาค่าพิกัดความต้านทานของฐานรองที่เหมาะสมในการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOIS

ในการออกแบบวงจรรวมที่ได้กล่าวไว้ในบทที่ 3 จะพบว่าถ้าต้องการให้วงจรสามารถใช้ประโยชน์ได้ดีทั้งขณะที่วงจรอยู่ในสถานะสูงและสถานะต่ำ จำเป็นต้องออกแบบให้ค่าแรงดันของการเปลี่ยนแปลงสถานะของวงจรอยู่ที่จุดกึ่งกลางของแรงดันไฟเลี้ยงพอดี และในการออกแบบที่ดีนั้นต้องทำให้ค่าแรงดันนี้อยู่กึ่งกลางของแรงดันไฟเลี้ยงตลอดเวลาไม่ว่าจะเปลี่ยนแปลงค่าแรงดันไฟเลี้ยงเป็นค่าใด สิ่งนี้สามารถกระทำได้โดยทำการปรับค่าแรงดันขีดเริ่มของทรานซิสเตอร์ทั้งสองชนิดในวงจรให้มีค่าเท่ากัน ($V_{Tn} = V_{Tp}$) เมื่อสามารถปรับให้เท่ากันได้แล้ว วงจรจะใช้งานได้โดยคุณสมบัติของวงจรไม่เปลี่ยนแปลงมากนัก เมื่อเปลี่ยนแปลงค่าแรงดันไฟเลี้ยงของวงจรเป็นค่าใด ๆ ที่ไม่เกินค่าแรงดันสูงสุดที่สามารถใช้งานได้

การหาค่าพิกัดความต้านทานที่เหมาะสมในการสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS คือการเลือกค่าพิกัดความต้านทานของฐานรองทรานซิสเตอร์ที่สามารถทำให้ค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS เท่ากับค่าแรงดันขีดเริ่มของทรานซิสเตอร์ PMOIS ซึ่งสามารถกระทำโดยหาความสัมพันธ์ของค่าแรงดันขีดเริ่มของทรานซิสเตอร์ทั้งสองชนิดกับการเปลี่ยนแปลงค่าพิกัดความต้านทานของฐานรอง เริ่มต้นที่ใช้สร้างทรานซิสเตอร์โดยค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด PMOIS จะต้องทำการเปลี่ยนเป็นค่าตรงกันข้ามเพื่อพิจารณาจุดตัดของเส้นกราฟของค่าแรงดันขีดเริ่มของทรานซิสเตอร์ทั้งสอง ผลการทดลองแสดงได้ดังรูปที่ 4.1-5




รูปที่ 4.1-5 แสดงความสัมพันธ์ระหว่างค่าแรงดันขีดเริ่มของทรานซิสเตอร์ทั้งสองชนิดกับการเปลี่ยนแปลงค่าพิกัดความต้านทานของฐานรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.1-5 จะพบว่าค่าพิกัดความต้านทานของฐานรองที่เหมาะสมในการสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่สามารถทำให้ค่าแรงดันยึดเริ่มของทรานซิสเตอร์ชนิด NMOIS และ PMOIS มีค่าเท่ากัน มีค่าประมาณ 200 โอห์ม.เซ็นติเมตร

## 4.2 การทดลองและผลการทดลองหาค่า channel lenght modulation factor ($\lambda$)

จากที่ได้กล่าวไว้แล้วในบทที่ 1 ถึงปรากฏการณ์ channel lenght modulation ซึ่งเป็นผลให้กระแสเดรนของทรานซิสเตอร์ในขณะที่ทรานซิสเตอร์ทำงานในช่วงอิ่มตัวมีค่าสูงขึ้นเมื่อเพิ่มค่าแรงดัน $V_{DS}$ แก่ทรานซิสเตอร์ และทำให้กระแสเดรนช่วงอิ่มตัวเป็นไปดังสมการที่ (4.2-1)

$$I_{DS} = (\beta/2)(V_{GS} - V_T)^2(1 + \lambda V_{DS}) \qquad (4.2\text{-}1)$$

จากสมการที่ (4.2-1) พบว่า กระแสเดรนที่เพิ่มขึ้นขณะที่ทรานซิสเตอร์ทำงานในช่วงอิ่มตัวเกิดจากตัวแปร $(1 + \lambda V_{DS})$ ที่เพิ่มเข้าไปในสมการ และการหาค่า $\lambda$ ของทรานซิสเตอร์แต่ละชนิดสามารถพิจารณาได้ดังต่อไปนี้คือ

พิจารณาความสัมพันธ์ของสมการเส้นตรงซึ่งมีค่าความชัน m ดังสมการที่ (4.2-2)

$$y = mx + c \qquad (4.2\text{-}2)$$

โดยที่ x และ y คือตัวแปรของสมการ

m คือค่าความชันของสมการ

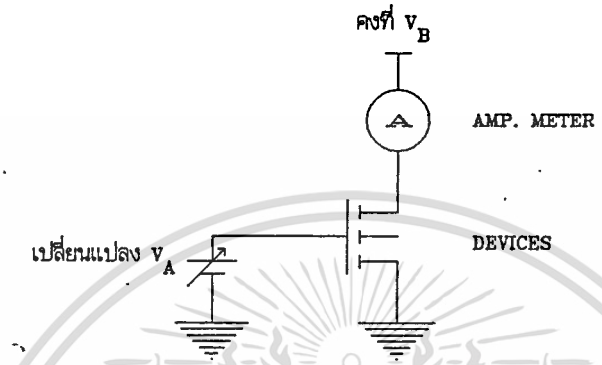
c คือค่าคงที่

เปรียบเทียบสมการที่ (4.2-1) และ (4.2-2) จะพบว่าค่าความชันของกระแสเดรนที่เพิ่มขึ้นคือค่า $\lambda \times [(\beta/2)(V_G - V_T)]$ ในสมการนั่นเอง ดังนั้นหลังจากที่สร้างทรานซิสเตอร์เสร็จเรียบร้อยแล้วนำทรานซิสเตอร์ทำการทดสอบความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเดรนซอส และค่าแรงดันยึดเริ่มของทรานซิสเตอร์เสร็จเรียบร้อยแล้ว นำกราฟความสัมพันธ์มาหาค่าความชันของกระแสเดรนในช่วงที่กระแสเดรนอิ่มตัวแล้ว สามารถหาค่า $\lambda$ ของทรานซิสเตอร์ในสมการที่ (4.2-1) ได้

ในการทดสอบค่ากระแสเดรนและแรงดันเดรนซอสของทรานซิสเตอร์โครงสร้างแบบ MOIS ที่สร้างเสร็จเรียบร้อยแล้ว จะทำการทดสอบด้วยเครื่องวัดกระแสและแรงดันของ Hewlett Packard รุ่น 4061A Semiconductor / Component Test System ส่วนประกอบของเครื่องมือที่ใช้ในการวัดค่ากระแสและแรงดันของทรานซิสเตอร์ประกอบด้วย แหล่งจ่ายไฟเลี้ยง 2 ค่า ($V_B$ และ

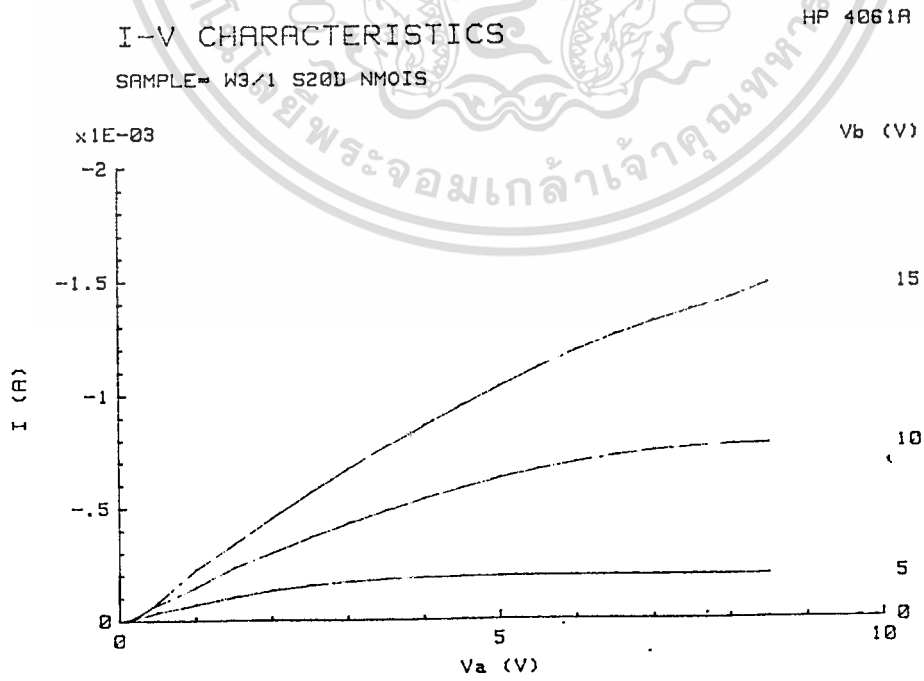
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$V_B$) และเครื่องวัดกระแส (Amp Meter) ในการวัดค่ากระแสและแรงดันจะทำการต่อวงจรดังรูปที่ 4.2-1 โดยจัดตำแหน่งให้แรงดัน $V_b$ ของเครื่องจ่ายแรงดันแก่ขั้วเกทของทรานซิสเตอร์ และให้แรงดัน $V_a$ ของเครื่องจ่ายแรงดันเดรนซอสของทรานซิสเตอร์ จากนั้นจะทำการวัดค่ากระแสที่ไหลผ่านทรานซิสเตอร์ในขณะที่แรงดันทั้งสองมีค่าต่าง ๆ




รูปที่ 4.2-1 แสดงการต่อวงจรเพื่อทดสอบคุณสมบัติกระแสเดรนและแรงดันเดรนซอสของทรานซิสเตอร์

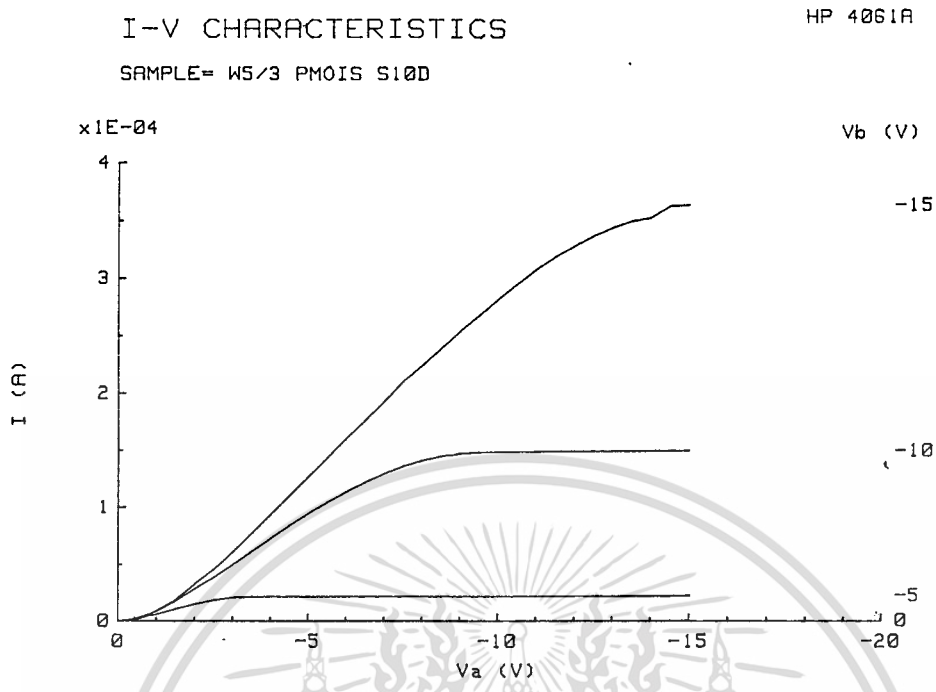
เครื่องจะจ่ายแรงดัน $V_b$ ที่ขั้วเกทเป็นแรงดันคงที่ และทำการเปลี่ยนแปลงค่าแรงดัน $V_a$ ที่จ่ายแก่ขั้วเดรนและซอสของทรานซิสเตอร์ ในขณะที่เปลี่ยนแปลงค่าแรงดันไฟเลี้ยงแต่ละครั้งเครื่องจะทำการบันทึกค่ากระแสที่ไหลผ่านและเก็บข้อมูลคู่ลำดับกระแสและแรงดันไว้เพื่อแสดงผลด้วยเครื่องไมโครคอมพิวเตอร์ ตัวอย่างของผลการทดสอบแสดงดังรูปที่ 4.2-2 (ก) และ (ข)




ก. NMOIS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

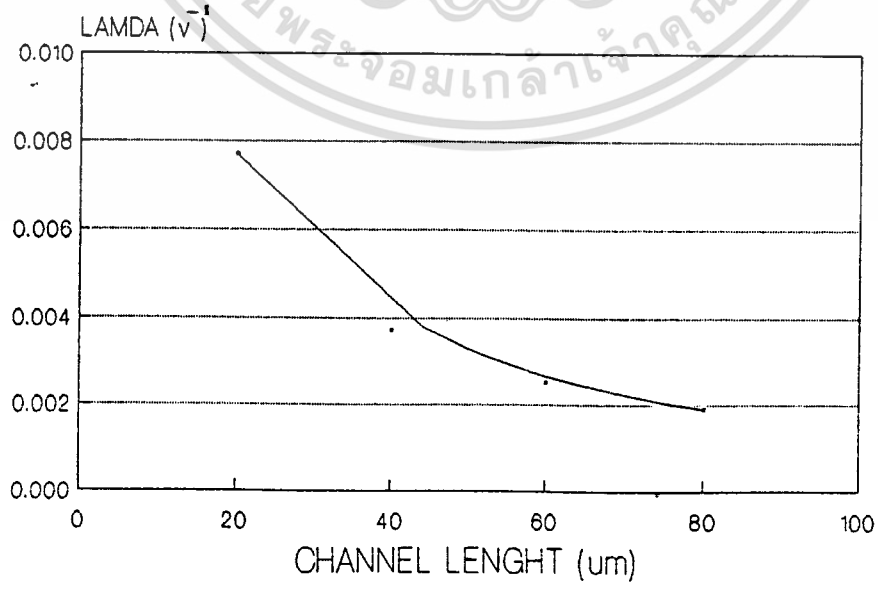
รูปที่ 4.2-2 (ก) แสดงตัวอย่างผลการทดสอบค่ากระแสและแรงดันของทรานซิสเตอร์ NMOIS




ข. PMOIS

รูปที่ 4.2-2 (ข) แสดงตัวอย่างผลการทดสอบค่ากระแสและแรงดันของทรานซิสเตอร์ PMOIS

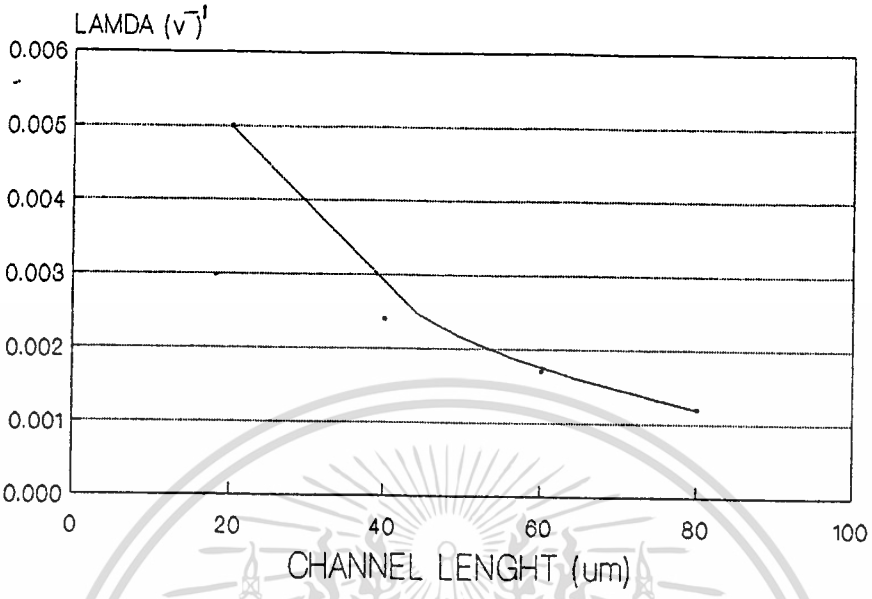
จากรูปที่ 4.2-2 สามารถหาค่าความชันของกราฟในช่วงที่ทรานซิสเตอร์ทำงานในช่วงอิ่มตัว ซึ่งค่าความชันของกราฟนี้จะแสดงค่า $\lambda$ ของทรานซิสเตอร์แต่ละตัวที่ทำการทดสอบ ดังที่ได้อธิบายไว้ในหัวข้อที่ 1.6 ซึ่งจะพบว่าค่า $\lambda$ ของทรานซิสเตอร์แต่ละตัวจะขึ้นกับค่าความยาวของช่องทางเดินกระแสที่ทำการออกแบบไว้ดังผลการทดสอบในรูปที่ 4.2-3 (ก) และ (ข) จะพบว่าค่า $\lambda$ ของทรานซิสเตอร์จะมีค่าลดลงเมื่อความยาวของช่องทางเดินกระแสมีค่าเพิ่มขึ้น




ก. PMOIS

รูปที่ 4.2-3 (ก) แสดงผลการทดสอบค่า channel lenght modulation factor ของทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ข.NMOIS

รูปที่ 4.2-3 (ข) แสดงผลการทดสอบค่า channel lenght modulation factor ของทรานซิสเตอร์

## 4.3 การทดลองและผลการทดลองหาค่า k′ (Process Transconductance Parameter) ของทรานซิสเตอร์ชนิด NMOIS และ PMOIS ในโครงสร้างทรานซิสเตอร์แบบ CMOIS

จากแนวทางในการควบคุมค่าอัตราขยายของทรานซิสเตอร์โครงสร้างแบบ CMOIS ดังที่ได้กล่าวมาแล้วในหัวข้อที่ 1.4 สามารถควบคุมได้จากค่าอัตราส่วนความกว้างต่อความยาวของช่องทางเดินกระแส และสามารถควบคุมได้ด้วยค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์บริเวณช่องทางเดินกระแสได้อีกวิธีหนึ่งด้วย โดยค่าความหนาของซิลิกอนไดออกไซด์นี้จะต้องมีความหนาพอที่จะทนแรงดันขณะใช้งานได้ และในกระบวนการสร้างที่ได้นำเสนอไว้ในบทที่ 3 ทำการสร้างชั้นฉนวนซิลิกอนไดออกไซด์บริเวณช่องทางเดินกระแสนี้มีความหนา 700 อังสตรอม ที่ทำการสร้างชั้นฉนวนด้วยความหนาค่านี้เนื่องจากความหนาค่านี้เมื่อทำการคำนวณแล้วสามารถทนแรงดันได้ถึง 42 โวลต์ จึงจะพังทลาย ดังนั้นในการหาค่า k′ ของทรานซิสเตอร์แต่ละชนิดจะทำการสร้างชั้นฉนวนซิลิกอนไดออกไซด์ค่านี้ในบริเวณช่องทางเดินกระแส เพราะจากวงจรรวมที่ทำการออกแบบและสร้างขึ้นนี้ต้องการใช้แรงดันไฟเลี้ยงไม่เกินมาตราฐานของแรงดันไฟเลี้ยงที่ใช้ในวงจรรวมแบบ CMOS คือ 18 โวลต์

การหาค่า k′ กระทำโดยนำทรานซิสเตอร์ที่ทำการออกแบบและสร้างเสร็จเรียบร้อยแล้วทำการวัดคุณสมบัติกระแสและแรงดันเช่นเดียวกับหัวข้อที่ 4.2 ด้วยเครื่องวัดกระแสและแรงดันของ Hewlett Packard เช่นเดิม จากนั้นทำการคำนวณโดยนำค่ากระแสและแรงดันที่ได้จากกราฟคุณสมบัติกระแสและแรงดันแทนค่าลงในสมการกระแสและแรงดันของทรานซิสเตอร์โครงสร้างแบบ MOIS ดังสมการที่

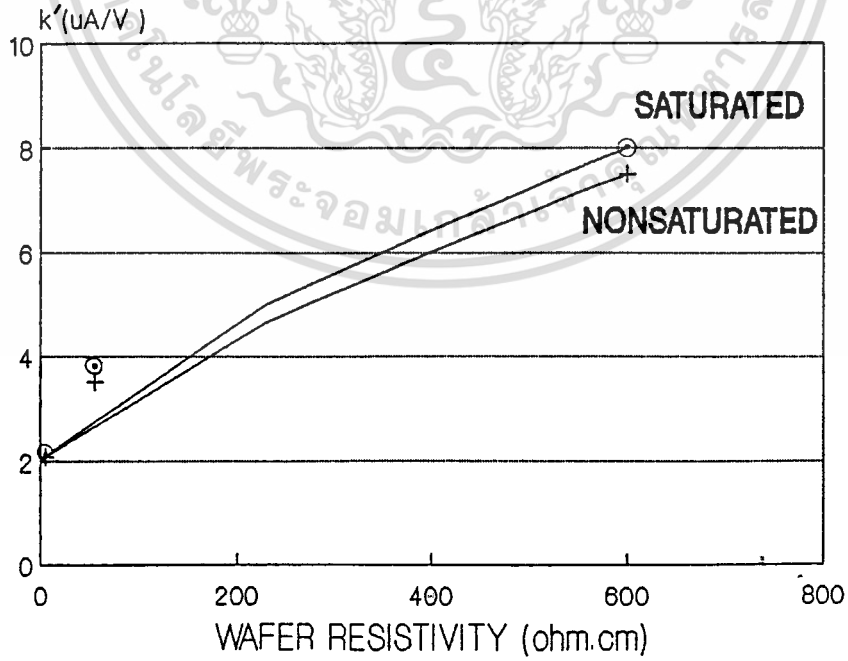
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(4.3-1) ในกรณีที่ทรานซิสเตอร์ทำงานในช่วงอิ่มตัว และ (4.3-2) ในกรณีที่ทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัว

$$k' = \frac{2 I_D L}{W (V_G - V_T)^2} \qquad (4.3\text{-}1)$$

$$k' = \frac{2 I_D L}{W [2(V_G - V_T) V_{DS} - V_{DS}^2]} \qquad (4.3\text{-}2)$$

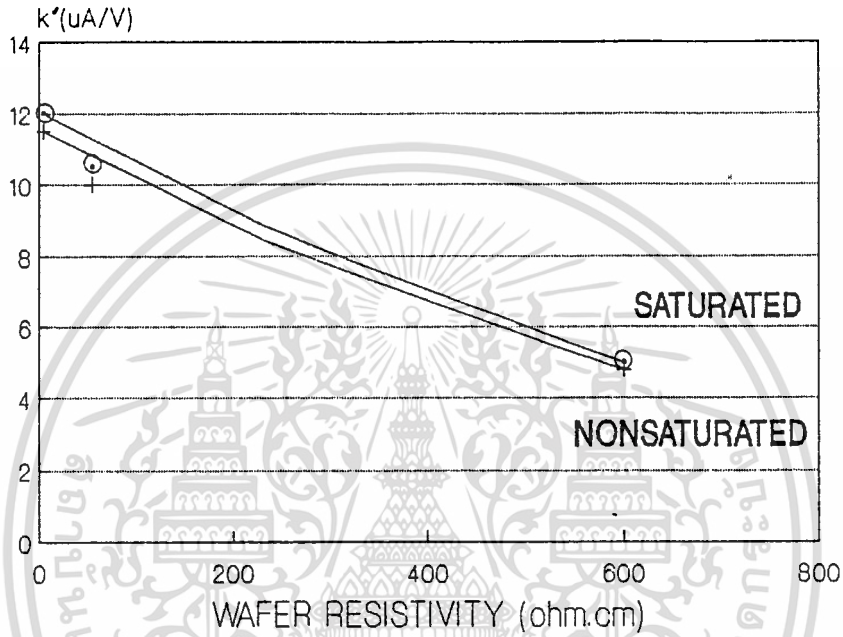
ผลการคำนวณค่า $k'$ ของทรานซิสเตอร์ทั้งชนิด NMOIS และ ทรานซิสเตอร์ชนิด PMOIS กับค่าพิกัดความต้านทานของฐานรองเริ่มต้นในการสร้างทรานซิสเตอร์แสดงได้ดังรูปที่ 4.3-1 (ก) และ (ข)




ก.NMOIS

รูปที่ 4.3-1 (ก) แสดงค่า $k'$ ของทรานซิสเตอร์ชนิด NMOIS

เอกสารนี้เป็นเอกสาร... ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



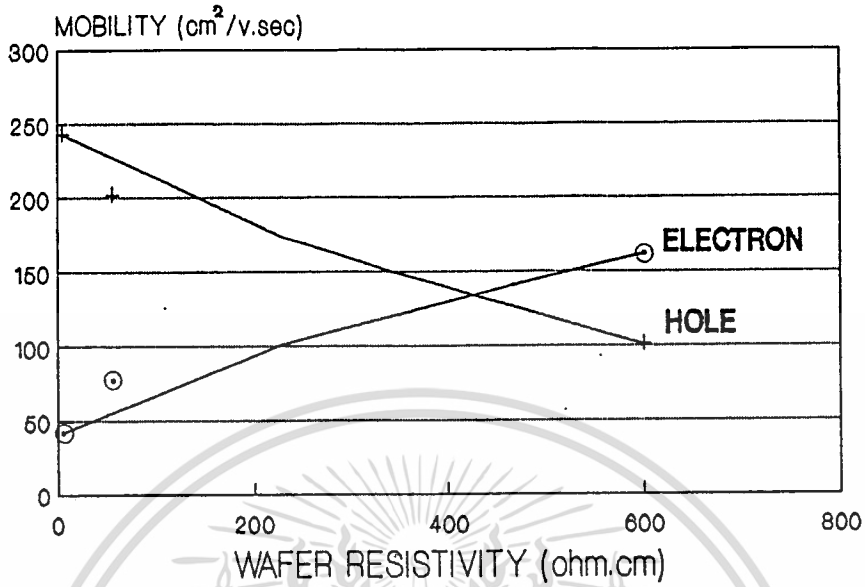

ข.PMOIS

รูปที่ 4.3-1 (ข) แสดงค่า k′ ของทรานซิสเตอร์ชนิด PMOIS

จากผลการทดลองพบว่าค่า k′ ของทรานซิสเตอร์จะเปลี่ยนแปลงเนื่องจากค่าพิกัดความต้านทานของฐานรองเริ่มต้นที่ใช้ในการสร้างทรานซิสเตอร์ด้วย ดังนั้นในการออกแบบวงจรรวมที่ต้องการความถูกต้องสูง จำเป็นต้องเลือกค่า k′ ที่เหมาะสมกับฐานรองที่ใช้ในการสร้างเพื่อพิจารณาคุณสมบัติของทรานซิสเตอร์ในวงจรรวมที่ออกแบบ และถ้าพิจารณาความสัมพันธ์ของค่า k′ ในสมการที่ 1.4-2 จะพบว่า การเปลี่ยนแปลงค่า k′ นี้จะขึ้นกับค่าความคล่องตัวของประจุพาหะที่บริเวณผิวของสารกึ่งตัวนำซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำเข้าในเนื้อสารแล้ว ดังนั้นจากผลการทดลองที่แสดงดังรูปที่ 4.3-1 (ก) และ 4.3-1 (ข) ในการหาค่า k′ ดังกล่าว สามารถหาการเปลี่ยนแปลงค่าความคล่องตัวที่ผิวของประจุพาหะอิเล็กตรอนหรือโฮลได้ ผลการคำนวณค่าความคล่องตัวดังกล่าวแสดงได้ดังรูปที่ 4.3-2

ดังนั้นถ้าต้องการควบคุมค่าอัตราขยายของทรานซิสเตอร์แต่ละตัวด้วยวิธีการเปลี่ยนแปลงค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์ที่ผิวบริเวณช่องทางเดินกระแส ก็สามารถนำค่าความคล่องตัวที่คำนวนได้นี้พิจารณาค่า k′ ได้เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.3-2 แสดงค่าความสัมพันธ์ของความคล่องตัวประจุพาหะอิเล็กตรอนและโฮลที่ผิวของแผ่นผลึกซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำกับค่าพิกัดความต้านทานของฐานรองเริ่มต้นที่ใช้ในการสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS

## 4.4 การทดลองและผลการทดลองหากฎระเบียบในการออกแบบทรานซิสเตอร์โครงสร้าง CMOIS

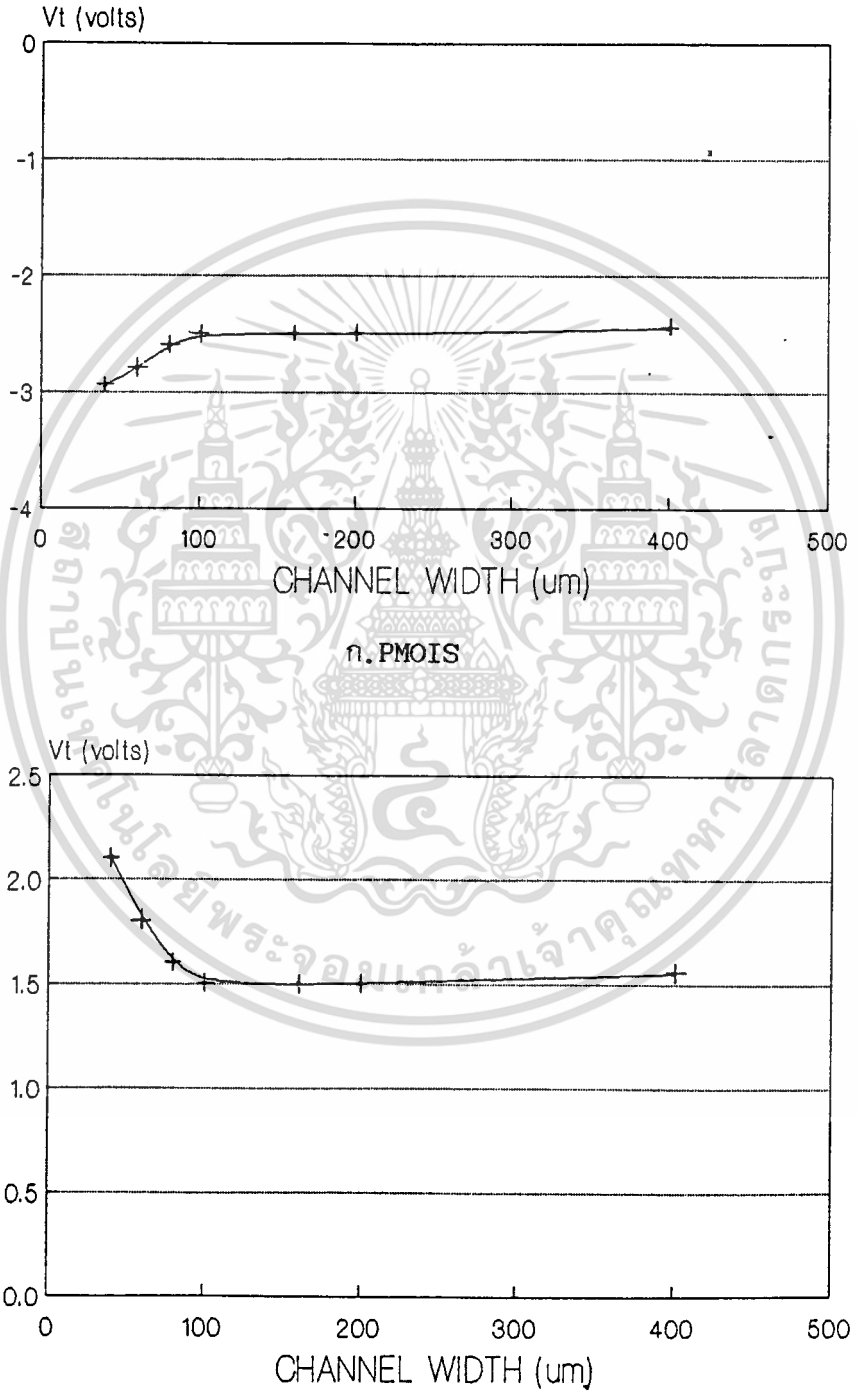
นอกจากพารามิเตอร์ต่าง ๆ ในหัวข้อที่ 4.1 ถึง 4.3 ซึ่งเป็นตัวแปรที่ใช้ในการคำนวณค่ากระแสเดรนของทรานซิสเตอร์ดังที่ได้กล่าวมาแล้ว กฎระเบียบในการออกแบบต่าง ๆ ที่ได้นำเสนอไว้ในบทที่ 2 ก็เป็นสิ่งจำเป็นในการออกแบบวงจรรวมด้วยโครงสร้างทรานซิสเตอร์แบบ CMOIS เช่นกัน ยกเว้นกรณีที่ทรานซิสเตอร์ชนิด NMOIS และทรานซิสเตอร์ชนิด PMOIS ที่มีขั้วต่อถึงกันทางไฟฟ้าที่ได้อธิบายไว้ในหัวข้อที่ 2.2.1 ซึ่งได้ทำการพิสูจน์แล้วว่าสามารถสร้างได้โดยออกแบบให้ทรานซิสเตอร์ทั้งสองอยู่ชิดติดกันได้โดยไม่มีผลกระทบทางไฟฟ้าต่อคุณสมบัติของวงจรรวม

### 4.4.1 การทดลองและผลการทดลองวัดค่าความกว้างช่องทางเดินกระแสที่น้อยที่สุดของทรานซิสเตอร์ชนิด NMOIS และ PMOIS

จากหัวข้อที่ 2.1.1 ที่ยินยอมให้ทรานซิสเตอร์แต่ละตัวแต่ละชนิดถูกผลกระทบของความกว้างของช่องทางเดินกระแสแคบ ๆ ต่อค่าแรงดันขีดเริ่มของทรานซิสเตอร์ปกติที่ต้องการต่ำกว่า 10 เปอร์เซ็นต์ ดังนั้นในการหาค่าขีดจำกัดของความกว้างของช่องทางเดินกระแสดังกล่าวกระทำโดยนำทรานซิสเตอร์ชนิดเอ็นและชนิดพีที่สร้างเสร็จเรียบร้อยแล้วที่มีความกว้างของช่องทางเดินกระแส 40, 60, 80, 100, 160, 200 และ 400 ไมโครเมตร ทำการวัดค่าแรงดันขีดเริ่มของทรานซิสเตอร์ด้วยเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Hewlett Packard เช่นเดียวกับหัวข้อที่ 4.1 แล้วทำการหาความสัมพันธ์ระหว่างค่าแรงดันขีดเริ่มของทรานซิสเตอร์ทั้งสองที่เปลี่ยนแปลงกับค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์นั้น ผลการทดลองแสดงได้ดังรูปที่ 4.4-1



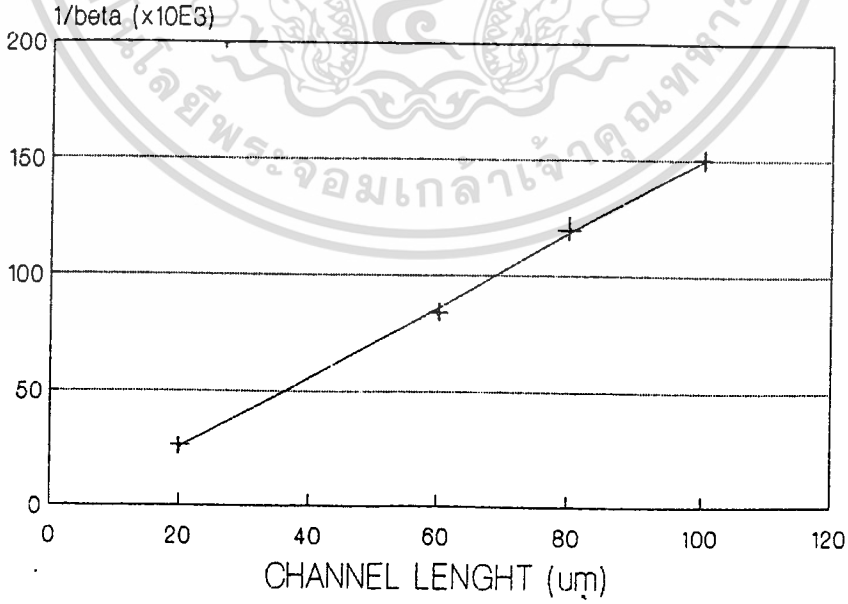

รูปที่ 4.4-1 แสดงความสัมพันธ์ระหว่างค่าแรงดันขีดเริ่มของทรานซิสเตอร์กับค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลองพบว่าถ้ายอมรับการเปลี่ยนแปลงของค่าแรงดันขีดเริ่มของทรานซิสเตอร์ต่ำกว่า 10 เปอร์เซ็นต์ จะต้องออกแบบให้ทรานซิสเตอร์มีค่าความกว้างของช่องทางเดินกระแสสูงกว่า 80 ไมโครเมตร จึงจะได้ค่าแรงดันขีดเริ่มของทรานซิสเตอร์ตามต้องการ

### 4.4.2 การทดลองและผลการทดลองวัดค่าความยาวของช่องทางเดินกระแสที่น้อยที่สุดของทรานซิสเตอร์ NMOIS และ PMOIS

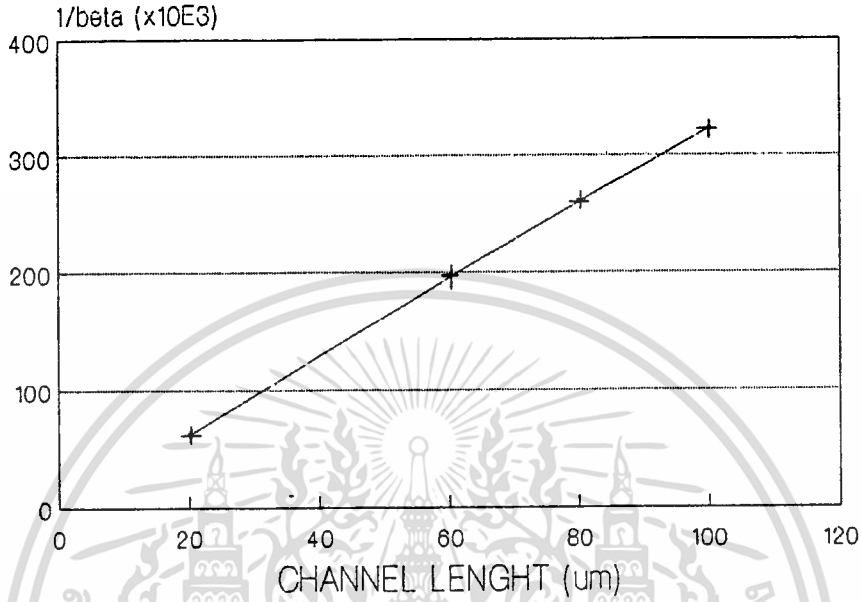
จากที่ได้กล่าวมาแล้วในหัวข้อที่ 2.1.1 ว่าการพิจารณาค่าความยาวของช่องทางเดินกระแสที่เหมาะสมนี้จะทำการพิจารณาทางอ้อมโดยอาศัยความสัมพันธ์ระหว่างค่า $1/\beta$ กับค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ เพื่อหาค่าระยะของการขยายตัวของช่วงปลอดประจุพาหะของชั้วเดรนที่ชนกับชั้วซอสพอดี ดังนั้นในการทดลองจึงทำการคำนวณค่าของอัตราขยายของทรานซิสเตอร์แต่ละชนิดจากกราฟคุณสมบัติกระแสและแรงดันของทรานซิสเตอร์โครงสร้าง MOIS ที่มีค่าความกว้างของช่องทางเดินกระแสขนาด 100 ไมโครเมตร โดยมีค่าความยาวของช่องทางเดินกระแสเป็น 20, 60, 80 และ 100 ไมโครเมตร จากนั้นจึงทำการหาความสัมพันธ์ระหว่าง $1/\beta$ กับค่าความยาวของช่องทางเดินกระแส เพื่อหาจุดที่ช่วงปลอดประจุพาหะของชั้วเดรนและซอสของทรานซิสเตอร์ชนกันพอดี ทำให้ค่า $1/\beta$ มีค่าเป็นศูนย์ ผลการทดลองแสดงได้ดังรูปที่ 4.4-2 (ก) และ (ข)




ก. PMOIS

รูปที่ 4.4-2 (ก) แสดงความสัมพันธ์ระหว่างค่า $1/\beta$ กับค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ชนิด PMOIS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ข.NMOIS

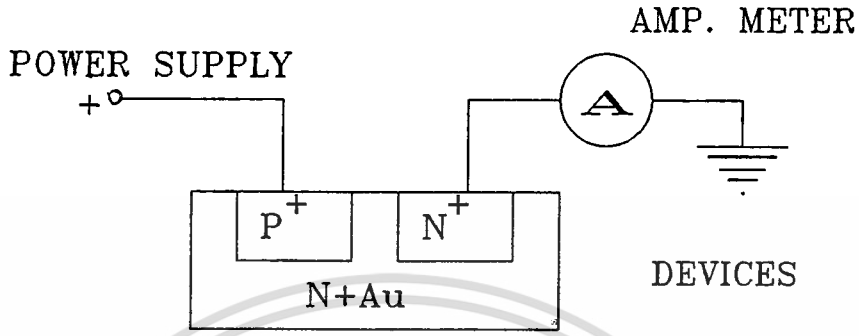
รูปที่ 4.4-2 (ข) แสดงความสัมพันธ์ระหว่างค่า $1/\beta$ กับค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ชนิด NMOIS

จากผลการทดลองในรูปที่ 4.4-2 พบว่าช่วงปลอดประจุพาหะของขั้วเดรนชนกับช่วงปลอดประจุพาหะของขั้วซอสของทรานซิสเตอร์ชนิด NMOIS และ PMOIS มีค่า 2 และ 3 ไมโครเมตร ตามลำดับ ดังนั้นในการออกแบบทรานซิสเตอร์โครงสร้าง CMOIS เพื่อให้ผลของความยาวช่องทางเดินกระแสน้อย ๆ กระทบต่อแรงดันขีดเริ่มของทรานซิสเตอร์ต่ำกว่า 10 เปอร์เซ็นต์ จะต้องออกแบบให้มีความยาวของช่องทางเดินกระแสมีค่ามากกว่าหรือเท่ากับ 20 ไมโครเมตร สำหรับทรานซิสเตอร์ชนิดเอ็น และ 30 ไมโครเมตร สำหรับทรานซิสเตอร์ชนิดพี

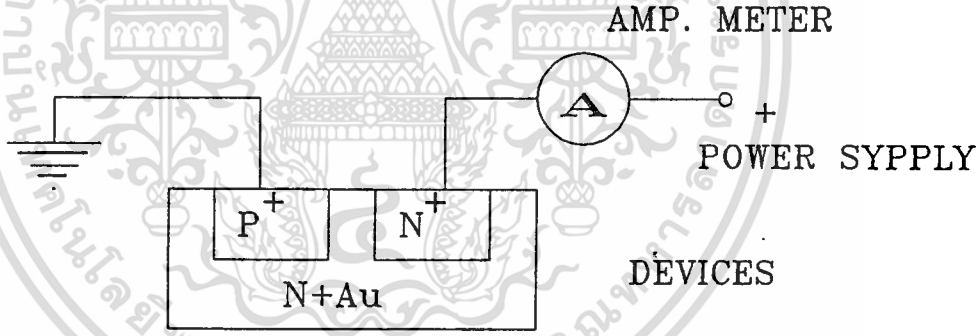
### 4.4.3 การทดลองและผลการทดลองหาค่าระยะห่างน้อยที่สุดของทรานซิสเตอร์ NMOIS และ PMOIS ที่ไม่ต่อถึงกันทางไฟฟ้า

ระยะห่างระหว่างทรานซิสเตอร์ทั้งสองที่ได้ทำการออกแบบและสร้างขึ้นนี้ มีค่า 20, 40, 60, 80 และ 100 ไมโครเมตร ดังนั้นในการพิจารณาค่าระยะห่างที่เหมาะสมของทรานซิสเตอร์ทั้งสองสามารถกระทำโดยทดสอบค่ากระแสรั่วไหลจากทรานซิสเตอร์ตัวหนึ่งกระทำต่อทรานซิสเตอร์ข้างเคียง และค่ากระแสรั่วต่ำกว่าค่าที่กำหนดไว้ในบทที่ 2 มีค่า 0.1 ไมโครแอมป์ ที่จุดแรงดันสูงสุดขณะใช้งาน โดยการทดลองจะทำการต่อวงจรดังรูปที่ 4.4-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ก. กรณี Forward Bias

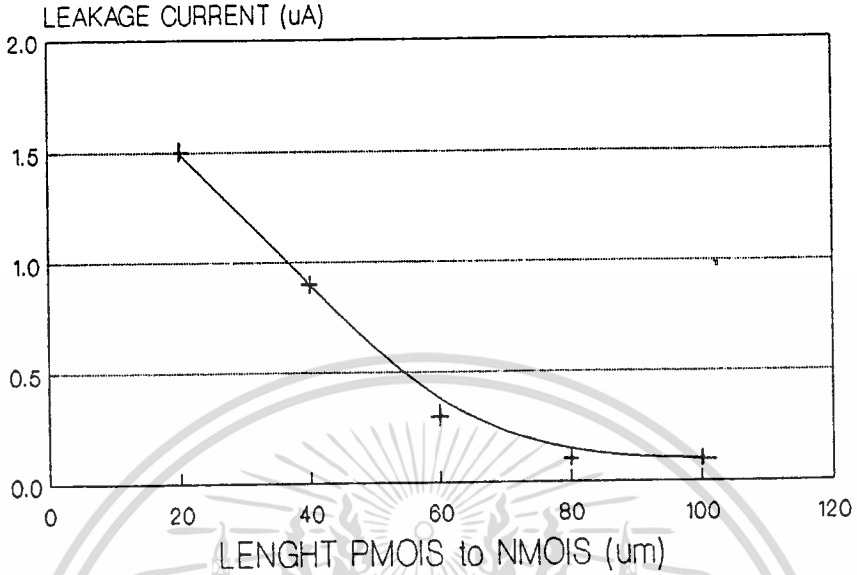



ข.กรณี Reverse Bias

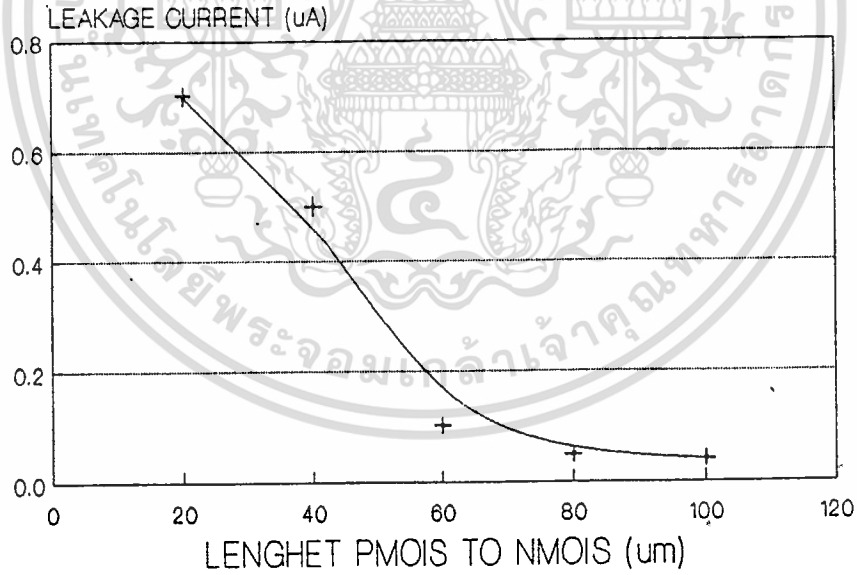
รูปที่ 4.4-3 แสดงวงจรวัดค่ากระแสรั่วของทรานซิสเตอร์ชนิด PMOIS และ NMOIS ที่อยู่ใกล้กัน

จากรูปจะพบว่าสามารถจ่ายค่าแรงดันไฟเลี้ยงของวงจรได้ 2 กรณีคือ ก. จ่ายศักดาไฟฟ้าที่เลี้ยงวงจรแบบตรงแก่รอยต่อ PIN และ ข. จ่ายศักดาไฟฟ้าที่เลี้ยงวงจรแบบย้อนกลับแก่รอยต่อ PIN ซึ่งการจ่ายแรงดันทั้งสองลักษณะนี้จะเกิดกระแสรั่วที่ไม่ต้องการรบกวนอยู่ในวงจรแตกต่างกัน โดยผลการทดลองค่ากระแสรั่วไหลผ่านวงจรสูงสุดที่แรงดันตกคร่อมวงจรเท่ากับแรงดันสูงสุดที่จ่ายแก่วงจร (15 โวลต์) แสดงได้ดังรูปที่ 4.4-4 ซึ่งแสดงความสัมพันธ์ระหว่างค่ากระแสรั่วที่ไม่ต้องการกับค่าระยะห่างระหว่างทรานซิสเตอร์ทั้งสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ก. กรณี Forward Bias




ข. กรณี Reverse Bias

รูปที่ 4.4-4 แสดงค่ากระแสรั่วของทรานซิสเตอร์ PMOIS และ NMOIS ที่ไม่ต่อถึงกันทางไฟฟ้า

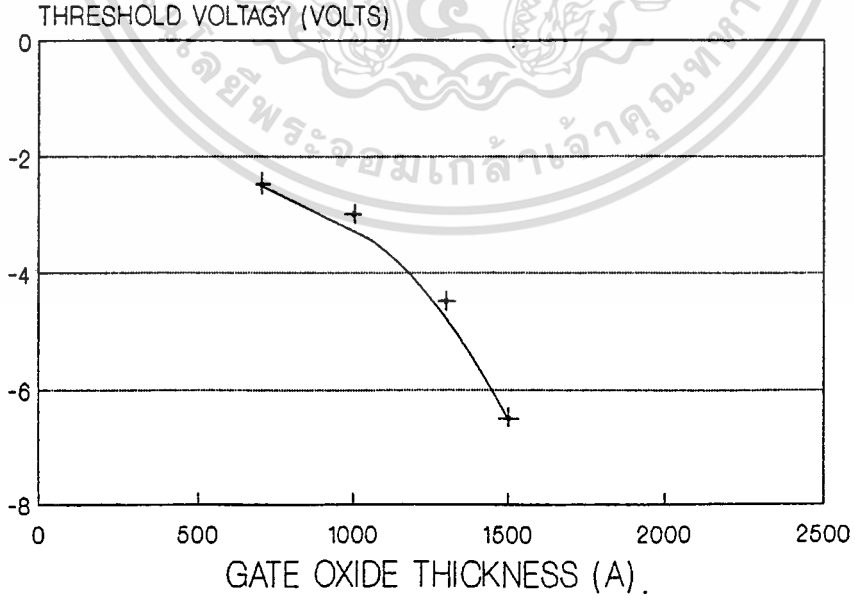
จากผลการทดสอบพบว่าถ้าต้องการออกแบบให้วงจรทำงานโดยมีกระแสรั่วที่ไม่ต้องการในกรณีนี้น้อยกว่า 0.1 ไมโครแอมป์ จำเป็นต้องออกแบบให้ทรานซิสเตอร์ชนิด PMOIS ที่ไม่เชื่อมต่อกับทรานซิสเตอร์ NMOIS อยู่ห่างกันอย่างน้อย 80 ไมโครเมตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.4.4 การทดลองและผลการทดลองหาค่าระยะห่างน้อยที่สุดของทรานซิสเตอร์ชนิดเดียวกันที่ไม่ต่อถึงกันทางไฟฟ้าของทรานซิสเตอร์โครงสร้าง CMOIS**

ก่อนทำการพิจารณาค่าระยะห่างระหว่างทรานซิสเตอร์ชนิดเดียวกันหนึ่งคู่ที่ต้องการออกแบบให้อยู่ใกล้กันว่ามีค่าระยะห่างที่เหมาะสมเป็นเท่าไร จะทำการพิจารณาค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์ที่ใช้แยกชั้นลวดลายโลหะตัวนำกับแผ่นผลึกที่สร้างทรานซิสเตอร์ก่อน โดยความหนาของชั้นฉนวนที่เหมาะสมจะต้องมีความหนาที่ทำให้แรงดันที่ปรากฏบนลายโลหะ ไม่สามารถดึงดูดประจุในฐานรองทรานซิสเตอร์ให้ขึ้นมาอยู่บริเวณผิวของรอยต่อสารกึ่งตัวนำและฉนวนซิลิกอนไดออกไซด์ได้

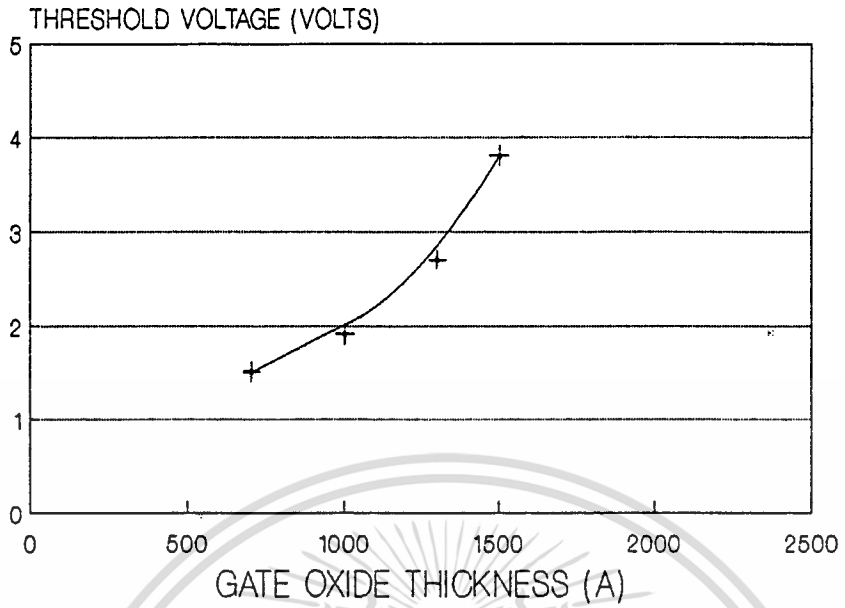
การพิจารณาค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์ที่เหมาะสมจะทำการหาความสัมพันธ์ระหว่างค่าแรงดันขีดเริ่มของทรานซิสเตอร์แต่ละชนิดกับค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์บริเวณช่องทางเดินกระแส โดยกำหนดค่าความหนาของชั้นฉนวนนี้มีค่า 700, 1000 และ 1200 อังสตรอม จากนั้นทำการต่อเส้นกราฟความสัมพันธ์จนถึงค่าแรงดันไฟเลี้ยงของวงจร และลากเส้นจากกราฟความสัมพันธ์ให้ตั้งฉากกับเส้นความหนาของชั้นฉนวนซิลิกอนไดออกไซด์ จะได้ค่าความหนาของชั้นฉนวนที่เหมาะสมในการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำประเภทนี้ ผลการทดลองความสัมพันธ์ระหว่างค่าแรงดันขีดเริ่มของทรานซิสเตอร์แต่ละชนิดกับค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์แสดงดังรูปที่ 4.4-5 (ก) และ (ข)




ก. PMOIS

รูปที่ 4.4-5 (ก) แสดงความสัมพันธ์ระหว่างค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด PMOIS กับค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์บริเวณช่องทางเดินกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

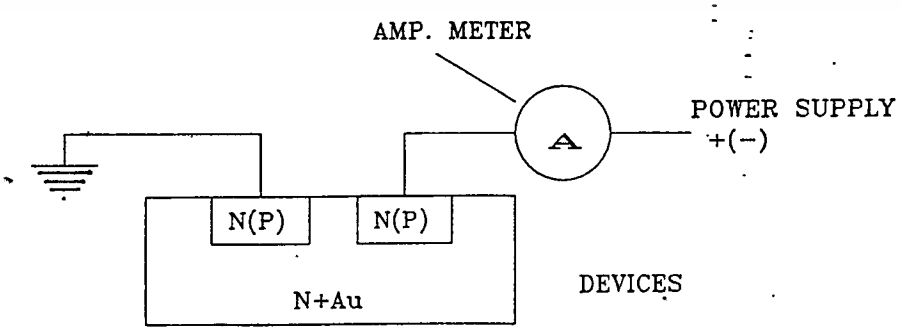



ช.NMOIS

รูปที่ 4.4-5 (ช) แสดงความสัมพันธ์ระหว่างค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS กับค่าความหนาของชั้นฉนวนซิลิกอนไดออกไซด์บริเวณช่องทางเดินกระแส

จากความสัมพันธ์ดังรูปที่ 4.4-5 พบว่าขณะที่แรงดันไฟเลี้ยงของวงจรมีค่าไม่เกิน 20 โวลต์ จำเป็นต้องสร้างชั้นฉนวนซิลิกอนไดออกไซด์หนาประมาณ 4000 อังสตรอม จึงจะไม่ทำให้ทรานซิสเตอร์ชนิดเดียวกันที่ไม่ต่อถึงกันทางไฟฟ้ามีพฤติกรรมของทรานซิสเตอร์แฝงระหว่างกัน

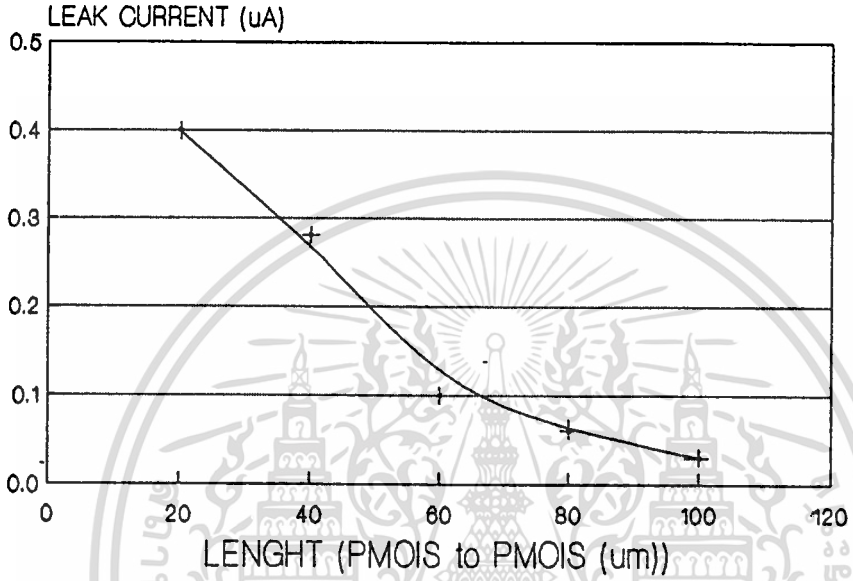
ในการหาค่าระยะห่างระหว่างทรานซิสเตอร์ชนิดเดียวกันที่ไม่ต่อถึงกันทางไฟฟ้าที่เหมาะสมจะพิจารณาค่ากระแสรั่วที่ทรานซิสเตอร์ตัวหนึ่งกระทำต่อทรานซิสเตอร์ข้างเคียงมีค่าไม่เกิน 0.1 ไมโครแอมป์ เช่นเดียวกับการพิจารณาในหัวข้อที่ 4.4.3 โดยค่าระยะห่างระหว่างทรานซิสเตอร์ในกรณีนี้มีค่า 20 , 40 , 60 , 80 และ 100 ไมโครเมตร ในการทดสอบค่ากระแสรั่วของทรานซิสเตอร์ชนิดเดียวกันที่ไม่ต่อถึงกันทางไฟฟ้ากระทำโดยต่อวงจรดังรูปที่ 4.4-6



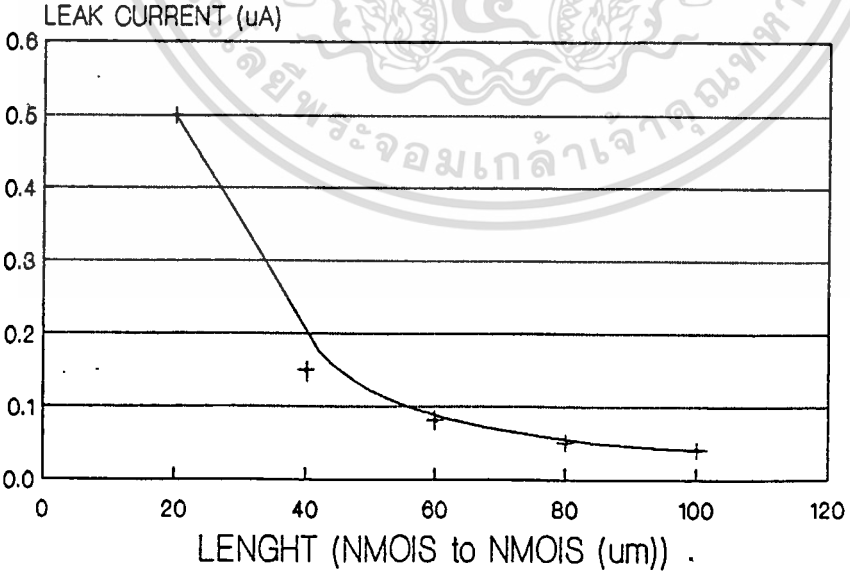

รูปที่ 4.4-6 แสดงวงจรทดสอบค่ากระแสรั่วของทรานซิสเตอร์ชนิดเดียวกันที่อยู่ใกล้กันและไม่ต่อถึงกันทางไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีของทรานซิสเตอร์ชนิด PMOIS สองตัวที่อยู่ใกล้กันการทดลองจะทำการเปลี่ยนแปลงค่าแรงดันไฟเลี้ยงของวงจรจาก 0 โวลต์ ถึงแรงดัน -15 โวลต์ และในทางตรงกันข้ามถ้าทรานซิสเตอร์ชนิด NMOIS คู่หนึ่งจะทำการเปลี่ยนแปลงค่าแรงดัน 0 โวลต์ ถึงแรงดัน 15 โวล์ต ผลการทดลองความสัมพันธ์ระหว่างค่ากระแสรั่วสูงสุดกับค่าระยะห่างระหว่างทรานซิสเตอร์ทั้งสองแสดงดังรูปที่ 4.4-7




ก.PMOIS 2 ตัวที่อยู่ใกล้กัน




ข.NMOIS 2 ตัวที่อยู่ใกล้กัน

รูปที่ 4.4-7 แสดงความสัมพันธ์ระหว่างค่ากระแสรั่วกับทรานซิสเตอร์สองตัวชนิดเดียวกันที่ไม่ต่อถึงกันทางไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

จากผลการทดสอบพบว่าในกรณีที่สามารถยอมรับค่ากระแสรั่วไหลมีค่าไม่เกิน 0.1 ไมโครแอมป์ จะต้องออกแบบให้ทรานซิสเตอร์ทั้งสองอยู่ห่างจากกัน 60 ไมโครเมตร

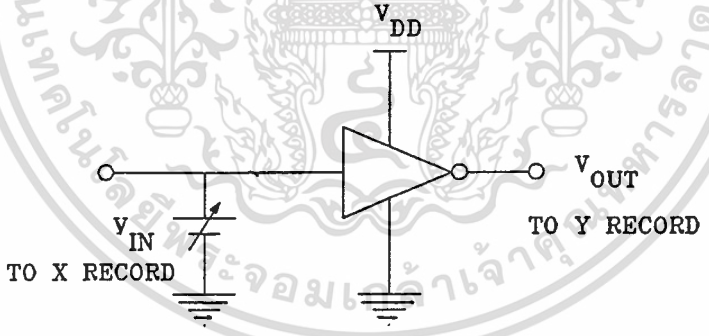
## 4.5 การทดลองและผลการทดลองวัดคุณสมบัติของวงจรรวมทางตรรกเบื้องต้น

วงจรรวมทางตรรกต่าง ๆ ที่ได้นำเสนอในบทที่ 3 จะทำการสร้างวงจรรวมเหล่านั้นด้วยกระบวนการสร้างมาตราฐานเสร็จแล้วจึงนำวงจรต่าง ๆ ทดสอบคุณสมบัติการส่งผ่านสัญญาณแรงดัน ( Voltage Transfer Characteristic Curve ) เพื่อหาค่าแรงดัน $V_{IL}$, $V_{IH}$, $V_{OL}$, $V_{OH}$ และ $V_{th}$ ของวงจร และนำค่าระดับสัญญาณแรงดันที่หาได้คำนวณหาค่าความสามารถทนสัญญาณรบกวนของวงจร (noise margin) และทำการเปรียบเทียบค่าแรงดันการเปลี่ยนสถานะของวงจรที่คำนวณได้กับค่าที่ได้จากการทดลองเพื่อหาค่าความแตกต่างระหว่างการคำนวณและผลการทดลองที่ได้สร้างจริง

### 4.5.1 การทดลองและผลการทดลองวัดคุณสมบัติทางไฟตรงของวงจรรวมทางตรรกเบื้องต้น

วงจรอินเวอร์เตอร์

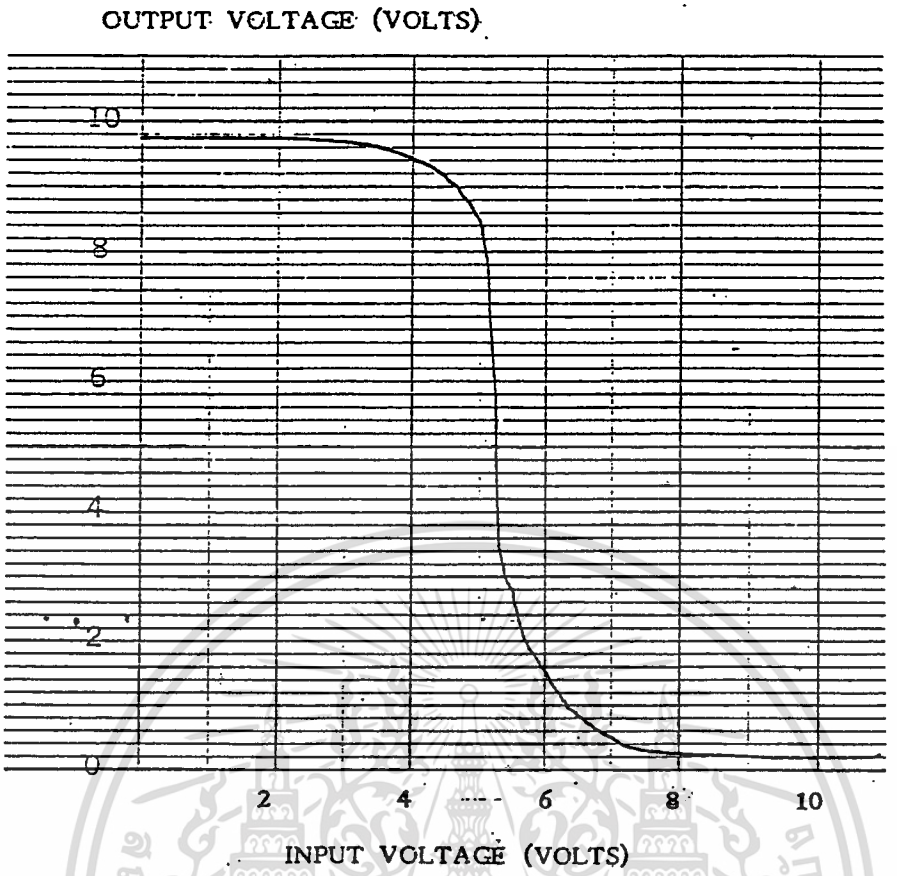
การทดสอบการส่งผ่านสัญญาณแรงดันของวงจรอินเวอร์เตอร์กระทำโดยต่อวงจรดังรูปที่ 4.5-1 และจ่ายแรงดันไฟเลี้ยงวงจรขนาด 10 โวลต์ เทียบกับระดับแรงดันอ้างอิง 0 โวลต์




รูปที่ 4.5-1 แสดงวงจรทดสอบการส่งผ่านสัญญาณแรงดันของวงจรอินเวอร์เตอร์

หลังจากต่อวงจรเรียบร้อยแล้วทำการเปลี่ยนแปลงค่าแรงดันขาเข้าของวงจรจากแรงดัน 0 โวลต์ ไปสู่ค่าแรงดันไฟเลี้ยงของวงจร ทำการบันทึกค่าแรงดันขาเข้าของวงจรและแรงดันขาออกของวงจรด้วยเครื่องบันทึกสองแกน (xy recorder) โดยแกน x ของเครื่องจะแสดงค่าแรงดันขาเข้าและแกน y ของเครื่องจะทำการบันทึกค่าแรงดันขาออก ตัวอย่างของผลการทดสอบแสดงได้ดังรูปที่ 4.5-2 จากนั้นนำกราฟคุณสมบัติที่ได้จากเครื่องทำการหาค่าแรงดันต่าง ๆ ดังที่ได้นำเสนอในหัวข้อที่ 1.7 ที่ได้กล่าวมาแล้ว ผลการทดสอบวงจรแสดงได้ดังตารางที่ 4.5-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.5-2 แสดงตัวอย่างผลการทดสอบการส่งผ่านสัญญาณแรงดันของวงจรอินเวอร์เตอร์ที่ออกแบบและสร้างขึ้น

ตารางที่ 4.5-1 แสดงผลการทดสอบค่าแรงดันต่าง ๆ ของวงจรอินเวอร์เตอร์

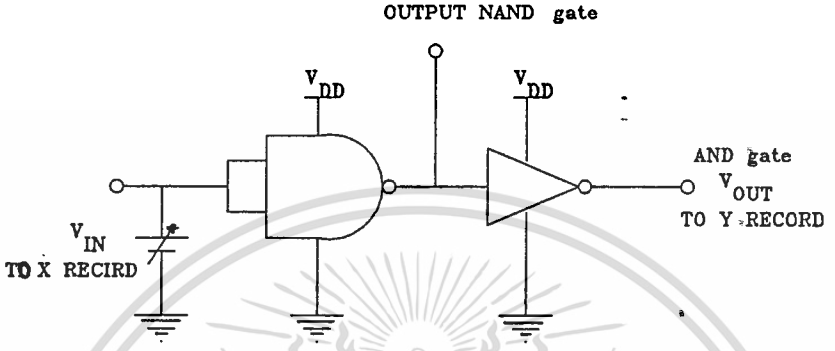
| วงจรที่ | $\beta_n/\beta_p$ | $V_{IH}$ (V) | $V_{IL}$ (V) | $V_{OH}$ (V) | $V_{OL}$ (V) | $V_{th}$ (ทดลอง) | $V_{th}$ (คำนวณ) | $NM_H$ (V) | $NM_L$ (V) |
|---|---|---|---|---|---|---|---|---|---|
| 1 | 0.54 | 5.3 | 3.8 | 9.0 | 0.9 | 4.5 | 4.95 | 3.7 | 2.9 |
| 2 | 0.87 | 5.2 | 3.7 | 8.7 | 1.0 | 4.3 | 4.60 | 3.5 | 2.7 |
| 3 | 0.55 | 5.3 | 3.8 | 9.0 | 0.9 | 4.4 | 4.94 | 3.7 | 2.9 |
| 4 | 0.15 | 6.0 | 4.1 | 9.0 | 1.1 | 5.3 | 5.82 | 3.0 | 3.0 |

จากตารางจะพบว่าค่าแรงดันการเปลี่ยนสถานะของวงจรมีค่าแตกต่างจากที่คำนวณไม่เกิน 5 เปอร์เซ็นต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแอนด์เกทและแนนด์เกท

การทดสอบการส่งผ่านสัญญาณแรงดันของวงจรแอนด์เกทและแนนด์เกท กระทำได้โดยเชื่อมขาแรงดันขาเข้าของวงจรทั้งสอง (A และ B) แล้วทำการเปลี่ยนแปลงแรงดันขาเข้าของวงจรจากแรงดัน 0 โวลต์ ไปสู่ค่าแรงดันไฟเลี้ยงของวงจรดังรูปที่ 4.5-3 โดยค่าแรงดันไฟเลี้ยงของวงจรมีค่า 10 โวลต์




รูปที่ 4.5-3 แสดงวงจรที่ใช้ในการทดสอบการส่งผ่านสัญญาณแรงดันของวงจรแอนด์เกทและแนนด์เกท

ทำการบันทึกค่าแรงดันขาเข้าและค่าแรงดันขาออกของวงจรด้วยเครื่องบันทึกสองแกนเช่นเดียวกับวงจรอินเวอร์เตอร์ ในกรณีของวงจรแนนด์เกทลักษณะของกราฟการส่งผ่านสัญญาณแรงดันของวงจรแนนด์เกทมีลักษณะเหมือนกับวงจรอินเวอร์เตอร์ ผลการทดสอบค่าแรงดันต่าง ๆ ที่ได้จากกราฟการส่งผ่านสัญญาณแรงดันแสดงได้แสดงได้ดังตารางที่ 4.5-2

ตารางที่ 4.5-2 แสดงผลการทดสอบค่าแรงดันต่าง ๆ ของวงจรแนนด์เกท

| วงจรที่ | $\beta_p/\beta_n$ | $V_{IH}$ (V) | $V_{IL}$ (V) | $V_{OH}$ (V) | $V_{OL}$ (V) | $V_{th}$ (ทดลอง) | $V_{th}$ (คำนวณ) | $NM_H$ (V) | $NM_L$ (V) |
|---|---|---|---|---|---|---|---|---|---|
| 1 | 0.54 | 6.5 | 4.2 | 9.5 | 0.9 | 5.4 | 5.88 | 3.0 | 3.3 |
| 2 | 0.87 | 7.0 | 4.0 | 9.0 | 1.0 | 5.1 | 5.59 | 2.0 | 3.0 |
| 3 | 0.55 | 6.7 | 4.0 | 9.2 | 1.0 | 5.4 | 5.87 | 2.5 | 3.0 |
| 4 | 0.15 | 6.8 | 4.8 | 9.0 | 0.8 | 6.3 | 6.52 | 2.2 | 4.0 |

ผลการทดสอบการส่งผ่านสัญญาณแรงดันของวงจรแอนด์เกท (ซึ่งใช้วงจรอินเวอร์เตอร์ต่อเพิ่มจากวงจรแนนด์เกท) จะมีลักษณะตรงกันข้ามจากวงจรแนนด์เกท เนื่องจากลักษณะของสัญญาณขาออกจะมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสเดียวกับสัญญาณขาเข้า แต่การหาค่าแรงดันต่าง ๆ ยังคงเดิม (ดังที่ได้อธิบายไว้ในหัวข้อที่ 1.7) ซึ่งผลการทดสอบค่าแรงดันต่าง ๆ ของวงจรแอนด์เกทแสดงได้ดังตารางที่ 4.5-3

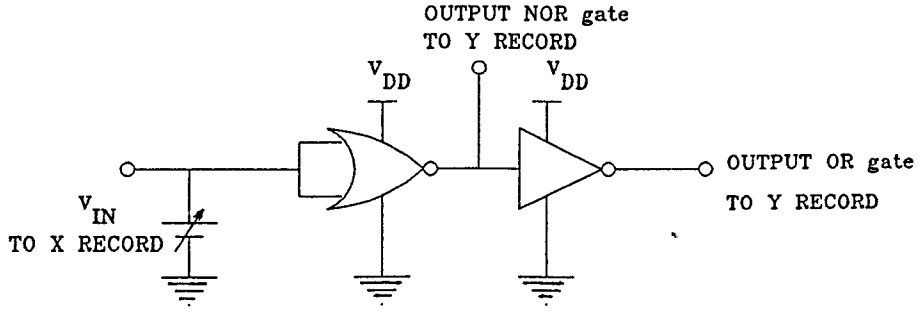
ตารางที่ 4.5-3 แสดงผลการทดสอบค่าแรงดันต่าง ๆ ของวงจรแอนด์เกท

| วงจรที่ | $\beta_p/\beta_n$ NAND | $\beta_n/\beta_p$ INVERTER | $V_{IH}$ (V) | $V_{IL}$ (V) | $V_{OH}$ (V) | $V_{OL}$ (V) | $V_{th}$ (ทดลอง) | $V_{th}$ (คำนวณ) | $NM_H$ (V) | $NM_L$ (V) |
|---|---|---|---|---|---|---|---|---|---|---|
| 1 | 0.54 | 0.55 | 7.1 | 5.2 | 9.3 | 0.9 | 6.1 | 6.4 | 2.2 | 4.1 |
| 2 | 0.87 | 0.55 | 7.0 | 5.1 | 9.0 | 0.7 | 5.9 | 6.2 | 2.0 | 4.4 |
| 3 | 0.55 | 0.55 | 7.1 | 5.2 | 9.2 | 1.1 | 6.2 | 6.4 | 2.1 | 4.1 |
| 4 | 0.15 | 0.55 | 7.1 | 5.0 | 9.0 | 0.9 | 5.8 | 6.3 | 1.9 | 4.1 |

จากผลการทดสอบพบว่าค่าแรงดันการเปลี่ยนสถานะของวงจรจะมีค่าแตกต่างจากการคำนวณไม่เกิน 5 เปอร์เซ็นต์

<u>วงจรนอร์เกทและออร์เกท</u>

การทดสอบวงจรนอร์เกทและวงจรออร์เกทจะทำการทดสอบเช่นเดียวกับการทดสอบวงจรแนนด์เกทและวงจรแอนด์เกท โดยทำการเชื่อมสัญญาณแรงดันขาเข้าของวงจรทั้งสองเข้าด้วยกัน แล้วทำการเปลี่ยนแปลงค่าแรงดันขาเข้าของวงจรจากค่าแรงดัน 0 โวลต์ไปสู่ค่าแรงดันไฟเลี้ยงของวงจร โดยค่าแรงดันไฟเลี้ยงของวงจรมีค่า 10 โวลต์ ดังรูปที่ 4.5-4




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.5-4 แสดงวงจรทดสอบการส่งผ่านสัญญาณแรงดันของวงจรออร์เกทและนอร์เกท

ทำการบันทึกค่าสัญญาณขาเข้าและสัญญาณขาออกของวงจรด้วยเครื่องบันทึกสองแกนเช่นเดียวกับการทดสอบวงจรอินเวอร์เตอร์หรือวงจรแอนด์เกทและแนนด์เกท ผลการทดสอบมีลักษณะเช่นเดียวกับวงจรแนนด์เกทและวงจรแอนด์เกท กล่าวคือวงจรนอร์เกทจะมีลักษณะของการส่งผ่านสัญญาณแรงดันเช่นเดียวกับวงจรแนนด์เกท ส่วนวงจรออร์เกทจะมีลักษณะของการส่งผ่านสัญญาณแรงดันเช่นเดียวกับวงจรแอนด์เกท ผลการทดสอบค่าแรงดันต่าง ๆ ของวงจรนอร์เกทและวงจรออร์เกทแสดงได้ดังตารางที่ 4.5-4 และ 4.5-5 ตามลำดับ

ตารางที่ 4.5-4 แสดงผลการทดสอบค่าแรงดันต่าง ๆ ของวงจรนอร์เกท

| วงจรที่ | $\beta_p/\beta_n$ | $V_{IH}$ (V) | $V_{IL}$ (V) | $V_{OH}$ (V) | $V_{OL}$ (V) | $V_{th}$ (ทดลอง) | $V_{th}$ (คำนวณ) | $NM_H$ (V) | $NM_L$ (V) |
|---|---|---|---|---|---|---|---|---|---|
| 1 | 4.6 | 5.2 | 3.5 | 9.4 | 0.9 | 4.1 | 4.6 | 4.2 | 2.6 |
| 2 | 6.8 | 5.8 | 3.6 | 9.6 | 1.1 | 4.3 | 4.9 | 3.8 | 2.5 |
| 3 | 7.3 | 5.9 | 3.6 | 9.5 | 0.9 | 4.3 | 4.95 | 3.6 | 2.7 |

ตารางที่ 4.5-3 แสดงผลการทดสอบค่าแรงดันต่าง ๆ ของวงจรออร์เกท

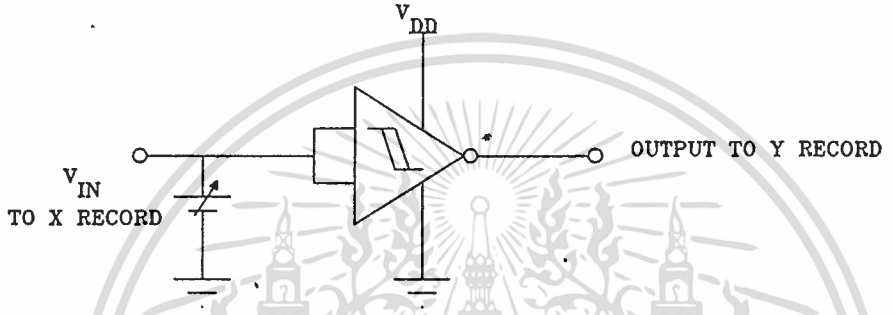
| วงจรที่ | $\beta_p/\beta_n$ NOR | $\beta_n/\beta_p$ INVERTER | $V_{IH}$ (V) | $V_{IL}$ (V) | $V_{OH}$ (V) | $V_{OL}$ (V) | $V_{th}$ (ทดลอง) | $V_{th}$ (คำนวณ) | $NM_H$ (V) | $NM_L$ (V) |
|---|---|---|---|---|---|---|---|---|---|---|
| 1 | 4.6 | 0.55 | 6.7 | 4.0 | 9.8 | 0.9 | 5.0 | 5.35 | 3.1 | 3.1 |
| 2 | 6.8 | 0.55 | 6.3 | 3.9 | 9.5 | 1.2 | 5.1 | 5.45 | 3.2 | 2.7 |
| 3 | 7.3 | 0.55 | 6.5 | 4.2 | 9.7 | 1.1 | 5.1 | 5.55 | 3.2 | 3.1 |

ผลการทดลองเป็นไปทำนองเดียวกันกับวงจรอินเวอร์เตอร์และวงจรแนนด์และแอนด์เกท กล่าวคือ ค่าแรงดันการเปลี่ยนสถานะของวงจรที่สร้างขึ้นมีค่าแตกต่างจากการคำนวณที่ได้นำเสอนในบทที่ 3 ไม่เกิน 7 เปอร์เซ็นต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

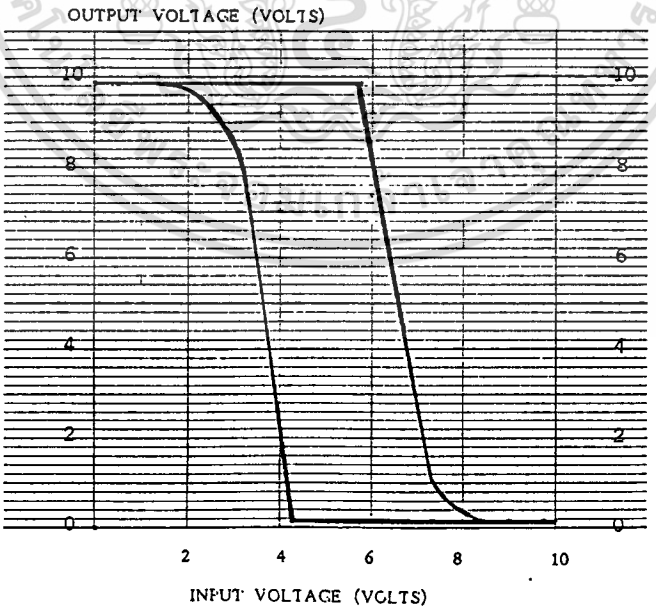
วงจรจุดชนวนของชมิตต์

การทดสอบวงจรจุดชนวนของชมิตต์สามารถกระทำได้เช่นเดียวกับการทดสอบวงจรรวมทางตรรกที่ได้นำเสนอข้างต้น กล่าวคือทำการต่อวงจรดังรูปที่ 4.5-5 โดยใช้ค่าแรงดันไฟเลี้ยงของวงจรมีค่า 10 โวลต์ และทำการเปลี่ยนแปลงค่าแรงดันขาเข้าของวงจรจากค่าแรงดัน 0 โวลต์ไปสู่ค่าแรงดันไฟเลี้ยงของวงจร จะได้ค่าแรงดันทริกที่ขอบขาขึ้นของวงจร ($V^+$) จากนั้นทำการเปลี่ยนแปลงค่าแรงดันขาเข้าจากค่าแรงดันไฟเลี้ยงของวงจรไปสู่ค่าแรงดัน 0 โวลต์ โดยยังคงบันทึกบนกระดาษแผ่นเดียวกัน จะได้ค่าแรงดันทริกที่ขอบขาลง ($V^-$) ของวงจร




รูปที่ 4.5-5 แสดงวงจรทดสอบการส่งผ่านสัญญาณแรงดันของวงจรจุดชนวนของชมิตต์

ทำการบันทึกค่าแรงดันขาเข้าและค่าแรงดันขาออกของวงจรด้วยเครื่องบันทึกสองแกน โดยที่แกน y ของเครื่องจะบันทึกค่าแรงดันขาออกและแกน x ของเครื่องจะบันทึกค่าแรงดันขาเข้า ผลการทดลองแสดงได้ดังรูปที่ 4.5-6




รูปที่ 4.5-6 แสดงตัวอย่างผลการทดสอบการส่งผ่านสัญญาณแรงดันของวงจรจุดชนวนของชมิตต์

จากนั้นนำกราฟคุณสมบัติที่ได้ทำการหาค่าแรงดันทริกต่าง ๆ ของวงจร ซึ่งผลการทดลองแสดงได้ดังตารางที่ 4.5-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

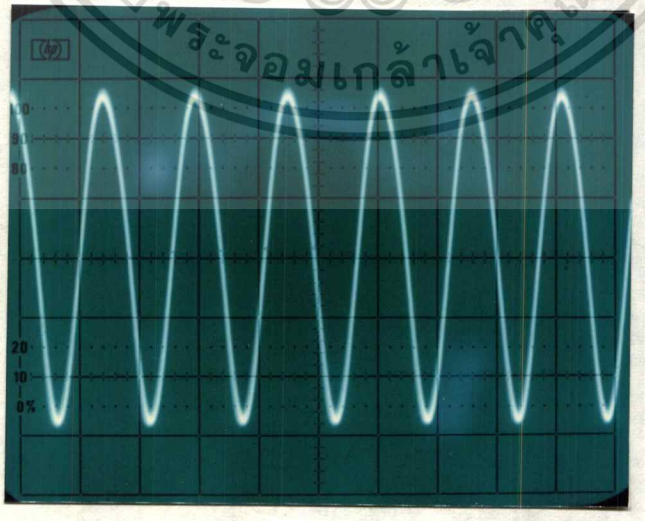
ตารางที่ 4.5-6 แสดงผลการทดสอบแรงดัน $V^+$ และ $V^-$ ของวงจรจุดชนวชของชมิตต์

| วงจรที่ | $\beta_1/\beta_3$ | $\beta_4/\beta_6$ | $V^+$ (V) (ทดลอง) | $V^+$ (V) (คำนวณ) | $V^-$ (V) (ทดลอง) | $V^-$ (V) (คำนวณ) | $\Delta V$ (V) (ทดลอง) | $\Delta V$ (V) (คำนวณ) |
|---|---|---|---|---|---|---|---|---|
| 1 | 1 | 7/5 | 5.2 | 5.75 | 4.7 | 4.05 | 0.5 | 0.85 |
| 2 | 4/5 | 4/3 | 5.3 | 5.99 | 4.7 | 4.01 | 0.6 | 0.99 |
| 3 | 4/6 | 1 | 5.8 | 6.19 | 4.2 | 3.75 | 1.6 | 2.34 |

จากผลการทดสอบพบว่าค่าแรงดัน $V^+$ และค่าแรงดัน $V^-$ ของวงจรมีค่าแตกต่างจากการคำนวณไม่เกิน 7 เปอร์เซ็นต์ เช่นเดียวกับวงจรรวมทางตรรกที่ได้ทำการทดสอบทั้งหมด

**4.6 การทดลองและผลการทดลองวัดคุณสมบัติของวงจรรวมเชิงเส้นเบื้องต้น**

วงจรรวมเชิงเส้นที่ได้กล่าวมาในบทที่ 3 คือวงจรรวมริงออสซิลเลเตอร์ ซึ่งเป็นวงจรรวมที่ให้สัญญาณความถี่ ในการใช้งานวงจรจะทำการจ่ายไฟเลี้ยงแก่วงจรค่าหนึ่งที่มีค่ามากกว่าค่าแรงดันชีดเริ่มของวงจร ลักษณะของสัญญาณความถี่ของวงจรแสดงได้ดังรูปที่ 4.6-1



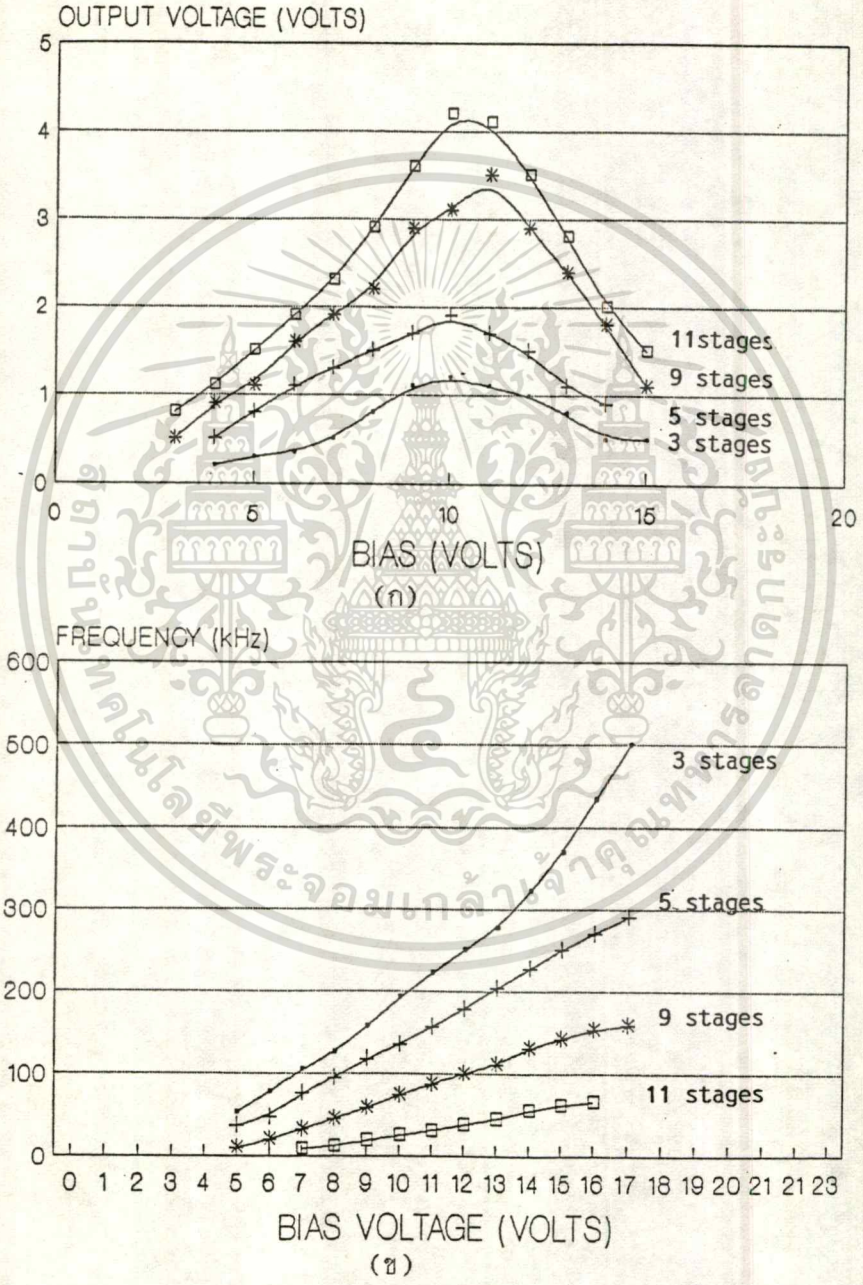
แกนตั้ง 0.5 โวลต์ ต่อ ช่อง

แกนนอน 5 ไมโครวินาที ต่อ ช่อง

รูปที่ 4.6-1 แสดงลักษณะของสัญญาณขาออกของวงจรริงออสซิลเลเตอร์

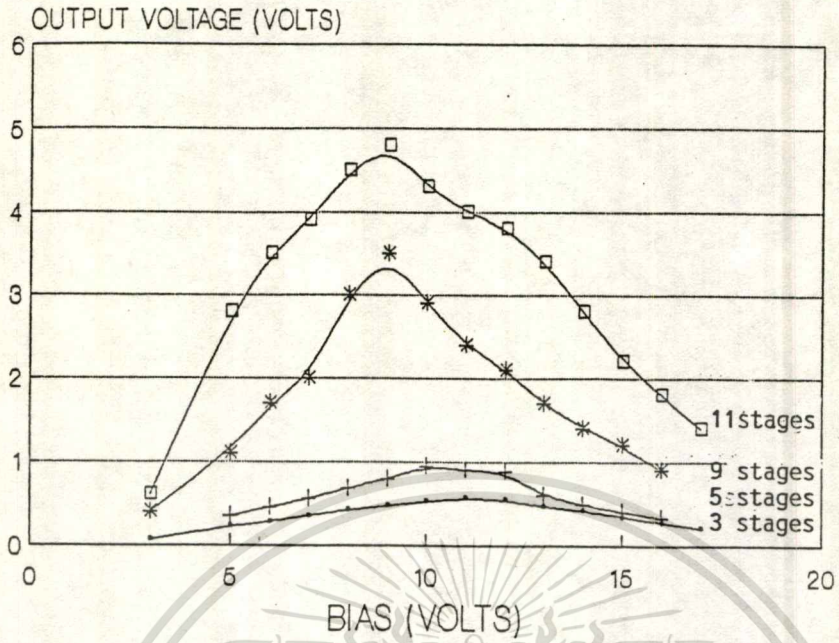
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นในการทดสอบวงจรรวมริงออสซิลเลเตอร์จึงทำการทดสอบความสัมพันธ์ระหว่างค่าความถี่ของวงจรที่ได้ออกมากับพารามิเตอร์ต่าง ๆ คือ แรงดันไฟเลี้ยงของวงจร และค่าจำนวนภาคของวงจรอินเวอร์เตอร์ที่ประกอบเป็นวงจรรวมริงออสซิลเลเตอร์ นอกจากนี้ยังทำการทดสอบความสัมพันธ์ระหว่างค่าแรงดันไฟเลี้ยงของวงจรกับค่าแรงดันขาออกของวงจร ผลการทดสอบแสดงได้ดังรูปที่ 4.6-2, 4.6-3 และ 4.6-4

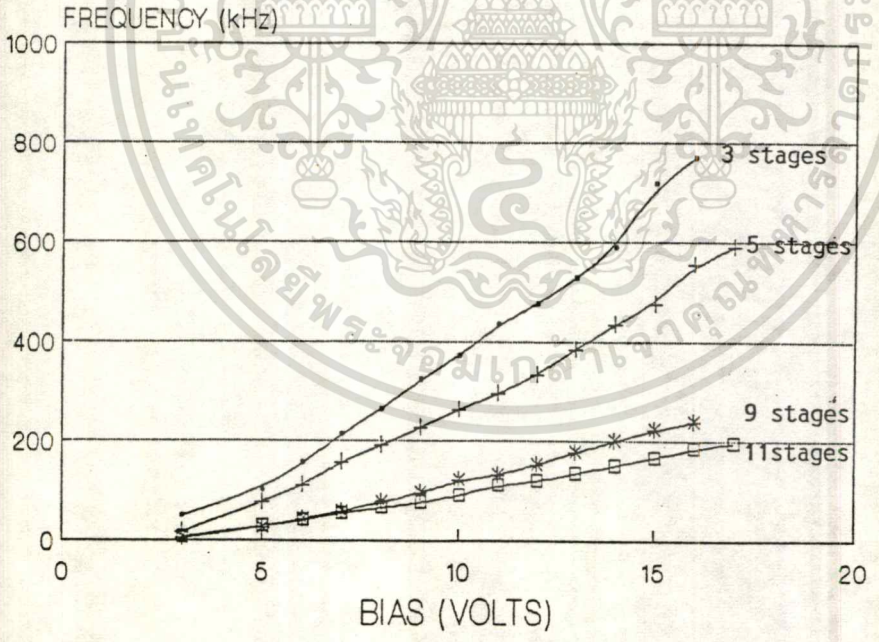



รูปที่ 4.6-2 แสดงความสัมพันธ์ระหว่างค่าแรงดันไฟเลี้ยงและค่าแรงดันขาออกของวงจรริงออสซิลเลเตอร์ (ก) และความสัมพันธ์ระหว่างค่าความถี่ที่ได้จากวงจรกับแรงดันไฟเลี้ยงและค่าจำนวนสถานะของวงจรอินเวอร์เตอร์ที่ประกอบวงจรริงออสซิลเลเตอร์ (ข) โดยที่ค่าอัตราส่วน $b_n/\beta_n$ ของวงจรอินเวอร์เตอร์ที่ประกอบเป็นวงจรริงออสซิลเลเตอร์มีค่า 0.54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



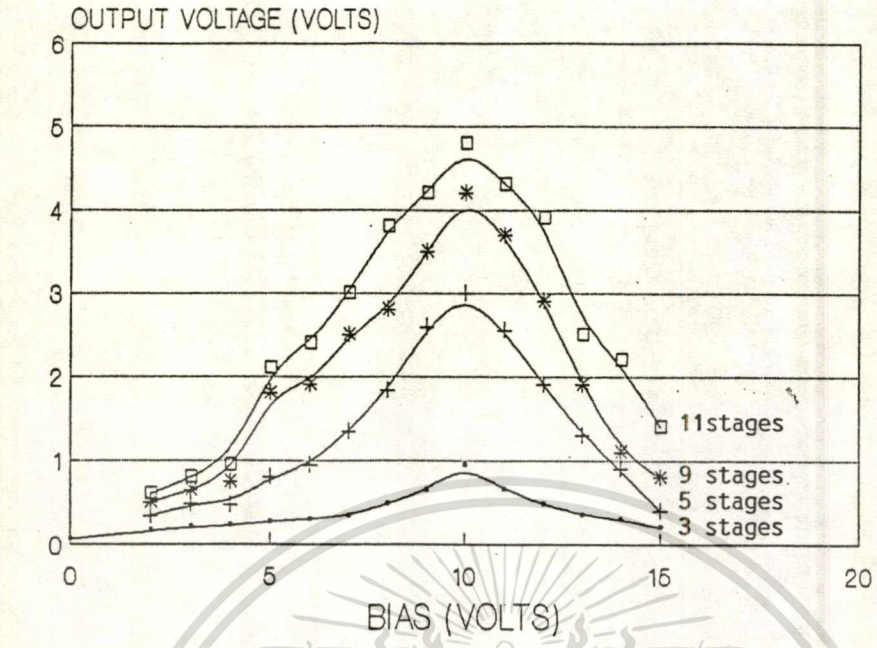

(ก)



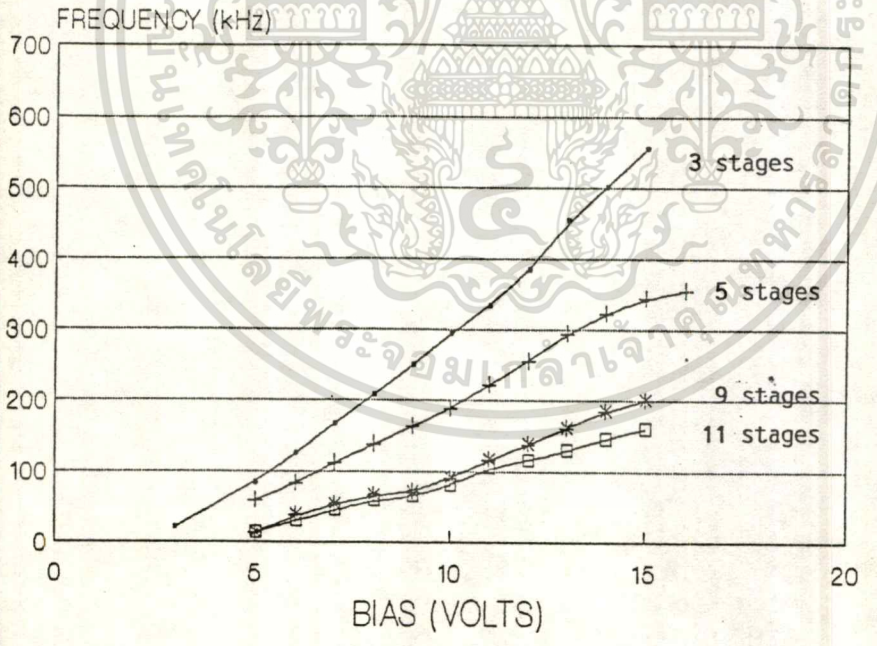

(ข)

รูปที่ 4.6-3 แสดงความสัมพันธ์ระหว่างค่าแรงดันไฟเลี้ยงและค่าแรงดันขาออกของวงจรริงออสซิลเลเตอร์ (ก) และความสัมพันธ์ระหว่างค่าความถี่ที่ได้จากวงจรกับแรงดันไฟเลี้ยงและค่าจำนวนสถานะของวงจรอินเวอร์เตอร์ที่ประกอบวงจรริงออสซิลเลเตอร์ (ข) โดยที่ค่าอัตราส่วน $\beta_n/\beta_p$ ของวงจรอินเวอร์เตอร์ที่ประกอบเป็นวงจรริงออสซิลิเลเตอร์ มีค่า 0.87

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




(ก)




(ข)

รูปที่ 4.6-4 แสดงความสัมพันธ์ระหว่างค่าแรงดันไฟเลี้ยงและค่าแรงดันขาออกของวงจรริงออสซิลเลเตอร์ (ก) และความสัมพันธ์ระหว่างค่าความถี่ที่ได้จากวงจรกับแรงดันไฟเลี้ยงและค่าจำนวนสถานะของวงจรอินเวอร์เตอร์ที่ประกอบวงจรริงออสซิลเลเตอร์ (ข) โดยที่ค่าอัตราส่วน $\beta_n/\beta_p$ ของวงจรอินเวอร์เตอร์ที่ประกอบเป็นวงจรริงออสซิลเลเตอร์มีค่า 0.55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PMOIS มีค่า 25 โวลต์ ขนาดของทรานซิสเตอร์ที่ใช้ในการประกอบเป็นวงจรรวมจะต้องมีค่าความกว้างของช่องทางเดินกระแสสูงกว่า 80 ไมโครเมตร และค่าความยาวของช่องทางเดินกระแสควรมีค่าสูงกว่า 20 ไมโครเมตร จึงจะทำให้ค่าแรงดันขีดเริ่มของทรานซิสเตอร์ถูกผลกระทบจากรูปทรงทรงเรขาคณิตที่เล็ก ๆ (small size effect) ของทรานซิสเตอร์ต่ำกว่า 10 เปอร์เซ็นต์ และค่าระยะห่างระหว่างทรานซิสเตอร์สองตัวที่ไม่มีการเชื่อมต่อทางไฟฟ้าควรมีค่าอย่างน้อย 60 ไมโครเมตร ในขณะที่ทรานซิสเตอร์สองตัวที่มีขั้วต่อถึงกันทางไฟฟ้าสามารถออกแบบให้ทรานซิสเตอร์ทั้งสองอยู่ชิดติดกันได้โดยไม่ต้องเว้นระยะห่างระหว่างกันในบริเวณจุดเชื่อมต่อทางไฟฟ้า เมื่อประกอบทรานซิสเตอร์เป็นวงจรรวมทางตรรกขนาดเล็กแล้ว จะสามารถพิจารณาขั้วต่าง ๆ ของทรานซิสเตอร์ได้โดย ขั้วเดรนจะเป็นขั้วที่ได้รับการต่อศักดาไฟฟ้าแบบย้อนกลับ และขั้วซอสจะเป็นขั้วที่ได้รับการต่อศักดาไฟฟ้าแบบตรง เนื่องจากไม่สามารถต่อแรงดันไฟฟ้าแก่ขั้วฐานรองทรานซิสเตอร์ได้ และวงจรที่สร้างขึ้นสามารถใช้งานที่ค่าแรงดันไฟเลี้ยงในช่วง 4 โวลต์ ถึง 20 โวลต์ โดยมีค่าแรงดันการเปลี่ยนสถานะ ($V_{th}$) ของวงจร และค่าแรงดันทริกที่ขอบขาขึ้นและขอบขาลงของวงจร ($V^+$ และ $V^-$) แตกต่างจากค่าที่ได้รับจากการคำนวณโดยการคิดหลักการแบ่งขั้วดังกล่าวข้างต้นสูงสุดไม่เกิน 20 เปอร์เซ็นต์ ซึ่งเป็นค่าข้อมูลที่มีความแตกต่างมากที่สุดและควรมีสาเหตุเนื่องจากการควบคุมปริมาณของทองคำที่ใช้ในการเปลี่ยนคุณสมบัติของฐานรองที่ใช้ในการสร้างวงจรรวม ซึ่งเป็นผลทำให้ค่าพารามิเตอร์ต่าง ๆ ที่ได้ทำการออกแบบไว้มีค่าไม่ตรงกัน ซึ่งจะกล่าวในตอนต่อไป และค่าแรงดันขาออกสถานะสูงของวงจรมีค่าต่ำกว่าค่าแรงดันไฟเลี้ยงไม่เกิน 10 เปอร์เซ็นต์ ในขณะที่ค่าแรงดันขาออกสถานะต่ำของวงจรมีค่าสูงกว่าค่าแรงดัน 0 โวลต์ ไม่เกิน 11 เปอร์เซ็นต์ ซึ่งเป็นผลของค่ากระแสรั่วในวงจรที่เกิดขึ้น ดังนั้นถ้าทำการควบคุมปริมาณของกระแสรั่วให้มีปริมาณน้อยแล้ว ค่าแรงดันขาออกสถานะสูงและค่าแรงดันขาออกสถานะต่ำควรมีค่าที่ใกล้เคียงกับค่าแรงดันไฟเลี้ยงและค่าแรงดัน 0 โวลต์ มากขึ้น และเมื่อประกอบทรานซิสเตอร์เป็นวงจรรวมริงออสซิลเลเตอร์สามารถให้ลักษณะของสัญญาณขาออกที่สมมาตรตามความต้องการในการออกแบบ สามารถนำสัญญาณที่ได้ไปใช้งานเป็นวงจรกำเนิดความถี่ได้

ผลที่ได้จากการทำงานวิจัยนี้ ทำให้ทราบข้อมูลทางเทคนิค อุปสรรค และปัญหาบางประการซึ่งเป็นข้อจำกัดในการพัฒนาทรานซิสเตอร์ชนิดนี้เป็นวงจรรวมที่มีขนาดใหญ่ขึ้น ดังสามารถสรุปได้ดังต่อไปนี้

เนื่องจากการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOIS นี้ ต้องทำการเติมอะตอมทองคำบริสุทธิ์เข้าในฐานรองที่ใช้ในการสร้างทรานซิสเตอร์ และจากการวิจัยที่กล่าวมาแล้วข้างต้นพบว่าคุณสมบัติของทรานซิสเตอร์ที่ประกอบเป็นวงจรรวมจะมีคุณภาพดีและบรรลุจุดประสงค์ในการสร้างทั้งหมดจำเป็นต้องควบคุมกระบวนการสร้างทุก ๆ ขั้นตอน โดยเฉพาะอย่างยิ่งกระบวนการเติมสารเจือทองคำจำเป็นต้องทำการควบคุมให้ปริมาณของทองคำแต่ละครั้งของการผลิตมีค่าคงที่ และข้อมูลที่แสดงในวิทยานิพนธ์ฉบับนี้ทั้งหมด จะทำการขัดสีกทองคำเข้าไปในแผ่นผลึกครั้งละ 1 แผ่นเท่านั้น ข้อมูลที่ได้จึงจะมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าคงที่และถูกต้องตามที่ได้คาดการณ์ไว้ล่วงหน้าจากการคำนวน และถ้าสามารถควบคุมปริมาณอะตอมสารเจือทองคำได้อย่างดีแล้วจะเป็นผลดีต่อทรานซิสเตอร์ กล่าวคือสามารถควบคุมค่าปริมาณของกระแสรั่วที่เกิดจากขั้วเดรนหรือขั้วซอสของทรานซิสเตอร์ที่ไหลลงสู่ฐานรองมีค่าต่ำที่สุด นอกจากนี้ยังส่งผลให้ผลของปรากฏการณ์ channel lenght modulation ที่เกิดขึ้นก็มีค่าต่ำลงด้วย และสามารถทำให้ค่า k' ของทรานซิสเตอร์ต่าง ๆ ตรงกับค่าที่ได้จากการคำนวนมากยิ่งขึ้น สิ่งเหล่านี้จะช่วยให้วงจรมีปริมาณของทรานซิสเตอร์ที่ดีในวงจรมาก ดังนั้น yield ของวงจรที่ออกแบบและสร้างจะมีปริมาณสูง และในการลดขนาดของทรานซิสเตอร์ลงให้มีขนาดที่เล็กกว่าทรานซิสเตอร์ที่ประกอบเป็นวงจรในวิทยานิพนธ์ฉบับนี้ สามารถกระทำได้เช่นเดียวกับการลดขนาดของทรานซิสเตอร์โครงสร้างแบบ CMOS ที่กระทำอยู่ในปัจจุบัน กล่าวคือ ใช้เทคโนโลยีในการผลิตที่สูงขึ้น หรือออกแบบให้ส่วนลายโลหะที่เกินช่องทางเดินกระแส (gate overlap) มีค่าลดลง แต่ในการวิจัยครั้งนี้ยังพบว่า ถ้าควบคุมปริมาณของอะตอมทองคำเป็นอย่างดีแล้ว ค่าความยาวของช่องทางเดินกระแสจะสามารถลดขนาดลงได้อีกเล็กน้อย นอกจากนี้เมื่อทำการออกแบบและสร้างวงจรรวม จำเป็นต้องออกแบบให้ทรานซิสเตอร์ที่ประกอบเป็นวงจรอยู่ใกล้กันมากที่สุด เนื่องจากถ้าพื้นที่ที่ใช้ในการสร้างวงจรบนแผ่นผลึกมีปริมาณมาก จะทำให้โอกาสที่วงจรไม่สามารถใช้งานได้มีค่อนข้างสูง โดยสังเกตุได้จากข้อมูลในการทดสอบวงจรรวมริงออสซิลเลเตอร์ ข้อมูลที่แสดงทั้งหมดจะมีปริมาณของจำนวนชุดของวงจรอินเวอร์เตอร์ที่ประกอบเป็นวงจรริงออสซิลเลเตอร์ไม่เกิน 11 ชุด ทั้ง ๆ ที่ออกแบบวงจรอินเวอร์เตอร์ที่ประกอบเป็นวงจรสูงสุดถึง 21 ชุด แต่เนื่องจากผลการสร้างไม่สามารถพบวงจรริงออสซิลเลเตอร์ที่มีจำนวนชุดของวงจรอินเวอร์เตอร์สูงกว่า 11 ชุด สามารถทำงานได้พร้อม ๆ กันในแผ่นผลึกชิ้นเดียวกัน ดังนั้นข้อมูลที่นำเสนอจึงเป็นข้อมูลที่มีจำนวนชุดสูงที่สุดเพียง 11 ชุดเท่านั้น แต่จากการทดสอบวงจรรวมทางตรรกไม่พบปัญหานี้ เนื่องจากจำนวนทรานซิสเตอร์ที่สูงที่สุดของวงจรรวมทางตรรกต่าง ๆ ที่ได้นำเสนอมีปริมาณ 6 ทรานซิสเตอร์เท่านั้น ดังนั้นจากการวิจัยจึงพบว่าปริมาณของวงจรรวมทางตรรกที่สามารถใช้งานได้มีปริมาณสูงกว่าวงจรรวมเชิงเส้น

กล่าวโดยสรุปว่า การพัฒนาสิ่งประดิษฐ์สารกึ่งตัวนำประเภทนี้เป็นวงจรรวมที่มีขนาดใหญ่ขึ้น จำเป็นต้องอาศัยวิทยาการในการควบคุมกระบวนการสร้างที่เหมาะสม แต่อย่างไรก็ตามวงจรรวมที่ทำการวิจัยในวิทยานิพนธ์ฉบับนี้ สามารถนำไปประยุกต์ใช้งานในวงจรต่าง ๆ ได้ และสามารถผลิตเพื่ออุตสาหกรรมต่อไปเพื่อแทนที่สิ่งประดิษฐ์สารกึ่งตัวนำประเภท CMOS ในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**กิตติกรรมประกาศ**

การที่ผู้เขียนสามารถดำเนินการทำวิทยานิพนธ์ฉบับนี้ได้สำเร็จเป็นฉบับสมบูรณ์นั้น ผู้เขียนขอขอบพระคุณ ผ ศ.วิสุทธ์ ฐิติรุ่งเรือง ผู้ซึ่งได้ให้แนวความคิด คำแนะนำ ข้อปฏิบัติ ตลอดจนวิธีการแก้ปัญหาที่เป็นประโยชน์ต่องานวิจัยมาโดยตลอดเป็นอย่างดี ขอขอบพระคุณ รศ.ดร.สมเกียรติ ศุภเดช ที่ได้ให้การสนับสนุนงานวิจัยชิ้นนี้ตลอดมา และขอขอบคุณเจ้าหน้าที่ทุกท่านที่ปฏิบัติการอยู่ ณ ศูนย์วิจัยอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ได้ให้ความช่วยเหลือในด้านเครื่องมือที่ใช้ในการสร้างและทดสอบอุปกรณ์เป็นอย่างดี

สุดท้ายนี้ผู้เขียนขอกราบขอบพระคุณ คุณพ่อและคุณแม่ที่ให้การสนับสนุนการเรียนมาโดยตลอดจนถึงทุกวันนี้

(จิรวัฒน์ ปานกลาง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง


1. สัจจา ส่งศิริ **การศึกษา วิจัย และพัฒนาเฟทที่มีโครงสร้างใหม่แบบ MOIS** วิทยานิพนธ์สำหรับปริญญาโทวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2532
2. จิรวัฒน์ ปานกลาง, มนชนก ศรีเสือชาม, วิสุทธิ์ ฐิติรุ่งเรือง และ สมเกียรติ ศุภเดช **คู่คอมพลีเม้นท์ที่สมมาตรของสิ่งประดิษฐ์ประเภท CMOIS** การประชุมใหญ่ทางวิชาการประจำปี 2534 วิศวกรรมสถานแห่งประเทศไทย ในพระบรมราชูปถัมภ์, หน้า 801-810, พฤศจิกายน 2534
3. The Engineering Staff of American Micro-System Inc. **MOS Integrated Circuit Theory , Fabrication , Design and System Application of MOS LSI** Van Nostrand Reinhold Company , 1992
4. สมเกียรติ ศุภเดช, วิสุทธิ์ ฐิติรุ่งเรือง, จิรวัฒน์ ปานกลาง, อนุชา เรืองพานิช และ มนชนก ศรีเสือชาม **ความคล่องตัวของประจุพาหะในสารกึ่งตัวนำซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำ** การประชุมทางวิชาการวิศวกรรมไฟฟ้า 9 สถาบันอุดมศึกษา ครั้งที่ 13, หน้า 280-290, พฤศจิกายน 2533 , หน้า 280 - 290
5. โกศล เพ็ชร์สุวรรณ, มาซามอริ อีดะ **เทคโนโลยีสารกึ่งตัวนำ** บริษัท ดวงกมล จำกัด, 2522
6. John P. Uyemura **Fundamentals of MOS Digital Integrated Circuit** Addison - Wesley Publishing Company , 1988
7. Edward s. Yang **Microelectronic Device** McGraw-Hill Book Company , 1988
8. Randall L. Geiger , Phillip E. Allen , Noel R. Strader **VLSI Design Techniques For Analog and Digital Circuit** McGraw-Hill International Edition , 1990
9. Devid A. Hodges , Horace G Jackson **Analysis and Design of Digital Integrated Circuit** McGraw-Hill Book Company , 1988
10. สัจจา ส่งศิริ, จิรวัฒน์ ปานกลาง, วิสุทธิ์ ฐิติรุ่งเรือง และ สมเกียรติ ศุภเดช **การศึกษาผลของโครงสร้างทางเรขาคณิตของวงจร CMOIS อินเวอร์เตอร์** การประชุมวิชาการทางวิศวกรรมไฟฟ้า 9 สถาบันอุดมศึกษา ครั้งที่ 12, หน้า 583-593, พฤศจิกายน 2532


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11. Masakazu Shoji **CMOS Digital Circuit Technnology** Prentice - Hall International Inc. 1988

12. มนชนก ศรีเสือชาม, จิรวัฒน์ ปานกลาง, วิสุทธิ์ ฐิติรุ่งเรือง และ สมเกียรติ ศุภเดช **การออกแบบและสร้างวงจรรวม CMOIS NAND gate** เอกสารการประชุมทางวิชาการวิศวกรรมไฟฟ้าประจำปี 2534 โดย วิศวกรรมสถานแห่งประเทศไทยในพระบรมราชูปถัมภ์และสมาคมสถาบันวิศวกรไฟฟ้าและอิเล็กทรอนิกส์แห่งประเทศไทย, หน้า 173-181, พ.ศ. 2534

13. จิรวัฒน์ ปานกลาง, มนชนก ศรีเสือชาม, วิสุทธิ์ ฐิติรุ่งเรือง และ สมเกียรติ ศุภเดช **การออกแบบและการสร้างวงจรรวมชมิตต์ทริกเกอร์โครงสร้าง CMOIS** การประชุมทางวิศวกรรมไฟฟ้า 9 สถาบันอุดมศึกษา ครั้งที่ 14, หน้า 2-132 ถึง 2-135, พฤศจิกายน 2534

14. วิสุทธิ์ ฐิติรุ่งเรือง, จิรวัฒน์ ปานกลาง, และ สมเกียรติ ศุภเดช **ริงออสซิลเลเตอร์แบบพีมอส** การประชุมทางวิชาการวิศวกรรมไฟฟ้า 9 สถาบันอุดมศึกษา ครั้งที่ 11, หน้า 5-1-4 ถึง 5-1-12, พฤศจิกายน 2531

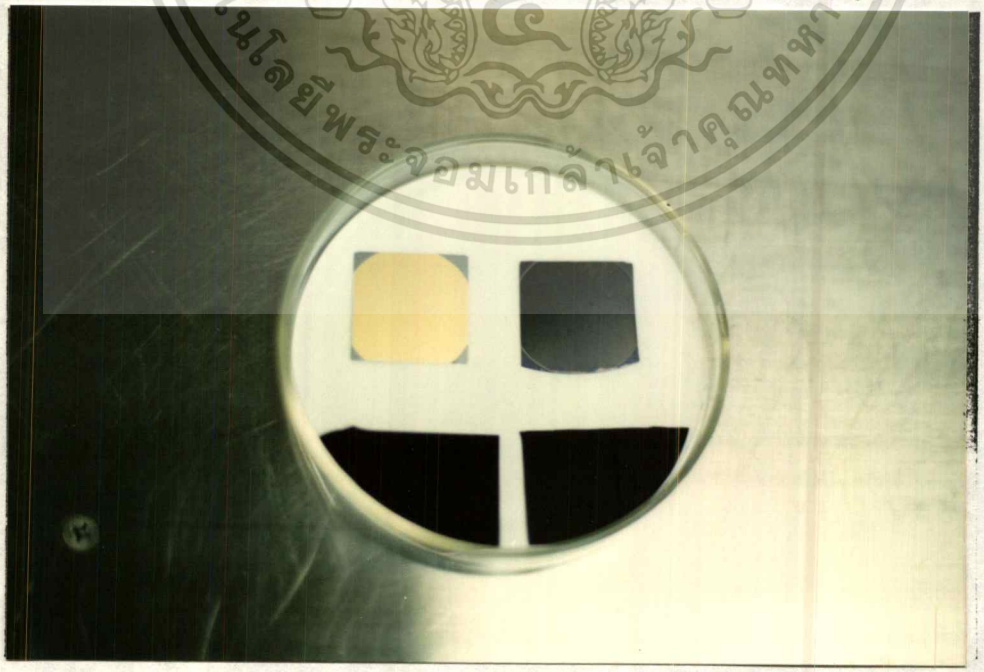
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

## กระบวนการแพร่สารเจือทองคำ

โดยทั่ว ๆ ไปกระบวนการแพร่สารเจือชนิดต่าง ๆ ในแผ่นผลึกสารกึ่งตัวนำซิลิกอนสามารถแบ่งออกเป็น 2 ขั้นตอนคือ กระบวนการ predeposition และกระบวนการ drive in โดยการทำ predeposition เป็นการแพร่สารเจือโดยไม่จำกัดปริมาณของสารเจือ และกระบวนการ drive in เป็นการแพร่สารเจือแบบจำกัดปริมาณของสารเจือ และมักจะเกิดขึ้นพร้อม ๆ กับการสร้างชั้นฉนวนซิลิกอนไดออกไซด์เพื่อปกคลุมแผ่นผลึก เพื่อป้องกันการแพร่ซึมของสารเจือออกนอกแผ่นผลึก และในการทำกระบวนการ drive in ตัวแปร อุณหภูมิและระยะเวลาจะเป็นตัวกำหนดความลึกของสารเจือที่สามารถเข้าไปในแผ่นผลึกได้

การแพร่สารเจือทองคำในวิทยานิพนธ์ฉบับนี้กระทำโดยทำการเคลือบโลหะทองคำที่บริเวณผิวด้านตรงกันข้ามกับบริเวณที่สร้างทรานซิสเตอร์ และทำการขับลึกทองคำที่อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลานาน 90 นาที ดังนั้นจึงอาจกล่าวได้ว่า การเคลือบโลหะทองคำด้วยการเคลือบโลหะในสูญญากาศ เป็นกระบวนการ predeposition และกระบวนการต่อมาเป็นกระบวนการ drive in เมื่อทำการเคลือบโลหะทองคำเสร็จเรียบร้อยแล้ว แผ่นผลึกจะมีลักษณะดังรูปที่ ก-1



รูปที่ ก-1 แสดงแผ่นผลึกซิลิกอนที่ได้รับการเคลือบด้วยอะตอมทองคำ

ดังนั้นในการหาค่าความลึกที่ทองคำสามารถแพร่ซึมเข้าไปในเนื้อสารซิลิกอนที่ระยะต่าง ๆ สามารถ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิเคราะห์โดยใช้คณิตศาสตร์การแพร่ซึมเฉพาะช่วง drive in เท่านั้น ดังสมการที่ ก-1

$$N(x,t) = [ Q / sqr (\pi DT)] \exp -(x)^2/4Dt \qquad (ก-1)$$

โดยที่ N(x,t) คือความหนาแน่นของอะตอมสารเจือที่ระยะ x ลึกลงไปจากผิวของแผ่นผลึก

Q คือจำนวนอะตอมสารเจือที่แพร่ในกระบวนการ predeposition

D คือสัมประสิทธิ์การแพร่ของอะตอมสารเจือที่อุณหภูมิการ drive in

t คือเวลาที่ใช้ในการแพร่ในกระบวนการ drive in

e คือค่าคงที่ 2.71828

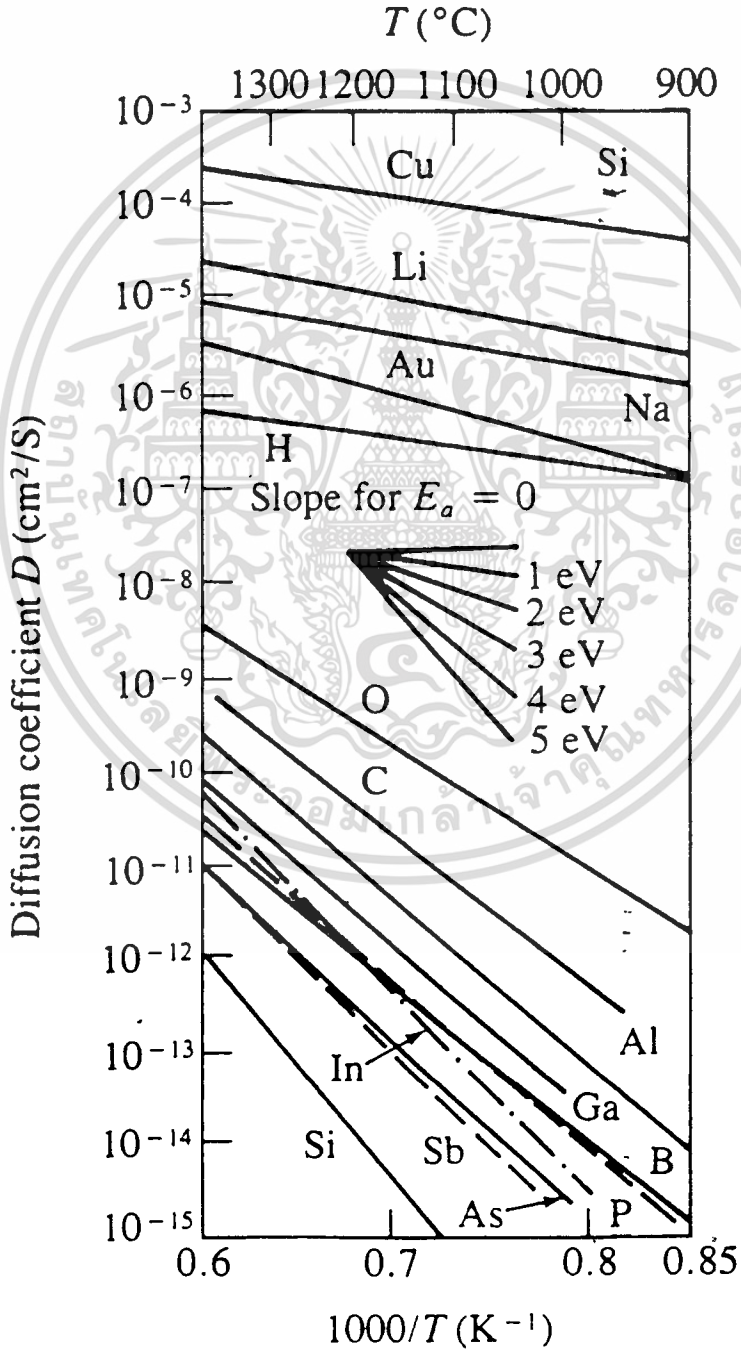
x คือระยะลึกลงไปในแผ่นผลึกจากด้านที่อะตอมสารเจือเกาะอยู่

จากสมการจะพบว่าตัวแปร D ที่ต้องการทราบเพื่อใช้ในการคำนวนสามารถหาค่าได้จากกราฟดังรูปที่ ก-2 ที่อุณหภูมิ 1100 องศาเซลเซียส มีค่า $2 \times 10^{-6}$ $cm^2/sec$ และค่าเวลา t ที่ใช้ในการแพร่ทองคำมีค่า 5400 วินาที ส่วนค่า Q ซึ่งเป็นปริมาณของอะตอมทองคำที่เคลือบผิวของแผ่นผลึกซิลิกอนสามารถพิจารณาได้ดังนี้คือ ทองคำบริสุทธิ์มีน้ำหนักอะตอม 1 โมลอะตอม (มีปริมาณอะตอมทั้งหมด $6.02 \times 10^{23}$ อะตอม) เท่ากับ 196.967 กรัม ดังนั้นถ้าทราบน้ำหนักของอะตอมทองคำที่เคลือบอยู่บริเวณผิวของแผ่นผลึกซิลิกอนหลังการเคลือบทองคำเรียบร้อยแล้ว จะสามารถคำนวนปริมาณของอะตอมทองคำที่ผิวได้ และสามารถใช้ค่าปริมาณอะตอมทองคำนี้แทนค่าลงในสมาการที่ ก-1 ได้ ในการหาน้ำหนักของทองคำใช้วิธีการดังนี้คือ ก่อนทำการเคลือบทองคำบนแผ่นผลึกซิลิกอนให้นำแผ่นทองคำชั่งน้ำหนักเพื่อหาน้ำหนักของแผ่นผลึกซิลิกอนก่อน จากนั้นนำแผ่นผลึกซิลิกอนดังกล่าวเคลือบด้วยโลหะทองคำบริสุทธิ์ตามกระบวนการที่ได้นำเสนอในบทที่ 3 เมื่อทำการเคลือบทองคำเสร็จเรียบร้อยแล้วนำแผ่นผลึกชั่งน้ำหนักอีกครั้งหนึ่ง น้ำหนักของแผ่นผลึกที่เพิ่มขึ้นคือน้ำหนักของทองคำที่เคลือบบนผิวของแผ่นผลึกนั่นเอง

การหาน้ำหนักของทองคำดังกล่าวข้างต้นผู้วิจัยใช้แผ่นผลึกซิลิกอนขนาดประมาณ 2.7 x 2.7 ตารางเซ็นติเมตร จำนวน 6 แผ่นผลึก ชั่งน้ำหนักก่อนทำการเคลือบด้วยโลหะทองคำพบว่า แผ่นผลึกมีน้ำหนัก 3.4959 กรัม และหลังจากที่ทำการเคลือบด้วยโลหะทองคำแล้วแผ่นผลึกมีน้ำหนัก 3.4976 กรัม ดังนั้นน้ำหนักของทองคำที่เคลือบอยู่บนผิวของแผ่นผลึกซิลิกอนทั้ง 6 แผ่นมีค่า $1.7 \times 10^{-3}$ กรัม แต่ปริมาณของทองคำที่เคลือบอยู่บนผิวของแผ่นผลึกทั้ง 6 แผ่น มีปริมาณเกือบเท่ากัน ดังนั้นสามารถประมาณน้ำหนักของทองคำที่เคลือบอยู่ที่ผิวของผลึก 1 แผ่น มีค่าประมาณ $2.83 \times 10^{-4}$ กรัม และจากตารางธาตุพบว่า ทองคำ 1 โมลโมเลกุล ( $6.02 \times 10^{23}$ อะตอม ) มีน้ำหนัก 196.967 กรัม ดังนั้นทองคำที่ผิวของผลึกน้ำหนัก $2.83 \times 10^{-4}$ กรัม มีค่าเท่ากับ $1.43 \times 10^{-6}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมลโมเลกุล สามารถคำนวนปริมาณของอะตอมทองคำที่ผิวของแผ่นผลึกซิลิกอน 1 แผ่น มีค่า 8.65 x $10^{17}$ อะตอม และเมื่อแทนค่าปริมาณของอะตอมทองคำนี้ลงในสมการ ก-1 แล้วจะพบว่าอะตอมทองคำสามารถแพร่ลึกลงไปในแผ่นผลึกได้ 0.295 เซ็นติเมตร ซึ่งจะพบว่าค่าความลึกของรอยต่อที่คำนวนได้นี้มีค่ามากกว่าค่าความหนาของแผ่นผลึกซิลิกอนที่ใช้ในการสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS ซึ่งมีความหนาประมาณ 0.04 เซ็นติเมตร ดังนั้นอาจกล่าวสรุปได้ว่าทั่วทั้งแผ่นผลึกซิลิกอนนี้มีอะตอมของทองคำกระจายอยู่เต็มทั้งหมด

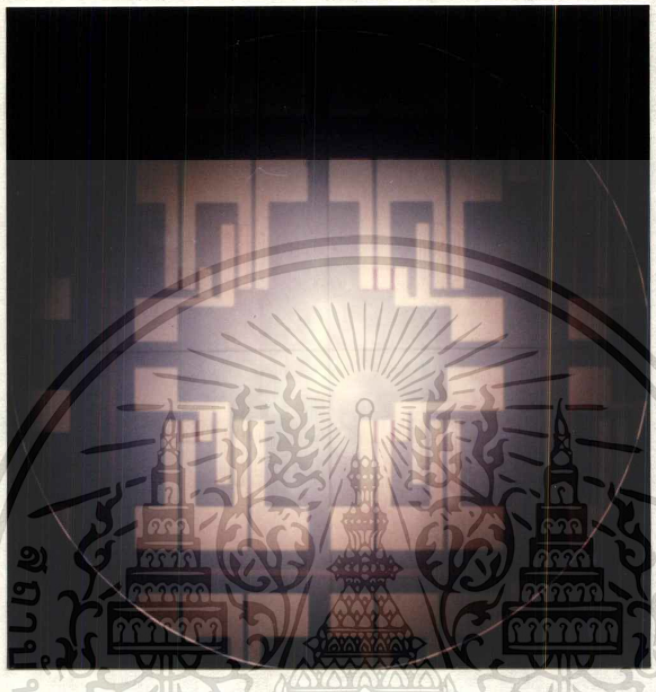



รูปที่ ก-2 แสดงสัมประสิทธิ์การแพร่ของสารเจือต่าง ๆ ในเนื้อสารซิลิกอน

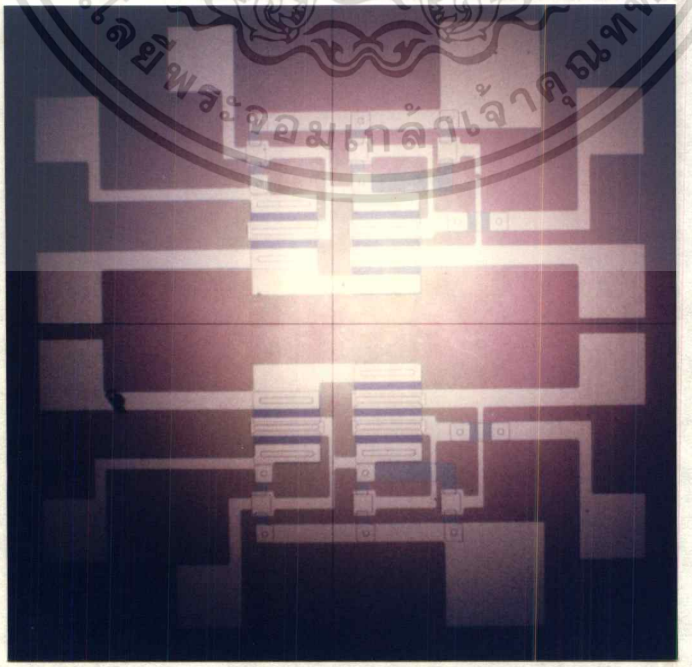
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

ลวดลายวงจรรวมที่ทำการออกแบบและสร้างขึ้นด้วยโครงสร้างทรานซิสเตอร์แบบ CMOIS ในวิทยานิพนธ์

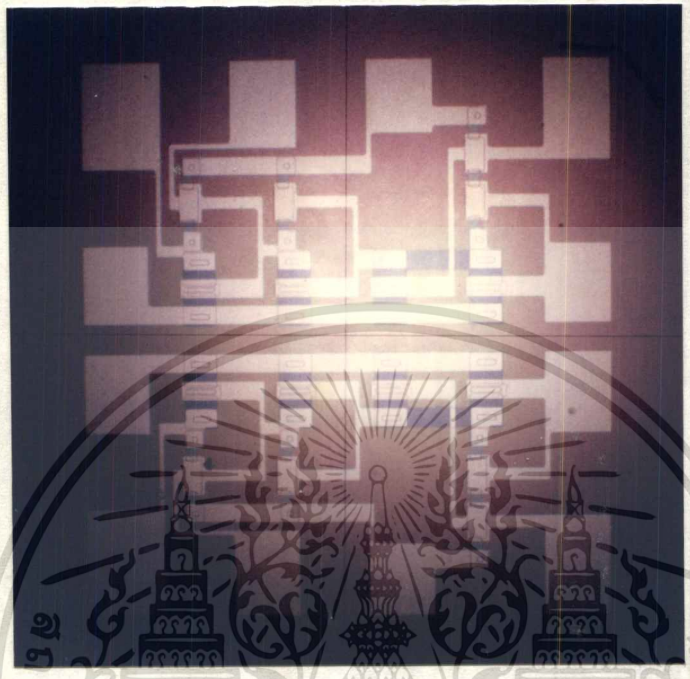


รูปที่ ข-1 แสดงลายวงจรรวมอินเวอร์เตอร์

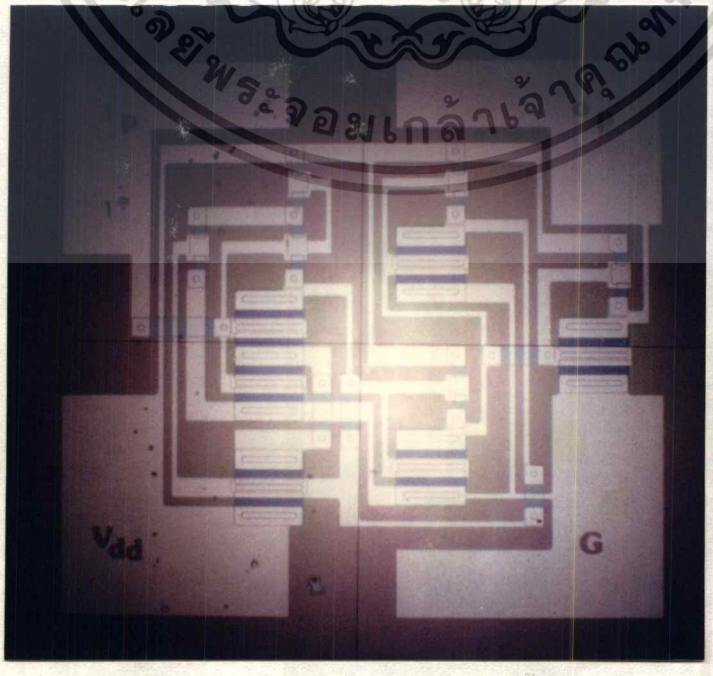


รูปที่ ข-2 แสดงลายวงจรรวมออร์เกทและนอร์เกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

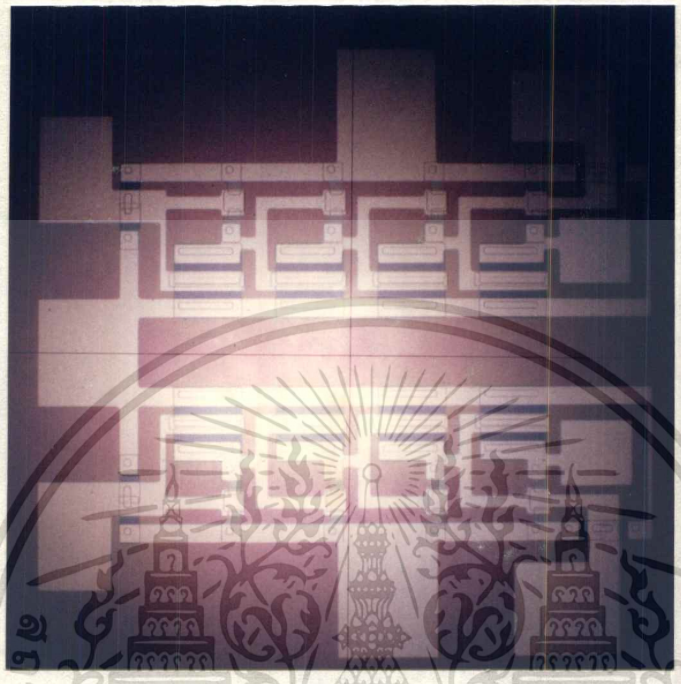


รูปที่ ข-3 แสดงลายวงจรแนนด์เกทและแอนด์เกท

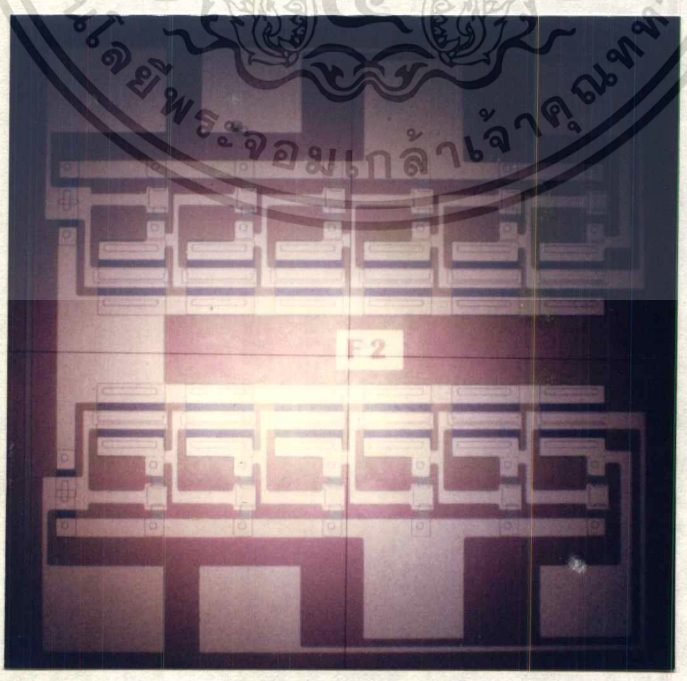



รูปที่ ข-4 แสดงลายวงจรจุดชนวนของชมิตต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

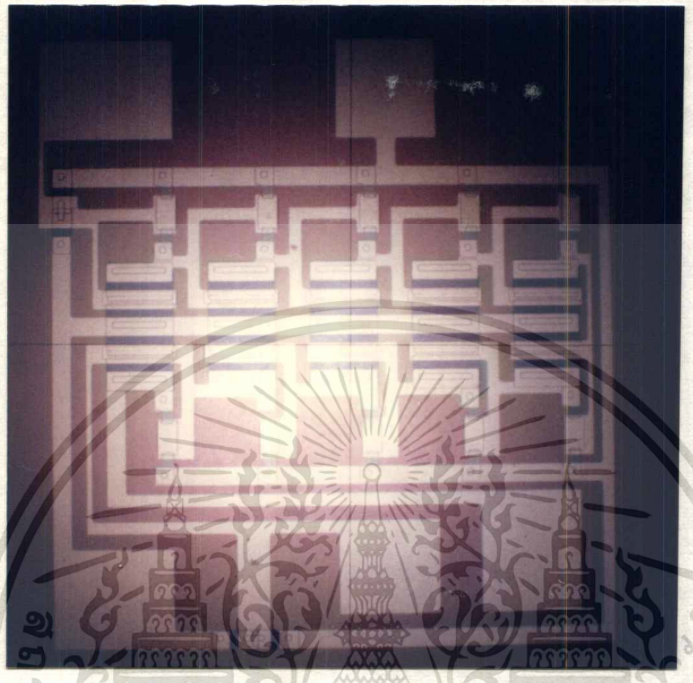


รูปที่ ข-5 แสดงลายวงจรริงออสซิลเลเตอร์ที่มีจำนวนชุดของวงจรอินเวอร์เตอร์ 3 ชุด

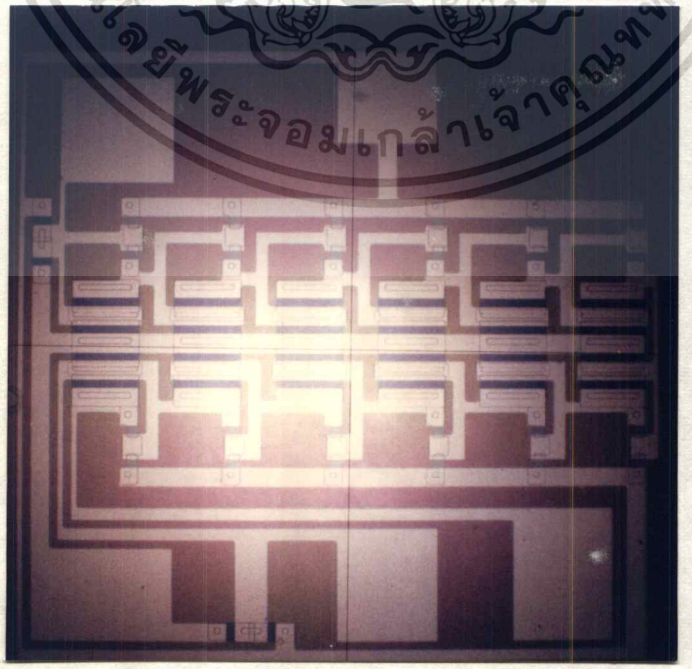


รูปที่ ข-6 แสดงลายวงจรริงออสซิลเลเตอร์ที่มีจำนวนชุดของวงจรอินเวอร์เตอร์ 5 ชุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข-7 แสดงลายวงจรริงออสซิลเลเตอร์ที่มีจำนวนชุดของวงจรอินเวอร์เตอร์ 9 ชุด



รูปที่ ข-8 แสดงลายวงจรริงออสซิลเลเตอร์ที่มีจำนวนชุดของวงจรอินเวอร์เตอร์ 11 ชุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคผนวก ค.

## สัญลักษณ์

| สัญลักษณ์ | ความหมาย | หน่วย |
|---|---|---|
| a | ระยะห่างระหว่างทรานซิสเตอร์สองตัว | $\mu m$ |
| $C_{ox}$ | พิกัดความจุไฟฟ้าที่เกทออกไซด์ | $F/cm^2$ |
| d | ความหนาของช่วงปลอดประจุพาหะ | cm |
| $E_c$ | ระดับพลังงานของแถบความนำ | eV |
| $E_o$ | ระดับพลังงานของแถบวาเลนซ์ | eV |
| $E_{fe}$ | ระดับพลังงานของอิเล็กตรอนในสารกึ่งตัวนำชนิดเอ็น | eV |
| $E_{fh}$ | ระดับพลังงานของอิเล็กตรอนในสารกึ่งตัวนำชนิดพี | eV |
| f | ตัวแปรผลของความยาวช่องทางเดินกระแสสั้น ๆ | - |
| g | ตัวแปรผลของความกว้างช่องทางเดินกระแสแคบ ๆ | - |
| $g_m$ | ทรานคอนดัคแตนท์ | mho |
| $I_{DS}$ | กระแสเดรนซอส | A |
| k' | ตัวแปรความนำของทรานซิสเตอร์ที่เกิดจากการสร้าง | $A/V^2$ |
| L | ความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ | $\mu m$ |
| $L_{eff}$ | ค่าความยาวของช่องทางเดินกระแสที่แท้จริง | $\mu m$ |
| $N_c$ | ปริมาณประจุอิเล็กตรอนในชั้นความนำ | C |
| $N_e$ | ปริมาณของประจุอิเล็กตรอน | C |
| $N_h$ | ปริมาณของประจุโฮล | C |
| $n_i$ | ปริมาณของประจุพาหะในสารกึ่งตัวนำบริสุทธิ์ | C |
| $N_v$ | ปริมาณประจุอิเล็กตรอนในชั้นวาเลนซ์ | C |
| $NM_H$ | ขอบเขตของสัญญานรบกวนที่วงจรทนได้ขณะมีศักดาสูง | V |
| $NM_L$ | ขอบเขตของสัญญานรบกวนที่วงจรทนได้ขณะมีศักดาต่ำ | V |
| $Q_I$ | จำนวนประจุในช่วงดีพลีชั่น | C |
| $Q_B$ | ค่าประจุในช่องทางเดินกระแสของทรานซิสเตอร์ | C |
| q | ค่าประจุอิเล็กตรอน | C |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| สัญลักษณ์ | ความหมาย | หน่วย |
|---|---|---|
| $R$ | ค่าความต้านทาน | ohm |
| $T$ | อุณหภูมิสัมบูรณ์ | K |
| $T_p$ | ค่าเวลาหน่วงของวงจร | sec |
| $T_{ox}$ | ค่าความหนาของชั้นฉนวนในบริเวณช่องทางเดินกระแส | $A^\circ$ |
| $V_{OH}$ | ค่าแรงดันขาออกสถานะสูงของวงจร | V |
| $V_{OL}$ | ค่าแรงดันขาออกสถานะต่ำของวงจร | V |
| $V_{IH}$ | ค่าแรงดันขาเข้าสถานะสูงของวงจร | V |
| $V_{IL}$ | ค่าแรงดันขาเข้าสถานะต่ำของวงจร | V |
| $V_{IN}$ | ค่าแรงดันขาเข้าวงจร | V |
| $V_{OUT}$ | ค่าแรงดันขาออกของวงจร | V |
| $V_{GS}$ | ค่าแรงดันเกทซอส | V |
| $V_{DS}$ | ค่าแรงดันเดรนซอส | V |
| $V_T$ | ค่าแรงดันขีดเริ่มของทรานซิสเตอร์ | V |
| $V_{FB}$ | ค่าความแตกต่างฟังก์ชันงานของซิลิกอนกับชั้วเกท | V |
| $W$ | ค่าความกว้างของช่องทางเดินกระแส | $\mu m$ |
| $X_j$ | ค่าความลึกของรอยต่อสารกึ่งตัวนำ | $\mu m$ |
| $\beta$ | ค่าอัตราขยายของทรานซิสเตอร์ | $A/V^2$ |
| $\epsilon_o$ | ค่าเปอร์มิติวิตี้ของสูญญากาศ | F/cm |
| $\epsilon_{ox}$ | ค่าคงที่ไดอิเล็กทริกของซิลิกอนไดออกไซด์ | |
| $\epsilon_s$ | ค่าคงที่ไดอิเล็กทริกของซิลิกอน | |
| $\mu_{nAu}$ | ความคล่องตัวของอิเล็กตรอนในซิลิกอนที่เติมอะตอมทองคำ | $cm^2/v\text{-}sec.$ |
| $\mu_{pAu}$ | ความคล่องตัวของโฮลในซิลิกอนที่เติมอะตอมทองคำ | $cm^2/v\text{-}sec.$ |
| $\rho$ | พิกัดความต้านทาน | ohm-cm |
| $\sigma$ | ความนำไฟฟ้า | $(ohm\text{-}cm)^{-1}$ |
| $\phi_{fe}$ | ความต่างศักดาระหว่างระดับพลังงานอินทรินซิคกับระดับพลังงานเฟอร์มิที่อิเล็กตรอนอยู่ | V |
| $\phi_{fh}$ | ความต่างศักดาระหว่างระดับพลังงานอินทรินซิคกับระดับพลังงานเฟอร์มิที่โฮลยู่ | V |
| $\phi_s$ | ความต่างศักดาไฟฟ้าที่ผิวของซิลิกอน | V |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| สัญลักษณ์ | ความหมาย | หน่วย |
|---|---|---|
| $\phi_{so}$ | ความต่างศักดาไฟฟ้าระหว่างขอบของแถบความนำ ซิลิกอนไดออกไซด์กับขอบของแถบความนำซิลิกอน | V |
| $\phi_M$ | ความต่างศักดาไฟฟ้าระหว่างขอบของแถบความนำ ซิลิกอนไดออกไซด์กับระดับพลังงานเฟอร์มิของเกทโลหะ | V |
| $\phi_{MS}$ | ความแตกต่างฟังก์ชั่นงานระหว่างเกทโลหะกับซิลิกอน | V |
| $\phi_s$ | ความต่างศักดาไฟฟ้าระหว่างขอบของแถบความนำ ซิลิกอนไดออกไซด์กับระดับพลังงานเฟอร์มิซิลิกอน | V |
| $\lambda$ | ตัวแปร channel lenght modulation | $V^{-1}$ |
| $\gamma$ | ตัวแปรผลกระทบของความกว้างช่องทางเดินกระแสที่น้อย ๆ | |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้