การสร้างวงจรสายพานกระแสและวงจรแปลงความต้านทานค่าลบด้วย CMOS
CMOS-BASED SECOND-GENERATION CURRENT CONVEYORS AND CMOS-BASED NEGATIVE RESISTANCE CONVERTERS

เกียรติศักดิ์ คมวัชระ

KIATTISAK KUMWACHARA

T 017103

อาจารย์ที่ปรึกษา

รศ.ดร. วัลลภ สุระกำพลธร

ADVISOR

ASSOC. PROF. Dr. WANLOP SURAKAMPONTORN

B.Eng.(KMIT), M.Eng.(KMIT), Ph.D.(KENT)

เลขหมู่

เลขทะเบียน 17103

วัน, เดือน, ปี 5 ก.พ. 2535

วิทยานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2534

ISBN 974-8155-83-8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ		V
Abstract		VI
บทที่ 1	บทนำ	1
	1.1 กล่าวนำ	1
	1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์	1
	1.3 หลักการใหม่ในวิทยานิพนธ์	2
	1.4 รายละเอียดของวิทยานิพนธ์	2
	1.5 บทสรุป	4
บทที่ 2	ความเป็นมาและทฤษฎีการทำงานของมอสเฟท	5
	2.1 ความเป็นมาและวิวัฒนาการของมอสเฟท	5
	2.2 เปรียบเทียบข้อดีและเสียระหว่างมอสเฟทกับไบโพลาร์ทรานซิสเตอร์	6
	2.3 การจำแนกประเภทของเฟท	8
	2.3.1 เจเฟท	8
	2.3.2 มอสเฟท	11
	2.4 ผลของอุณหภูมิในมอสเฟท	21
	2.5 บทสรุป	23
บทที่ 3	วงจรสายพานกระแส	24
	3.1 บทนำ	24
	3.2 หลักการเบื้องต้นของสายพานกระแส	26
	3.3 วงจรสายพานกระแสชนิดบวก	27
	3.4 วงจรสายพานกระแสชนิดลบ	30
	3.5 วงจรสายพานกระแสชนิดบวกและลบภายในวงจรเดียวกัน	32
	3.6 การวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎี	34
	3.6.1 การวิเคราะห์ค่าของแรงดันอินพุทออฟเซต	34
	3.6.2 การวิเคราะห์ค่าของอัตราส่วนของศักดา V_x/V_y	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.3 การวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท X 41

3.6.4 การวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท Y 42

3.6.5 การวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท Z^+ และ Z^- 43

3.6.6 การวิเคราะห์ค่าของทรานซ์คอนดัคแตนซ์ของวงจร 43

3.6.7 การวิเคราะห์ค่าของอัตราส่วนของกระแส i_z+/i_x และช่วงความถี่ปฏิบัติงาน 46

3.6.8 การพิจารณาช่วงศักดาปฏิบัติงาน 49

3.6.9 การพิจารณาช่วงกระแสปฏิบัติงาน 53

3.7 ผลการทดลองและผลจากการวิเคราะห์เลียนแบบการทำงานของวงจรด้วยโปรแกรม PSpice 54

3.8 บทสรุป 78

บทที่ 4 วงจรสายพานกระแสปรับค่าได้ 88

4.1 บทนำ 88

4.2 หลักการเบื้องต้นของสายพานกระแสปรับค่าได้ 89

4.3 วงจรสายพานกระแสที่สามารถเปลี่ยนแปลงค่า h_{32} ได้ 91

4.4 วงจรสายพานกระแสที่สามารถเปลี่ยนแปลงค่า h_{21} และ h_{32} ได้ 93

4.5 ผลการทดลองและผลจากการวิเคราะห์เลียนแบบการทำงานของวงจรด้วยโปรแกรม PSpice 96

4.6 บทสรุป 105

บทที่ 5 การประยุกต์ใช้งานวงจรสายพานกระแส 114

5.1 บทนำ 114

5.2 วงจรแปลงความต้านทานค่าลบ 114

5.3 วงจรออสซิลเลเตอร์ 116

5.4 วงจรแปลงอิมพีแดนซ์ทั่วไป 119

5.4.1 วงจรแปลงอิมพีแดนซ์ทั่วไปที่สร้างขึ้นจากวงจรสายพานกระแสชนิดลบที่สามารถเปลี่ยนแปลงค่า h_{32} ได้ 119

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.2 วงจรแปลงอิมพีแดนซ์ทั่วไปที่สร้างขึ้นจากวงจรสายพานกระแส
ชนิดลบที่สามารถเปลี่ยนแปลงค่า h_{21} และ h_{32} ได้ 121
5.5 ผลการทดลองและผลจากการวิเคราะห์เลียนแบบ
การทำงานของวงจรด้วยโปรแกรม PSpice 123
5.6 บทสรุป 131
บทที่ 6 วงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุม 135
6.1 บทนำ 135
6.2 ความหมายของการใช้ศักดาหรือกระแสควบคุมการแปลงความต้านทานค่าลบ 136
6.3 หลักการเบื้องต้น 137
6.4 การออกแบบวงจรโดยอาศัยหลักการของวงจรขยายความแตกต่าง 138
6.4.1 วงจรพื้นฐาน 138
6.4.2 วงจรที่ปรับปรุงขึ้นจากวงจรพื้นฐาน 142
6.5 การออกแบบวงจรโดยอาศัยหลักการของวงจรดิฟเฟอเรนเชียลควอเดท 145
6.6 การพิจารณาช่วงความถี่ปฏิบัติงาน 148
6.7 ผลการทดลองและผลจากการวิเคราะห์เลียนแบบ
การทำงานของวงจรด้วยโปรแกรม PSpice 153
6.8 บทสรุป 167
บทที่ 7 วงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุม
และกระแสควบคุมภายในวงจรเดียวกัน 178
7.1 บทนำ 178
7.2 หลักการเบื้องต้น 178
7.3 การออกแบบวงจรโดยอาศัยหลักการของวงจรสะท้อนกระแส 186
7.4 ช่วงความถี่ปฏิบัติงานของวงจร 192
7.5 ผลการทดลองและผลจากการวิเคราะห์เลียนแบบ
การทำงานของวงจรด้วยโปรแกรม PSpice 193
7.6 บทสรุป 211
บทที่ 8 บทสรุป 219

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ 220

เอกสารอ้างอิง 221

ภาคผนวก ก. ข้อมูล CMOS เบอร์ 4007 225

ภาคผนวก ข. บทความการประชุมวิชาการวิศวกรรมไฟฟ้า 229

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ ได้เสนอหลักการการสร้างวงจรสายพานกระแสและวงจรแปลงความต้านทานค่าลบแนวใหม่ โดยใช้ดีไวซ์จำพวกมอสเฟทแทนการออกแบบเดิมที่ใช้ดีไวซ์จำพวกไบโพลาร์ทรานซิสเตอร์ ซึ่งพบว่าการออกแบบโดยใช้มอสเฟทนี้จะใช้พื้นที่ในส่วนของชิพน้อยเมื่อเปรียบเทียบกับวงจรที่สร้างโดยใช้ไบโพลาร์ทรานซิสเตอร์ (ดูหน้า 6 ประกอบ) ดังนั้นจึงสามารถที่จะสร้างให้มีจำนวนดีไวซ์ได้มากเพื่อวัตถุประสงค์สามารถนำไปสร้างเป็นวงจรรวมได้ง่าย คุณสมบัติที่ดีเด่นของทั้งสองวงจรที่ได้นำเสนอนี้ กล่าวคือ ในส่วนของวงจรสายพานกระแสอาศัยการออกแบบจากพื้นฐานของวงจรขยายความแตกต่าง แล้วพัฒนาวงจรให้สามารถเป็นได้ทั้งสายพานกระแสชนิดบวกและชนิดลบในวงจรเดียวกัน ส่วนของวงจรแปลงความต้านทานค่าลบวงจรสามารถใช้งานเป็นได้ทั้งแบบศักดาควบคุมและกระแสควบคุมได้ ทั้งสองวงจรที่กล่าวมาสามารถมีช่วงปฏิบัติงานได้กว้าง ตลอดจนย่านความถี่ใช้งานก็สูง มีความเป็นเชิงเส้นตลอดช่วงการเปลี่ยนแปลงของศักดาและกระแส จำนวนดีไวซ์ที่ใช้ออกแบบมีจำนวนน้อยมากล้วนแล้วแต่เป็นมอสเฟททั้งสิ้นซึ่งปราศจากดีไวซ์จำพวกแพสซีฟ จึงเหมาะสมมากที่จะทำเป็นวงจรรวม

จากการทดลองคุณสมบัติของวงจรที่ได้ออกแบบ โดยการทดลองและทางทฤษฎีรวมทั้งการใช้โปรแกรมสำเร็จรูป PSpice เลียนแบบการทำงานของวงจรปรากฏผลให้ความใกล้เคียงกับที่คาดการณ์ไว้มากและเป็นไปตามหลักการที่นำเสนอ พร้อมทั้งได้แสดงตัวอย่างการนำไปประยุกต์ใช้งานต่าง ๆ ไว้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Abstract

In this thesis, CMOS-based second-generation current conveyors (CCIIs) and CMOS-based negative resistance converters are described. The design methods use MOSFETs (Metal - Oxide Semiconductor Field - Effect Transistor) as active elements. The CMOS-based circuits gain more advantage than bipolar transistor-based circuits in that they require less chip area, which is more suitable for implementing in monolithic Integrated circuit (IC) form (see page no.6). For the CMOS-based second-generation current conveyor, the realization method implements both positive and negative CCII in the same circuit. While for the CMOS-based negative resistance converter , both a voltage-controlled and a current-controlled modes are implemented.

The characteristics of the converter circuits are demonstrated by experimental and simulation results. The results show that they have wide dynamic range , wide bandwidth and good linearity. For the simulation results , we use the software program PSpice to simulate the function and characteristics of the circuits. Finally , some application examples are also given.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 กล่าวนำ

ในปัจจุบัน ความเจริญก้าวหน้าทางเทคโนโลยีเกี่ยวกับสารกึ่งตัวนำ (Semiconductor) เพื่อนำไปสร้างเป็นวงจรรวมหรือIC (Integrated Circuit) ได้มีการวิจัยและพัฒนากันมาโดยตลอด การออกแบบวงจรเพื่อที่จะนำไปทำเป็นวงจรรวมนั้นมักนิยมออกแบบวงจรจากดีไวซ์ (Device) จำพวกมอสเฟท (Metal-Oxide-Semiconductor Field-Effect Transistor) หรือ MOSFET (บางครั้งนิยมเรียกว่า MOS) กันมากขึ้นเป็นลำดับ ก็เนื่องมาจากว่าการออกแบบโดยใช้ MOS ซึ่งเป็นดีไวซ์ที่มีโครงสร้างและขบวนการสร้างแบบง่าย ๆ ประกอบทั้งยังใช้พื้นที่ในส่วนของชิพ (Chip) น้อย ดังนั้นจึงสามารถสร้างให้มีดีไวซ์ได้มากถึงหลายแสนตัวต่อชิพนั้น ๆ ได้ เมื่อเปรียบเทียบกับการออกแบบโดยใช้ดีไวซ์จำพวกไบโพลาร์ทรานซิสเตอร์ (Bipolar Transistor) ซึ่งจุดนี้เองเป็นจุดเริ่มต้นที่มาของวิทยานิพนธ์ฉบับนี้

1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์

ในการทำวิทยานิพนธ์ เรื่อง " การสร้างวงจรสายพานกระแสและวงจรแปลงความต้านค่าลบด้วย CMOS (Complementary MOS) " มีจุดประสงค์ด้วยกัน 3 ประการกล่าวคือ

1. เพื่อที่จะสามารถทำให้วงจรที่ออกแบบขึ้นดังกล่าวสามารถนำไปประยุกต์ใช้งานได้กว้างขวาง ใช้งานได้ง่าย มีความแม่นยำสูงและเกิดความผิดพลาดขึ้นน้อยที่สุด

2. พยายามหลีกเหลี่ยงการออกแบบวงจรด้วยดีไวซ์ประเภทพาสซีฟ (Passive) และเน้นหนักด้วยการใช้ดีไวซ์จำพวกแอคทีฟ (Active) เป็นส่วนใหญ่ เพราะเนื่องจากถ้าในวงจรรวมมีดีไวซ์จำพวกพาสซีฟอยู่มากแล้ว เช่น ความต้านทาน จะทำให้ชิ้นงานสารกึ่งตัวนำที่ทำเป็นวงจรรวมจะมีขนาดใหญ่

3. เน้นหนักในการออกแบบวงจรให้มีขนาดเล็กและใช้ดีไวซ์ให้มีจำนวนที่น้อยที่สุด เพื่อทำให้วงจรเหมาะสมที่จะนำไปสร้างเป็นวงจรรวมทำให้มีประสิทธิภาพและขีดความสามารถในการทำงานสูง พร้อมทั้งยังใช้ต้นทุนในการผลิตวงจรที่ต่ำอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 หลักการใหม่ในวิทยานิพนธ์

จากการค้นคว้าในการทำวิทยานิพนธ์ เรื่อง " การสร้างวงจรสายพานกระแสและวงจรแปลงความต้านทานค่าลบด้วย CMOS " มีแนวคิดใหม่แตกต่างจากหลักการของผู้ออกแบบเดิมที่เคยเสนอไว้เท่าที่พบเห็น 3 ประการกล่าวคือ

1. วงจรที่ออกแบบขึ้น เลือกการออกแบบจากดีไวซ์จำพวกมอสเฟทแทนดีไวซ์จำพวกไบโพลาร์ทรานซิสเตอร์ ซึ่งพบเห็นโดยทั่วไปจากวารสารต่าง ๆ [1]-[3] จากการค้นคว้าและติดตามผลงานวิจัยยังไม่ปรากฏเด่นชัดหรือพบเห็นได้น้อยมากที่จะมีผู้ออกแบบออกแบบวงจรดังกล่าวจากดีไวซ์จำพวกมอสเฟทนี้

2. เนื่องจากว่าเลือกการออกแบบจากดีไวซ์จำพวกมอสเฟทนี้เอง ทำให้การออกแบบวงจรสายพานกระแสมีอิมพีแดนซ์ (Impedance) ที่พอร์ท (Port) Y ใกล้เคียงค่าเป็นอนันต์ (Infinite) เป็นไปตามสมการอุดมคติและทำให้ลดความยุ่งยากการออกแบบวงจรไปได้มาก

3. ส่วนของวงจรสายพานกระแส สามารถใช้เป็นได้ทั้งสายพานกระแสชนิดบวกและลบภายในวงจรเดียวกันอีกทั้งยังสามารถเปลี่ยนแปลงค่าของ h_{21} (ค่าขยายศักดาสัญญาณ) และ h_{32} (ค่าขยายกระแสสัญญาณ) ได้อีกด้วยทำให้วงจรมีความเหมาะสมมากในการใช้งาน ส่วนวงจรแปลงความต้านทานค่าลบ ได้เสนอวงจรไว้หลายรูปแบบเพื่อแสดงให้เห็นวิธีการแก้ไขและพัฒนาวงจรให้เป็นวงจรที่มีค่าความผิดพลาดที่น้อยที่สุด สามารถใช้งานเป็นทั้งแบบศักดาควบคุมและกระแสควบคุมได้ภายในวงจรเดียวกันอีกทั้งยังเป็นความต้านทานค่าลบชนิดลอยตัวอีกด้วย

1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์ได้แบ่งเนื้อหาออกเป็น 8 บท โดยในบทที่หนึ่งนี้จะเป็นการกล่าวนำ วัตถุประสงค์และหลักการใหม่ในการทำวิทยานิพนธ์ ส่วนในบทอื่น ๆ จะมีรายละเอียดดังต่อไปนี้

บทที่ 2 จะกล่าวถึงความเป็นมาของมอสเฟท เปรียบเทียบข้อดีและเสียระหว่างมอสเฟทกับไบโพลาร์ทรานซิสเตอร์และทฤษฎีการทำงานของเฟท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 จะเป็นการกล่าวถึง การออกแบบวงจรสายพานกระแสชนิดบวกและวงจรสายพานกระแสชนิดลบ โดยอาศัยหลักการของวงจรขยายความแตกต่าง (Differential Amplifier) และวงจรสะท้อนกระแส (Current Mirror) พร้อมทั้งวิเคราะห์คำนวณอิมพีแดนซ์ที่พอร์ทต่าง ๆ ค่าทรานส์คอนดัคแตนซ์ (Transconductance) หรือ G_m, แรงดันอินพุทออฟเซต (Input Offset Voltage) หรือ V_{os} ฯลฯ ของวงจร และยืนยันค่าที่คำนวณได้ดังกล่าวกับโปรแกรมสำเร็จรูป PSpice (Simulation Program with Integrated Circuit Emphasis from Microsim)

บทที่ 4 กล่าวถึง วงจรสายพานกระแสชนิดบวกและวงจรสายพานกระแสชนิดลบที่สามารถเปลี่ยนแปลง (Modification) ค่า h_{21} , h_{32} ซึ่งเดิมก่อนเคยมีค่าเท่ากับ 1 ให้มีค่าเป็น A_1 และ A_2 ตามลำดับ เพื่อขยายความจากหลักการของสายพานกระแสชนิดบวกเดิมให้สามารถเปลี่ยนแปลงค่าขยายศักดาสัญญาณ (A_1) และกระแสสัญญาณ (A_2) ได้ภายในวงจร

บทที่ 5 จะเป็นการกล่าวถึงตัวอย่างการนำวงจรดังที่กล่าวมาในบทที่ 3 และบทที่ 4 ไปประยุกต์ใช้งานจริงและยืนยันผลการทำงานดังกล่าวกับโปรแกรมสำเร็จรูป PSpice และแสดงให้เห็นว่าวงจรสามารถนำไปประยุกต์ใช้งานได้กว้างขวาง

บทที่ 6 กล่าวถึง การออกแบบวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุม (Floating Voltage Controlled Negative Resistance Convertor) แบบต่าง ๆ มากมาย เพื่อแสดงให้เห็นถึงวิธีการปรับปรุงแก้ไขและพัฒนาวงจรให้วงจรมีความผิดพลาดที่เกิดขึ้นน้อยที่สุด พร้อมทั้งวิเคราะห์คำนวณค่าความผิดพลาดที่เกิดขึ้นในแต่ละวงจรเปรียบเทียบกับการคำนวณโดยใช้โปรแกรมสำเร็จรูป PSpice

บทที่ 7 กล่าวถึง วงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุมและกระแสควบคุม (Floating Voltage and Current Controlled Negative Resistance Converter) ได้ภายในวงจรเดียวกัน ซึ่งวงจรดังกล่าวอาศัยหลักการของวงจรสะท้อนกระแสเพียง 2 ชุดเท่านั้น ทำให้วงจรมีรูปแบบที่ง่ายเหมาะที่จะนำไปทำเป็นวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8 บทสรุป ซึ่งเป็นบทสุดท้าย เป็นการสรุปผลและวิจารณ์ถึง ข้อดี ข้อเสีย ของวงจรที่ได้นำเสนอเพื่อเป็นแนวทางในการพัฒนาต่อไป

1.5 บทสรุป

ในบทนี้เป็นการกล่าวถึงจุดประสงค์ในการทำวิทยานิพนธ์ รวมทั้งการเสนอแนะแนวความคิดริเริ่มซึ่งเป็นหลักการใหม่ในวิทยานิพนธ์นี้ และสุดท้ายได้กล่าวถึงรายละเอียดในแต่ละบทซึ่งมีด้วยกันรวม 8 บท โดยที่ประกอบด้วยหัวเรื่องใหญ่ ๆ ด้วยกัน 2 เรื่องคือการออกแบบวงจรสายพานกระแสที่สามารถใช้เป็นได้ทั้งสายพานกระแสชนิดบวกและชนิดลบภายในวงจรเดียวกัน ส่วนอีกเรื่องได้แก่การออกแบบวงจรแปลงความต้านทานค่าลบ ที่สามารถใช้เป็นได้ทั้งแบบศักดาควบคุมและกระแสควบคุมภายในวงจรเดียว ดังนั้นแสดงให้เห็นว่าวงจรที่นำเสนอขึ้นนี้มีความเหมาะสมมากในการที่จะนำไปทำเป็นวงจรรวม และการประยุกต์ใช้งานเพราะเนื่องจากว่าดีไวซ์ที่เลือกใช้การออกแบบนี้ล้วนเป็นมอสเฟทั้งสิ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ความเป็นมาและทฤษฎีการทำงานของมอสเฟท

2.1 ความเป็นมาและวิวัฒนาการของมอสเฟท [4]

ปัจจุบัน MOS ได้รับความนิยมเป็นอย่างมากเมื่อเปรียบเทียบกับ 20 ปี ก่อนซึ่งยังถือว่าเป็นเทคโนโลยีที่ใหม่ในด้านสารกึ่งตัวนำ (Semiconductor) MOS หรือ MOSFET (Metal-Oxide Semiconductor Field Effect Transistor) หรืออาจเรียกว่า IGFET (Insulated-Gate FET) มีลักษณะรูปแบบพื้นฐานโครงสร้างเข้าใจได้ง่าย และข้อได้เปรียบอื่น ๆ อีกหลายประการ เมื่อเปรียบเทียบกับไบโพลาร์ทรานซิสเตอร์ จึงทำให้เริ่มมีความสนใจขบวนการผลิต MOS มากขึ้นเป็นลำดับ

ตามวารสารสิ่งตีพิมพ์ที่เคยรายงานไว้พบว่า ผู้ซึ่งพยายามที่จะทำให้ทรานซิสเตอร์มีการทำงานโดยผลของสนามไฟฟ้าเป็นครั้งแรกโดย J.E. Lilienfeld [5] ในปี ค.ศ.1930 หลังจากนั้น O. Heil [6] ได้เปิดเผยการค้นพบนี้อย่างชัดเจน ปี ค.ศ. 1935 และการทำงานเป็นครั้งแรกของ สิ่งประดิษฐ์ที่มีรูปแบบเป็นยูนิโพลาร์ (Unipolar) หรือการทำให้ทรานซิสเตอร์มีการทำงานโดยผลของสนาม (Field Effect Transistor) ซึ่งถูกพัฒนาในห้องแล็บ Bell-Telephone โดย J. Bardeen และ W.H. Brattian [7] ในปี ค.ศ. 1948 ก็สำเร็จขึ้น และจากการสังเกตุของนักวิทยาศาสตร์เท่าที่ผ่านมาซึ่งได้ศึกษากับผลของการที่จะพยายามทำให้กระแสซึ่งไหลผ่านจุดเชื่อมต่อ (Contact) ซึ่งกั้นบนเจอร์มาเนียม (Germanium) ให้เบาบางลง การค้นคว้านี้เป็นแนวทางในการพัฒนาหาจุดเชื่อมต่อบนทรานซิสเตอร์ แต่ก็เป็นเพียงการที่สามารถใช้ผลของสนาม (Field Effect) ในการควบคุมได้เล็กน้อยเท่านั้น (กระแสยังสามารถไหลผ่านได้เป็นส่วนใหญ่) ซึ่งทำให้หนทางในการที่จะพัฒนาเป็นไปสู่ FET ต้องหยุดชะงักลงเกือบทั้งสิ้น

ในปี ค.ศ. 1952 W. Shockley [8] ได้อธิบายถึงการทำงานของ JFET (Junction FET) จากการควบคุมจากขั้วไฟฟ้าให้เกิดไบอัสย้อนกลับที่จุดเชื่อมต่อ (Reverse-Bias Junction) เป็นผลสำเร็จ ภายหลังจากนั้น JFET ได้ถูกสร้างขึ้นและทดสอบตามรูปแบบของ G.C. Dacey และ I.M. Ross [9] ผู้ซึ่งได้ทำการวิเคราะห์และคิดวิธีแสดงออกในรูปสมการของ FET ปฏิบัติต่อจนเป็นผลสำเร็จในปี ค.ศ. 1953 อย่างไรก็ตามในสมัยแรก ๆ ความพยายามในการที่จะประดิษฐ์ MOSFET ยังไม่ประสบผลสำเร็จเพราะเนื่องจากว่าขาดการควบคุมที่ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความก้าวหน้าทางวิทยาศาสตร์ครั้งสำคัญ ในขบวนการของสารกึ่งตัวนำเกิดขึ้นในปี ค.ศ. 1960 ด้วยการพัฒนาขบวนการของซิลิคอนพลานาร์ (Silicon Planar) และ MOSFET ถูกสร้างและเริ่มใช้งานเป็นครั้งแรกโดย D. Kahang และ M.M. Atalla [10] หลังจากนั้น MOSFET ก็เริ่มเข้ามามีบทบาทแทนหลอดสูญญากาศ (Vacuum Tube) ซึ่งขณะนั้นมีราคาแพงมาก หรือใช้แทนไบโพลาร์ทรานซิสเตอร์ และในปี ค.ศ. 1964 MOSFET สามารถผลิตเป็น IC ได้ง่ายขึ้น กระทั่งราวปี ค.ศ. 1967 ความนิยมของ MOS ได้รับความสนใจมากขึ้นเป็นลำดับถึงปัจจุบัน การพัฒนาสามารถก้าวไปสู่ความสามารถที่จะลดขนาดของ MOS ให้มีขนาดเล็กลงมาก ๆ กระทั่งสามารถสร้างให้มีดีไวซ์ได้มากถึงหลายแสนตัวต่อชิพนั้น ๆ ได้ ซึ่งเป็นลักษณะของ VLSI (Very Large Scale Integrator circuits)

2.2 เปรียบเทียบข้อดีและเสียระหว่างมอสเฟทกับไบโพลาร์ทรานซิสเตอร์ [11]-[12]

2.2.1 ข้อดี ของมอสเฟทเมื่อเปรียบเทียบกับไบโพลาร์ทรานซิสเตอร์

1. ต้องการขั้นตอนการผลิตประมาณ 25% เมื่อเทียบกับขบวนการสร้างไบโพลาร์ทรานซิสเตอร์ ก็เนื่องจากว่าการออกแบบสร้าง MOSFET มีโครงสร้างและขบวนการที่ง่าย ทำให้ใช้ต้นทุนในการผลิตต่ำ (Low Cost)

2. สิ่งประดิษฐ์ถูกสร้างขึ้นได้มากกว่าและสามารถบรรจุหรือถูกใส่ไปในพื้นที่ที่จำกัดได้ในปริมาณมาก และปัจจุบันเหมาะสมที่จะทำเป็นวงจร VLSI

3. ขาเดรน (Drain) และขาซอส (Source) ของ MOS สามารถสลับแทนที่กันได้ซึ่งการทำงานยังคงไม่เปลี่ยนแปลงมากนักเพราะเนื่องจากว่า MOS มีความสมมาตร (Bilaterally Symmetric) แตกต่างกับไบโพลาร์ทรานซิสเตอร์ที่ไม่สามารถจะสลับระหว่างขาอิมิตเตอร์(Emitter) กับขาคอลเลคเตอร์ (Collector) ได้ เพราะจะทำให้อัตราการขยาย (Gain) ลดลง อย่างมาก

4. กระแสที่ไหลใน MOSFET เป็นกระแสของพาหะชนิดเดียวคือ โฮล (Hole) หรืออิเล็กตรอน (Electron) ซึ่งโฮลเป็นกระแสพาหะใน PMOS ส่วนอิเล็กตรอนเป็นกระแสพาหะใน NMOS ดังนั้นจึงเรียกสิ่งประดิษฐ์นี้ว่า ยูนิโพลาร์ (Unipolar) ซึ่งแตกต่างจากไบโพลาร์ทรานซิสเตอร์เช่น ทรานซิสเตอร์ชนิด NPN จะมีอิเล็กตรอนเป็นกระแสของพาหะส่วนใหญ่ (Majority Carrier) และมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฮลเป็นกระแสพาหะส่วนน้อย (Minority Carrier) เกิดขึ้นพร้อมกัน

5. ความต้านทานอินพุทมีค่าสูง (High-Input Impedance) เนื่องจากว่าขาเกท (Gate) ซึ่งเป็นด้านอินพุทมี SiO_2 เป็นฉนวนกั้นกระแสดีซี ดังนั้นความต้านทานอินพุทจึงมีค่ามากกว่า 10^{14} โอห์ม (ประมาณ 10^{15} โอห์ม ณ อุณหภูมิห้อง)

6. เนื่องจากความต้านทานอินพุทมีค่าสูงนี้เองทำให้ MOSFET จึงมีการทำงานโดยการใช้แรงดันควบคุม (Voltage-Controlled) ซึ่งต่างจากไบโพลาร์ทรานซิสเตอร์ ซึ่งมีการทำงานโดยส่วนมากใช้กระแสควบคุม (Current-Controlled)

7. เนื่องจาก MOSFET มีการทำงานโดยการใช้แรงดันควบคุม จึงทำให้สามารถขับ (Drive) MOSFET ตัวอื่น ๆ ได้มีจำนวนมากซึ่งมีค่าแฟนเอาท์สูง (High Fan-out) และมีอัตราสูญเสียกำลังอินพุทเกิดขึ้นมีค่าต่ำมาก

8. ไม่เกิดการวิ่งของความร้อน (Thermal Runaway) ภายใน MOSFET อันเนื่องมาจากผลของอุณหภูมิที่เพิ่มขึ้นน้อยมาก นั่นคือถ้าอุณหภูมิมีค่าเพิ่มขึ้นกระแสที่ไหลผ่าน MOS จะมีค่าค่อนข้างคงที่จึงไม่เกิดการเสียหายเนื่องจากผลทางความร้อนต่างจากไบโพลาร์ทรานซิสเตอร์คือ เมื่ออุณหภูมิเพิ่มขึ้นจะทำให้มีกระแสไหลเพิ่มขึ้น ผลอันนี้เองจะทำลายทรานซิสเตอร์ที่ใช้งานที่กระแสสูง ๆ จึงต้องมีฟิวส์คอยป้องกันการไหลเกินของกระแสเพื่อไม่ให้ทรานซิสเตอร์เสียหาย ซึ่งใน MOS ไม่จำเป็นต้องมีวงจรป้องกัน

9. ค่าแรงดันวิกฤติ (Threshold Voltage) หรือ V_T ของ MOS สามารถเปลี่ยนแปลงได้จากการให้การไบอัสที่แรงดันซอสและฐานรอง (Source-Bulk Voltage) หรือ V_{SB}

10. การใช้งาน MOSFET ใช้งานกำลังต่ำซึ่งเป็นผลให้ถูกรบกวนทางไฟฟ้าที่เกิดขึ้นต่ำไปด้วย

2.2.2 ข้อเสีย ของมอสเฟทเมื่อเปรียบเทียบกับไบโพลาร์ทรานซิสเตอร์

1. ไม่สามารถทำงานโดยการใช้กระแสควบคุมได้

2. มีการทำงานที่กำลังต่ำ (Low Power) หรือทนต่อการใช้งานที่กำลังสูง ๆ ไม่ได้

3. มีความเร็วในการทำงานที่ต่ำกว่าไบโพลาร์ทรานซิสเตอร์ เนื่องจากมีค่าของคาปาซิแตนซ์ทางด้านอินพุทที่สูง ซึ่งเป็นข้อจำกัดการใช้งานทางด้านความถี่สูงแต่ปัจจุบันได้มีการใช้เทคนิคในการสร้างโดยเพิ่มชั้นซิลิกอนเข้าไปในระหว่างเกทออกไซด์ เพื่อช่วยลดค่าคาปาซิแตนซ์ที่เกททำให้มีการทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

งานเร็วขึ้น

4. ค่าของทรานส์คอนดัคแตนซ์ (Transconductance) หรือ g_m มีค่าต่ำ

5. ในการจับหรือสัมผัส MOS จะต้องใช้ความระมัดระวังเป็นพิเศษ เนื่องจากผลของไฟฟ้าสถิตย์อาจทำให้ชั้น SiO_2 ที่บางเสียหายได้ซึ่งความเสียหายนี้จะเกิดขึ้นระหว่างเกทกับแชนแนล ดังนั้นจึงต้องมีการจัดทางให้ไฟฟ้าสถิตย์ลงกราวด์เสียหรือ MOS บางตัวจะมีการใส่ซีเนอร์ไดโอดระหว่างเกทกับซอสอีกทีหนึ่ง เพื่อช่วยป้องกันอุปกรณ์ที่อาจจะเกิดความเสียหายอันเนื่องมาจากแรงดันทรานส์เซี้ยนท์ (Transcient Voltage) จากการจับต้องวงจรขึ้นได้

6. สมการที่ใช้วิเคราะห์การทำงานของ MOSFET มีความยุ่งยากมากกว่าสมการของไบโพลาร์ทรานซิสเตอร์ อีกทั้ง MOSFET ยังมีหลายระดับ (LEVEL) การทำงานอีกด้วยดัง เช่น ในโปรแกรมสำเร็จรูป SPICE รุ่น SPICE 2G.6 แบ่งการทำงานของ MOSFET เป็น 3 ระดับ คือ LEVEL1, LEVEL2 และ LEVEL3 ซึ่งจะกล่าวในรายละเอียดต่อไป

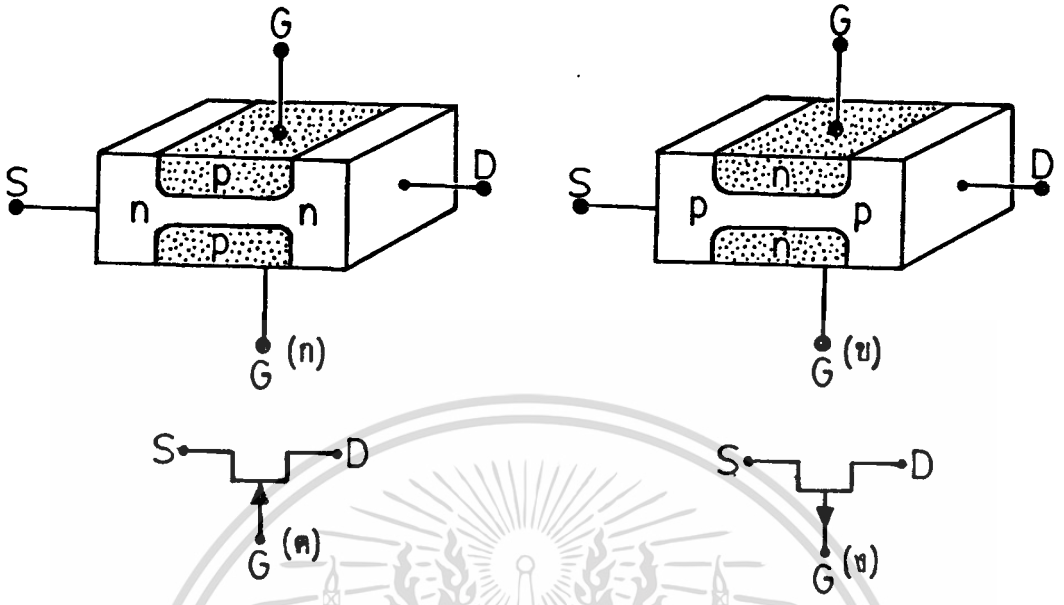
2.3 การจำแนกประเภทของเฟท (Field-Effect Transistor) หรือ FET

เฟท (FET) เป็นทรานซิสเตอร์ชนิดหนึ่งที่มีการทำงานโดยอาศัยผลของสนามไฟฟ้ามาควบคุมการไหลของประจุพาหะที่เป็นโฮลหรืออิเล็กตรอนเป็นผลให้เกิดกระแสเกิดขึ้น ซึ่งการทำงานของ FET ดังกล่าวมีลักษณะคล้ายคลึงกับการทำงานของหลอดสูญญากาศมาก FET เป็นสิ่งประดิษฐ์จากสารตัวนำสามารถแบ่งออกได้เป็น 2 พวกใหญ่ ๆ คือ " จังชั่น ฟิลด์ เอฟเฟ็ค ทรานซิสเตอร์ " (Junction FET) หรือ เจเฟ็ท (JFET) และ " อินซูเลท เกท ฟิลด์ เอฟเฟ็ค ทรานซิสเตอร์ " (Insulated Gate FET) หรืออิกเฟท (IGFET) หรือ บางครั้งอาจเรียกว่า " เมทอล ออกไซด์ เซมิคอนดัคเตอร์ ฟิลด์ เอฟเฟ็ค ทรานซิสเตอร์ " (MOSFET) หรือเรียกสั้น ๆ ว่า MOS ซึ่งในแต่ละพวกมีรายละเอียดดังต่อไปนี้

2.3.1 เจเฟท (JFET)

มีด้วยกัน 2 ชนิดคือ เอ็น-แชนแนล (N-channel) และ พี-แชนแนล (P-channel) ดังรูป 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงโครงสร้างและสัญญลักษณ์ของ JFET

(ก) N-channel (ค) สัญญลักษณ์ของ N-channel

(ข) P-channel (ง) สัญญลักษณ์ของ P-channel

JFET ชนิด N-channel ประกอบด้วยแท่งซิลิคอนชนิดเอ็น โดยปลายทั้งสองข้างของแท่งซิลิกอนต่ออยู่กับขาของซอส (Source) และเดรน (Drain) ส่วนขาเกท (Gate) นั้นต่ออยู่กับซิลิคอนชนิดพี ซึ่งถูกแพร่เข้าไปในแต่ละด้านหรือโดยรอบของแท่งซิลิคอนชนิดเอ็น ดังรูป 2.1 (ก) ในการไบอัส JFET ชนิดนี้จะต่อศักย์บวกเข้าที่ขาเดรน ขณะที่ขาซอสจะต่ออยู่กับศักย์ที่ต่ำกว่าขาเดรนหรือศักย์ที่เป็นลบ ถ้าให้ไบอัสย้อนกลับ (Reverse Bias) ที่ขาเกท หมายถึงว่าให้ศักดาเข้าที่เกทเป็นลบเมื่อเทียบกับซอส (V_{GS} มีค่าเป็นลบ) กระแส (I_D) จะมีค่าลดลงถ้า V_{GS} ยิ่งเป็นลบมาก กระแส I_D ก็จะลดลงมาก ดังนั้นกระแส I_D จะมีค่าสูงที่สุดที่ $V_{GS} = 0$ ซึ่งกระแสเดรน (I_D) ในขณะนี้จะเรียกว่า I_{DSS} ส่วนค่า V_{GS} ที่จะให้กระแส I_D มีค่าลดลงจนเป็นศูนย์จะเรียกแรงดันขณะนั้นว่าแรงดันพินช์ออฟ (Pinch Off Voltage) หรือ V_P ดังรูป 2.2 สำหรับ JFET ชนิด P-channel ก็มีลักษณะการทำงานเช่นเดียวกันกับ JFET ชนิด N-channel แต่ทว่าการไบอัสค่าแรงดันทั้งหมดตรงกันข้ามหรือกลับทางกัน และการไหลของกระแสเดรน (I_D) ของ JFET ชนิดนี้จะเป็นการไหลของกระแสโฮลแทนการไหล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของกระแสอิเล็กตรอน ดังนั้นความสัมพันธ์ระหว่างกระแสเดรน (I_D) กับแรงดันที่เกทกับซอส (V_{GS}) ของ JFET มีค่าดังสมการที่ W. Shockley เสนอไว้เมื่อปี ค.ศ. 1952 ดังต่อไปนี้

$$I_D = I_{DSS}.(1 - V_{GS}/V_P)^2 \qquad (2.1)$$

และมี

$$V_{GS} = V_P.[1 - (I_D/I_{DSS})^{1/2}] \qquad (2.2)$$

โดย

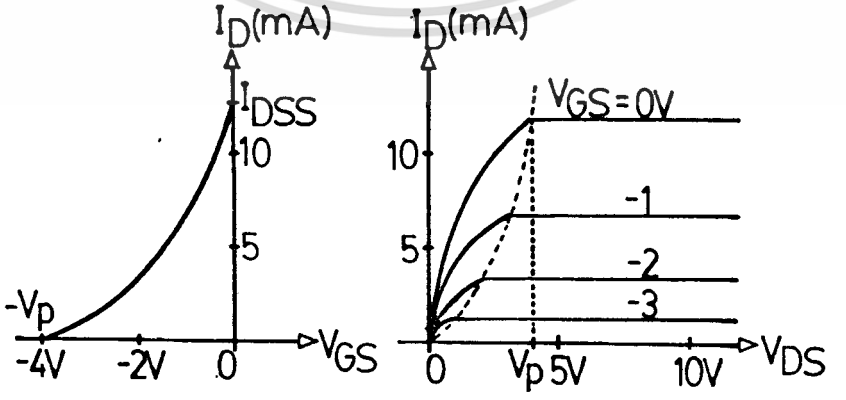
I_D = กระแสเดรน (Drain Current) (amp)

V_{GS} = แรงดันที่เกทกับซอส (Gate-Source Voltage) (volt)

I_{DSS} = กระแสเดรนในสภาวะอิ่มตัว (Drain Saturation Current). (amp)

V_P = แรงดันพินช์ออฟ (Pinch Off Voltage) (volt)

ในการไบอัส JFET แรงดันที่ให้ระหว่างขาเกทกับซอสจะต้องได้รับไบอัสย้อนกลับอยู่ตลอดเวลาจึงจะใช้งานได้ ด้วยเหตุผลนี้เองจึงทำให้ JFET มีค่าอินพุทอิมพีแดนซ์สูงและยังผลให้เกิดมีกระแสรั่วขึ้นที่รอยต่อพี-เอ็นออกมายังเกทมีค่าเป็น I_{GSS} มีค่าน้อยมากเช่นกัน ตรงกันข้ามถ้า JFET ได้รับการไบอัสตรง (Forword Bias) ที่เกทกับซอส JFET จะไม่สามารถควบคุมกระแสเดรนได้



รูปที่ 2.2 แสดงคุณลักษณะของกระแสเดรนสำหรับ JFET ชนิด N-channel

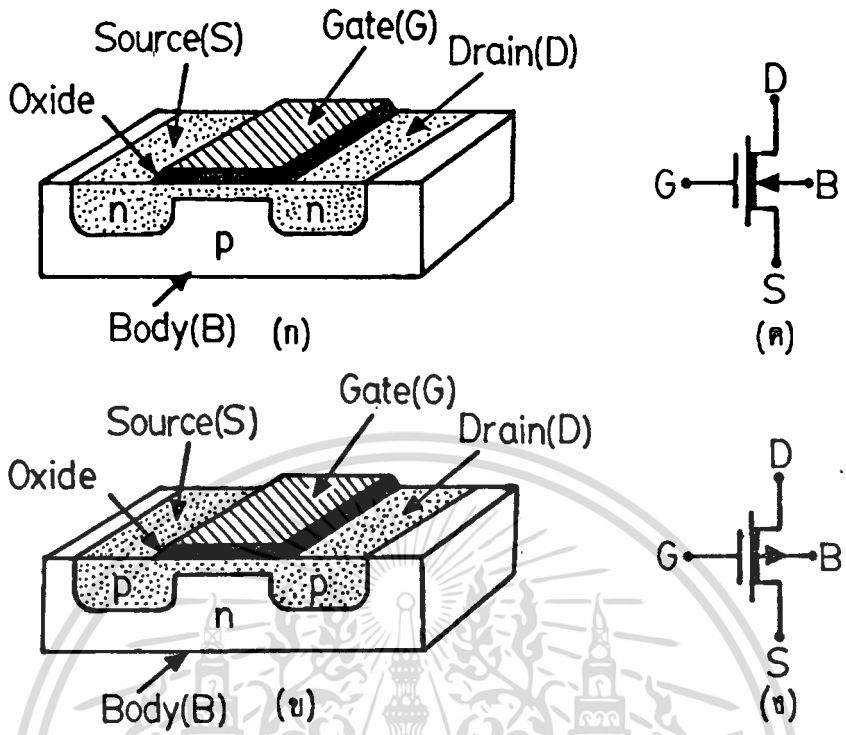
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 มอสเฟท (MOSFET)

เป็นเฟทชนิดหนึ่งที่มีชั้นซิลิคอนไดออกไซด์บาง ๆ กั้นอยู่ระหว่างขั้วโลหะของเกทกับเนื้อสารกึ่งตัวนำ มอสเฟทมีคุณสมบัติเหนือกว่าเจเฟทตรงที่มีอินพุทอิมพีแดนซ์ที่สูงกว่าดังนั้นกระแสเกทจึงมีการรั่วไหล (Leakage Current) ต่ำมากประมาณ 10 พิโครแอมป์ มอสเฟทมีขบวนการสร้างไม่ยุ่งยากเหมือนกับไบโพลาร์ทรานซิสเตอร์ เนื่องจากมีการแพร่สารเจือปนลงในผลึกสารกึ่งตัวนำเพียงครั้งเดียวเท่านั้น (คล้ายขบวนการสร้างไดโอด) ต่างกับไบโพลาร์ทรานซิสเตอร์ที่ต้องการการแพร่สารเจือปนถึง 2 ครั้ง MOSFET ถูกแบ่งออกเป็น 2 แบบจากลักษณะการเกิดแชนแนลขึ้นอยู่กับว่าสิ่งประดิษฐ์นั้นนำกระแส (Depletion) หรือไม่นำกระแส (Enhancement) ขณะเมื่อมีไบอัสเป็นศูนย์ ได้แก่ แบบดีเพลทชั่น-โหมด (Depletion-Mode) และเอ็นฮานเมนท์-โหมด (Enhancement-Mode) และในแต่ละแบบต่างก็แบ่งออกเป็น 2 ชนิดด้วยกันอีก คือชนิด N-Channel และ ชนิด P-Channel ดังรูป 2.3 และรูป 2.4 ตามลำดับ

MOSFET แบบดีเพลทชั่น-โหมด ชนิด N-channel นั้นประกอบด้วยปลายอิเล็กโทรดเดรนและซอสที่มีปลายทั้งสองข้างต่ออยู่กับสารกึ่งตัวนำชนิดเดียวกันซึ่งเป็นชนิดเอ็นบาง ๆ ที่ต่อถึงกันในลักษณะของแชนแนล ซึ่งวางอยู่บนผิวหน้าของฐานรอง (Substrate) ชนิดพี จากนั้นจึงวางอิเล็กโทรดเกทซึ่งเป็นโลหะเหนือย่านของแชนแนลชนิดเอ็นซึ่งกั้นด้วยฉนวนบาง ๆ ของซิลิคอนไดออกไซด์ (SiO_2) โดยมีค่าพิกัดความต้านทาน (Resistivity) ประมาณ 10^{15} โอห์ม (ณ อุณหภูมิห้อง) ทำนองเดียวกันถ้าเปลี่ยนไปใช้ฐานรองที่เป็นชนิดเอ็นและมีแชนแนลที่วางอยู่บนผิวหน้าของฐานรองเป็นชนิดพี เราเรียก MOSFET ชนิดนี้ว่าเป็น MOSFET แบบดีเพลทชั่น-โหมดชนิด P-channel ดังรูป 2.3 ในการทำงานของ MOSFET แบบดีเพลทชั่น-โหมดนี้ สามารถทำงานในย่านดีเพลทชั่นด้วยไบอัสย้อนกลับ (คล้ายการทำงานของ JFET) และยังทำงานได้อีกในย่านเอ็นฮานเมนท์ด้วยไบอัสตรง โดยมีแรงดันไบอัสเกทซอส (V_{GS}) ควบคุมการไหลของกระแสเดรน (I_D) ที่เกิดขึ้น ดังนั้นจะเห็นได้ว่า MOSFET ชนิดนี้สามารถควบคุมการไหลของกระแสเดรนโดยการให้การไบอัสที่แรงดันเกทซอส หรือ V_{GS} ได้ทั้งการไบอัสย้อนกลับและการไบอัสตรง ดังแสดงคุณลักษณะสมบัติ (Characteristic Curve) ของกระแสเดรนในรูป 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



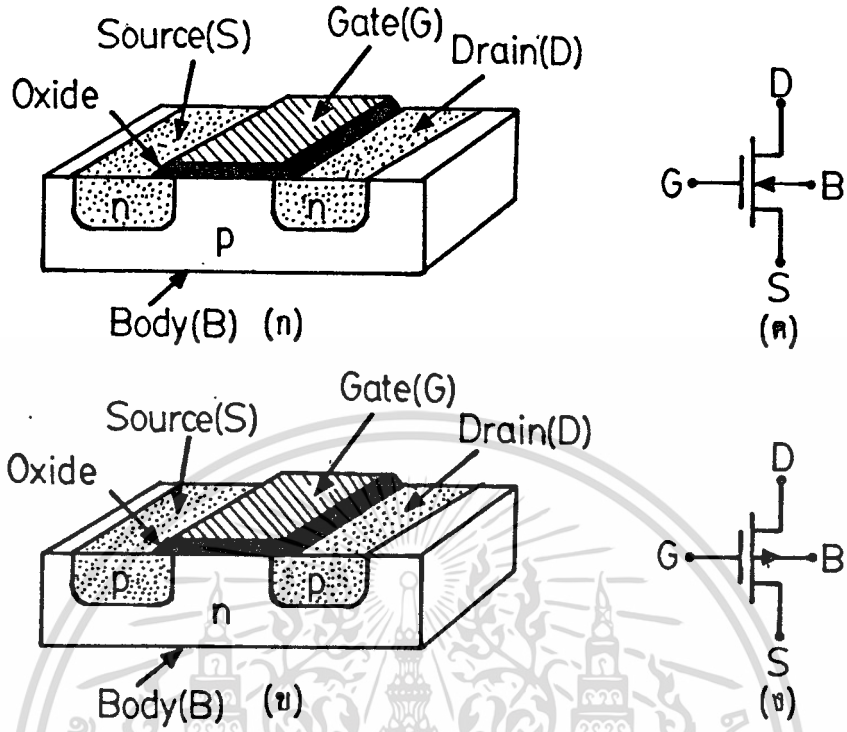
รูปที่ 2.3 แสดงโครงสร้างและสัญญลักษณ์ของ MOSFET ชนิดดีเพลทชั่น

(ก) N-channel (ค) สัญญลักษณ์ของ N-channel

(ข) P-channel (ง) สัญญลักษณ์ของ P-channel

ส่วน MOSFET แบบเอ็นฮานเมนท์-โหมดชนิด N-channel และ P-channel มีขบวนการสร้างเช่นเดียวกันกับการสร้าง MOSFET แบบ ดีเพลท์ชั่น-โหมด ชนิด N-channel และ P-channel ตามลำดับทุกประการแต่จะมีความแตกต่างกันเฉพาะในส่วนของการสร้างแชลแนลเท่านั้น ซึ่งใน MOSFET แบบเอ็นฮานเมนท์-โหมดนี้ จะมีส่วนปลายอิเล็กโทรดเดรนและซอสทั้งสองข้างต่ออยู่กับสารกึ่งตัวนำชนิดเดียวกันในลักษณะของแชลแนลซึ่งวางอยู่บนผิวหน้าของฐานรอง แต่แชลแนวดังกล่าวจะไม่ต่อถึงกันโดยที่มีระยะห่างหรือความยาวของแชลแนล (Channel Length) เกิดขึ้นเป็น L และมีความกว้างของแชลแนล (Channel Width) เป็น W ดังรูป 2.6 ในการทำงานของ MOSFET แบบเอ็นฮานเมนท์-โหมดสามารถทำงานได้เฉพาะย่านเอ็นฮานเมนท์ด้วยไบอัสตรงเท่านั้น ไม่สามารถทำงานในย่านของดีเพลทชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



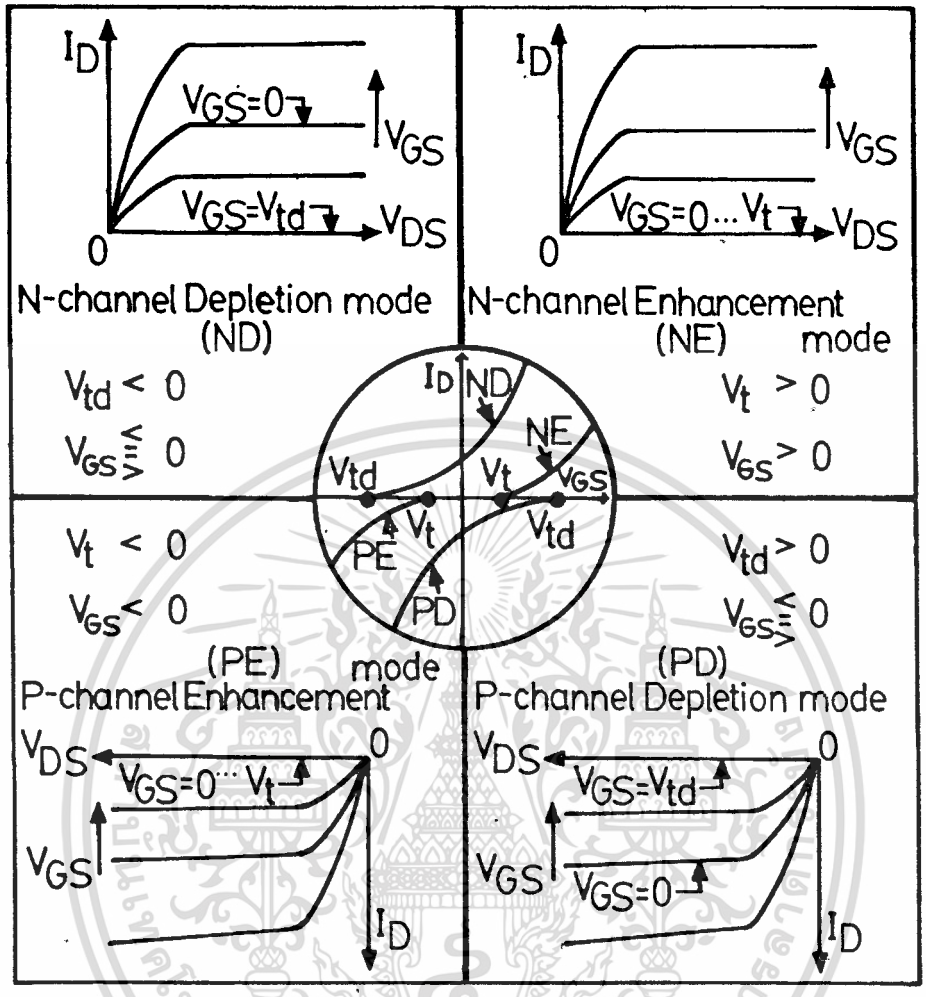
รูปที่ 2.4 แสดงโครงสร้างและสัญญลักษณ์ของ MOSFET ชนิดเอ็นฮานเมนท์

(ก) N-channel (ค) สัญญลักษณ์ของ N-channel

(ข) P-channel (ง) สัญญลักษณ์ของ P-channel

ด้วยไบอัสย้อนกลับได้เช่น ใน MOSFET ชนิด N-channel เมื่อ V_{GS} มีค่าเป็นลบหรือศูนย์จะยังไม่มีกระแสเดรนเกิดขึ้นเพราะไม่มีทางผ่านกระแสจากเดรนไปซอส แต่หากเมื่อมีแรงดันบวกค่าหนึ่งป้อนเข้าที่เกท ยังผลทำให้เกิดแชลแนลซึ่งขนาดหนึ่ง ซึ่งทำให้เกิดมีกระแสเดรนไหลเกิดขึ้นจำนวนหนึ่ง และถ้าเพิ่ม V_{GS} มีค่าบวกมากขึ้นนั่นคือ แชลแนลจะโตขึ้นทำให้มีค่ากระแสเดรนไหลเพิ่มมากขึ้นซึ่งการไหลของกระแสเดรนดังกล่าวจะเป็นการไหลของกระแสอิเล็กตรอน ส่วนกรณีของ MOSFET แบบเอ็นฮานเมนท์-โหมด ชนิด P-channel นั้นมีการทำงานเช่นเดียวกันกับชนิด N-channel เพียงแต่ว่าแรงดันที่ให้ยังเกทและซอสจะต้องเป็นแรงดันที่ตรงกันข้ามและการไหลของกระแสเดรนดังกล่าวจะเป็นการไหลที่เกิดขึ้นของกระแสโฮล ดังแสดงคุณลักษณะสมบัติของกระแสเดรนในรูป 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

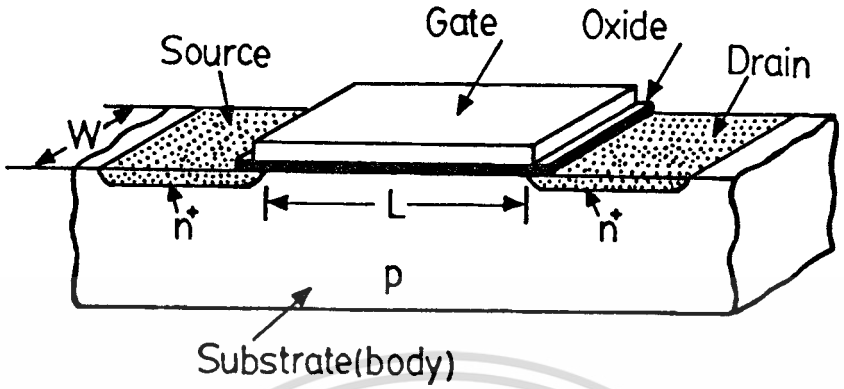


รูปที่ 2.5 แสดงคุณลักษณะของกระแสเดรนสำหรับ MOSFET ทั้ง 4 รูปแบบ

ก่อนจะกล่าวถึงทฤษฎีการทำงานของ MOSFET ซึ่งกล่าวถึงความสัมพันธ์ของกระแสเดรน (I_D) กับค่าแรงดันที่เกทกับซอส (V_{GS}) เพื่อใช้คำนวณเปรียบเทียบและอธิบายผลหรือปรากฏการณ์ที่เกิดขึ้นในวงจรที่ทำการออกแบบ ขอกล่าวถึงการเลือกใช้รูปแบบ (Model) การใช้งาน MOSFET ภายในโปรแกรมสำเร็จรูปชื่อ SPICE (Simulation Program with Integrated Circuit Emphasis) [13]-[14] เพื่อใช้ในการเลียนแบบ (Simulation) การทำงานของวงจรที่ออกแบบขึ้นให้เป็นไปตามทฤษฎีที่คำนวณไว้และให้ค่าที่เกิดขึ้นเป็นไปตามผลการทดลองมากที่สุด ดังนั้นในการเลือกเลียนแบบการทำงานของ MOSFET นี้ใน SPICE รุ่น (Version) 2G หรือ SPICE 2G.6 ได้แบ่งรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบระดับการทำงานออกเป็น 3 รูปแบบ คือ LEVEL1, LEVEL2 และ LEVEL3 กล่าวคือ



รูปที่ 2.6 แสดงโครงสร้างพื้นฐานของ MOSFET แบบเอ็นฮานเมนท์-โหมดชนิด N-channel

LEVEL1 เป็นรูปแบบที่ใช้เลียนแบบการทำงานของ MOSFET ซึ่งเป็นไปตามข้อกำหนดโมเดลของ H. Shichman and D.A. Hodges [15] และยังมีการทำงานเช่นเดียวกับโมเดลของ C.T. Sah [16] ด้วยเช่นกัน โมเดลนี้เป็นรูปแบบพื้นฐานที่สุดเหมาะสำหรับใช้กับแชลแนลที่มีความยาว L (Channel Length) มากกว่า 10 ไมครอน ขึ้นไปใช้ประโยชน์เพื่อยืนยันความเป็นจริงซึ่งจะไม่เกิดความผิดพลาด (Error) ขึ้นถึงแม้จะใช้การคำนวณด้วยมือ หรือจากเครื่องคิดเลข ดังนั้นในการใช้ SPICE เลียนแบบการทำงานของ MOSFET ในวิทยานิพนธ์ฉบับนี้วงจรที่ออกแบบขึ้นจาก MOSFET ทั้งหมดจะใช้การเลียนแบบการทำงานด้วย LEVEL1 ทั้งสิ้นเพื่อที่จะได้เปรียบเทียบกับสมการซึ่งมีรูปแบบที่เข้าใจได้ง่าย (เหมาะสมที่จะสามารถวิเคราะห์หรือคำนวณด้วยมือได้) ดังที่จะกล่าวในรายละเอียดต่อไป

LEVEL2 มีความแตกต่างจาก LEVEL1 คือ โมเดลนี้ออกแบบมา เพื่อปรับปรุงแก้ไขพฤติกรรมโดยเฉพาะอย่างยิ่งกับดีไวซ์ที่มีขนาดเล็ก ซึ่งมีความยาวของแชลแนลหรือ L น้อยกว่า 3 ไมครอน ซึ่งเป็นลักษณะของ Short Channel Effects ที่เกิดขึ้นในการพิจารณาใน 1 มิติ (One-Dimensional) หรือถ้าในการพิจารณาใน 2 มิติ (Two-Dimensional) จะคำนึงถึงผลของดีไวซ์ที่มีความกว้างแชลแนล (Channel Width) หรือ W น้อยกว่า 4 ไมครอน ซึ่งเป็นผลของ Narrow-Width Effect ที่เกิดขึ้นด้วย [17]-[18] จากผลกระทบกับดีไวซ์ที่มีขนาดเล็กดังที่กล่าวมาเป็นผลที่รวมเรียกว่า Second-Order Effects [19]-[21] และอีกประการหนึ่งใน LEVEL2 จะใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เวลาที่ CPU คำนวณการเปลี่ยนแปลงของการทำงาน MOSFET ระหว่าง ช่วงอิ่มตัว (Saturated Region) กับช่วงเชิงเส้น (Linear Region) มากขึ้นเพราะประกอบด้วย Rooting Routine ของสมการซึ่งมีความซับซ้อนอยู่จำนวนมาก (สมการดังกล่าวไม่เหมาะสม กับการวิเคราะห์ด้วยเครื่องคิดเลข หรือคำนวณด้วยมือได้)

LEVEL3 เป็นโมเดลที่ออกแบบขึ้น จากการสังเกตุพฤติกรรมหรือได้จากกึ่งระหว่างประสบการณ์กับการทดลอง (Semi-Empirical Model) หรือจากหลาย ๆ ประสบการณ์ต่าง ๆ ของพารามิเตอร์ (พารามิเตอร์จะไม่เด่นชัดออกมา เข้าใจได้ยาก พารามิเตอร์อาจจะต้องมีการปรับปรุงแก้ไขให้ดีขึ้นเพื่อความเหมาะสมอยู่เสมอ) ซึ่งสิ่งนี้เองเป็นพื้นฐานที่มาของ LEVEL3 สำหรับโมเดลใน LEVEL3 อาจจะต้องเพิ่มวิธีการลดเวลาการคำนวณลงในจุดซึ่งใช้การคำนวณการเปลี่ยนแปลงช่วงอิ่มตัว (Saturated Region) และช่วงเชิงเส้น (Linear Region) เพื่อลดเวลาที่ CPU ใช้คำนวณลงด้วย

ดังนั้นความสัมพันธ์ระหว่างกระแสเดรน (I_D) กับค่าแรงดันเกทซอส (V_{GS}) และพารามิเตอร์ต่างๆของ MOSFET ซึ่งถูกเสนอไว้เมื่อปี ค.ศ. 1964 โดย C.T. Sah ดังสมการที่ (2.3) นี้ บางครั้งเรียกสมการนี้ว่า Sah Equation ภายหลังจากนั้นในปี ค.ศ.1968 H. Shichman and D.A. Hodges ก็นำสมการนี้ไปสร้างเป็นโมเดลบรรจุลงในเครื่องคอมพิวเตอร์ เพื่อใช้ในการเลียนแบบการทำงานของ MOSFET ซึ่งเป็นรูปแบบของ LEVEL1 ดังที่กล่าวมาข้างต้นชนิด N-Channel ส่วนในกรณีของ MOSFET ชนิด P-Channel ก็จะมีทิศทางของแรงดันเกทซอสและกระแสเดรนไปในทิศตรงกันข้ามกัน ดังนั้นสมการที่จะกล่าวต่อไปนี้ทั้งหมดจะยึดถือทิศทางแรงดันและการไหลของกระแสตามรูปแบบการไบอัสของ MOSFET ชนิด N-channel ทั้งสิ้นดังนี้

$$I_D = (K'W/L).[(V_{GS} - V_T).V_{DS} - V_{DS}^2/2] \qquad (2.3)$$

ซึ่งมีค่าของ

$$K' = \mu_o.C_{ox} \qquad (2.4)$$

$$C_{ox} = \varepsilon_{ox}/T_{ox} \qquad (2.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_T = V_{TO} + \gamma[(2|\phi_F| + V_{SB})^{1/2} - (2|\phi_F|)^{1/2}] \quad (2.6)$$

$$\gamma = (2q\varepsilon_{si}.N_{SUB})^{1/2}/C_{ox} \quad (2.7)$$

$$\phi_F = (kT/q).\ln(N_{SUB}/n_i) \quad (2.8)$$

โดยที่

I_D	=	กระแสเดรน (Drain Current)	(amp)
V_{GS}	=	แรงดันไฟฟ้าที่เกทกับซอส (Gate-Source Voltage)	(volt)
V_{DS}	=	แรงดันไฟฟ้าที่เดรนกับซอส (Drain-Source Voltage)	(volt)
V_{SB}	=	แรงดันไฟฟ้าที่ซอสกับฐานรอง (Source-Bulk Voltage)	(volt)
V_T	=	แรงดันไฟฟ้าวิกฤติ (Threshold Voltage)	(volt)
V_{TO}	=	แรงดันไฟฟ้าวิกฤติขณะ V_{SB} = ศูนย์	(volt)
ϕ_F	=	ศักดาระดับพลังงานเฟอร์มิ (Bulk Potential)	(volt)
W	=	ความกว้างของแชลแนล (Effective Channel Width)	(meter)
L	=	ความยาวของแชลแนล (Effective Channel Length)	(meter)
T_{ox}	=	ความหนาชั้นออกไซด์ (Oxide Thickness)	(meter)
ε_{ox}	=	ค่าคงที่ไดอิเล็กตริกของซิลิคอนไดออกไซด์ (Permittivity of SiO_2)	(F/cm)
ε_{si}	=	ค่าคงที่ไดอิเล็กตริกของซิลิคอน (Permittivity of Silicon)	(F/cm)
C_{ox}	=	ความจุไฟฟ้าที่เกทออกไซด์ (Oxide Capacitance)	(F/cm^2)
γ	=	Bulk Threshold Parameter	($volt^{1/2}$)
q	=	ประจุของอิเล็กตรอน (Electron Charge)	(C)
T	=	อุณหภูมิ (Temperature)	($^\circ K$)
k	=	ค่าคงที่โบสมานน์ (Boltzmann's Constant)	($J/^\circ K$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

n_i = จำนวนพาหะในอินทรินซิคซิลิคอน (Intrinsic Carrier Concentation) (atom/cm^3)

N_{SUB} = ความหนาแน่นของอะตอมสารเจือในฐานรอง (Substrate Doping Concentation) (atom/cm^3)

K' = Transconductance Parameter (amp/$volt^2$)

μ_o = สภาพความคล่องตัวที่ผิว (Surface Mobility) (cm^2/volt-sec)

ในการจัดไบอัสการทำงานให้กับ MOSFET นั้นสามารถแบ่งการพิจารณาการทำงานออกได้เป็น 3 ขอบเขต (Region) ด้วยกันทั้งนี้ขึ้นอยู่กับการเลือกพิจารณาจากค่าของ $(V_{GS} - V_T)$ ดังต่อไปนี้

1. <u>ช่วงที่ MOSFET ไม่ทำงาน</u> (Cutoff Region) กล่าวคือเนื่องจากแรงดันไฟฟ้าที่เกทกับซอส (V_{GS}) ไม่สามารถเอาชนะค่าของแรงดันวิกฤติ (V_T) ได้ หรือ V_{GS} มีค่าน้อยกว่า V_T นั้นเองจึงไม่สามารถทำให้เกิดมีกระแสเดรน (I_D) ไหลได้ ดังนั้น

$$I_D = 0 \quad , (V_{GS} - V_T) < 0 \qquad (2.9)$$

2. <u>MOSFET มีการทำงานในช่วงไม่อิ่มตัว</u> (Non-Saturated) หรือ ช่วงเชิงเส้น (Linear Region) กล่าวคือเนื่องจากช่วงนี้จะไบอัสให้ค่าของแรงดันไฟฟ้าที่เดรนกับซอส(V_{DS}) มีค่าน้อย ๆ กว่าค่าของ $(V_{GS} - V_T)$ มากดังนั้นในเทอมของ $V_{DS}^2/2$ ในสมการ (2.3) จึงสามารถตัดทิ้งได้ (เพราะมีค่าน้อยมาก) ผลคือจะทำให้ค่าของ I_D มีลักษณะเป็นเชิงเส้นกับค่าของ V_{DS} ซึ่งจากลักษณะความเป็นเชิงเส้นดังกล่าวทำให้ค่าความชัน (Slope) ที่เกิดขึ้นมีค่าเป็นความต้านทานซึ่งขึ้นอยู่กับค่าแรงดันไฟฟ้าของ V_{GS} ซึ่งเรียกลักษณะความต้านทานดังกล่าวนี้ว่าVoltage Control Resistance หรือ VCR ดังสมการ (2.12) ดังนั้นในการออกแบบให้ MOSFET ที่มีการทำงานเป็นแอคทีฟโหลด (Active Resistors Loads) หรือสวิทซ์ (Switch) ซึ่งค่าความต้านทานที่เกิดขึ้นต้องการให้มีค่าต่ำจึงมักเลือกการไบอัส MOSFET ในช่วงนี้ ดังนั้น

$$I_D = (K'W/L).[(V_{GS} - V_T).V_{DS} - V_{DS}^2/2] \quad , 0 < V_{DS} < (V_{GS} - V_T) \qquad (2.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

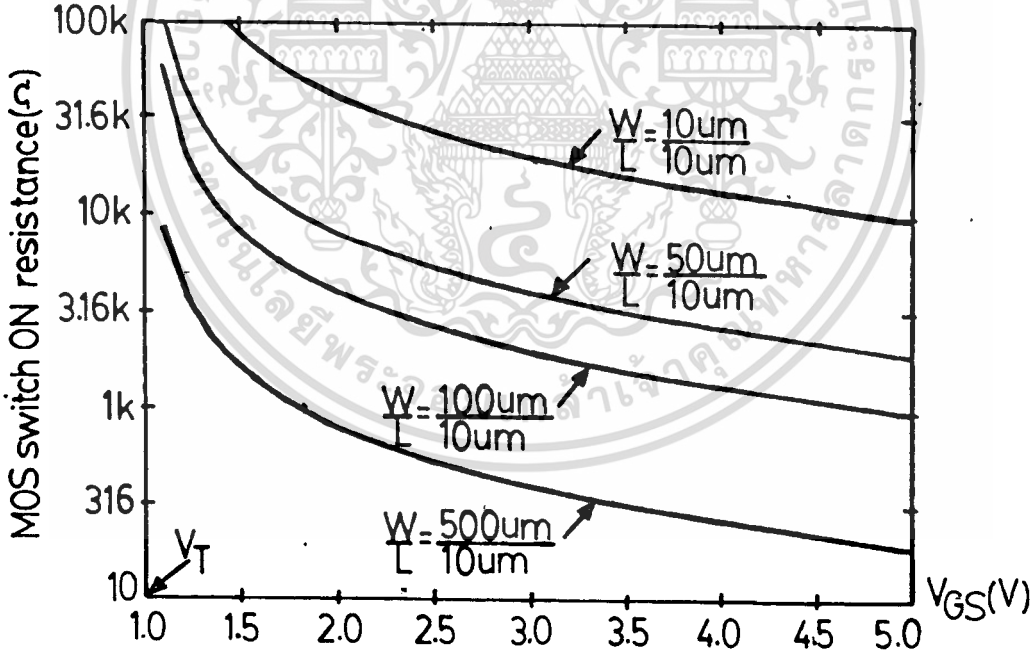
จาก (2.10) ถ้าไบอัสให้ $0 < V_{DS} << (V_{GS} - V_T)$ จะประมาณสมการได้เป็น

$$I_D = (K'W/L).(V_{GS} - V_T).V_{DS} \quad , 0 < V_{DS} << (V_{GS} - V_T) \tag{2.11}$$

ดังนั้น

$$V_{DS}/I_D = R_{ON} = L/[K'W.(V_{GS} - V_T)] \tag{2.12}$$

จาก (2.12) จะเห็นได้ว่าถ้าต้องการให้ค่าของ R_{ON} มีค่าต่ำ ๆ กระทำได้โดยเพิ่มค่าแรงดันไฟฟ้าของ V_{GS} มาก ๆ และกำหนดให้อัตราส่วนของ W/L มีค่ามากด้วยเช่นกัน (ขณะที่ค่าแรงดันไฟฟ้าของ V_{DS} มีค่าน้อย ๆ แต่มากกว่าศูนย์) ดังแสดงค่าของ R_{ON} ที่เกิดขึ้นจาก NMOS ด้วยขบวนการสร้างให้ W/L มีค่าเป็น 10/10, 50/10, 100/10 และ 500 um/10 um ดังรูป 2.7



รูปที่ 2.7 แสดงค่าของ ON Resistance (R_{ON}) สำหรับ NMOS ด้วยการกำหนดให้อัตราส่วนของ W/L เท่ากับ 10/10, 50/10, 100/10 และ 500 um/10 um ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. MOSFET มีการทำงานในช่วงอิ่มตัว (Saturation Region) กล่าวคือ เนื่องจากช่วงนี้จะไบอัสให้ค่าของแรงดันไฟฟ้าที่เดรนกับซอส (V_{DS}) มีค่ามากกว่าหรือเท่ากับ ($V_{GS}- V_T$) ทำให้เกิดปรากฏการณ์ที่เรียกว่า พินช์ออฟแชลแนล (Channel to Pinch Off) หรือ แรงดันอิ่มตัว (Saturation Voltage) สำหรับ MOSFET ค่าแรงดันอิ่มตัวดังกล่าวมีค่าเป็นดังสมการ (2.13) ดังแสดงในรูป 2.8

$$V_{DS(SAT)} = V_{GS}- V_T \qquad (2.13)$$

จาก (2.13) หรืออาจกล่าวได้ว่า

$$V_{DS(SAT)} = V_{DG(SAT)} + V_{GS} = V_{GS}- V_T \qquad (2.14)$$

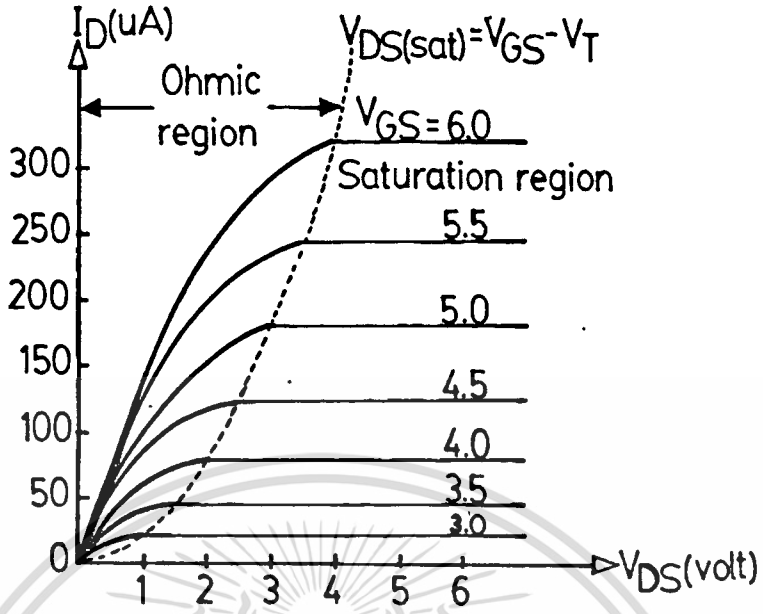
ดังนั้นพบอีกว่า

$$V_{DG(SAT)} = - V_T \qquad (2.15)$$

ถ้าทำการแทนค่าสมการ (2.13) ลงใน (2.3) แล้วจะพบว่าค่าของกระแสเดรน (I_D) ที่เกิดขึ้นเป็นกระแสอิ่มตัว (Saturation Current) มีค่าคงที่ที่ไม่ขึ้นกับแรงดันไฟฟ้า V_{DS} แต่จะขึ้นกับเฉพาะค่าของ $(V_{GS}- V_T)^2$ ซึ่งสมการดังกล่าวเป็นไปตามคุณลักษณะที่เรียกว่า กฎของสมการกำลังสอง (Square - Law Characteristic of an MOS Transistor in Saturation) ดังสมการ (2.16)

$$I_D = (K'W/2L).(V_{GS}- V_T)^2 \quad , 0 < (V_{GS}- V_T) \leq V_{DS} \qquad (2.16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงคุณลักษณะของกระแสเดรนสำหรับ MOSFET ชนิด N-Channel

2.4 ผลของอุณหภูมิในมอสเฟท (Temperature Effect in MOSFET) [18]-[19]

ผลของอุณหภูมิที่มีการเปลี่ยนแปลงมีผลให้กระแสเดรนในดีไวซ์จำพวก MOSFET ดังสมการที่ (2.3) มีการเปลี่ยนแปลงเกิดขึ้น อันเนื่องมาจากว่ามีพารามิเตอร์ที่สำคัญ 2 ตัว ที่มีผลขึ้นกับอุณหภูมิซึ่งได้แก่

1. ค่าของสภาพความคล่องตัว (Mobility) หรือ μ ซึ่งสามารถแสดงเป็นสมการที่มีความสัมพันธ์กับอุณหภูมิได้ดังสมการ (2.17) โดยที่มีค่าของ Tr ซึ่งเป็นค่าของอุณหภูมิห้อง (Room Absolute Temperature) และ K_3 เป็นค่าคงที่มีค่าอยู่ระหว่างค่าของ 1.5 ถึง 2.0 ดังนั้นค่า $\mu(T)$ จะมีค่าลดลงเมื่ออุณหภูมิเพิ่มขึ้น

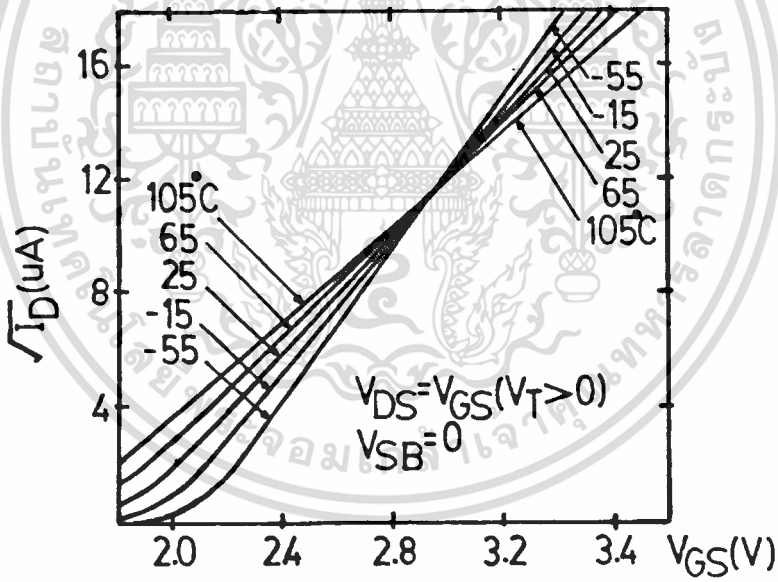
$$\mu(T) = \mu(Tr).(T/Tr)^{-K3} \qquad (2.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. <u>ค่าของแรงดันไฟฟ้าวิกฤติ</u> (Threshold Voltage) หรือ V_T ซึ่งค่าของสมการแสดงความสัมพันธ์อันเนื่องมาจากผลของอุณหภูมิดังสมการ (2.18) โดยมีค่าของ K_4 เป็นค่าคงที่ที่มีค่าอยู่ระหว่าง 0.5 mV/K° ถึง 4 mV/K° ดังนั้นค่า $V_T(T)$ จะมีค่าลดลงเมื่ออุณหภูมิเพิ่มขึ้น

$$V_T(T) = V_T(Tr) - K_4(T-Tr) \qquad (2.18)$$

ตัวอย่างหนึ่งที่แสดงให้เห็นความสัมพันธ์ระหว่างกระแสเดรนของ MOSFET ที่มีการทำงานในช่วงอิ่มตัว (Saturation Region) ดังสมการ (2.16) กับผลของอุณหภูมิที่มีการเปลี่ยนแปลงเกิดขึ้นดังแสดงในรูปที่ 2.9



รูปที่ 2.9 แสดงความสัมพันธ์ระหว่าง $\sqrt{I_D}$ กับ V_{GS} กับดีไวซ์ที่มีค่าของ $V_T > 0$ และไบอัสให้ V_{SB} = ศูนย์ , $V_{DS} = V_{GS}$ เมื่อมีการเปลี่ยนแปลงของอุณหภูมิเกิดขึ้น

จากรูป 2.9 จะเห็นว่ากระแสเดรนมีค่าขึ้นอยู่กับ $\mu(T)$ กับ $V_T(T)$ ซึ่งเป็นค่าที่มีผลกับการเปลี่ยนแปลงของอุณหภูมิดังแสดงในสมการ (2.19) ดังนั้นกราฟที่ปรากฏจะมีลักษณะเป็นเส้นตรง ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีค่าของความชัน ($\sqrt{I_D}/V_{GS}$) ที่แตกต่างกันโดยที่ที่อุณหภูมิต่ำจะมีค่าของ $\mu(T)$ และ $V_T(T)$ มีค่ามาก ดังแสดงให้เห็นในสมการ (2.17) และ (2.18) ตามลำดับทำให้ความชันในสมการ (2.20) มีค่ามาก แต่เมื่อมีอุณหภูมิสูงขึ้นจากเดิมค่าของ $\mu(T)$ และ $V_T(T)$ จะมีค่าน้อยลงทำให้ค่าความชันระหว่าง $\sqrt{I_D}$ กับ V_{GS} มีค่าน้อยลง เพราะฉะนั้นจะเห็นได้ว่าเมื่อ MOS มีการทำงานในช่วงอิ่มตัวที่อุณหภูมิสูง ๆ การเปลี่ยนแปลงของกระแสเดรนมีค่าเปลี่ยนไปไม่มากนักเมื่อ V_{GS} มีการเปลี่ยนแปลงไปอย่างมากอันเนื่องมากจากค่าความชันของ $\sqrt{I_D}/V_{GS}$ มีค่าน้อย

$$\sqrt{I_D} = \sqrt{\mu(T)}.(W.C_{ox}/2L)^{1/2}.[V_{GS} - V_T(T)] \quad , V_{GS} > V_T \tag{2.19}$$

ดังนั้นความชันของกราฟ

$$\sqrt{I_D}/V_{GS} = \sqrt{\mu(T)}.(W.C_{ox}/2L)^{1/2}.[1 - V_T(T)/V_{GS}] \tag{2.20}$$

2.5 บทสรุป

ในบทนี้เป็นการกล่าวถึง ความเป็นมาของการที่จะทำให้ทรานซิสเตอร์มีการทำงานโดยผลของสนามซึ่งค้นพบครั้งแรกโดย J.E. Lilienfeld ในปี ค.ศ. 1930 หลังจากนั้นได้มีการค้นคว้าวิจัยและมีวิวัฒนาการมาเรื่อย ๆ จนในปี ค.ศ. 1960 ผู้ซึ่งสร้างและเริ่มใช้งานมอสเฟทจริงจังเป็นครั้งแรกโดย D. Kahang และ M.M. Atalla ทำให้มอสเฟทเริ่มเข้ามามีบทบาทใช้แทนหลอดสูญญากาศและไบโพลาร์ทรานซิสเตอร์เป็นอย่างมากในปัจจุบัน แต่อย่างไรก็ตามไบโพลาร์ทรานซิสเตอร์ปัจจุบันยังได้รับความนิยมอยู่มาก ดังนั้นจึงได้แสดงให้เห็นถึงการเปรียบเทียบ ข้อดี และ ข้อเสีย ระหว่างมอสเฟทกับไบโพลาร์ทรานซิสเตอร์ เพื่อจุดประสงค์ในการที่จะเลือกใช้ดีไวซ์ดังกล่าวในงานแตกต่างกัน ในหัวข้อถัดมาได้กล่าวถึงการจำแนกประเภทของเฟท ซึ่งสามารถแบ่งแยกออกเป็น 2 พวกใหญ่ ๆ คือ เจเฟทและมอสเฟท ซึ่งในการทำวิทยานิพนธ์นี้จะเจาะจงศึกษาการออกแบบวงจรโดยใช้มอสเฟทเป็นสำคัญดังนั้นจึงมีการเน้นถึงการอธิบายทฤษฎีการทำงาน ช่วงการทำงาน และ สมการการทำงานของมอสเฟท ตลอดจนผลของอุณหภูมิที่เกิดขึ้นกับมอสเฟทเพื่อที่จะสามารถนำไปใช้ในการวิเคราะห์อ้างอิงถึงผลหรือปรากฏการณ์ที่เกิดขึ้นกับวงจรที่ทำการออกแบบดังกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

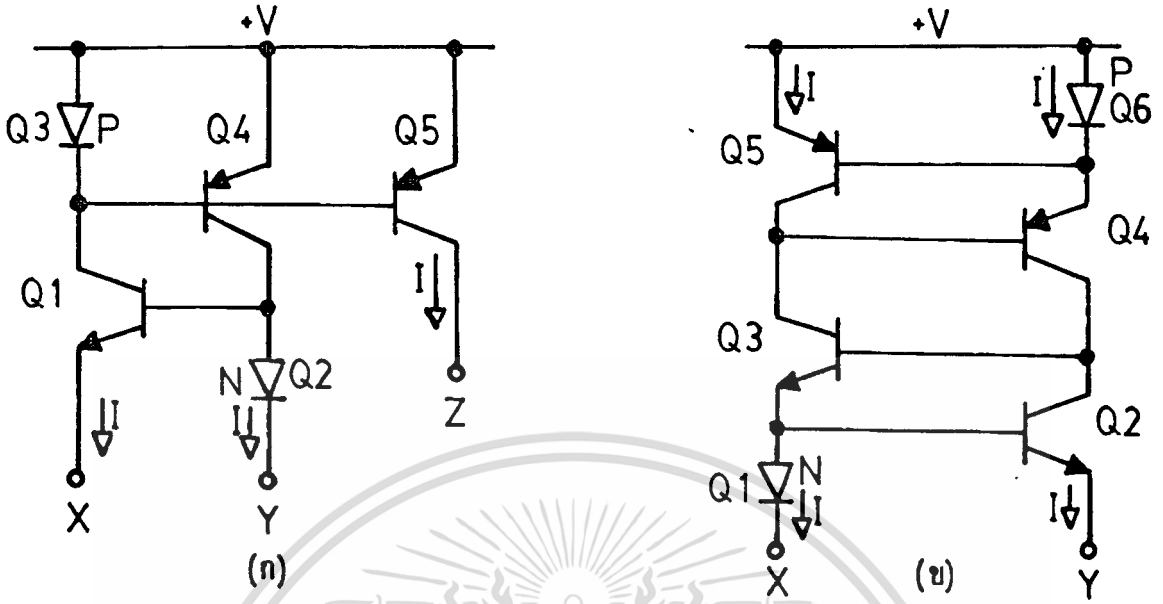
วงจรสายพานกระแส (Current Conveyor)

3.1 บทนำ

ในปี ค.ศ. 1968 เป็นครั้งแรกที่ได้ถือกำหนดของแนวคิดวงจรแนวใหม่เกิดขึ้นที่เรียกว่า วงจรสายพานกระแสยุคแรก (First-Generation Current Conveyor) หรือ CCI ซึ่งตีพิมพ์ขึ้นโดย A. Sedra และ K.C. Smith [22] โดยได้กำหนดให้เป็น Circuit Building Block ที่มี 3 พอร์ท และอธิบายความสัมพันธ์ ระหว่างศักดาและกระแสในพอร์ททั้งสามด้วยไฮบริดพารามิเตอร์ (Hybrid Parameter) พร้อมทั้งยังได้เสนอแนวการออกแบบวงจร ซึ่งประกอบด้วยทรานซิสเตอร์ที่สมพงษ์กัน (Match) 5 ตัว ดังรูป 3.1(ก) แต่วงจรดังกล่าวมีความเพี้ยน (Distortion) สูงและมีความเที่ยงตรง (Accuracy) ต่ำ อันเนื่องมาจากการออกแบบวงจรประกอบขึ้นด้วยส่วนของวงจรสะท้อนกระแสอย่างง่าย (Simple Current Mirror) เป็นส่วนใหญ่ ซึ่งมีค่าความผิดพลาดเกิดขึ้นประมาณ $100/\beta$ % ในปี ค.ศ. 1969 A. Sedra และ K.C Smith ได้ทำการปรับปรุงวงจรใหม่ดังรูป 3.1(ข)[23] โดยได้ทำการเปลี่ยนแปลงวงจรสะท้อนกระแสใหม่เป็นแบบวิลสัน (Wilson Current Mirror)[24] ทำให้ค่าความผิดพลาดในวงจรลดลงเป็น $200/(\beta.\beta)$ % และใช้งานกระแสได้กว้างขึ้นแต่จากการนำเอาวงจร CCI ไปประยุกต์ใช้งานพบว่ามีการใช้งานไม่ค่อยกว้างขวางทำให้วงจรดังกล่าวไม่ได้รับความสนใจเท่าที่ควร

ดังนั้นต่อมาในปี ค.ศ. 1970 A. Sedra และ K.C. Smith [25] ได้เสนอแนวความคิดใหม่เพื่อที่จะทำการปรับปรุงอิมพีแดนซ์ (Impedance) ด้านอินพุท (Input) ให้มีค่าสูงขึ้นในลักษณะรูปแบบของ Black Box ที่มี 3 พอร์ท (Port) ที่เรียกว่าวงจรสายพานกระแสยุคสอง (Second-Generation Current Conveyor) หรือ CCII พร้อมทั้งแสดงให้เห็นถึงการประยุกต์ใช้งานต่าง ๆ มากมายนับจากนั้นเป็นต้นมา วงจรสายพานกระแสยุคสองก็ได้รับความสนใจกันอย่างกว้างขวางและมีการพัฒนาขึ้นมาเป็นลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



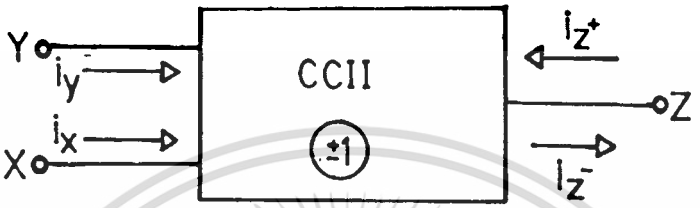
รูปที่ 3.1 วงจรสายพานกระแสยุคแรกหรือ CCI

จากการรายงานจากวารสารต่าง ๆ พบว่าปัจจุบันการพัฒนาวงจร CCII นั้นสามารถสร้างขึ้นจากอนุกลแอคทีฟ (Active Element) ได้มากมายหลายชนิด เช่น OP Amp (Operational Amplifier)[26] , โดยใช้ OP Amp ต่อร่วมกับ OTA (Operational Transconductance Amplifier)[27], โดยอาศัยคุณสมบัติของวงจรทรานส์ลีเนียร์ (Translinear)[1] หรือ ไบโพลาร์ทรานซิสเตอร์ (Bipolar Transistor)[2] ซึ่งเป็นพื้นฐานที่สุดของอนุกลแอคทีฟ อย่างไรก็ตามจากที่กล่าวมาวงจรที่สร้างขึ้นเป็นวงจร CCII จะมีขนาดใหญ่และต้องใช้ต้นทุนในการผลิตสูง และใช้พื้นที่ในส่วนของชิพ (chip) มากในกรณีที่จะทำเป็นวงจรรวม (Integrated Circuit)หรือ IC และในทศวรรษนี้การพัฒนาวงจร CMOS (Complementary MOS) ได้รับความสนใจกันอย่างมากกว่าอนุกลแอคทีฟชนิดอื่น ๆ เนื่องมาจากว่ามีขบวนการสร้างที่ง่ายและเหมาะสมสำหรับวงจรที่มีความซับซ้อนมาก ๆ อีกทั้งวงจรเมื่อทำเป็นวงจรรวมแล้วยังมีขนาดชิฟที่เล็กอีกด้วย ดังนั้นในวิทยานิพนธ์ฉบับนี้จะเลือกการออกแบบวงจร CCII จาก CMOS ทั้งสิ้น ส่วนการนำวงจร CCII ไปประยุกต์ใช้งานนั้นได้มีการนำไปเป็นอนุกลแอคทีฟในการออกแบบวงจรรวมต่าง ๆ มากมายเช่น ไจเรเตอร์ (Gyrator)[28] ,วงจรแปลงค่าอิมพีแดนซ์ทั่วไป (Generalized Impedance Converter)[29] , ฟิลเตอร์ (Filter)[30] และ ออสซิลเลเตอร์ (Oscillator)[31] เป็นต้น ซึ่งจะเห็นว่าวงจรสามารถใช้ประโยชน์ได้มากมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 หลักการเบื้องต้นของสายพานกระแส

สายพานกระแสสามารถแทนด้วยเนทเวอร์ค (Network) ในลักษณะรูปแบบของ Black Box ที่มี 3 พอร์ท (Port) คือ พอร์ท X , Y และ Z ดังแสดงในรูป 3.2



รูปที่ 3.2 สายพานกระแส

คุณสมบัติของเนทเวอร์คสามารถอธิบายด้วยไฮบริดพารามิเตอร์ (Hybrid Parameter) ซึ่งจะได้ความสัมพันธ์ระหว่างศักดาและกระแสที่พอร์ทต่าง ๆ ดังสมการ (3.1)

$$\begin{bmatrix} i_y \\ V_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & a & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \cdot \begin{bmatrix} V_y \\ i_x \\ V_z \end{bmatrix} \qquad (3.1)$$

จากสมการ(3.1) ที่ h_{12} ถ้า a = 1 จะแสดงถึงสมการของวงจรสายพานกระแสยุคแรก (First-Generation Current Conveyor) หรือ CCI แต่ถ้าค่าของ a = 0 จะแสดงถึงสมการของวงจรสายพานกระแสยุคสอง (Second-Generation Current Conveyor) หรือ CCII ซึ่งในวิทยานิพนธ์นี้จะทำการศึกษาและออกแบบเฉพาะส่วนของ CCII เท่านั้นเนื่องจากว่าปัจจุบันวงจร CCI มีการนำไปประยุกต์ใช้งานได้ไม่ค่อยกว้างขวางมากนักเมื่อเปรียบเทียบกับวงจร CCII และที่ h_{32} จะเห็นว่ามีเครื่องหมายแสดงเป็นค่าบวกหรือลบ ซึ่งเครื่องหมายนี้จะแสดงถึงความสัมพันธ์ของทิศทางการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไหลของกระแส i_z กับกระแส i_x ถ้าเป็นเครื่องหมายบวกจะแสดงถึงว่าทิศทางการไหลของกระแส i_z กับกระแส i_x มีทิศทางเดียวกันและเรียกว่าเป็นสายพานกระแสชนิดบวก หรือ CCII+1 ถ้าเป็นเครื่องหมายลบแสดงว่ากระแส i_z กับกระแส i_x มีทิศทางการไหลของกระแสตรงกันข้ามกัน และเรียกว่าเป็นสายพานกระแสชนิดลบ หรือ CCII-1 ดังนั้นจากสมการ (3.1) สำหรับวงจรสายพานกระแสยุคสองจะมีสมการเป็น

$$i_Y = 0 \tag{3.2}$$

$$V_x = V_Y \tag{3.3}$$

$$i_z = \pm i_x \tag{3.4}$$

เพื่อที่จะให้ได้เนทเวอร์ค 3 พอร์ท ดังรูป 3.2 แสดงคุณลักษณะระหว่างความสัมพันธ์ค่าศักดาและกระแสที่พอร์ทต่าง ๆ เป็นไปดังสมการ (3.2) ถึง (3.4) เนทเวอร์คดังกล่าวจะต้องมีอิมพีแดนซ์ที่พอร์ท Y และ พอร์ท Z มีค่าสูงมาก และอิมพีแดนซ์ที่พอร์ท X จะต้องมีค่าต่ำมาก

3.3 วงจรสายพานกระแสชนิดบวก (CCII+1)

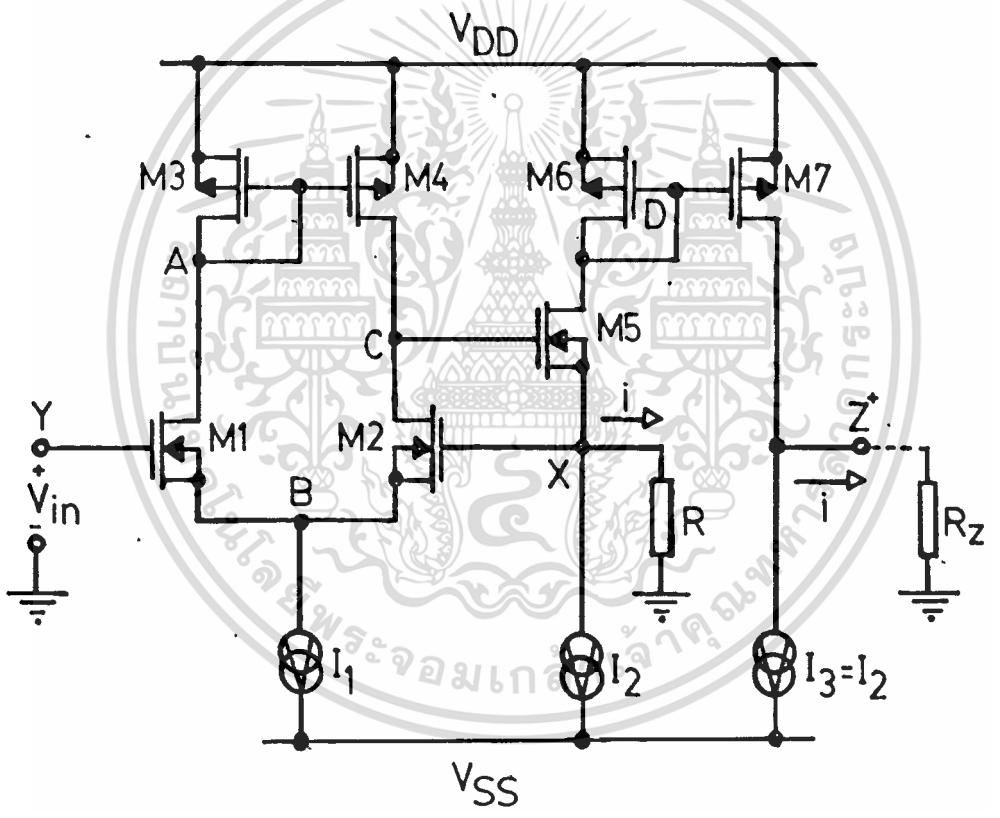
ในการออกแบบวงจรสายพานกระแสชนิดบวกนั้น มีหลักการการออกแบบแตกต่างกันมากมายล้วนแล้วแต่ต้องการทำให้วงจรเป็นตามสมการอุดมคติดังสมการ (3.2) ถึง (3.4) มากที่สุด ดังนั้นเพื่อให้ได้ความสัมพันธ์ของศักดาและกระแส ที่พอร์ท X , Y และ Z^+ ตามความสัมพันธ์ $i_Y = 0$, $V_x = V_Y$ และ $i_{z+} = i_x$ นี้ วงจรจะต้องประกอบด้วยวงจรตามศักดาสัญญาณ (Voltage Follower) เพื่อที่จะให้ได้ $V_Y = V_x$ วงจรเปลี่ยนศักดาให้เป็นกระแส (Voltage-to-Current Converter) เพื่อให้ได้กระแสสัญญาณ i_x และวงจรสะท้อนกระแสเพื่อที่จะสะท้อนกระแสที่เกิดเนื่องจากกระแส i_x ให้เป็นกระแส i_{z+} เกิดขึ้น

3.3.1 การทำงานของวงจร

วงจรในรูปที่ 3.3 เป็นวงจรสายพานกระแสชนิดบวกประกอบด้วยมอสเฟทชนิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอ็นฮานเม็นท์ (Enhancement-Mode) อยู่ 7 ตัวคือ M1 ถึง M7 โดยที่ M1 และ M2 ต่อกันอยู่ในรูปคู่ความแตกต่าง (Differential Pair) ซึ่งมี M3 และ M4 เป็นวงจรสะท้อนกระแสลบ (Negative Current Mirror) เพื่อที่จะทำหน้าที่สะท้อนกระแสควบคุมกระแสเดรน (Drain) ของ M1 และ M2 ให้มีค่าเท่ากันอยู่เสมอโดยที่มี I_1 เป็นแหล่งจ่ายกระแสคงที่ ผลคือ ทำให้ค่าของ $V_{GS1} = V_{GS2}$ ดังนั้น จากที่กล่าวมาดังกล่าวมอสเฟท M1 ถึง M4 และแหล่งจ่ายกระแสคงที่ I_1 เปรียบสะเหมือนวงจรที่ทำหน้าที่เป็นวงจรตามศักดาสัญญาณ (Voltage Follower) ซึ่งต่ออยู่ในรูปแบบของวงจรขยายความแตกต่าง (Differential Amplifier)



รูปที่ 3.3 แสดงวงจรสายพานกระแสชนิดบวก (CCII+1)

สมมุติว่าเมื่อมีสัญญาณเข้ามาที่ขาเกท (Gate) ของ M1 หรือที่พอร์ท Y ที่มีระดับศักดาสูงกว่าศักดาที่กราวด์ (Ground) มีค่าเป็น V มอสเฟท M1 และ M2 ซึ่งต่อกันอยู่ในรูปคู่ความแตกต่างของวงจรตามศักดาสัญญาณที่มีวงจรสะท้อนกระแสลบ M3 และ M4 คอยสะท้อนกระแสควบคุมให้กระแสเดรนของ M1 และ M2 มีค่าเท่ากัน (ซึ่งจะต้องพยายามเลือกให้ค่าอัตราส่วนของ Wi/Li ในแต่ละคู่ของมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟทใกล้เคียงกันมากที่สุดด้วย) ทำให้ได้ว่า $V_{GS1} = V_{GS2}$ และจากการที่ขาซอส (Source) ของมอสเฟท M1 และ M2 ซึ่งอยู่ที่จุดเดียวกันย่อมมีระดับศักดาที่เท่ากันนี้เองทำให้ระดับศักดาที่ขาเกทของมอสเฟท M1 ซึ่งเป็นพอร์ท Y กับระดับศักดาที่ขาเกทของมอสเฟท M2 ซึ่งเป็นพอร์ท X ของวงจรมีค่าเท่ากันด้วย ($V_X = V_Y$) เมื่อสัญญาณเข้าที่พอร์ท Y มีระดับศักดาเท่ากับศักดาที่พอร์ท X มีค่าเป็น V แล้วศักดาสัญญาณ V นี้จะตกคร่อมความต้านทาน R ซึ่งต่ออยู่กับกราวด์ และถูกเปลี่ยนเป็นกระแส $i = V/R$ โดยมีมอสเฟท M5 ทำหน้าที่เป็นวงจรตามกระแสสัญญาณ (Current Follower) ทำให้เกิดมีกระแสขาเดรนของ M5 (i_{D5}) ขึ้นมีทิศไหลเข้าพอร์ท X เท่ากับ I_2+i โดยที่ I_2 เป็นแหล่งจ่ายกระแสคงที่ และจากวงจร M6 และ M7 เป็นวงจรสะท้อนกระแสลบ ดังนั้นจะมีการสะท้อนกระแสจาก $i_{D5} = i_{D6} = I_2+i$ ไปยัง $i_{D7} = I_2+i$ ได้ถูกต้องมากที่สุดจะต้องคำนึงถึงผลดังนี้

เนื่องจากว่า M6 และ M7 ซึ่งเป็นวงจรสะท้อนกระแสจะมีค่าของศักดาของเกทและซอส (V_{GS}) เท่ากันดังนั้น

$$V_{GS6} = V_{GS7} \tag{3.5}$$

นั่นคือจะมีการสะท้อนกระแสเกิดขึ้นจาก $i_{D5} = i_{D6}$ ไปยัง i_{D7} มีค่าดังต่อไปนี้
แทนสมการ (2.16) ใน (3.5) จะได้

$$i_{D7} = (W_7L_6/W_6L_7).i_{D6} = (W_7L_6/W_6L_7).(I_2+i) \tag{3.6}$$

จากสมการ (3.6) เพื่อที่จะทำให้การสะท้อนกระแส จากขาเดรนของ M5 ($i_{D5} = i_{D6}$ เท่ากับ I_2+i) ไปยังขาเดรนของ M7(i_{D7}) มีค่าเป็น I_2+i มากที่สุดจะต้องพยายามหาขนาดอัตราส่วนของ (W_6/L_6) ใน M6 = (W_7/L_7) ใน M7 เมื่อได้ดังนั้นแล้วกระแส i ก็จะปรากฏขึ้นที่พอร์ท Z^+ โดยมีค่าและทิศทางการไหลเกิดขึ้นเช่นเดียวกับที่พอร์ท X เมื่อทำการปรับให้แหล่งจ่ายกระแสคงที่ I_3 มีค่าเท่ากับแหล่งจ่ายกระแสคงที่ I_2 เพราะฉะนั้นจากการทำงานของวงจรรูป 3.3 พบว่าที่ขาเกทของ M1 หรือที่พอร์ท Y จะต้องใช้การควบคุมโดยศักดาเท่านั้น ซึ่งไม่สามารถควบคุมโดยกระแสได้เนื่องจากว่า M1 เป็นมอสเฟทซึ่งด้านอินพุท (Input) คือที่ขาเกทภายในสร้างขึ้นจากฉนวนซิลิคอนไดออกไซด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(SiO_2) กั้นจึงไม่สามารถทำให้กระแสไหลผ่านได้ ดังนั้นความต้านทานด้านอินพุทจึงมีค่าสูงมากประมาณ 10^{15} โอห์ม เพราะฉะนั้นที่พอร์ท Y จึงไม่สามารถใช้การควบคุมด้วยกระแสได้จึงทำให้มีค่าของ $i_Y = 0$ ดังนั้นจากการทำงานของวงจรดังกล่าวเราจะได้ความสัมพันธ์ของศักดา และกระแสที่พอร์ท X, Y และ Z^+ เป็นไปตามความสัมพันธ์ $i_Y = 0$, $V_X = V_Y$ และ $i_{Z+} = i_X$ ซึ่งเป็นไปตามสมการอุดมคติของวงจรสายพานกระแสชนิดบวก

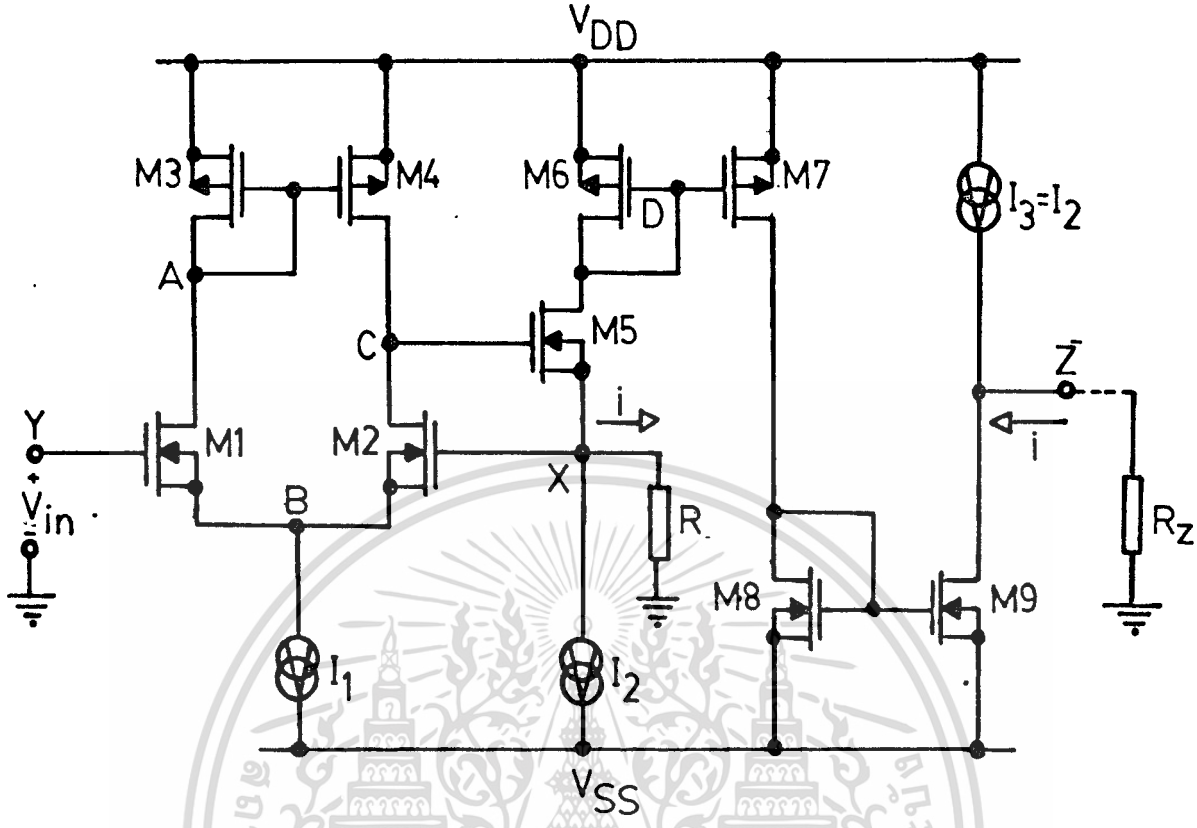
3.4 วงจรสายพานกระแสชนิดลบ (CCII-1)

ในการออกแบบวงจรสายพานกระแสชนิดลบ วงจรจะมีลักษณะคล้ายคลึงกับวงจรสายพานกระแสชนิดบวกทุกประการในส่วนของวงจรที่ทำหน้าที่เป็นวงจรตามศักดาสัญญาณ(Voltage Follower) ซึ่งประกอบไปด้วยมอสเฟท M1 ถึง M4 กับแหล่งจ่ายกระแสคงที่ I_1 และวงจรตามกระแสสัญญาณ (Current Follower) ทำให้เกิดมีกระแสที่ขาเดรนของ M5 (i_{D5}) ขึ้นมีทิศไหลเข้าพอร์ท X เท่ากับ I_2+i โดยที่ I_2 เป็นแหล่งจ่ายกระแสคงที่ ส่วนที่แตกต่างกันระหว่างวงจรสายพานกระแสชนิดลบกับวงจรสายพานชนิดบวกก็คือ ในส่วนของวงจรสายพานกระแสชนิดลบจะถูกเพิ่มเติมมอสเฟท M8 และ M9 ซึ่งเป็นส่วนของวงจรที่ทำหน้าที่เป็นวงจรสะท้อนกระแสบวก (Positive Current Mirror) เข้าไปในวงจรเพื่อทำให้มองเห็นกระแส $i = V/R$ (คือกระแสซึ่งเกิดขึ้นที่พอร์ท X) ปรากฏมีทิศทางไหลตรงกันข้ามกับพอร์ท X ขึ้นที่พอร์ท Z^- ดังแสดงวงจรในรูปที่ 3.4

3.4.1 การทำงานของวงจร

จากรูป 3.4 วงจรจะถูกเพิ่มเติมมอสเฟท M8 และ M9 เข้ามาซึ่งเป็นวงจรสะท้อนกระแสบวก ดังนั้นจะมีการสะท้อนกระแสจาก $i_{D5} = i_{D6} = I_2+i$ ไปยัง i_{D7} ดังสมการ(3.6) ซึ่งกระแส $i_{D7} = i_{D8}$ และจะมีการสะท้อนกระแสอีกครั้งหนึ่งจาก i_{D8} ไปยัง i_{D9} ซึ่งกระแส i นี้จะปรากฏขึ้นที่พอร์ท Z^- มีทิศทางการไหลตรงกันข้ามกับที่พอร์ท X เมื่อทำการปรับให้แหล่งจ่ายกระแสคงที่ I_3 ที่มีค่าเท่ากับแหล่งจ่ายกระแสคงที่ I_2 ดังนั้นจะมีการสะท้อนกระแสจาก $i_{D5} = i_{D6} = I_2+i$ ไปยัง $i_{D9} = I_2+i$ ได้ถูกต้องมากที่สุดจะต้องคำนึงถึงผลดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงวงจรสายพานกระแสชนิดลบ (CCII-1)

เนื่องจากว่า M8 และ M9 ซึ่งเป็นวงจรสะท้อนกระแสจะมีค่าของศักดาที่เกทและซอส (V_{GS}) เท่ากันดังนั้น

$$V_{GS8} = V_{GS9} \qquad (3.7)$$

นั่นคือจะมีการสะท้อนกระแสเกิดขึ้นจาก $i_{D7} = i_{D8}$ ไปยัง i_{D9} มีค่าดังต่อไปนี้

แทนสมการ (2.16) ใน (3.7) จะได้

$$i_{D9} = (W_9L_8/W_8L_9).i_{D8} = (W_9L_8/W_8L_9).i_{D7} \qquad (3.8)$$

แทนสมการ (3.6) ใน (3.8)

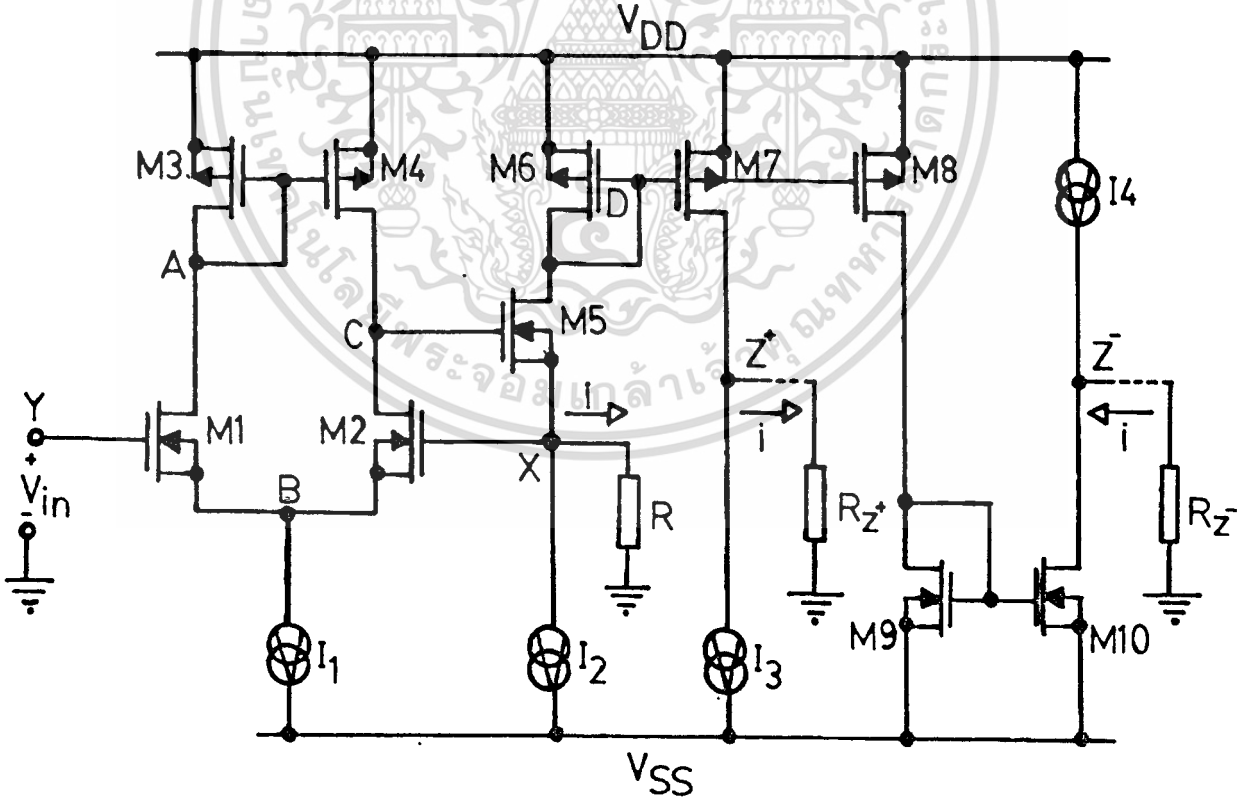
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{D9} = (W_9L_8/W_8L_9).(W_7L_6/W_6L_7).(I_2+i) \qquad (3.9)$$

ดังนั้นจากสมการ(3.9) เพื่อต้องการให้ $i_{D9}= I_2+i$ จะต้องพยายามหาขนาดอัตราส่วนของ(W_6/L_6)ในM6 = (W_7/L_7)ในM7 และ(W_8/L_8)ในM8 = (W_9/L_9)ในM9 ให้มากที่สุดเมื่อได้ดังนั้นแล้วกระแส i นี้จะปรากฏขึ้นที่พอร์ท Z^- มีทิศทางการไหลตรงกันข้ามกับที่พอร์ท X เมื่อทำการปรับให้แหล่งจ่ายกระแสคงที่ I_3 มีค่าเท่ากับแหล่งจ่ายกระแสคงที่ I_2 นั่นเอง

3.5 วงจรสายพานกระแสชนิดบวกและลบภายในวงจรเดียวกัน (CCII±1)

วงจรสายพานกระแส ถ้าออกแบบใช้งานเฉพาะเป็นวงจรสายพานกระแสชนิดบวกหรือวงจรสายพานกระแสชนิดลบเพียงชนิดใดชนิดหนึ่งจะทำให้ไม่ได้รับความสะดวกในการนำไปประยุกต์ใช้งานหรือ



รูปที่ 3.5 แสดงวงจรสายพานกระแสชนิดบวกและชนิดลบภายในวงจรเดียวกัน (CCII±1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำเป็นวงจรรวม (Integrated Circuits) อีกประการหนึ่งในการออกแบบวงจรสายพานกระแสชนิดบวกและชนิดลบภายในวงจรเดียวกันนี้เพียงแต่เพิ่มเติม M10 และแหล่งจ่ายกระแสคงที่ I_4 เพิ่มเติมเข้ามาในวงจรสายพานกระแสชนิดลบ (ดังวงจรรูป3.4) เท่านั้นทำให้วงจรมีความประหยัดและสามารถลดอุปกรณ์ไปได้อย่างมากจึงทำให้วงจรดังกล่าวมีความเหมาะสมมากในการใช้งานดังแสดงในรูป 3.5

3.5.1 การทำงานของวงจร

จากวงจรในรูป 3.5 มอสเฟท M1 ถึง M4 กับแหล่งจ่ายกระแสคงที่ I_1 ทำหน้าที่เป็นวงจรตามศักดาสัญญาณเมื่อมีระดับศักดา V เข้ามาที่พอร์ท Y ทำให้ศักดาที่พอร์ท X มีระดับศักดาเป็น V ด้วย ศักดาสัญญาณนี้จะตกคร่อมความต้านทาน R ซึ่งต่ออยู่กับกราวด์และถูกเปลี่ยนเป็นกระแส i=V/R เกิดขึ้นซึ่งมีทิศทางไหลออกจากพอร์ท X และมอสเฟท M5 ทำหน้าที่เป็นวงจรตามกระแสสัญญาณทำให้เกิดมีค่ากระแสที่ขาเดรนของ M5 (i_{D5}) ขึ้นมีทิศไหลเข้าพอร์ท X เท่ากับ I_2+i จากวงจรมอสเฟท M6, M7 และ M8 เป็นวงจรสะท้อนกระแสลบดังนั้นจะมีการสะท้อนกระแสจาก $i_{D5}=i_{D6}=I_2+i$ ไปยัง i_{D7} ซึ่งมีค่าเป็นไปตามสมการ (3.6) ถ้าสามารถทำให้อัตราส่วนของ (W_6/L_6) ใน M6 = (W_7/L_7) ใน M7 แล้วย่อมทำให้ $i_{D7}=I_2+i$ และจะมีทิศทางไหลเข้าที่พอร์ท Z^+ และถ้าทำการปรับให้แหล่งจ่ายกระแสคงที่ I_3 มีค่าเท่ากับแหล่งจ่ายกระแสคงที่ I_2 ดังนั้นจะทำให้ปรากฏมีกระแส i ไหลเกิดขึ้นมีทิศทางการไหลออกจากพอร์ท Z^+ (ซึ่งมีทิศทางการไหลของกระแส i ทิศทางเดียวกับพอร์ท X) และจะมีกระแสที่ถูกสำเนา(copy) อีกส่วนหนึ่งจากวงจรสะท้อนกระแสซึ่งจะมีการสะท้อนกระแสจาก $i_{D5}=i_{D6}=I_2+i$ ไปยัง i_{D8} เป็นไปตามสมการ (3.10)

$$i_{D8} = (W_8L_6/W_6L_8).i_{D6} = (W_8L_6/W_6L_8).(I_2+i) \qquad (3.10)$$

หลังจากนั้นจะมีการสะท้อนกระแสอีกครั้งหนึ่ง (เพื่อต้องการให้กระแส i มีทิศทางการไหลตรงกันข้ามกับพอร์ท X) จาก $i_{D8}=i_{D9}=I_2+i$ ไปยัง i_{D10} โดยวงจรสะท้อนกระแสแบบบวกที่ประกอบด้วย M9 และ M10 และมีค่าของกระแส i_{D10} เป็นไปตามสมการ (3.12)

$$i_{D10} = (W_{10}L_9/W_9L_{10}).i_{D9} = (W_{10}L_9/W_9L_{10}).i_{D8} \qquad (3.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนสมการ (3.10) ใน (3.11)

$$i_{D10} = (W_{10}L_9/W_9L_{10}).(W_8L_6/W_6L_8).(I_2+i) \qquad (3.12)$$

ดังนั้นสมการ (3.12) เพื่อต้องการให้ $i_{D10} = I_2+i$ ถูกต้องมากที่สุดจะต้องพยายามหาขนาดของอัตราส่วน (W_6/L_6) ในM6 = (W_8/L_8) ในM8 และ (W_9/L_9) ในM9 = (W_{10}/L_{10}) ในM10 ให้มากที่สุดเมื่อได้ดังนั้นแล้วกระแส i นี้จะปรากฏขึ้นที่พอร์ท Z^- มีทิศทางการไหลเข้าที่พอร์ท Z^- (มีทิศทางการไหลตรงกันข้ามที่พอร์ท X) เมื่อทำการปรับให้แหล่งจ่ายกระแสคงที่ I_4 มีค่าเท่ากับแหล่งจ่ายกระแสคงที่ I_3 หรือ I_2 ($I_2 = I_3 = I_4$) ดังนั้นจะเห็นได้ว่าวงจรดังกล่าวประกอบขึ้นด้วยกัน 4 พอร์ทคือพอร์ท Y, X, Z^+ และ Z^- อยู่ภายในวงจรเดียวกัน

3.6 การวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎี

ในหัวข้อนี้ จะเป็นการวิเคราะห์คุณสมบัติของวงจรซึ่งในที่นี้จะยึดวงจรสายพานกระแสชนิดบวกดังรูป 3.3 ดังกล่าวเป็นหลัก เพื่อพิจารณาถึงค่าของแรงดันอินพุทออฟเซต (Input Offset Voltage) หรือ V_{os} อัตราส่วนของศักดา V_x/V_y อิมพีแดนซ์ที่พอร์ท X ,Y และ Z ค่าทรานส์คอนดัคแตนซ์ (Transconductance) หรือ G_m อัตราส่วนของกระแส i_z/i_x และ ช่วงปฏิบัติงานศักดาและกระแสของวงจร

3.6.1 การวิเคราะห์ค่าของแรงดันอินพุทออฟเซต (Input Offset Voltage) หรือ V_{os}

จากวงจรรูป3.3 ถ้าเราสามารถทำให้มอสเฟท M1 และ M2 สมพงษ์(Match) กันได้มากที่สุดแล้วผลคือ $V_{GS1} = V_{GS2}$ หรืออาจกล่าวได้ว่ามีค่าของระดับศักดาที่พอร์ท Y มีค่าเท่ากับระดับศักดาที่พอร์ท X เนื่องจากว่า $\Delta V = V_{GS1} - V_{GS2}$ มีค่าเท่ากับศูนย์ แต่ในความเป็นจริงแล้วจะเกิด กรณีของ M1 และ M2 ซึ่งต่อกันอยู่ในรูปคู่ความแตกต่าง (Differential Pair) ไม่สมพงษ์ (Mismatch) ขึ้นเป็นผลให้เกิดค่าของ ΔV ซึ่งเรียกว่าเป็นค่าของแรงดันอินพุทออฟเซตดังการพิจารณาต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาจากส่วนของอินพุทที่ M1 และ M2 ซึ่งต่อกันอยู่ในรูปของคู่ความแตกต่าง (Differential Pair) จะได้

$$V_{in} = V_Y = V_{GS1} - V_{GS2} + V_X \quad (3.13)$$

ให้ $$\Delta V = V_{GS1} - V_{GS2} \quad (3.14)$$

จากสมการของ MOSFET ที่มีการทำงานช่วงอิ่มตัว (Saturated Region) ดังสมการ (2.16) จะมีค่าของกระแสเดรนเป็น

$$i_D = (K'W/2L).(V_{GS} - V_T)^2 = (B/2).(V_{GS} - V_T)^2, \; 0 < V_{GS} - V_T \leq V_{DS} \quad (3.15)$$

แทนสมการ (3.15) ใน (3.14) ได้

$$\Delta V = V_{T1} - V_{T2} + (2i_{D1}/B_1)^{1/2} - (2i_{D2}/B_2)^{1/2} \quad (3.16)$$

พิจารณาค่าของแรงดันวิกฤติ (Threshold Voltage) หรือ V_T จากสมการ(2.6) เนื่องจาก M1 และ M2 มีค่า V_{SB} = ศูนย์ ดังนั้นจะได้ $V_{T1} = V_{TO1}$ และ $V_{T2} = V_{TO2}$ ทำให้สมการ (3.16) มีค่าเป็น

$$\Delta V = \Delta V_{TO} + (2i_{D1}/B_1)^{1/2} - (2i_{D2}/B_2)^{1/2} \quad (3.17)$$

เมื่อค่าของ $$\Delta V_{TO} = V_{TO1} - V_{TO2}$$

ถ้านิยามค่าความแตกต่าง (Differential) และค่าเฉลี่ย (Average) ของ B=K'W/L และแหล่งจ่ายกระแสคงที่ I_1 เป็นค่าดังต่อไปนี้ [32]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$B = (B_1 + B_2)/2 \quad (3.18)$$

$$\Delta B = (B_1 - B_2)/2 \quad (3.19)$$

$$I_1 = i_{D1} + i_{D2} \quad (3.20)$$

$$\Delta I_1 = i_{D1} - i_{D2} \quad (3.21)$$

จากสมการ (3.18) และ (3.19) จะได้ค่าของ

$$B_1 = (2B + \Delta B)/2 \quad (3.22)$$

$$B_2 = (2B - \Delta B)/2 \quad (3.23)$$

และจากสมการ (3.20) และ (3.21) จะได้ค่าของ

$$i_{D1} = (I_1 + \Delta I_1)/2 \quad (3.24)$$

$$i_{D2} = (I_1 - \Delta I_1)/2 \quad (3.25)$$

แทนสมการ(3.22) และ (3.23) ในสมการ(3.17) ได้

$$\Delta V = \Delta V_{TO} + [4i_{D1}/(2B + \Delta B)]^{1/2} - [4i_{D2}/(2B - \Delta B)]^{1/2}$$

$$= \Delta V_{TO} + [2i_{D1}/B.(1 + \Delta B/2B)]^{1/2} - [2i_{D2}/B.(1 - \Delta B/2B)]^{1/2} \quad (3.26)$$

จากสมการ(3.26) สามารถกระจายเทอมที่อยู่ภายในเลขยกกำลัง 1/2 โดยการพิจารณาจาก

$$(1+X)^{1/2} = 1 + X/2 - X^2/8 + X^3/16 - \ldots \text{ โดยที่ } -1 < X \leqslant 1$$

ซึ่งเป็นอนุกรมเทเลอร์ (Taylor Series) ดังนั้นโดยการประมาณทางคณิตศาสตร์จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$(1+\Delta B/2B)^{1/2} = (4B+\Delta B)/4B \qquad (3.27)$$

$$(1-\Delta B/2B)^{1/2} = (4B-\Delta B)/4B \qquad (3.28)$$

แทนสมการ (3.27) และ (3.28) ในสมการ (3.26) ได้

$$\Delta V = \Delta V_{TO} + 4.\sqrt{2B}[\sqrt{i_{D1}}(4B-\Delta B)-\sqrt{i_{D2}}(4B+\Delta B)]/(16B^2-\Delta B^2) \qquad (3.29)$$

ปกติแล้ว ΔB ก็มีค่าน้อยอยู่แล้วดังนั้นค่าของ ΔB^2 จึงประมาณได้มีค่าเท่ากับศูนย์ ดังนั้นจากสมการ (3.29) จะได้

$$\Delta V = \Delta V_{TO} + (2/B)^{1/2}.(\sqrt{i_{D1}}-\sqrt{i_{D2}}) - (2/B)^{1/2}.(\Delta B/4B).(\sqrt{i_{D1}}+\sqrt{i_{D2}}) \qquad (3.30)$$

แทนสมการ (3.24) และ (3.25) ในสมการ (3.30)

$$\Delta V = \Delta V_{TO} + (2/B)^{1/2}.[\sqrt{(I_1+\Delta I_1)/2} - \sqrt{(I_1-\Delta I_1)/2}\,] - (2/B)^{1/2}.(\Delta B/4B).[\sqrt{(I_1+\Delta I_1)/2} + \sqrt{(I_1-\Delta I_1)/2}\,] \qquad (3.31)$$

จากสมการ (3.31) สามารถกระจายเทอมที่อยู่ภายในเลขยกกำลัง 1/2 ได้เป็น

$$\sqrt{(I_1+\Delta I_1)/2} - \sqrt{(I_1-\Delta I_1)/2} = \Delta I_1/(2I_1)^{1/2} \qquad (3.32)$$

$$\sqrt{(I_1+\Delta I_1)/2} + \sqrt{(I_1-\Delta I_1)/2} = (I_1/2)^{1/2}.(2-\Delta I_1^{\,2}/4I_1^{\,2}) \qquad (3.33)$$

แทนสมการ (3.32) และ (3.33) ในสมการ (3.31) ได้

$$\Delta V = \Delta V_{TO} + \Delta I_1/(BI_1)^{1/2} - (I_1/B)^{1/2}.(\Delta B/4B).(2-\Delta I_1^{\,2}/4I_1^{\,2}) \qquad (3.34)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการหาค่าของแรงดันอินพุทออฟเซตหรือ V_{os} หาได้จากค่าของสมการ (3.34) ขณะที่มีค่าของ ΔI_1= ศูนย์ ดังนั้น

$$V_{os} = \Delta V_{TO} - (\Delta B/2B).(I_1/B)^{1/2} = \Delta V_{TO} - (\Delta B/B).(I_1/4B)^{1/2}$$

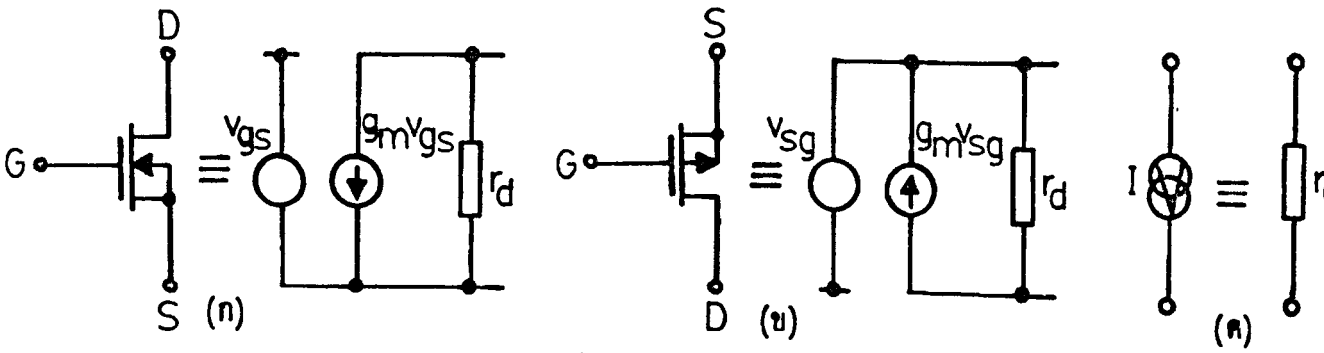
$$= \Delta V_{TO} - [(B_1 - B_2)/(B_1 + B_2)].[(i_{D1} + i_{D2})/4(B_1 + B_2)]^{1/2} \qquad (3.35)$$

ดังนั้นจากสมการ (3.35) จะเห็นว่าสามารถที่จะทำการลดค่าแรงดันอินพุทออฟเซต(V_{os}) ได้มีอยู่ 2 ประการคือ ประการแรกจะต้องควบคุมขบวนการ (Process) สร้างเพื่อให้โครงสร้างภายในของมอสเฟทมีค่าของแรงดันวิกฤติ (V_{TO}) และค่าของทรานส์คอนดัคแตนซ์ (B) ใน M1 และ M2 สมพงษ์กันมากที่สุด ประการที่สองลดโดยการใช้แหล่งจ่ายกระแสคงที่ I_1 มีค่าน้อย ๆ ซึ่งจากวงจรนี้ได้ใช้ I_1= 400uA พบว่าค่า V_{os} มีค่าอยู่ระหว่างช่วงไมโครโวลท์ (uV) ซึ่งมีค่าน้อยมากผลคือจะได้ค่าแรงดันที่พอร์ท X มีค่าเท่ากับแรงดันที่พอร์ท Y ซึ่งเป็นแรงดันอินพุท (V_{in}) ของวงจร

3.6.2 การวิเคราะห์ค่าของอัตราส่วนของศักดา V_x/V_y

ในการคำนวณหาค่า V_x/V_y สามารถใช้การคำนวณ ซึ่งเป็นแบบการวิเคราะห์สัญญาณขนาดเล็ก (Small Signal Analysis) คำนวณหาค่าดังกล่าวได้เช่นเดียวกัน ซึ่งกระทำได้โดยการแทนวงจรทัดเทียมหรือวงจรสมมูล (Equivalent Circuit) ของมอสเฟทชนิด NMOS ,PMOS ซึ่งไม่มีผลกระทบอันเกิดจากผลของฐานรอง(no body effect occur) และวงจรทัดเทียมของแหล่งจ่ายกระแสคงที่ดังรูป 3.6(ก),3.6(ข) และ3.6(ค) ตามลำดับลงในวงจรรูป 3.3 ดังนั้นก็จะได้วงจรทัดเทียมเพื่อที่จะใช้ในการคำนวณหาค่า V_x/V_y ดังแสดงในรูป 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงวงจรทัดเทียมของมอสเฟทชนิด NMOS,PMOS และแหล่งจ่ายกระแสคงที่

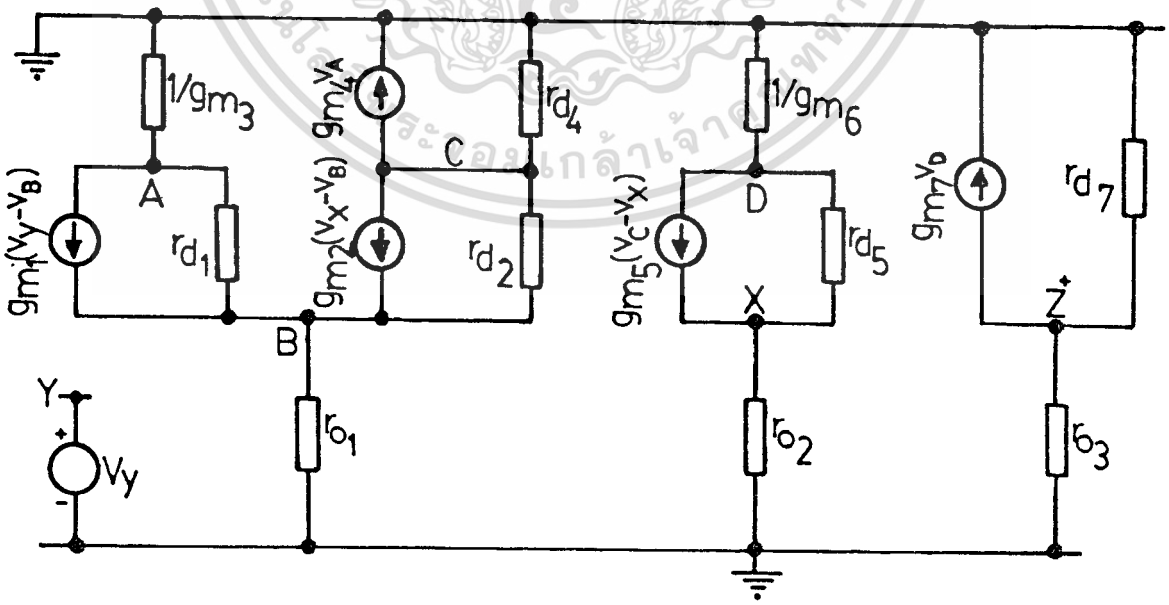
(ก) สำหรับ NMOS (ข) สำหรับ PMOS (ค) สำหรับแหล่งจ่ายกระแสคงที่

โดยที่ [33]

g_{mi} คือค่าของทรานส์คอนดัคแตนซ์(Transconductance) ของมอสเฟทตัวที่i $\cong 10^{-3}$ A/V

r_{di} คือค่าความต้านทานระหว่างขาเดรน(Drain)กับซอส(Source)ของมอสเฟทตัวที่i $\cong 10^{6}\Omega$

r_{oi} คือค่าความต้านทานภายในแหล่งจ่ายกระแสคงที่ = $g_m.r_d^2 = 10\ M\Omega$



รูปที่ 3.7 แสดงวงจรทัดเทียมในการคำนวณหาค่า V_x/V_y ของวงจรรูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 3.7 พิจารณาที่โนด (Node) ต่าง ๆ โดยใช้กฎของ Kirchhoff's Current Law (KCL) สร้างเป็นสมการได้ดังนี้

ที่ Node A จะได้

$$(g_{m3}+ 1/r_{d1})V_A- V_B/r_{d1} = - g_{m1}(V_Y- V_B) \quad (3.36)$$

ที่ Node B จะได้

$$(1/r_{o1}+ 1/r_{d1}+ 1/r_{d2})V_B- V_A/r_{d1}- V_C/r_{d2} = g_{m1}(V_Y- V_B) + g_{m2}(V_X- V_B) \quad (3.37)$$

ที่ Node C จะได้

$$(1/r_{d2}+ 1/r_{d4})V_C- V_B/r_{d2} = - g_{m2}(V_X- V_B) - g_{m4}V_A \quad (3.38)$$

ที่ Node D จะได้

$$(g_{m6}+ 1/r_{d5})V_D- V_X/r_{d5} = - g_{m5}(V_C- V_X) \quad (3.39)$$

ที่ Node X จะได้

$$(1/r_{o2}+ 1/r_{d5})V_X- V_D/r_{d5} = g_{m5}(V_C- V_X) \quad (3.40)$$

จากสมการ (3.36) ถึง (3.40) สามารถหาค่า V_X/V_Y ได้ซึ่งมีค่าเป็น

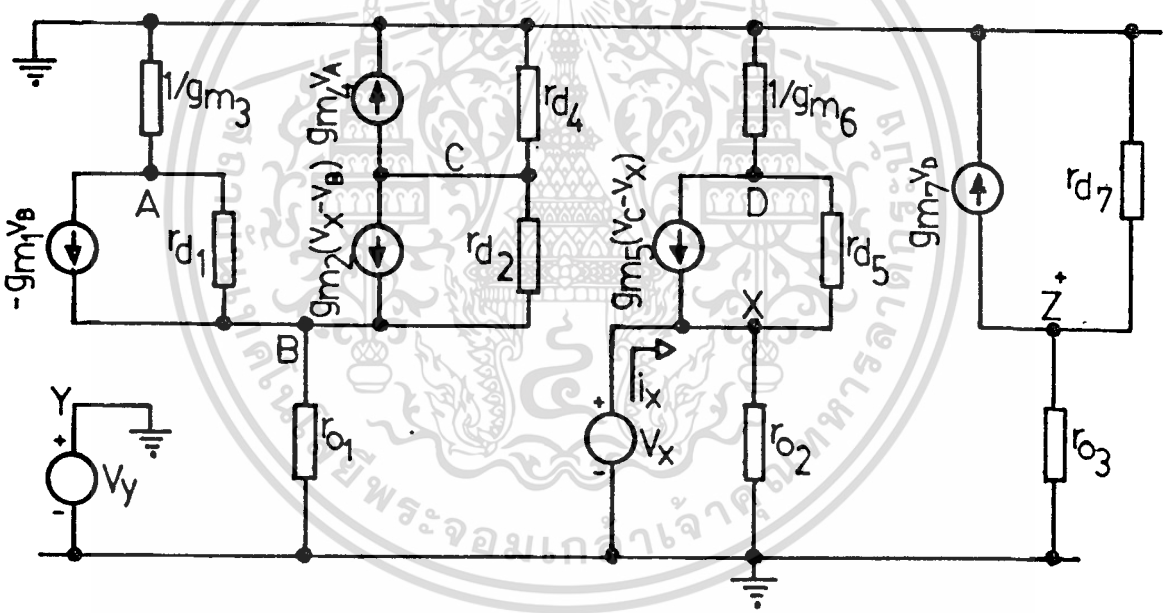
$$V_X/V_Y = g_{m2}/(g_{m2}+ g_{d2}+ g_{d4}) \cong 1 \quad (3.41)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ g_{di} คือส่วนกลับของค่าความต้านทานระหว่างขาเดรนและซอสของมอสเฟทตัวที่i ($g_{di}=1/r_{di}$)

3.6.3 การวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ท X

ในการคำนวณอิมพีแดนซ์ที่พอร์ท X จะใช้หลักการเช่นเดียวกับหลักการคำนวณหาอัตราส่วนของศักดา V_x/V_y ซึ่งกระทำได้โดยการแทนวงจรทัดเทียมดังรูป 3.6(ก),3.6(ข)และ3.6(ค) ตามลำดับลงในวงจรรูป 3.3 แล้วป้อนศักดาสัญญาณเข้าเป็น V_x เข้ายังพอร์ท X โดยที่จะมองเห็นศักดาที่พอร์ท Y เป็นศูนย์ (หรือทำโดยการต่อพอร์ท Y ลงกราวด์นั่นเอง) ดังนั้นจะได้วงจรทัดเทียมเพื่อที่จะใช้ในการคำนวณหาอิมพีแดนซ์ที่พอร์ท X ดังแสดงในรูป 3.8



รูปที่ 3.8 แสดงวงจรทัดเทียมในการคำนวณหาค่าอิมพีแดนซ์ที่พอร์ท X ของวงจรรูปที่ 3.3

จากรูป 3.8 พิจารณาที่ Node ต่าง ๆ โดยใช้กฎของ KCL สร้างเป็นสมการได้ดังนี้

ที่ Node A จะได้

$$(g_{m3}+1/r_{d1})V_A - V_B/r_{d1} = g_{m1}V_B \qquad (3.42)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ Node B จะได้

$$(1/r_{o1}+ 1/r_{d1}+ 1/r_{d2})V_B- V_A/r_{d1}- V_C/r_{d2} = - g_{m1}V_B+ g_{m2}(V_X- V_B) \qquad (3.43)$$

ที่ Node C จะได้

$$(1/r_{d2}+ 1/r_{d4})V_C- V_B/r_{d2} = - g_{m2}(V_X- V_B)- g_{m4}V_A \qquad (3.44)$$

ที่ Node D จะได้

$$(g_{m6}+ 1/r_{d5})V_D- V_X/r_{d5} = - g_{m5}(V_C- V_X) \qquad (3.45)$$

ที่ Node X จะได้

$$(1/r_{o2}+ 1/r_{d5})V_X- V_D/r_{d5} = g_{m5}(V_C- V_X) + I_X \qquad (3.46)$$

จากสมการ (3.42) ถึง (3.46) สามารถคำนวณหาค่าอิมพีแดนซ์ที่พอร์ท X (r_x) ได้ซึ่งมีค่าเป็น

$$rx = V_X/I_X = (r_{d2}+ r_{d4})/(g_{m2}.g_{m5}.r_{d2}.r_{d4}) = (g_{d2}+ g_{d4})/(g_{m2}.g_{m5})$$

$$\cong 20\ \Omega \qquad (3.47)$$

3.6.4 การวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ท Y

ที่พอร์ท Y หรือที่ขาเกท (Gate) ของมอสเฟท M1 นี้ ภายในสร้างขึ้นจากฉนวนซิลิคอนไดออกไซด์(SiO_2) เป็นฉนวนกั้นกระแสดีซี (DC Current) จึงไม่สามารถทำให้กระแสดังกล่าวไหลผ่านได้ (ไม่สามารถควบคุมด้วยกระแสแต่ใช้แรงดันควบคุมได้เท่านั้น) ดังนั้นความต้านทานด้าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุทหรือที่พอร์ท Y จึงมีค่าสูงมากกว่า 10^{14} โอห์ม (ประมาณ 10^{15} โอห์ม ณ อุณหภูมิห้อง) เพราะฉะนั้นที่พอร์ท Y จึงไม่สามารถใช้การควบคุมด้วยกระแสได้จึงทำให้มีค่าของ $i_Y = 0$ จึงกล่าวได้ว่า

$$r_Y = 10^{15}\Omega \qquad (3.48)$$

3.6.5 การวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท Z^+ และ Z^-

ค่าอิมพีแดนซ์ที่พอร์ท Z+ และ Z^- ของวงจรดังรูป 3.3 และรูป 3.4 ตามลำดับ จะประมาณได้เท่ากับค่าอิมพีแดนซ์ที่จุดสัญญาณออกของวงจรจ่ายกระแสคงที่ I_3 (ซึ่งโดยทั่วไปจะมีค่าสูงมากประมาณ 10^7 โอห์ม) ต่อขนานอยู่กับค่าอิมพีแดนซ์ระหว่างขาเดรนและซอสของมอสเฟท M7 (โดยทั่วไปมีค่าประมาณ 10^5 โอห์ม) สำหรับที่พอร์ท Z^+ และจะประมาณได้เท่ากับค่าอิมพีแดนซ์ที่จุดสัญญาณออกของวงจรจ่ายกระแสคงที่ I_3 ต่อขนานอยู่กับค่าอิมพีแดนซ์ระหว่างขาเดรนและซอสของมอสเฟท M9 สำหรับที่พอร์ท Z^- ดังนั้นจึงกล่าวได้ว่า

$$r_{Z^+} = (r_{o3}.r_{d7})/(r_{o3}+r_{d7}) = r_{o3}//r_{d7} \cong r_{d7} = 10^5\Omega$$

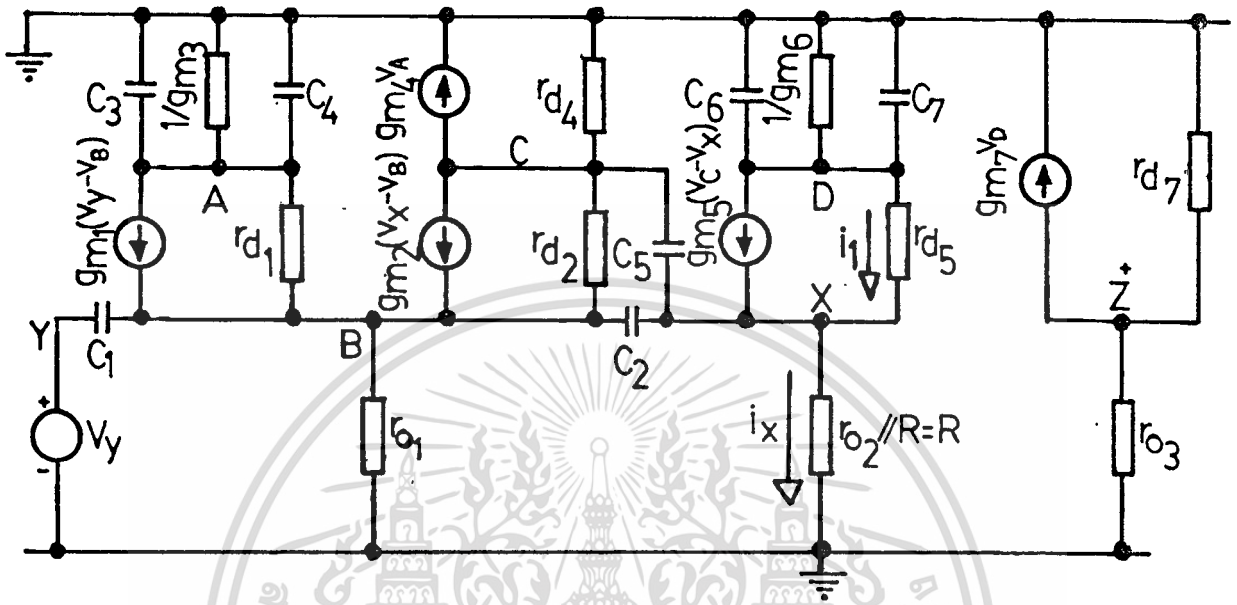
และ $$r_{Z^-} = (r_{o3}.r_{d9})/(r_{o3}+r_{d9}) = r_{o3}//r_{d9} \cong r_{d9} = 10^5\Omega \qquad (3.49)$$

3.6.6 การวิเคราะห์ค่าของทรานส์คอนดัคแตนซ์ของวงจรหรือ G_m

เพื่อที่จะคำนวณหาค่าทรานส์คอนดัคแตนซ์(G_m)ของวงจร ซึ่งมีค่าเท่ากับอัตราส่วนของกระแส i_x กับค่าศักดา V_y และผลของการตอบสนองต่อค่าความถี่ซึ่งถูกจำกัดเนื่องจากค่าของความจุไฟฟ้าสเตย์ (Stay Capacitances) ที่เกิดขึ้นระหว่างขาเกทและซอสของมอสเฟท(C_{gs}) ตัวใด ๆ ดังนั้นเพื่อที่จะคำนวณหาค่าดังที่กล่าวมา สามารถกระทำได้โดยการแทนวงจรทัดเทียมดังรูป 3.6(ก), 3.6(ข) และ 3.6(ค) ตามลำดับ ลงในวงจรรูป 3.3 โดยที่ภายในวงจรทัดเทียมเฉพาะรูป 3.6(ก) และ3.6(ข) จะถูกเพิ่มเติมค่า C ซึ่งเป็นค่าของค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างขาเกทและซอส (C_{gs}) เข้าไป แล้วป้อนศักดาสัญญาณเข้าไปเป็น V_y เข้ายังพอร์ท Y เป็นผลทำให้เกิดค่ากระแส i_x ไหล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผ่านค่าความต้านทาน R (ซึ่งต่ออยู่ระหว่างพอร์ท X กับกราวด์) เกิดขึ้น ก็สามารถหาค่าอัตราส่วนของกระแส i_x กับค่าของศักดา V_Y ได้ดังวงจรทัดเทียมดังแสดงในรูป 3.9



รูปที่ 3.9 แสดงวงจรทัดเทียมในการคำนวณหาค่า i_x/V_Y หรือ G_m ของวงจรรูปที่ 3.3

โดยที่ C_i คือค่าความจุไฟฟ้าสเตรย์ที่เกิดขึ้นระหว่างขาเกทและซอสของมอสเฟทตัวที่ i = 5pF

จากรูป 3.9 พิจารณาที่ Node ต่าง ๆ โดยใช้กฎของ KCL สร้างเป็นสมการได้ดังนี้

ที่ Node A จะได้

$$[g_{m3}+ 1/r_{d1}+ s(C_3+ C_4)]V_A- V_B/r_{d1} = - g_{m1}(V_Y- V_B) \qquad (3.50)$$

ที่ Node B จะได้

$$[1/r_{o1}+ 1/r_{d1}+ 1/r_{d2}+ s(C_1+ C_2)]V_B- V_A/r_{d1}- V_C/r_{d2}- sC_1V_Y- sC_2V_X =$$
$$g_{m1}(V_Y- V_B)+ g_{m2}(V_X- V_B) \qquad (3.51)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ Node C จะได้

$$(1/r_{d2}+ 1/r_{d4}+ sC_5)V_C- V_B/r_{d2}- sC_5V_X = - g_{m2}(V_X- V_B)- g_{m4}V_A \qquad (3.52)$$

ที่ Node D และ Node X พิจารณาโดยใช้กฎของ Kirchhoff's Voltage Law (KVL) ร่วมกับ กฎของ KCL จะได้

$$\{(1/g_{m6})//[1/s(C_6+ C_7)]\}.i_X+ r_{d5}.i_1+ V_X = 0$$

หรือ

$$\{1/[g_{m6}+ s(C_6+ C_7)]\}.i_X+ r_{d5}.i_1+ V_X = 0 \qquad (3.53)$$

และมี

$$i_X = g_{m5}(V_C- V_X) + i_1$$

หรือ

$$i_1 = i_X - g_{m5}(V_C- V_X) \qquad (3.54)$$

แทนสมการ (3.54) ใน (3.53) จะได้

$$\{1/[g_{m6}+ s(C_6+ C_7)] + r_{d5}\}.i_X- g_{m5}r_{d5}V_C+ (1 + g_{m5}r_{d5})V_X = 0 \qquad (3.55)$$

และมี

$$V_X = R.i_X \qquad (3.56)$$

จากสมการ (3.50),(3.51),(3.52),(3.55) และ(3.56) สามารถคำนวณหาค่า i_X/V_Y หรือ G_m ของวงจรรูป 3.3 ได้มีค่าเป็น

$$i_X/V_Y = \{1/R[1-(g_{d2}+ g_{d4})/(g_{m2}+ g_{d2}+ g_{d4})]\}.[(\tau_1 s+1)/(\tau_2 s+1)] \qquad (3.57)$$

ซึ่งค่าของเวลาคงที่ (Time Constants) τ_1 และ τ_2 มีค่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\tau_1 = [C_2(g_{d2} + g_{d4}) + C_5 g_{m2}]/g_{m2}.g_{m5} \quad (3.58)$$

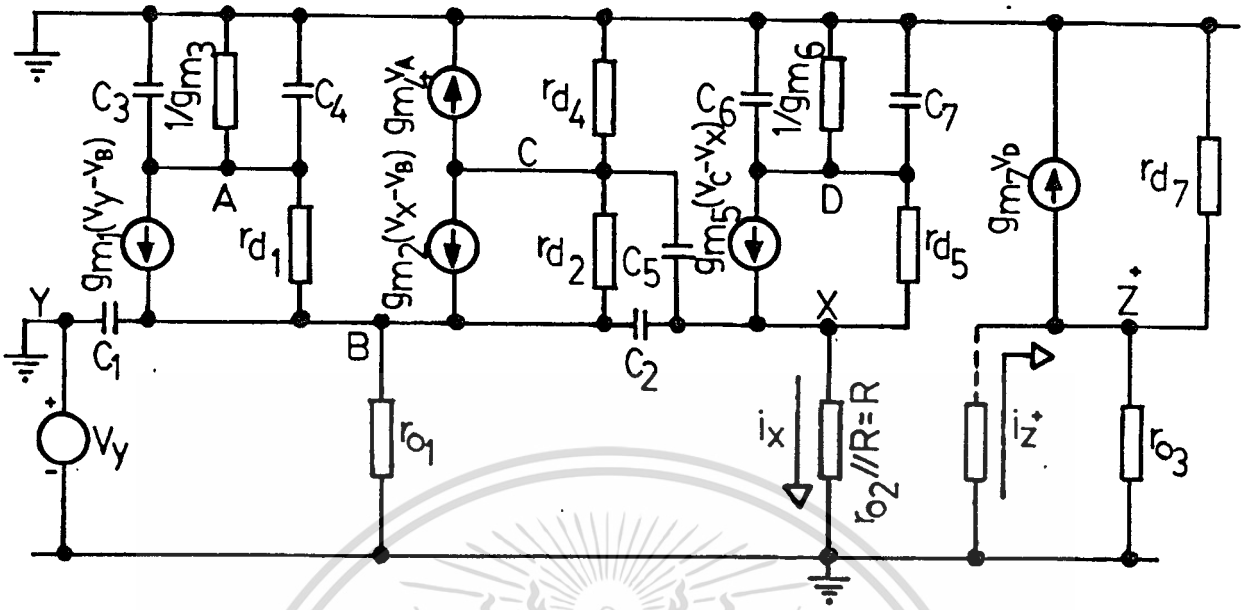
$$\tau_2 = [(C_2 + C_5).(g_{d2} + g_{d4}) + C_5 g_{m2}]/g_{m2}.g_{m5} \quad (3.59)$$

ดังนั้นจากสมการ (3.57),(3.58) และ (3.59) จะเห็นได้ว่าค่าของอัตราส่วน i_x/V_Y มีค่าประมาณ 1/R ซึ่งค่าดังกล่าวนี้ยังมีผลขึ้นกับบทบาทสำคัญ อันเนื่องมาจากค่าของซีโร่ (Dominant Zero) ที่แสดงเป็นค่าของเวลาคงที่ τ_1 กับบทบาทสำคัญ อันเนื่องมาจากค่าของโพล (Dominant Pole) ที่แสดงเป็นค่าของเวลาคงที่ τ_2 ทำให้วงจรมีขีดจำกัด ในการตอบสนองต่อความถี่ประมาณ $f_1 = 1/2\pi\tau_1$ และ $f_2 = 1/2\pi\tau_2$ ตามลำดับ เช่น ถ้าในวงจรมีค่าของ $C_2 = C_3 = 5pF$, $g_{m2} = 3.3x10^{-4}$ A/V, $g_{m5} = 4.7x10^{-4}$ A/V และค่าของ $g_{d2} = g_{d4} = 1.5x10^{-6}$ A/V ดังนั้น จะมีค่าของ f_1 และ f_2 มีค่าประมาณ 15.1 MHz และ 14.81 MHz ตามลำดับ แต่ขีดความสามารถสูงสุดในการตอบสนองความถี่ซึ่งมีค่าเป็น f_1 และ f_2 ดังกล่าวนี้ก็จริงแต่ไม่ใช่ขีดความสามารถหลักในการตอบสนองต่อความถี่ (Major High Frequency Limitation) ซึ่งขีดความสามารถหลักในการตอบสนองต่อความถี่ของวงจรดังกล่าวจะพิจารณาต่อไปในหัวข้อ 3.6.7

3.6.7 การวิเคราะห์ค่าของอัตราส่วนกระแส i_z+/i_x และช่วงความถี่ปฏิบัติงาน

ในการคำนวณเพื่อที่จะหาค่าของอัตราส่วนของกระแส i_z+/i_x และผลของการตอบสนองต่อค่าความถี่ซึ่งถูกจำกัดเนื่องจากค่าของความจุไฟฟ้าสเตย์ที่เกิดขึ้นระหว่างขาเกทและซอสของมอสเฟท(C_{gs}) ตัวใด ๆ จะใช้หลักการและการคำนวณเช่นเดียวกันกับในหัวข้อ 3.6.6 ดังนั้นเพื่อที่จะคำนวณหาค่าดังกล่าวสามารถกระทำได้โดยการแทนวงจรทัดเทียมดังรูป 3.6(ก),3.6(ข)และ3.6(ค) ตามลำดับลงในวงจรรูป 3.3 โดยที่ภายในวงจรทัดเทียมเฉพาะรูป 3.6(ก) และ 3.6(ข) จะถูกเพิ่มเติมค่า C ซึ่งเป็นค่าของค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างขาเกทและซอส (C_{gs}) ของมอสเฟทตัวใด ๆ เข้าไป แล้วสมมุติให้เกิดมีกระแส i_z+ เกิดขึ้นมีทิศทางการไหลเข้าพอร์ท Z^+ ในการหาค่า i_z+/i_x ดังกล่าวจะต้องพิจารณาค่าศักดาที่พอร์ท Y เป็นศูนย์ (หรือ ทำโดยการต่อพอร์ท Y ลงกราวด์นั่นเอง) ดังนั้นจะได้วงจรทัดเทียมเพื่อที่จะใช้ในการคำนวณหาค่าอัตราส่วน i_z+/i_x ดังแสดงในรูป 3.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงวงจรทัดเทียมในการคำนวณหาค่าของอัตราส่วนกระแส i_z+/i_x ของวงจรรูป3.3

จากรูป 3.10 พิจารณาที่ Node ต่าง ๆ โดยใช้กฎของ KCL สร้างเป็นสมการได้ดังนี้

ที่ Node A จะได้

$$[g_{m3}+ 1/r_{d1}+ s(C_3+ C_4)]V_A- V_B/r_{d1} = g_{m1}V_B \qquad (3.60)$$

ที่ Node B จะได้

$$[1/r_{o1}+ 1/r_{d1}+ 1/r_{d2}+ s(C_1+ C_2)]V_B- V_A/r_{d1}- V_C/r_{d2}- sC_2V_X =$$

$$- g_{m1}V_B+ g_{m2}(V_X- V_B) \qquad (3.61)$$

ที่ Node C จะได้

$$(1/r_{d2}+ 1/r_{d4}+ sC_5)V_C- V_B/r_{d2}- sC_5V_X = - g_{m2}(V_X- V_B) - g_{m4}V_A \qquad (3.62)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ Node D จะได้

$$[g_{m6} + 1/r_{ds} + s(C_6 + C_7)]V_D - V_X/r_{ds} = -g_{m5}(V_C - V_X) \quad (3.63)$$

ที่ V_X จะได้

$$V_X = R.i_X \quad (3.64)$$

ที่ Node Z^+ จะได้

$$(1/r_{o3} + 1/r_{d7})V_{Z^+} = i_{Z^+} - g_{m7}V_D$$

ซึ่งประมาณได้ว่า $(1/r_{o3} + 1/r_{d7}) \cong 0$ ดังนั้น

$$i_{Z^+} = g_{m7}V_D \quad (3.65)$$

จากสมการ (3.60) ถึง (3.65) สามารถคำนวณหาค่าของอัตราส่วนกระแส i_{Z^+}/i_X ของวงจรรูป 3.3 ได้มีค่าเป็น

$$i_{Z^+}/i_X = g_{m7}/[g_{m6}(\tau_3 s+1)] \quad (3.66)$$

ซึ่งค่าของเวลาคงที่ (Time Constants) τ_3 มีค่าเป็น

$$\tau_3 = (C_{gs6} + C_{gs7})/g_{m6} = C_6/g_{m6} \quad (3.67)$$

ดังนั้นจากสมการ (3.66) และ (3.67) จะเห็นได้ว่าค่าของอัตราส่วนกระแส i_{Z^+}/i_X จะมีผลขึ้นกับบทบาทสำคัญอันเนื่องมาจากค่าของโพล (Dominant Pole) ที่แสดงเป็นค่าของเวลาคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

τ_3 ทำให้วงจรมีขีดจำกัดในการตอบสนองต่อความถี่อันเนื่องมาจากค่าของทรานส์คอนดัคแตนซ์ (g_{m6}) และค่าของความจุไฟฟ้าสเตรย์ที่เกิดขึ้นระหว่างขาเกทและซอส (C_6) ของมอสเฟท M6 และเมื่อพิจารณาสมการที่ (3.66) พบอีกว่าสมการดังกล่าวมีค่าทรานสเฟอร์ฟังก์ชั่น (Transfer Function) ของกระแสเป็นลักษณะของวงจรกรองแบบความถี่ต่ำผ่าน (Low Pass Filter) ซึ่งจะมีค่าของความถี่คัทออฟ (Cutoff Frequency) เป็นไปตามสมการ (3.68)

$$f_{3db} = 1/(2\pi\tau_3) = g_{m6}/2\pi(C_{gs6} + C_{gs7}) = g_{m6}/2\pi C_6 \qquad (3.68)$$

ตัวอย่างเช่น ถ้าในวงจรมีค่าของ $C_6 = 10pF$, และมี $g_{m6} = 3.6x10^{-4}$ A/V ดังนั้นภายในวงจรจะมีช่วงความถี่ปฏิบัติงานสูงสุดเท่ากับ 5.73 MHz อันเนื่องมาจากการส่งผ่านค่าของกระแส i_x ที่พอร์ท X ไปปรากฏเป็นค่าของกระแส i_{z^+} เกิดขึ้นที่พอร์ท Z^+ ดังนั้นจึงกล่าวได้ว่าขีดความสามารถหลักในการตอบสนองต่อค่าความถี่ (Major High Frequency Limitation) ของวงจรดังกล่าวนี้เป็นผลอันเนื่องมาจากค่าโพลที่แสดงเป็นค่าของเวลาคงที่ τ_3 นี้เอง

3.6.8 การพิจารณาช่วงศักดาปฏิบัติงาน

จากวงจรรูป3.3 จะเห็นว่า M1 และ M2 ต่อกันอยู่ในรูปคู่ความแตกต่าง (Differential pair) ซึ่งมี M3 และ M4 เป็นวงจรสะท้อนกระแสลบ (Negative Current Mirror) เพื่อที่จะทำหน้าที่สะท้อนกระแสควบคุมกระแสเดรน (Drain) ของ M1(i_{D1}) และ M2 (i_{D2}) ให้มีค่าเท่ากันอยู่เสมอ และผลรวมของค่ากระแสทั้งสองจะมีค่าเท่ากับ I_1 ซึ่งเป็นแหล่งจ่ายกระแสคงที่ ดังแสดงความสัมพันธ์ของค่าดังกล่าวไว้ในสมการ (3.69) และ (3.70) ตามลำดับ

$$i_{D1} = i_{D2} = I_1/2 \qquad (3.69)$$

$$i_{D1} + i_{D2} = I_1 \qquad (3.70)$$

และถ้ากำหนดให้ V_{Ymax} และ V_{Ymin} เป็นค่าของศักดาปฏิบัติงานสูงสุดและต่ำสุดที่เกิดขึ้นที่ขาเกท (Gate) ของ M1 ซึ่งยังคงสามารถทำให้ M1 และ M2 มีการทำงานอยู่ในช่วงการทำงานอิ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัว (Saturation Region) ได้ ดังนั้นสามารถคำนวณหาค่าของ V_{Ymax} จากวงจรได้โดยสมการดังต่อไปนี้

$$V_{DD} = V_{SG3} + V_{DS1} - V_{GS1} + V_{Ymax} \quad (3.71)$$

หรือ $$V_{DS1} = V_{DD} - V_{SG3} + V_{GS1} - V_{Ymax} \quad (3.72)$$

ถ้า M1 ยังคงมีการทำงานในช่วงการทำงานอิ่มตัวดังนั้นค่าของ V_{DS1} จะมีค่าเป็น

$$V_{DS1} = V_{GS1} - V_{T1} \quad (3.73)$$

จากสมการ (3.72) และ (3.73) จะได้

$$V_{Ymax} = V_{DD} - V_{SG3} + V_{T1} \quad (3.74)$$

ส่วนในการคำนวณหาค่าของ V_{Ymin} ศักดาจะสวิงอยู่ในช่วงของค่า $- V_{SS}$ โดยผ่านแหล่งจ่ายกระแสคงที่ I_1 ดังนั้นในการคำนวณหาค่าดังกล่าว จึงต้องสมมุติให้การสร้างแหล่งจ่ายกระแสคงที่สามารถสร้างขึ้นได้จากการไบอัสศักดาที่ขาเกทและซอส (V_{GS}) ของมอสเฟท M_1 ดังแสดงในรูป 3.11

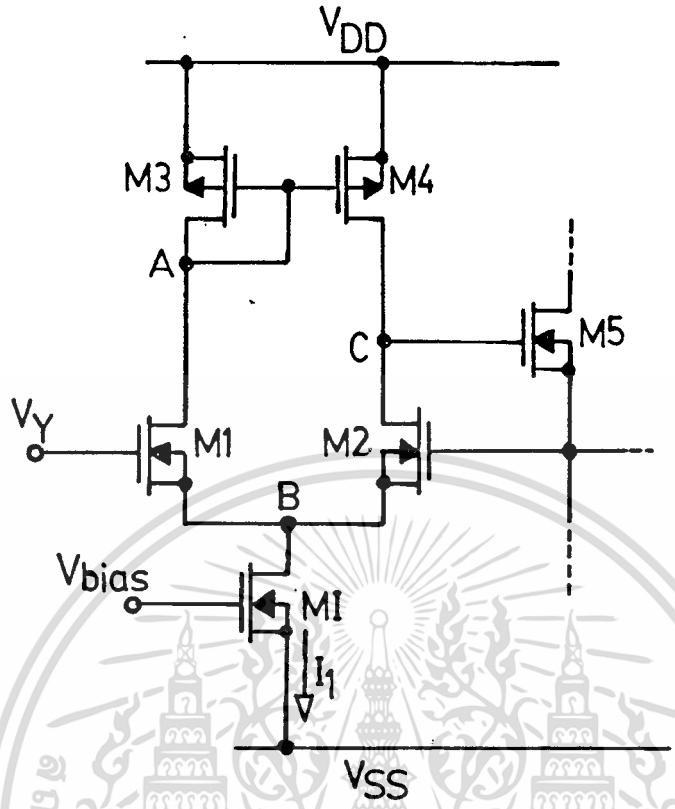
จากรูปวงจร 3.11 สามารถคำนวณหาค่าของ V_{Ymin} ได้จาก

$$V_{Ymin} - V_{SS} = V_{GS1} + V_{DS1} \quad (3.75)$$

หรือ $$V_{DS1} = V_{Ymin} - V_{GS1} - V_{SS} \quad (3.76)$$

ถ้า M_1 ยังคงมีการทำงานในช่วงการทำงานอิ่มตัว ดังนั้นจะได้ค่าของ V_{DS1} มีค่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 แสดงรูปวงจร CCII+1 เพื่อใช้ในการคำนวณหาค่าศักดาปฏิบัติงาน

$$V_{DS1} = V_{GS1} - V_{T1} \qquad (3.77)$$

จากสมการ (3.76) และ (3.77) จะได้

$$V_{Ymin} = V_{GS1} + V_{GS1} - V_{T1} + V_{SS} \qquad (3.78)$$

ดังนั้นช่วงของศักดาปฏิบัติงานมีค่า $= V_{Ymax} - V_{Ymin}$

$$= V_{DD} - V_{SS} - V_{GS1} - V_{GS1} - V_{SG3} + V_{T1} + V_{T1} \qquad (3.79)$$

จากสมการ (2.16) เป็นสมการของมอสเฟทที่มีการทำงานช่วงอิ่มตัว สามารถแสดงค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของ V_{GS} ให้อยู่ในรูปค่าของกระแสเดรนสำหรับมอสเฟทตัวใด ๆ ได้เป็น

$$V_{GS} = (2I_D/B)^{1/2} + V_T \qquad (3.80)$$

เปลี่ยนค่าของ V_{GS} สำหรับมอสเฟทตัวใด ๆ ในสมการ (3.79) ให้อยู่ในรูปของกระแสเดรนโดยเปรียบเทียบกับสมการ (3.80) ได้เป็น

$$V_{Ymax} - V_{Ymin} = V_{DD} - V_{SS} - [(2i_{D1}/B_1)^{1/2} + V_{T1}] - [(2i_{D1}/B_1)^{1/2} + V_{T1}] - [(2i_{D3}/B_3)^{1/2} + |V_{T3}|] + V_{T1} + V_{T1}$$

$$= V_{DD} - V_{SS} - (2i_{D1}/B_1)^{1/2} - (2i_{D1}/B_1)^{1/2} - (2i_{D3}/B_3)^{1/2} - |V_{T3}| \qquad (3.81)$$

ซึ่งพบว่า

$$\left.\begin{aligned} i_{D1} &= I_1 \\ i_{D1} &= I_1/2 \\ i_{D3} &= I_1/2 \end{aligned}\right\} \qquad (3.82)$$

แทนสมการ (3.82) ใน (3.81) และถ้าสมมุติให้ $B_1 = B_1 = B_3 = B = K'W/L$

จะได้ช่วงศักดาปฏิบัติงาน $= V_{DD} - V_{SS} - (2I_1/B)^{1/2} - 2(I_1/B)^{1/2} - |V_{T3}|$

$$= V_{DD} - V_{SS} - 2(I_1L/K'W)^{1/2}.(1/\sqrt{2} + 1) - |V_{T3}| \qquad (3.83)$$

ดังนั้นจากสมการ (3.83) เป็นสมการแสดงถึงช่วงของศักดาปฏิบัติงาน ซึ่งสามารถทำให้เป็นช่วงปฏิบัติงานที่กว้างขึ้นได้โดยการลดค่าของแหล่งจ่ายกระแสคงที่ I_1 หรือโดยการควบคุมขบวนการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สร้างอัตราส่วนของ W/L ภายในของมอสเฟทให้มีค่าสูง ๆ ซึ่งในทางปฏิบัติแล้ว จะออกแบบให้แหล่งจ่ายกระแสคงที่มีค่าน้อย ๆ จะสะดวกมากและจะเป็นผลทำให้สามารถลดค่าของแรงดันอินพุทออฟเซต (Vos) ไปได้พร้อมๆกันอีกด้วย เช่นในการออกแบบวงจรเลือกใช้ V_{DD}= 10V ,V_{SS}= -10V ,I_1= 400uA, $|V_{T3}|$ = 2.0V ,K'= $1x10^{-4}$ A/V^2 และ W/L = 200/10 ทำให้ช่วงของศักดาปฏิบัติงานของวงจรสวิงได้อยู่ในช่วงไม่เกิน ± 8.25 Vp หรือ 16.50 Vpp เป็นต้น

3.6.9 การพิจารณาช่วงกระแสปฏิบัติงาน

เมื่อพิจารณาที่พอร์ท X จะพบว่า ถ้าสมมุติให้กระแส i เป็นกระแสที่เกิดขึ้นมีทิศทางการไหลเข้าพอร์ท X ซึ่งถ้าเมื่อใดค่าของกระแส i นี้มีค่าเท่ากับค่าของแหล่งจ่ายกระแสคงที่ I_2 (ซึ่งมีทิศทางการไหลจากพอร์ทX ไปยังศักดาไฟฟ้า V_{SS}) จะเป็นผลทำให้ไม่มีกระแสไหลเกิดขึ้นปรากฏที่ขาเดรนของ M5(i_{D5}) หรือ i_{D5} เท่ากับศูนย์ แต่ถ้าสมมุติว่ากระแส i ที่เกิดขึ้นนี้เป็นกระแสซึ่งมีทิศทางการไหลเข้ายังพอร์ท X มีค่าน้อยกว่าแหล่งจ่ายกระแสคงที่ I_2 หรือทิศทางของกระแส i ดังกล่าวมีทิศทางการไหลออกจากพอร์ท X ซึ่งมีค่ามากกว่าศูนย์เป็นต้นไป จะทำให้ค่าของกระแส i_{D5} มีค่าเกิดขึ้นเพื่อเป็นกระแสที่จะส่งผ่านไปยังชุดของ M6 และ M7 ที่ทำหน้าที่เป็นวงจรสะท้อนกระแสไปปรากฏเป็นกระแส i_z+ เกิดขึ้นที่พอร์ท Z^+ ได้ดังกล่าว ดังนั้นจึงพอสรุปได้ว่าค่าของกระแส i_{D5} จะมีค่าขึ้นอยู่กับช่วงของกระแสปฏิบัติงาน (i) ที่เกิดขึ้นที่มีทิศทางการไหลเข้าหรือออกยังพอร์ท X มีค่าดังต่อไปนี้

จากวงจรจะมีค่าของกระแสเดรนของ M5 (i_{D5}) = I_2+i (3.84)

ดังนั้น i_{D5} = 0 จะได้ i = - I_2 (3.85)

และถ้า i_{D5} > 0 จะได้ i > - I_2 (3.86)

จากสมการ (3.84) ถึง (3.86) จึงสรุปได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{DS} = \begin{cases} 0 & ; \quad i = -I_2 \\ I_2+i & ; \quad i > -I_2 \end{cases} \qquad (3.87)$$

3.7 ผลการทดลองและผลจากการวิเคราะห์เลียนแบบการทำงานของวงจรด้วยโปรแกรม PSpice

จากการออกแบบวงจรตามหลักการที่ได้นำเสนอมาแล้วนั้น เพื่อเป็นการทดสอบและยืนยันว่าวงจรที่ได้ทำการออกแบบขึ้นดังกล่าวสามารถทำงานได้ตามหลักการที่ได้เสนอไว้ และมีคุณสมบัติของวงจรเป็นไปตามที่คาดหมายเอาไว้ ในการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎี จึงต้องทำการวิเคราะห์และทดลองการทำงานของวงจร ซึ่งในการวิเคราะห์และทดลองการทำงานของวงจรนี้สามารถกระทำได้ 2 วิธีคือ วิธีที่หนึ่ง โดยการทดลองต่อวงจรโดยนำอุกลต่าง ๆ ตามวงจรที่ได้ออกแบบมาต่อกันแบบดิสครีทบนโพรโตบอร์ด ป้อนแรงดันศักดาไฟจ่ายให้กับวงจรและป้อนสัญญาณหรือกระแสสัญญาณให้กับวงจร แล้วทำการวัดค่าศักดาและกระแสสัญญาณที่ส่วนต่าง ๆ ของวงจรและทำการวิเคราะห์ผลที่ได้จากการทดลอง หาความสัมพันธ์ระหว่างศักดาและกระแสที่ส่วนต่าง ๆ ของวงจรเพื่อเป็นการแสดงให้เห็นว่าวงจรที่ได้ออกแบบสามารถทำงานได้ตามหลักการที่ได้นำเสนอขึ้นมา ว่ามีคุณสมบัติของวงจรเป็นไปตามที่คาดหมายเอาไว้ในการวิเคราะห์สมบัติของวงจรในทางทฤษฎีหรือไม่ วิธีที่สองกระทำได้โดยการนำวงจรที่ได้ออกแบบมาทำการวิเคราะห์เลียนแบบการทำงานของวงจรโดยการใช้โปรแกรมสำเร็จรูปที่มีชื่อว่า "PSpice"[13] ซึ่งเป็นโปรแกรมที่ใช้สำหรับวิเคราะห์เลียนแบบการทำงานของวงจรอิเล็กทรอนิกส์ทั่วไปที่มีความสามารถแม่นยำสูง โดยการกำหนดรายละเอียดลักษณะการต่อกัน และค่าอุกลในวงจรตลอดจนสภาวะการทำงานของวงจรให้กับโปรแกรมสำเร็จรูปดังกล่าว ทำการวิเคราะห์การทำงานของวงจรและแสดงผลตามคำสั่งที่กำหนดให้

ทั้งการทดลองการทำงานของวงจรโดยการต่อวงจรแบบดีสครีท และการวิเคราะห์เลียนแบบการทำงานของวงจรโดยใช้โปรแกรมสำเร็จรูป "PSpice" เพื่อเป็นการทดสอบและยืนยันว่าวงจรสามารถทำงานได้ตามหลักการที่ได้นำเสนอขึ้นมา และมีคุณสมบัติของวงจรเป็นไปตามที่ได้คาดหมายเอาไว้ในการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎี ต่างก็เป็นการเลียนแบบการทำงานของวงจรที่จะนำไปสร้างเป็นวงจรรวม แต่เนื่องจากคุณสมบัติและการทำงานของอุกลในวงจรที่ต่อแบบดิสครีทกับของอุกลที่สร้างได้ในวงจรรวมยังมีข้อแตกต่างกันอยู่ ทำให้การทดสอบคุณสมบัติของวงจรโดยการต่อวงจรทด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

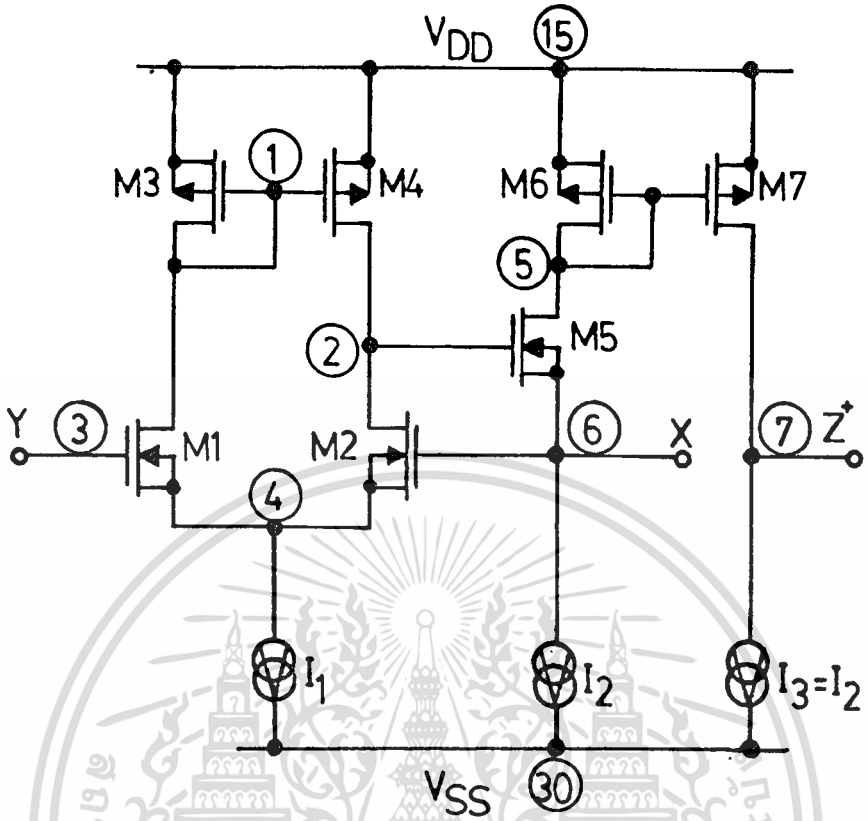
ลองแบบดิสครีทไม่สามารถจะทดสอบคุณสมบัติของวงจรรวมที่ได้ทำการออกแบบได้ทุกประการ เช่น ความสมพงษ์กันของมอสเฟทที่นำมาต่อกันแบบดิสครีทจะไม่สามารถทำให้เที่ยงตรงได้เท่ากับสร้างเป็นวงจรรวมในเนื้อสารกึ่งตัวนำชิ้นเดียว หรือในวงจรที่นำมาต่อกันแบบดิสครีทจะมีค่าของความจุไฟฟ้าสเตย์ที่เกิดขึ้นจากโพรโตบอร์ด(ซึ่งในการสร้างเป็นวงจรรวมจะไม่มี) ทำให้ไม่สามารถทดลองหาผลการตอบสนองต่อความถี่ของวงจรที่แท้จริงได้ คุณสมบัติของวงจรบางประการจึงต้องทำการวิเคราะห์เลียนแบบการทำงานของวงจรโดยการใช้โปรแกรมสำเร็จรูปเท่านั้น ในการวิเคราะห์และเลียนแบบการทำงานของวงจรความสามารถและความถูกต้องแม่นยำของการวิเคราะห์และเลียนแบบการทำงานของวงจร จึงขึ้นอยู่กับความสามารถของโปรแกรมสำเร็จรูป ดังนั้น ในการทดสอบการทำงานหรือคุณสมบัติบางอย่างของวงจรที่ออกแบบขึ้น จำเป็นที่อาจจะเลือกใช้การทดลองวงจรโดยการต่อวงจรแบบดิสครีทลงบนโพรโตบอร์ด หรือวิเคราะห์เลียนแบบการทำงานของวงจรโดยใช้โปรแกรมสำเร็จรูป "PSpice" หรืออาจจะเลือกการทดสอบวงจรทั้งสองแบบก็ย่อมเป็นไปได้ ซึ่งขึ้นอยู่กับความเหมาะสมของคุณสมบัติเฉพาะวงจรนั้น ๆ ดังการทดสอบคุณสมบัติและผลการทดลองของวงจรดังต่อไปนี้

3.7.1 การทดลองช่วงศักดาปฏิบัติงานของวงจรสายพานกระแสชนิดบวก

จากวงจรรูป3.3 ซึ่งเป็นวงจรสายพานกระแสชนิดบวก (CCII+1) และเพื่อง่ายต่อการที่จะใช้รูปวงจรดังกล่าวเป็นรูปวงจรอ้างอิงต่อไปจึงได้กำหนดค่าหมายเลขประจำ node ทั้งหมดภายในวงจรดังแสดงในรูป 3.12

การทดลองเพื่อศึกษาถึงช่วงศักดาปฏิบัติงานของวงจร CCII+1 จะกระทำได้โดยใช้วงจรที่ได้สร้างขึ้นโดยการต่อวงจรตามรูป 3.13 แบบดิสครีทลงบนโพรโตบอร์ดโดยที่มอสเฟทที่เป็นเอ็น-มอส (NMOS) หรือ พี-มอส(PMOS) ซึ่งเป็นชนิดเอ็นฮานเมนท์-โหมด นำมาใช้จากภายในไอซีเบอร์ CD4007 (หรืออาจจะเป็น serial อื่น ๆ ก็ได้ เช่น SCL4007,MC14007 เป็นต้น) ซึ่งภายในประกอบด้วย NMOS และ PMOS อยู่อย่างละ 3 ตัว โดยที่ควรเลือกมอสเฟทให้มีคุณสมบัติสมพงษ์กันมากที่สุดกล่าวคือ M1 และ M2 ,M3 และ M4 ,M6 และ M7 ซึ่งแต่ละคู่จะต้องมีความสมพงษ์ซึ่งกันและกัน และค่าของแรงดันไฟฟ้าวิกฤติ ($|V_{To}|$) ขณะ V_{SB} เท่ากับศูนย์ของ NMOS และ PMOS ภายในไอซีเบอร์ CD4007 จะมีค่าประมาณ 2.0 โวลท์ ส่วนวงจรจ่ายกระแสคงที่ทั้งหมดคือ I_1,I_2 และ I_3 ได้เลือกใช้การออกแบบจากวงจรจ่ายกระแสคงที่แบบคาดโคด (Cascode Current Source) เพราะเนื่องจากว่ามีค่าของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

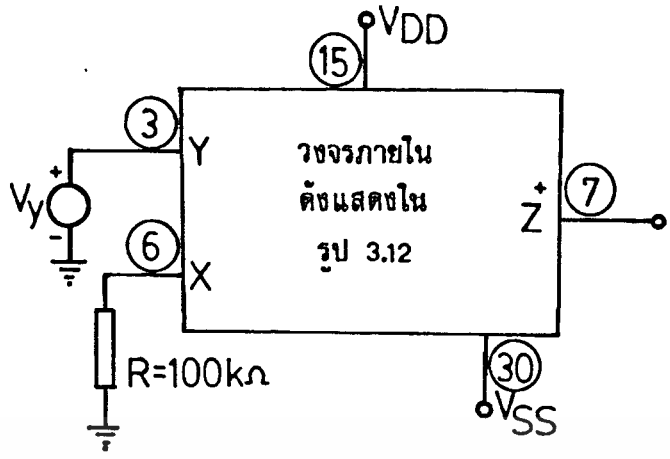


รูปที่ 3.12 แสดงหมายเลขประจำ node ทั้งหมดภายในวงจร CCII+1

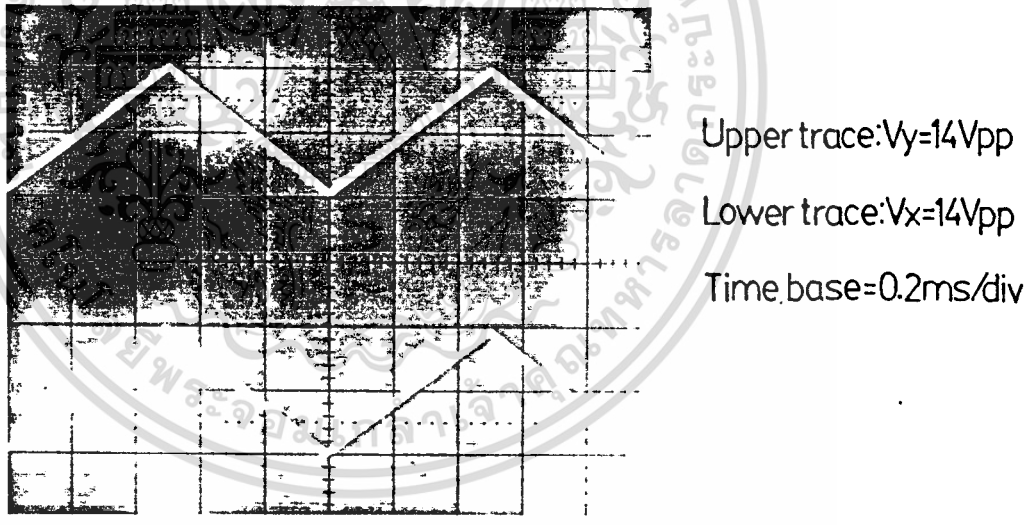
r_o (Output Impedance) มีค่าสูงมากคือ $g_m.r_d^2$ ประมาณ 10MΩ จากวงจรเลือกออกแบบให้ I_1=400uA ,I_2= I_3= 1mA และใช้ระดับศักดาจ่าย V_{DD} มีค่าเท่ากับ 10 โวลท์และ V_{ss} มีค่าเท่ากับ -10 โวลท์ ที่พอร์ท X และกราวด์จะใช้ความต้านทาน R = 100 กิโลโอห์ม ต่ออยู่

ที่พอร์ท Y ป้อนสัญญาณรูปสามเหลี่ยมมีค่าความถี่เท่ากับ 1kHz และวัดศักดาที่พอร์ท X เปรียบเทียบกับศักดาที่พอร์ท Y การทดลองจะเพิ่มขนาดของสัญญาณที่พอร์ท Y จนถึงค่าสูงสุดที่ศักดาสัญญาณที่พอร์ท X สามารถตามศักดาที่พอร์ท Y โดยไม่มีการผิดเพี้ยนของสัญญาณ และจากการทดลองจะได้ว่าขนาดของสัญญาณสูงสุดที่ได้จะมีขนาดเท่า ๆ กันทั้งด้านบวกและด้านลบมีค่าเท่ากับ 14 Vpp หรือ ±7 Vp ดังภาพถ่ายรูป 3.14 แสดงสัญญาณที่พอร์ท Y และพอร์ท X มีค่าสูงสุดที่ศักดาสัญญาณที่พอร์ท X สามารถตามศักดาสัญญาณที่พอร์ท Y โดยไม่มีการผิดเพี้ยนไปของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 แสดงวงจรการทดลองช่วงศักดาปฏิบัติงานของวงจร CCII+1



รูปที่ 3.14 แสดงภาพถ่ายสัญญาณที่พอร์ท Y และพอร์ท X ของวงจร CCII+1 โดยการทดลอง

จากการทดลองดังกล่าวจะเป็นการยืนยันได้ว่าช่วงศักดาปฏิบัติงานสูงสุดของวงจร CCII+1 จะมีค่าเท่า ๆ กันทั้งด้านบวกและด้านลบ ซึ่งมีค่าประมาณเท่ากับ 14 Vpp และผลที่ได้จากการทดลองนี้สอดคล้องกับผลจากการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎีที่ได้คาดหมายเอาไว้ ในหัวข้อ 3.6.8

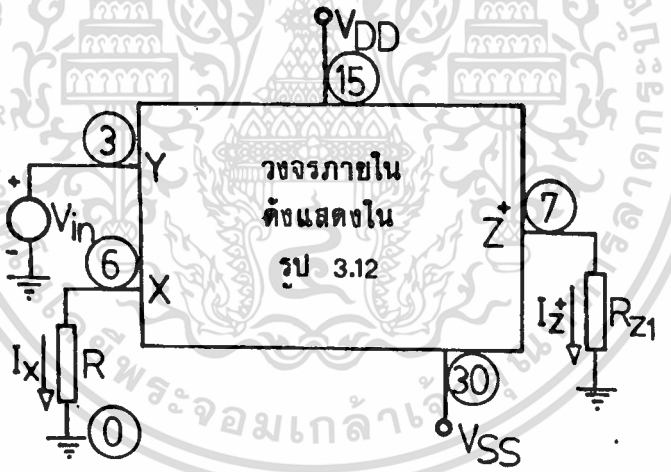
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังแสดงในสมการ (3.83)

3.7.2 การทดลองวัดค่ากระแสที่พอร์ทต่าง ๆ ของวงจรสายพานกระแส

3.7.2.1 การทดลองวัดค่ากระแสที่พอร์ท X และพอร์ท Z^+ ของวงจรสายพานกระแสชนิดบวก

จะกระทำได้โดยใช้วงจรที่ได้สร้างขึ้นโดยการต่อวงจรตามรูป 3.15 แบบดิสครีทลงบนโพรโตบอร์ดและเลือกใช้มอสเฟทจากไอซีเบอร์ CD4007 พร้อมทั้งออกแบบให้แหล่งจ่ายกระแสคงที่ I_1, I_2, I_3 และระดับศักดาจ่าย V_{DD}, V_{SS} มีค่าเช่นเดียวกันกับค่าในหัวข้อ 3.7.1 ดังที่ได้กล่าวมาแล้ว



รูปที่ 3.15 แสดงวงจรการทดลองวัดค่ากระแสที่พอร์ท X และพอร์ท Z^+ ของวงจร CCII+1

ที่พอร์ท Z^+ และกราวด์ต่อความต้านทาน R_{Z_1} = 2kΩ ไว้เสมอ ส่วนที่พอร์ท X และกราวด์เริ่มต้นด้วยการใช้ค่าความต้านทาน R = 100Ω หลังจากนั้นทำการป้อนศักดาเข้าที่พอร์ท Y ตั้งแต่ค่าลบค่าหนึ่ง จนถึง ค่าบวกอีกค่าหนึ่ง (โดยที่ไม่ทำให้ค่ากระแสที่ พอร์ท X เกิดขึ้น มีค่ามากกว่าค่าของแหล่งจ่ายกระแสคงที่ I_2 เพราะเนื่องจากว่าช่วงกระแสปฏิบัติงานของวงจรจะถูกจำกัดไว้ด้วยค่าของแหล่งจ่ายกระแสคงที่ I_2 ที่เคยกล่าวไว้ในหัวข้อ 3.6.9) วงจรจะมีการเปลี่ยนค่าศักดาที่พอร์ท Y เป็นค่า

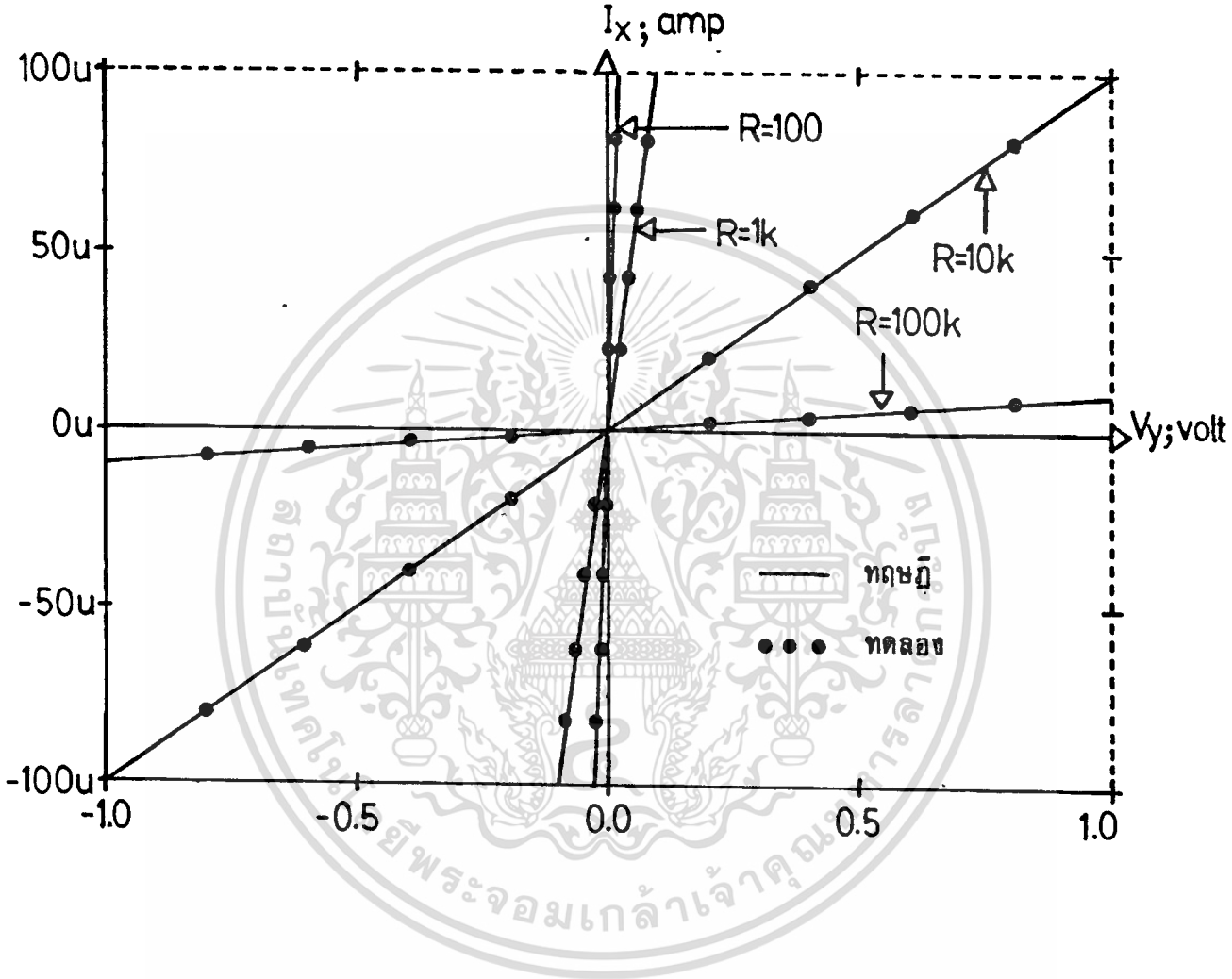
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของกระแสที่เกิดขึ้นที่พอร์ท X (i_x) และกระแสที่เกิดขึ้นที่พอร์ท Z (i_z+) มีค่าและทิศทางเดียวกันหลังจากนั้นทดลองเปลี่ยนค่าความต้านทาน R เพิ่มขึ้นทีละ 10เท่า (1 Decade)ที่พอร์ท X เป็น R = 1kΩ ,10kΩ และ 100kΩ ป้อนศักดาเข้าที่พอร์ท Y เช่นเดียวกับที่กล่าวมาข้างต้น แล้วทำการวัดค่าของกระแส i_x และ i_z+ จะพบว่าจะให้ค่าและทิศทางเดียวกัน แสดงให้เห็นว่าวงจรมีความเป็นเชิงเส้นและมีความเที่ยงตรงตลอดช่วงการเปลี่ยนแปลงของค่าศักดาและกระแสปฏิบัติงานของวงจร · เป็นไปตามที่ได้คาดหมายเอาไว้ ดังแสดงผลการทดลองไว้ดังรูป 3.16 และรูป 3.17 ตามลำดับ

และเพื่อเป็นการยืนยันความถูกต้องอีกทีว่า วงจรสามารถมีการทำงานได้ตามหลักการทางทฤษฎีที่ได้นำเสนอ ดังนั้นในการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎีกระทำได้โดยการใช้โปรแกรม PSpice มาทำการวิเคราะห์และเลียนแบบการทำงานของวงจรสายพานกระแสชนิดบวกตามรูป 3.15 โดยกำหนดรายละเอียดของขั้วต่อ (Node) ต่าง ๆ ทั้งหมดในวงจรรูป 3.15 ลงในไฟล์ข้อมูลเพื่อใช้สำหรับการวิเคราะห์ด้วยโปรแกรมPspice ซึ่งรายละเอียดของไฟล์ข้อมูลได้แสดงไว้ในโปรแกรมที่ 3.1

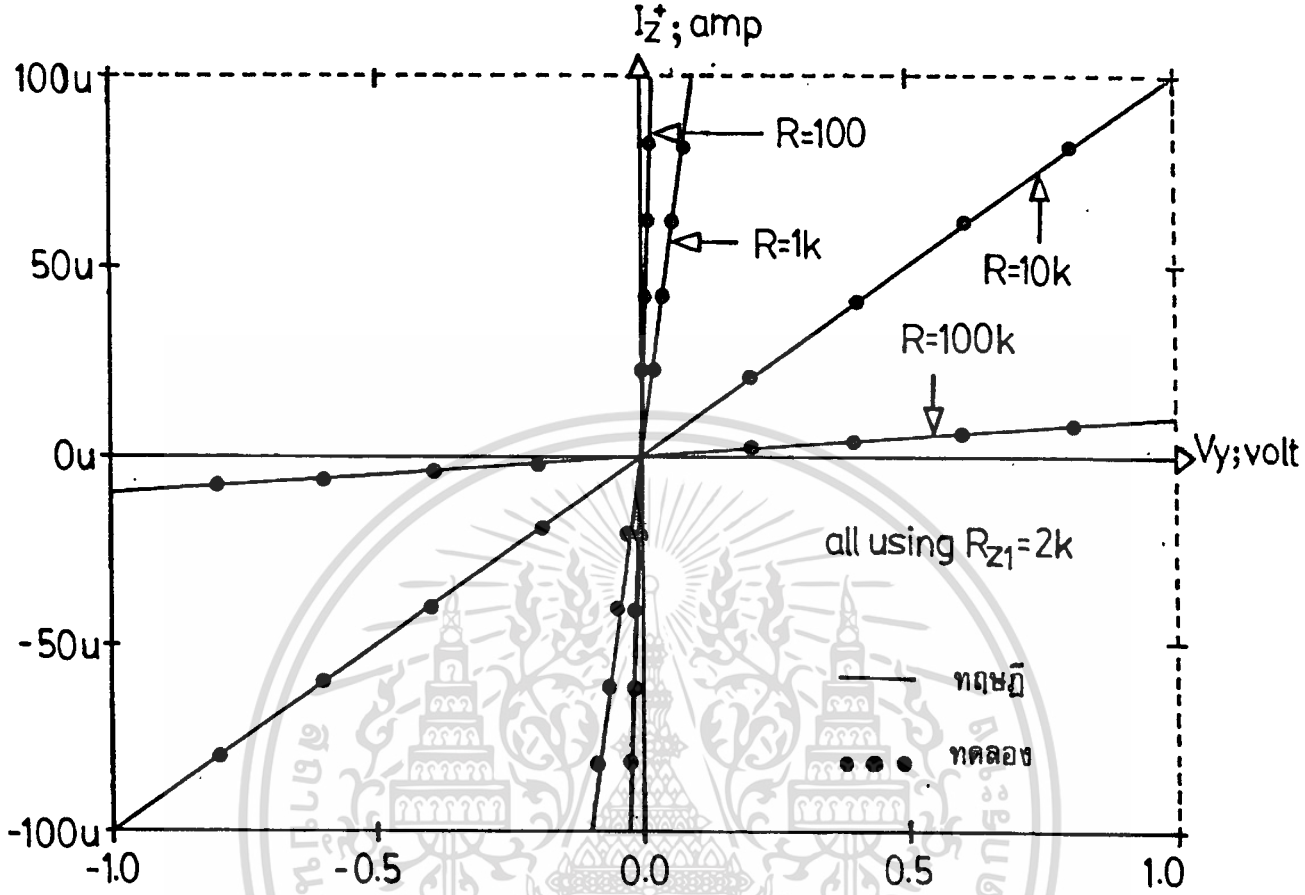
หลังจากการใช้โปรแรม PSpice วิเคราะห์และเลียนแบบการทำงานของวงจรที่ได้เตรียมไว้ในรูปของไฟล์ข้อมูลดังแสดงในโปรแกรม 3.1 แล้วนั้น ในการวัดเพื่อหาค่ากระแสที่พอร์ท X และพอร์ท Z^+ ที่เป็นค่าตามหลักการทางทฤษฎี สามารถกระทำได้โดยการใช้คำสั่งเป็น I(R) และ I(RZ1) ตามลำดับ และได้ผลการวิเคราะห์ดังแสดงในรูป 3.16 และรูป 3.17 ตามลำดับดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 แสดงผลการทดลองของค่ากระแสที่พอร์ท X ตามวงจรรูปที่ 3.15 พร้อมเปรียบเทียบกับค่าที่คำนวณได้จากทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

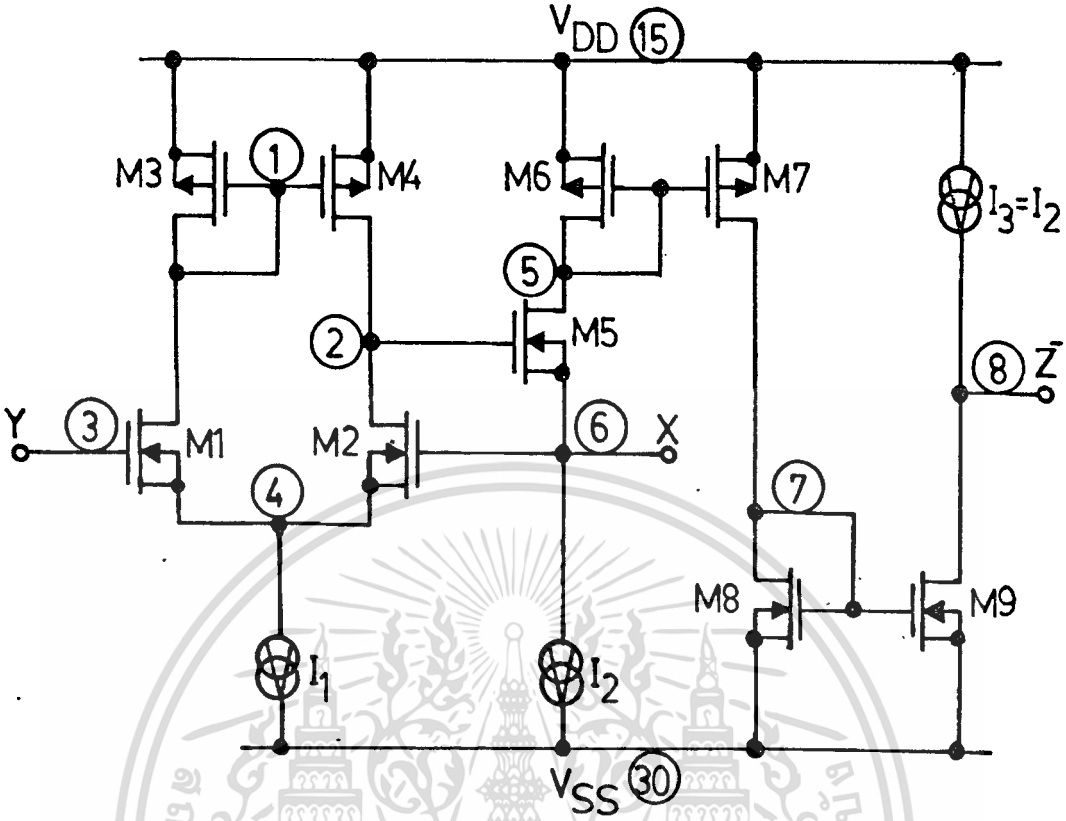


รูปที่ 3.17 แสดงผลการทดลองของค่ากระแสที่พอร์ท Z^+ ตามวงจรรูปที่ 3.15 พร้อมเปรียบเทียบกับค่าที่คำนวณได้จากทฤษฎี

3.7.2.2 การทดลองวัดค่ากระแสที่พอร์ท X และพอร์ท Z^- ของวงจรสายพานกระแสชนิดลบ

จากวงจรรูป 3.4 ซึ่งเป็นวงจรสายพานกระแสชนิดลบ (CCII-1) และเพื่อง่ายต่อการที่จะใช้วงจรดังกล่าวเป็นรูปวงจรอ้างอิงต่อไป จึงได้กำหนดค่าหมายเลขประจำ node ทั้งหมดภายในวงจรดังแสดงในรูป 3.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

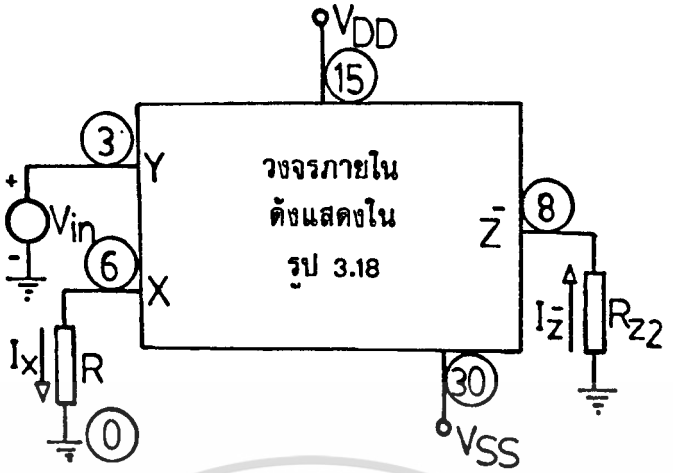


รูปที่ 3.18 แสดงหมายเลขประจำ node ทั้งหมดภายในวงจร CCII-1

ในการทดลองวัดค่าของกระแสที่พอร์ท X และพอร์ท Z^- ของวงจรสายพานกระแสชนิดลบ จะกระทำได้โดยใช้วงจรที่สร้างขึ้นโดยการต่อวงจรตามรูป 3.19 แบบดีสครีทลงบนโพรโตบอร์ด โดยที่พอร์ท Z^- และ กราวด์จะต่อความต้านทาน R_{zz}= 2kΩ ไว้เสมอ

ทำการทดลองเพื่อวัดค่ากระแสที่พอร์ท X และพอร์ท Z^- ของวงจรตามรูป 3.19 เช่นเดียวกันกับวงจรตามรูป 3.15 ในหัวข้อ 3.7.2.1 ซึ่งจะพบว่าค่าของกระแสที่เกิดขึ้นที่พอร์ท $X(i_x)$ จะมีค่าและทิศทางเช่นเดียวกับค่าของกระแสที่เกิดขึ้นที่พอร์ท X ตามวงจรรูป 3.15 ดังแสดงผลของค่ากระแสดังกล่าวไว้ดังรูป 3.16 ส่วนค่ากระแสที่เกิดขึ้นที่พอร์ท Z^- ตามรูป 3.19 จะมีค่าของกระแสเท่ากับกระแสที่พอร์ท X แต่จะมีทิศทางการไหลที่ตรงกันข้ามกัน ซึ่งได้แสดงค่าของกระแสดังกล่าวไว้ดังรูป 3.20 แสดงให้เห็นว่าวงจรมีความเป็นเชิงเส้น และมีความเที่ยงตรงตลอดช่วงการเปลี่ยนแปลงของค่าศักดาและกระแสปฏิบัติงานของวงจรเป็นไปตามที่ได้คาดหมายเอาไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

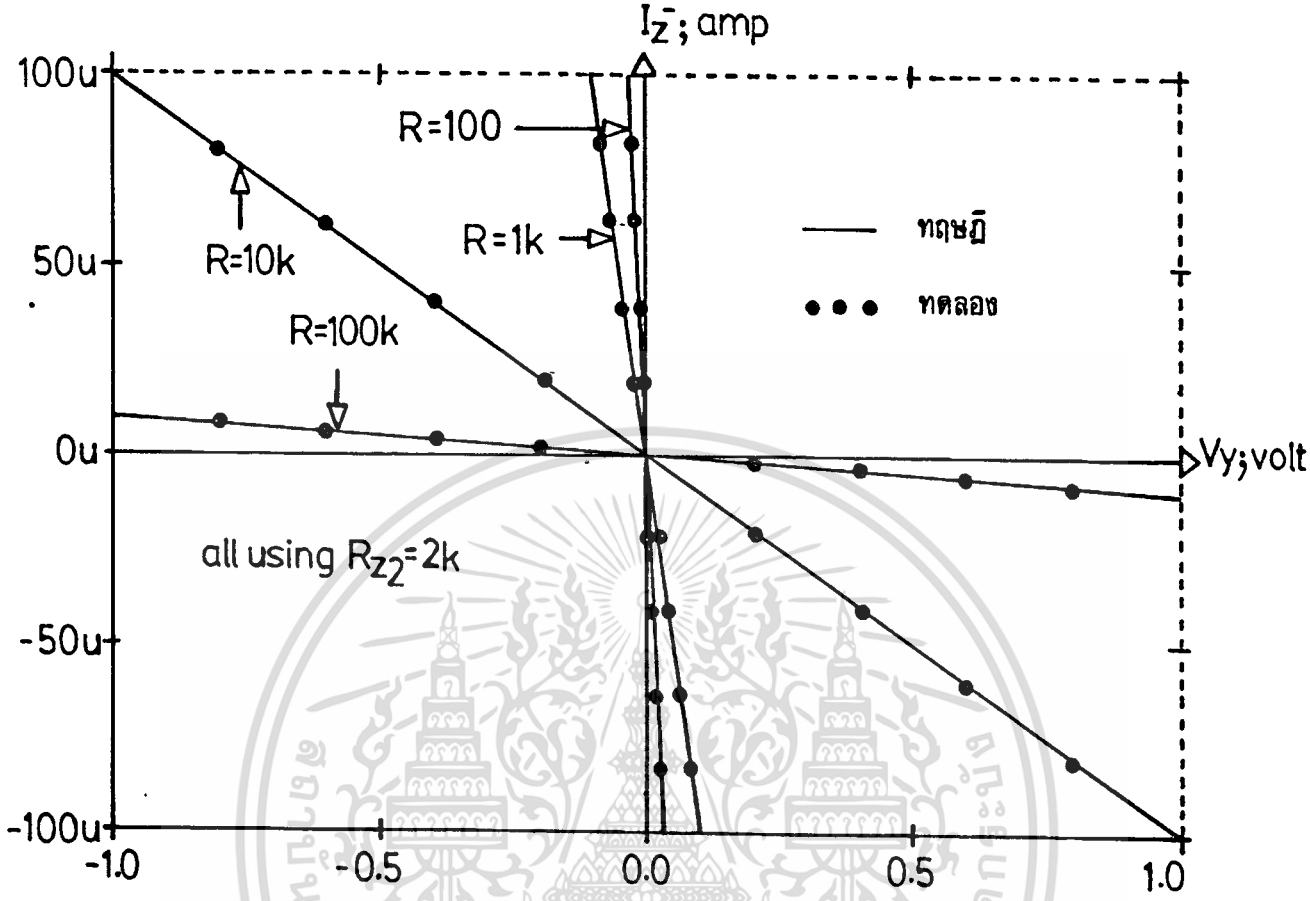


รูปที่ 3.19 แสดงวงจรการทดลองวัดค่ากระแสที่พอร์ท X และ Z^- ของวงจร CCII-1

และเพื่อเป็นการยืนยันความถูกต้องอีกทีว่า วงจรสามารถมีการทำงานได้ตามหลักการทางทฤษฎีที่ได้นำเสนอ ดังนั้นในการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎี กระทำได้โดยการใช้โปรแกรม PSpice มาทำการวิเคราะห์และเลียนแบบการทำงานของวงจรสายพานกระแสชนิดลบตามรูป 3.19 โดยกำหนดรายละเอียดของ node ต่าง ๆ ทั้งหมดในวงจรรูป 3.19 ลงในไฟล์ข้อมูลเพื่อใช้สำหรับการวิเคราะห์ด้วยโปรแกรม PSpice ซึ่งรายละเอียดของไฟล์ข้อมูลได้แสดงไว้ในโปรแกรมที่ 3.2

หลังจากการใช้โปรแกรม PSpice วิเคราะห์และเลียนแบบการทำงานของวงจรที่ได้เตรียมไว้ในรูปของไฟล์ข้อมูลดังแสดงในโปรแกรม 3.2 แล้วนั้น ในการวัดเพื่อหาค่าของกระแสที่พอร์ท X และพอร์ท Z^- ที่เป็นค่าตามหลักการทางทฤษฎีสามารถกระทำได้โดยการใช้คำสั่งเป็น I(R) และ I(RZ2) ตามลำดับ และได้ผลการวิเคราะห์ดังแสดงในรูป 3.16 และรูป 3.20 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

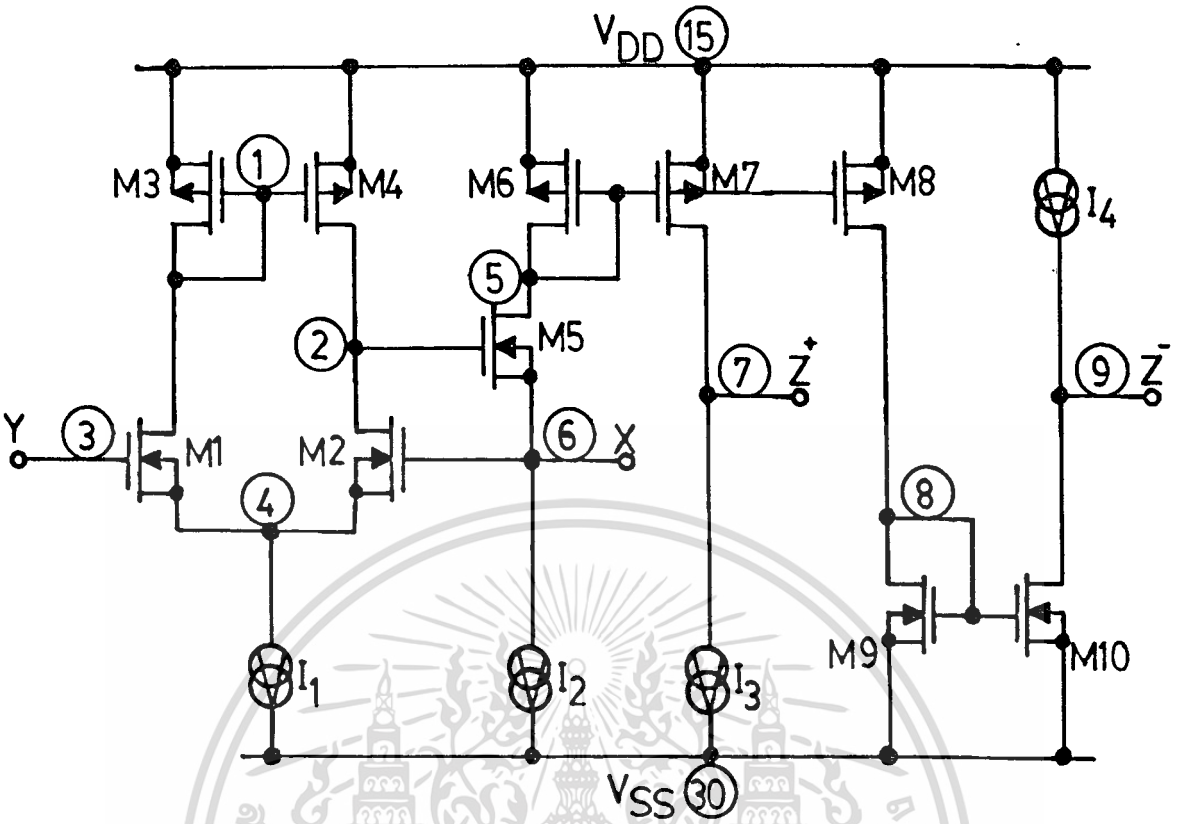


รูปที่ 3.20 แสดงผลการทดลองของค่ากระแสที่พอร์ท Z^- ตามวงจรรูปที่ 3.19 พร้อมเปรียบเทียบกับค่าที่คำนวณได้จากทฤษฎี

3.7.2.3 การทดลองวัดค่ากระแสที่พอร์ท X, Z^+ และ Z^- ของวงจรสายพานกระแสชนิดบวกและลบภายในวงจรเดียวกัน

จากวงจรรูป 3.5 ซึ่งเป็นวงรสายพานกระแสชนิดบวกและลบภายในวงจรเดียวกัน (CCII±1) และเพื่อง่ายต่อการที่จะใช้รูปวงจรเป็นวงจรอ้างอิงต่อไปจึงได้กำหนดค่าหมายเลขประจำ node ทั้งหมดภายในวงจรดังแสดงในรูป 3.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

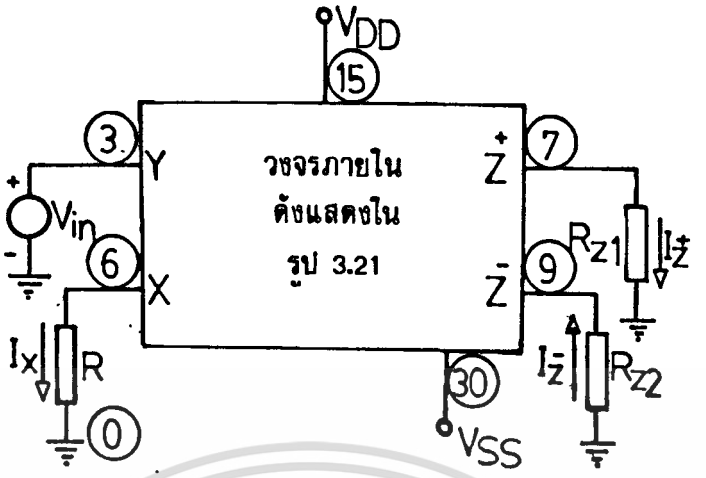


รูปที่ 3.21 แสดงหมายเลขประจำ node ทั้งหมดภายในวงจร CCII±1

ในการทดลองวัดค่าของกระแสที่พอร์ท X (i_x) และพอร์ท Z (คือ i_z+ และ i_z-) ของวงจร CCII±1 จะกระทำได้โดยใช้วงจรที่สร้างขึ้นโดยการต่อวงจรตามรูป 3.22 แบบดีสครีทลงบนโพรโตบอร์ดโดยที่พอร์ท Z^+ และกราวด์ กับที่ พอร์ท Z^- และกราวด์ จะต่อความต้านทาน R_{z1}= R_{z2}= 2kΩ ไว้เสมอ

ทำการทดลองเพื่อวัดค่ากระแสที่พอร์ท X (i_x) และพอร์ท Z (i_z+ และ i_z-)ของวงจรตามรูป 3.22 เช่นเดียวกันกับวงจรตามรูป 3.15 และรูป 3.19 ในหัวข้อ 3.7.2.1 และหัวข้อ 3.7.2.2 ตามลำดับ ซึ่งพบว่าผลของค่ากระแสที่เกิดขึ้นที่พอร์ท X จะมีค่าดังแสดงในรูป 3.16 ส่วนค่าของกระแสที่เกิดขึ้นที่พอร์ท Z คือกระแส i_z+ และกระแส i_z- จะมีค่าดังแสดงในรูป 3.17 และในรูป 3.20 ตามลำดับ เป็นไปตามที่ได้คาดหมายเอาไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.22 แสดงวงจรการทดลองวัดค่ากระแสที่พอร์ท X ,Z^+ และ Z^- ของวงจร CCII±1

และเพื่อเป็นการยืนยันความถูกต้องอีกทีว่า วงจรสามารถมีการทำงานได้ตามหลักการทางทฤษฎีที่ได้นำเสนอจึงได้ใช้โปรแกรม PSpice มาทำการวิเคราะห์และเลียนแบบการทำงานของวงจร CCII±1 ตามรูป 3.22 ซึ่งรายละเอียดของไฟล์ข้อมูลได้แสดงไว้ในโปรแกรมที่ 3.3

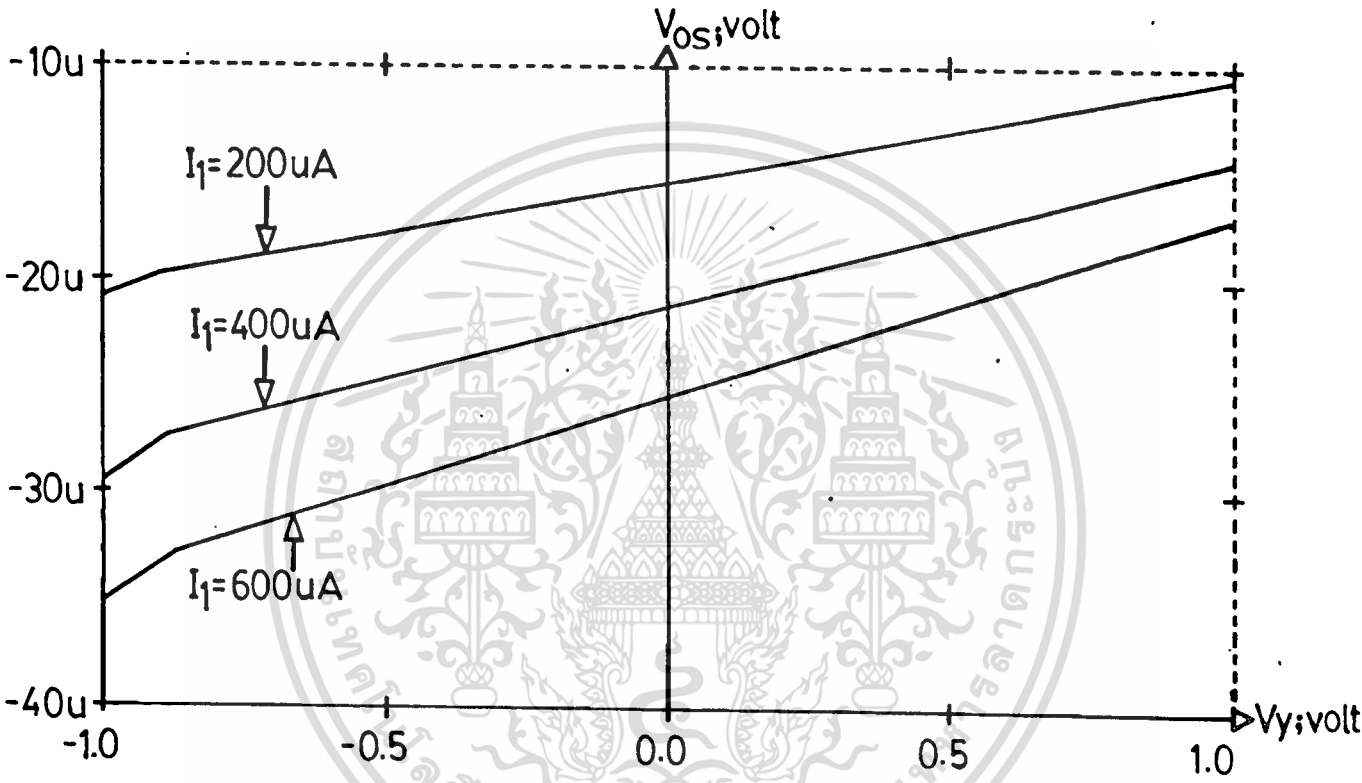
หลังจากการใช้โปรแกรม PSpice วิเคราะห์และเลียนแบบการทำงานของวงจรที่ได้เตรียมไว้ในรูปของไฟล์ข้อมูลดังแสดงในโปรแกรม 3.3 แล้วนั้น ในการวัดเพื่อหาค่าของกระแสที่พอร์ท X และพอร์ท Z (คือ i_z+ และ i_z-) ที่เป็นค่าตามหลักการทางทฤษฎีสามารถกระทำได้โดยการใช้คำสั่งเป็น I(R) ,I(RZ1) และ I(RZ2) ตามลำดับ และได้ผลการวิเคราะห์ดังแสดงในรูป 3.16, รูป 3.17 และรูป 3.20 ตามลำดับ

3.7.3 การวิเคราะห์ค่าแรงดันอินพุทออฟเซต (V_{os}) ของวงจรสายพานกระแสชนิดบวก

ในการวิเคราะห์ค่าของแรงดันอินพุทออฟเซตซึ่งมีค่าเท่ากับ $V_y - V_x$ สำหรับวงจรสายพานกระแสชนิดบวกจะใช้การเลียนแบบการทำงานของวงจรตามรูป 3.12 กระทำได้โดยอาศัยโปรแกรม 3.1 ซึ่งเป็นไฟล์ข้อมูลเพื่อใช้สำหรับการวิเคราะห์ด้วยโปรแกรม PSpice และเพื่อดูผลของการเปลี่ยนแปลงค่าของแรงดันอินพุทออฟเซต ซึ่งมีค่าขึ้นอยู่กับค่าของแหล่งจ่ายกระแสคงที่ I_1 โดยที่ในโปรแกรม 3.1 จะเริ่มต้นใช้ค่าของแหล่งจ่ายกระแสคงที่ I_1 = 200uA และหลังจากการใช้โปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PSpice วิเคราะห์และเลียนแบบการทำงานของวงจรที่ได้เตรียมไว้เสร็จสิ้น จะเปลี่ยนค่าของแหล่งจ่ายกระแสคงที่ I_1 เป็น 400uA และ 600uA ตามลำดับ หลังจากนั้นในการวัดเพื่อหาค่าของแรงดันอินพุทออฟเซต (V_{os}) ที่เป็นค่าที่ได้จากการเลือกใช้ค่าแหล่งจ่ายกระแส I_1 จำนวน 3 ค่า สามารถแสดงค่า V_{os} ดังกล่าวได้โดยการใช้คำสั่ง V(3,6) และได้ผลการวิเคราะห์ดังแสดงในรูป 3.23



รูปที่ 3.23 แสดงผลการวิเคราะห์ค่าของแรงดันอินพุทออฟเซต ซึ่งมีค่าขึ้นอยู่กับแหล่งจ่ายกระแสคงที่ I_1 โดยวิธีเลียนแบบวงจรด้วยโปรแกรม PSpice

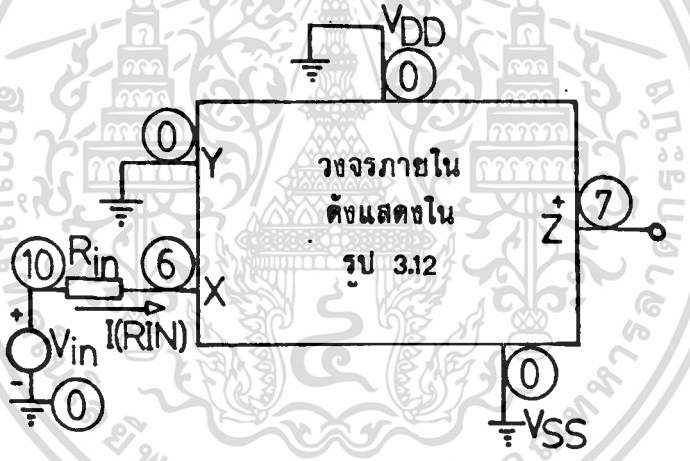
จากผลการวิเคราะห์ค่าของแรงดันอินพุทออฟเซตซึ่งมีค่าขึ้นอยู่กับค่าของแหล่งจ่ายกระแสคงที่ I_1 ดังรูป 3.23 พบว่าถ้าในวงจรตามรูป 3.12 เลือกออกแบบให้ใช้ค่าของ I_1 มีค่าน้อยจะทำให้ค่าของแรงดันอินพุทออฟเซตซึ่งมีค่าเท่ากับ $V_Y - V_X$ มีค่าน้อยตามไปด้วยนั่นคือเมื่อมีศักดาป้อนเข้ามาที่พอร์ท Y จะเป็นผลทำให้มีค่ามีศักดาที่พอร์ท X มีค่าเท่ากับศักดาที่พอร์ท Y จึงเป็นการยืนยันได้ว่าค่าของแรงดันอินพุทออฟเซตของวงจรสายพานกระแสตามรูป 3.12 จะมีค่าเพิ่มขึ้นและลดลงเป็นสัดส่วนโดยตรงกับค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของแหล่งจ่ายกระแสคงที่ I_1 ซึ่งสอดคล้องกับคุณสมบัติของวงจรในทางทฤษฎีที่ได้คาดหมายเอาไว้ในหัวข้อ 3.6.1 ดังแสดงในสมการ (3.35)

3.7.4 การวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท X ของวงจรสายพานกระแสชนิดบวก

ในการวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท X ของวงจรสายพานกระแสชนิดบวกจะกระทำได้โดยใช้วงจรที่สร้างขึ้นดังรูป 3.24 โดยต่อระดับศักดาจ่าย V_{DD},V_{SS} และศักดาที่พอร์ท Y ซึ่งปกติเดิมเคยมีหมายเลขประจำ node ที่ 15,30 และ 3 ตามลำดับลงกราวด์ทั้งหมด ดังนั้นที่ระดับศักดาจ่าย V_{DD},V_{SS} และศักดาที่พอร์ท Y จะมีหมายเลขประจำ node ใหม่มีค่าเป็นศูนย์ ทั้งหมดซึ่งเป็นวิธีแบบการวิเคราะห์สัญญาณขนาดเล็กดังนี้

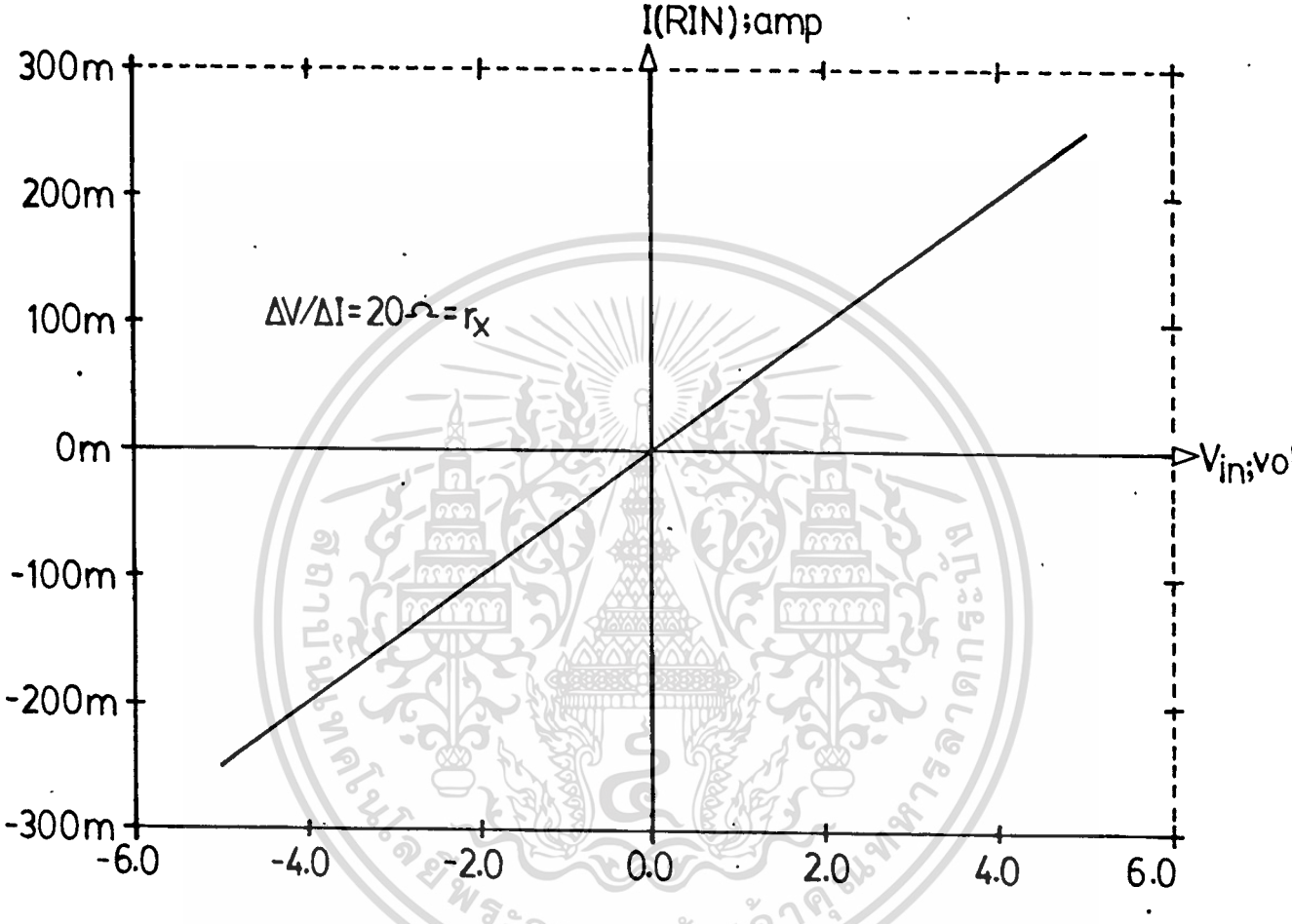


รูปที่ 3.24 แสดงวงจรที่ใช้ในการวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ท X

จากนั้นทำการสร้างไฟล์ข้อมูลสำหรับใช้ในการวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ท X โดยการแทนค่าวงจรทัดเทียมของ NMOS,PMOS และแหล่งจ่ายกระแสคงที่จากวงจรรูป 3.6(ก),3.6(ข) และ 3.6(ค) ตามลำดับลงในวงจรรูป 3.24 ซึ่งจะได้ไฟล์ข้อมูลดังแสดงในโปรแกรม 3.4 จากไฟล์ข้อมูลที่ได้จะนำมาทำการวิเคราะห์ด้วยโปรแกรม PSpice โดยการป้อนศักดา Vin ตั้งแต่ -5 โวลท์ถึง 5 โวลท์ เข้ายังศักดาที่พอร์ท X ซึ่งมีค่า R_{in} ต่ออนุกรมอยู่ที่มีค่าน้อยมากไม่มีผลทำให้ค่ากระแสที่เกิดขึ้นเปลี่ยนแปลงไป เพื่อจุดประสงค์สำหรับความสะดวกในการหาค่าความต้านทาน (r) ที่เกิดขึ้นซึ่งหาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากอัตราส่วนของ $V_{in}/I(R_{in})$ และได้ผลการวิเคราะห์ดังแสดงในรูป 3.25 ที่มีค่าของอิมพีแดนซ์ที่พอร์ท $X(r_x)$ มีค่าเท่ากับ 20Ω สอดคล้องกับคุณสมบัติของวงจรในทางทฤษฎีที่ได้คาดหมายเอาไว้ในหัวข้อ 3.6.3 ดังแสดงในสมการ (3.47)



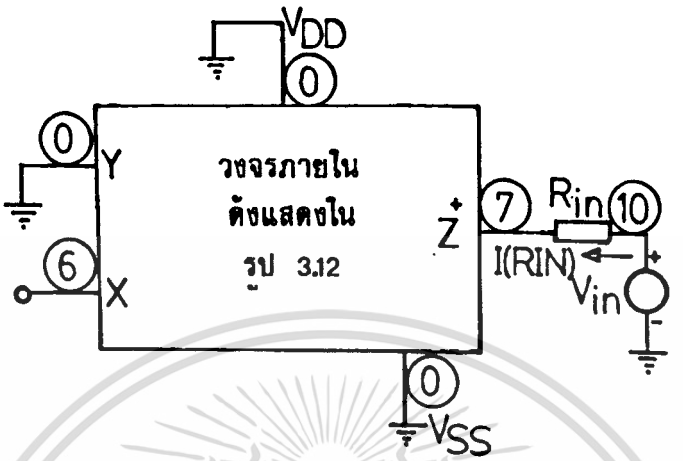
รูปที่ 3.25 แสดงผลการวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท X (r_x)
โดยวิธีเลียนแบบวงจรด้วยโปรแกรม PSpice

3.7.5 การวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท Z^+ ของวงจรสายพานกระแสชนิดบวก

ในการวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท Z^+ ของวงจรสายพานกระแสชนิดบวก จะกระทำได้โดยใช้วงจรที่สร้างขึ้นดังรูป 3.26 โดยต่อระดับศักดาจ่าย V_{DD}, V_{SS} และศักดาที่พอร์ท Y ซึ่งปกติเดิมเคยมีหมายเลขประจำ node ที่ 15, 30 และ 3 ตามลำดับ ลงกราวด์ทั้งหมด ดังนั้นที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

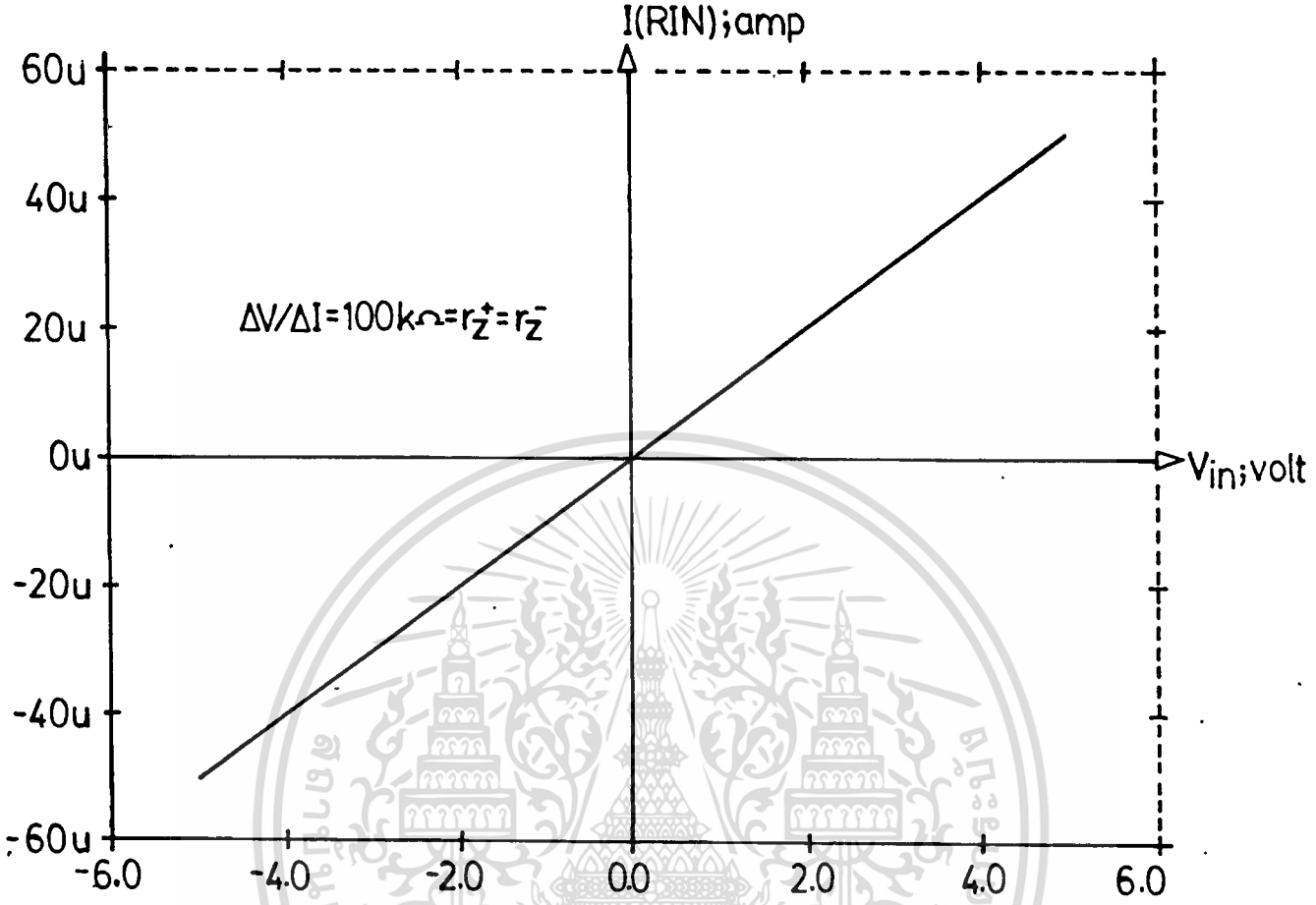
ระดับศักดาจ่าย V_{DD}, V_{SS} และศักดาที่พอร์ท Y จะมีหมายเลขประจำ node ใหม่มีค่าเป็นศูนย์ทั้งหมด ซึ่งเป็นวิธีแบบการวิเคราะห์สัญญาณขนาดเล็กดังนี้



รูปที่ 3.26 แสดงวงจรที่ใช้ในการวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ท Z^+

จากนั้นทำการสร้างไฟล์ข้อมูลสำหรับใช้ในการวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ท Z^+ โดยการแทนค่าวงจรทัดเทียมของ NMOS,PMOS และแหล่งจ่ายกระแสคงที่จากวงจรรูป 3.6(ก),3.6(ข) และ 3.6(ค) ตามลำดับลงในวงจรรูป 3.26 ซึ่งจะได้ไฟล์ข้อมูลดังแสดงในโปรแกรม 3.5 จากไฟล์ข้อมูลที่ได้จะนำมาทำการวิเคราะห์ด้วยโปรแกรม PSpice โดยการป้อนศักดา V_{in} ตั้งแต่ -5 โวลท์จนถึง 5 โวลท์เข้ายังศักดาที่พอร์ท Z^+ ในการหาค่าความต้านทานที่เกิดขึ้น สามารถหาได้จากอัตราส่วนของ $V_{in}/I(R_{in})$ และได้ผลการวิเคราะห์ดังแสดงในรูป 3.27 ที่มีค่าของอิมพีแดนซ์ที่พอร์ท $Z^+(r_z+)$ หรือพอร์ท $Z^-(r_z-)$ มีค่าเท่ากับ 100kΩ สอดคล้องกับคุณสมบัติของวงจรในทางทฤษฎีที่ได้คาดหมายเอาไว้ในหัวข้อ 3.6.5 ดังแสดงในสมการ (3.49)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

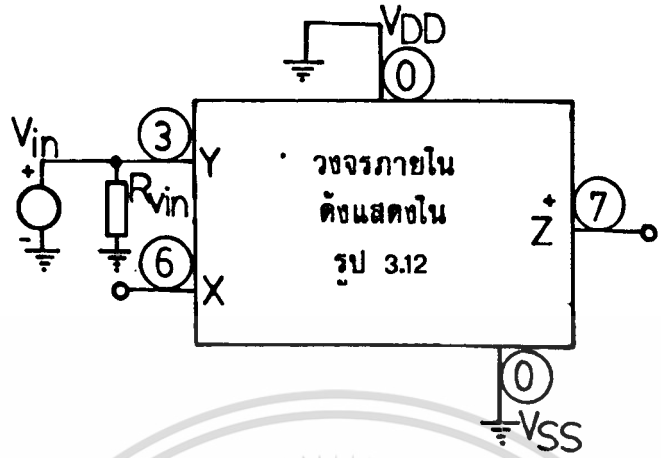


รูปที่ 3.27 แสดงผลการวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท Z (r_z+ และ r_z-) โดยวิธีเลียนแบบวงจรด้วยโปรแกรม PSpice

3.7.6 การวิเคราะห์ค่าของอัตราส่วนศักดา V_x/V_y ของวงจรสายพานกระแสชนิดบวก

ในการวิเคราะห์ค่าของอัตราส่วนศักดา V_x/V_y ของวงจรสายพานกระแสชนิดบวกจะกระทำได้โดยใช้วงจรที่สร้างขึ้นดังรูป 3.28 โดยต่อระดับศักดาจ่าย V_{DD} และ V_{SS} ซึ่งปกติเดิมเคยมีหมายเลขประจำ node ที่ 15 และ 30 ตามลำดับลงกราวด์ทั้งหมด ดังนั้นที่ระดับศักดาจ่าย V_{DD} และV_{SS} จะมีหมายเลขประจำ node ใหม่มีค่าเป็นศูนย์ซึ่งเป็นวิธีแบบการวิเคราะห์สัญญาณขนาดเล็กดังนี้

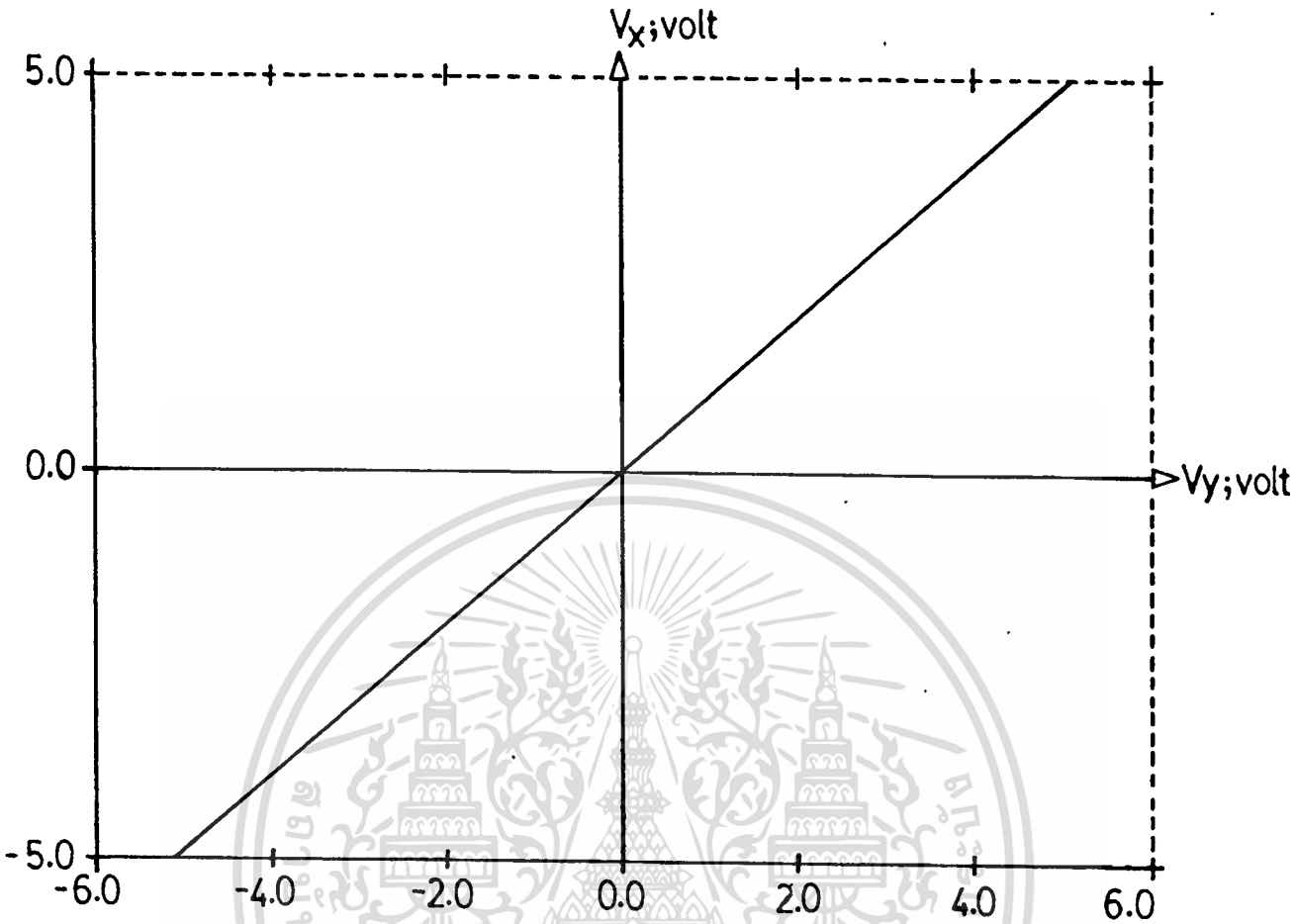
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.28 แสดงวงจรที่ใช้ในการวิเคราะห์ค่าของอัตราส่วนศักดา V_x/V_y

จากนั้น ทำการสร้างไฟล์ข้อมูลสำหรับใช้ในการวิเคราะห์ค่า ของอัตราส่วนศักดา V_x/V_y โดยการแทนค่าวงจรทัดเทียมของ NMOS,PMOS และแหล่งจ่ายกระแสคงที่จากวงจรรูป3.6(ก),3.6(ข) และ 3.6(ค) ตามลำดับลงในวงจรรูป 3.28 ซึ่งจะได้ไฟล์ข้อมูลดังแสดงในโปรแกรม 3.6 จากไฟล์ข้อมูลที่ได้ จะนำมาทำการวิเคราะห์ด้วยโปรแกรม PSpice โดยการป้อนศักดา Vin ตั้งแต่ -5 โวลท์ จนถึง 5 โวลท์เข้ายังศักดาที่พอร์ท Y หลังจากนั้น ในการวัดเพื่อหาค่าของศักดาที่พอร์ท X สามารถแสดงค่า V_x ดังกล่าวได้โดยการใช้คำสั่ง V(6) และได้ผลการวิเคราะห์ดังแสดงในรูป 3.29 ที่มีค่าของศักดาที่พอร์ท X(V_x) มีค่าเท่ากับศักดาที่พอร์ท Y(V_y)หรือมีค่าของอัตราส่วนศักดา V_x/V_y มีค่าเท่ากับ 1 สอดคล้องกับคุณสมบัติของวงจรในทางทฤษฎีที่ได้คาดหมายเอาไว้ในหัวข้อ 3.6.2 ดังแสดงในสมการ (3.41)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

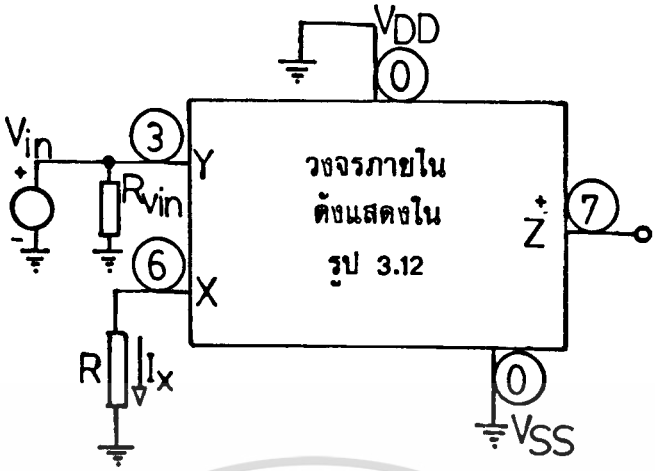


รูปที่ 3.29 แสดงผลการวิเคราะห์ค่าของอัตราส่วนศักดา V_x/V_y
โดยวิธีเลียนแบบวงจรด้วยโปรแกรม PSpice

3.7.7 การวิเคราะห์ค่าของทรานส์คอนดัคแตนซ์ (G_m) ของวงจรสายพานกระแสชนิดบวก

ในการวิเคราะห์ค่าของทรานส์คอนดัคแตนซ์ (G_m) จะกระทำได้โดยใช้วงจรที่สร้างขึ้นดังรูป 3.30 โดยต่อระดับศักดาจ่าย V_{DD} และ V_{SS} ซึ่งปกติเดิมเคยมีหมายเลขประจำ node ที่ 15 และ 30 ตามลำดับลงกราวด์ทั้งหมด ดังนั้นที่ระดับศักดาจ่าย V_{DD} และ V_{SS} จะมีหมายเลขประจำ node ใหม่มีค่าเป็นศูนย์ ซึ่งเป็นวิธีแบบการวิเคราะห์สัญญาณขนาดเล็กดังนี้

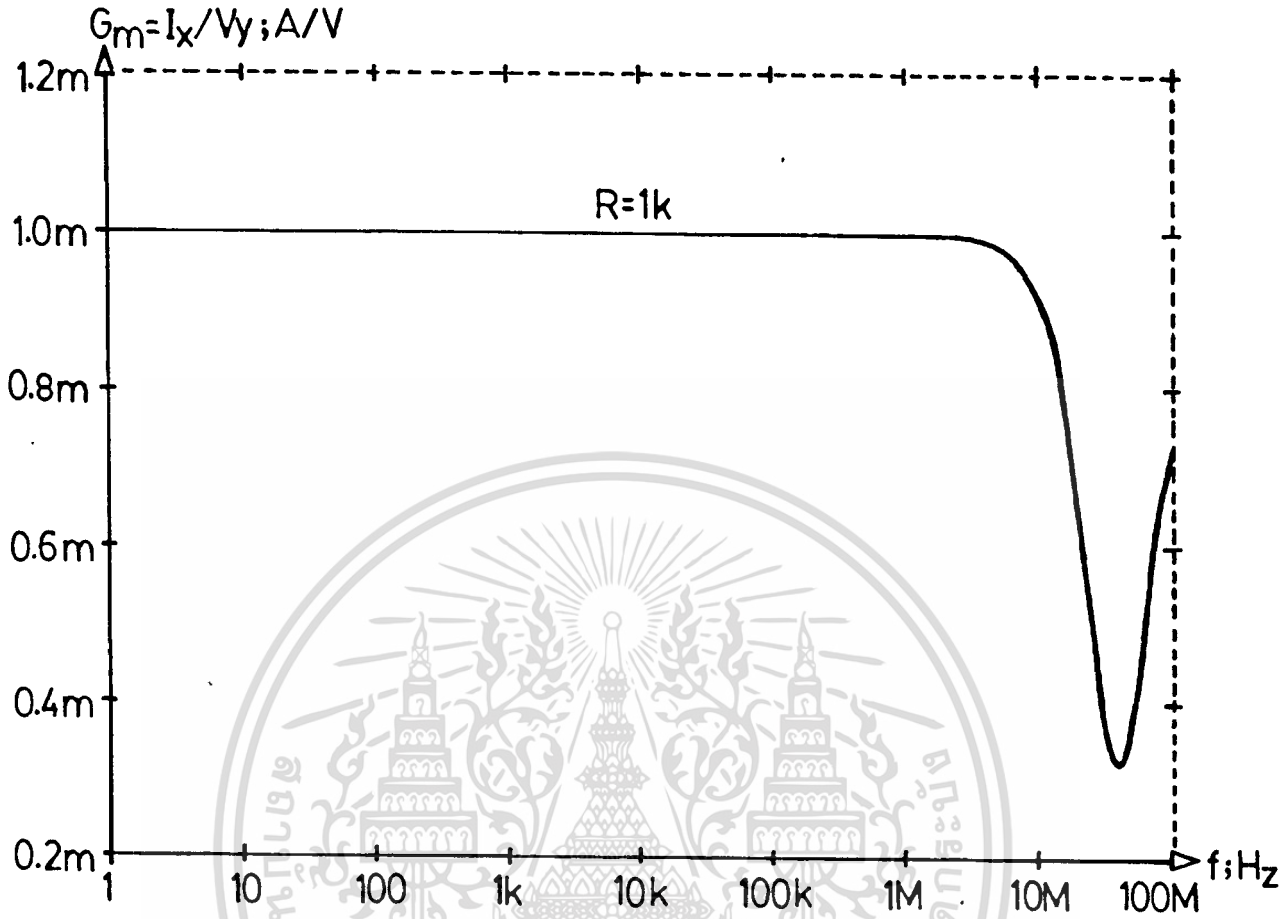
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.30 แสดงวงจรที่ใช้ในการวิเคราะห์ค่าของทรานซ์คอนดัคแตนซ์ (G_m)

จากนั้นทำการสร้างไฟล์ข้อมูลสำหรับใช้ในการวิเคราะห์ค่าของทรานซ์คอนดัคแตนซ์โดยการแทนค่าวงจรทัดเทียมของ NMOS,PMOS และแหล่งจ่ายกระแสคงที่จากรูปวงจร 3.6(ก) ,3.6(ข) และ 3.6(ค) ตามลำดับลงในวงจรรูป 3.30 ส่วนที่พอร์ท X และกราวด์จะต่อความต้านทานเท่ากับ 1kΩไว้เพื่อใช้เป็นค่าในการทดสอบค่าของ $G_m = I_x/V_Y = 1/R$ ของวงจร และการที่ต้องมีความต้านทาน R_{vin} ต่ออยู่ระหว่างพอร์ท Y และกราวด์ก็ด้วยเหตุผลที่ว่าไม่ต้องการให้หมายเลขประจำ node ที่ 3 ที่มีศักดา V_{in} ต่ออยู่เป็น node ที่โดดเดี่ยว ซึ่งจะทำให้ PSpice ไม่สามารถวิเคราะห์ได้ ดังนั้น เพื่อไม่ให้ R_{vin} ที่ถูกต่อเพิ่มเข้าไปในวงจรมีผลต่อศักดา V_{in} และค่าภายในวงจรจึงได้เลือกใช้ความต้านทาน R_{vin} มีค่าสูง ๆ คือเท่ากับ 10 MΩ ซึ่งก็จะได้ไฟล์ข้อมูลดังแสดงในโปรแกรม 3.7 จากไฟล์ข้อมูลที่ได้จะนำมาทำการวิเคราะห์ด้วยโปรแกรม PSpice โดยการป้อนศักดา V_{in} ขนาด 1 หน่วย (หรือมีค่าเท่ากับ 1 โวลท์) เข้ายังศักดาที่พอร์ท Y ซึ่งในการวิเคราะห์ค่าทรานส์คอนดัคแตนซ์ (G_m) ในช่วงของความถี่ตั้งแต่ 1Hz จนถึง 100MHz ได้ให้โปรแกรม PSpice แสดงผลค่า G_m ที่สามารถหาได้จากค่าของอัตราส่วนกระแสที่ไหลผ่านความต้าน R ที่พอร์ท X(I_x) กับศักดา V_{in} ที่ป้อนเข้ายังพอร์ท Y หรือที่ node ที่ 3 โดย ใช้คำสั่งเป็น I(R)/V(3) และได้ผลการวิเคราะห์ดังแสดงในรูป 3.31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



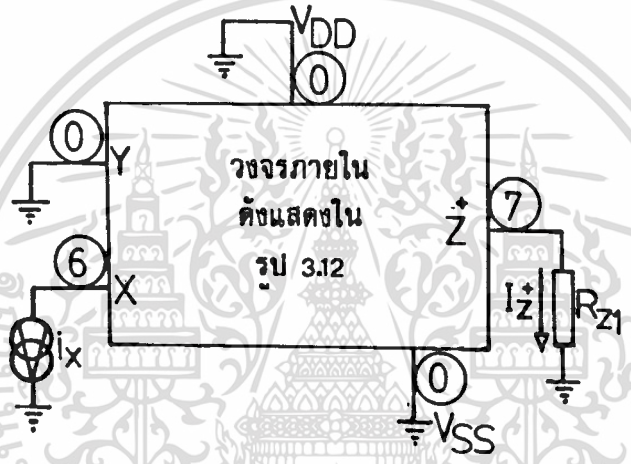
รูปที่ 3.31 แสดงผลการวิเคราะห์ค่าของ G_m โดยวิธีเลียนแบบวงจรด้วยโปรแกรม PSpice ในย่านความถี่ 1Hz - 100MHz

จากผลการวิเคราะห์ดังแสดงในรูป 3.31 จะได้ว่าค่าของทรานคอนดัคแตนซ์ (G_m) จะมีค่าเท่ากับ 1.0 mʊ (มิลลิโมห์) ตั้งแต่ความถี่ต่ำ ๆ จนถึงค่าความถี่ประมาณ 5 MHz แต่เมื่อความถี่มีค่ามากกว่า 15MHz ค่าของ G_m จะมีค่าลดลงอย่างรวดเร็วมาก ซึ่งพบว่าที่ความถี่ 15MHz ดังกล่าวจะเป็นค่าความสามารถสูงสุดในการตอบสนองต่อค่าความถี่ และผลที่ได้จากการวิเคราะห์นี้จะสอดคล้องกับผลการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎีตามที่ได้คาดหมายเอาไว้ในหัวข้อ 3.6.6 ดังแสดงในสมการ (3.57)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7.8 การวิเคราะห์ค่าของอัตราส่วนกระแส i_z+/i_x ของวงจรสายพานกระแสชนิดบวก

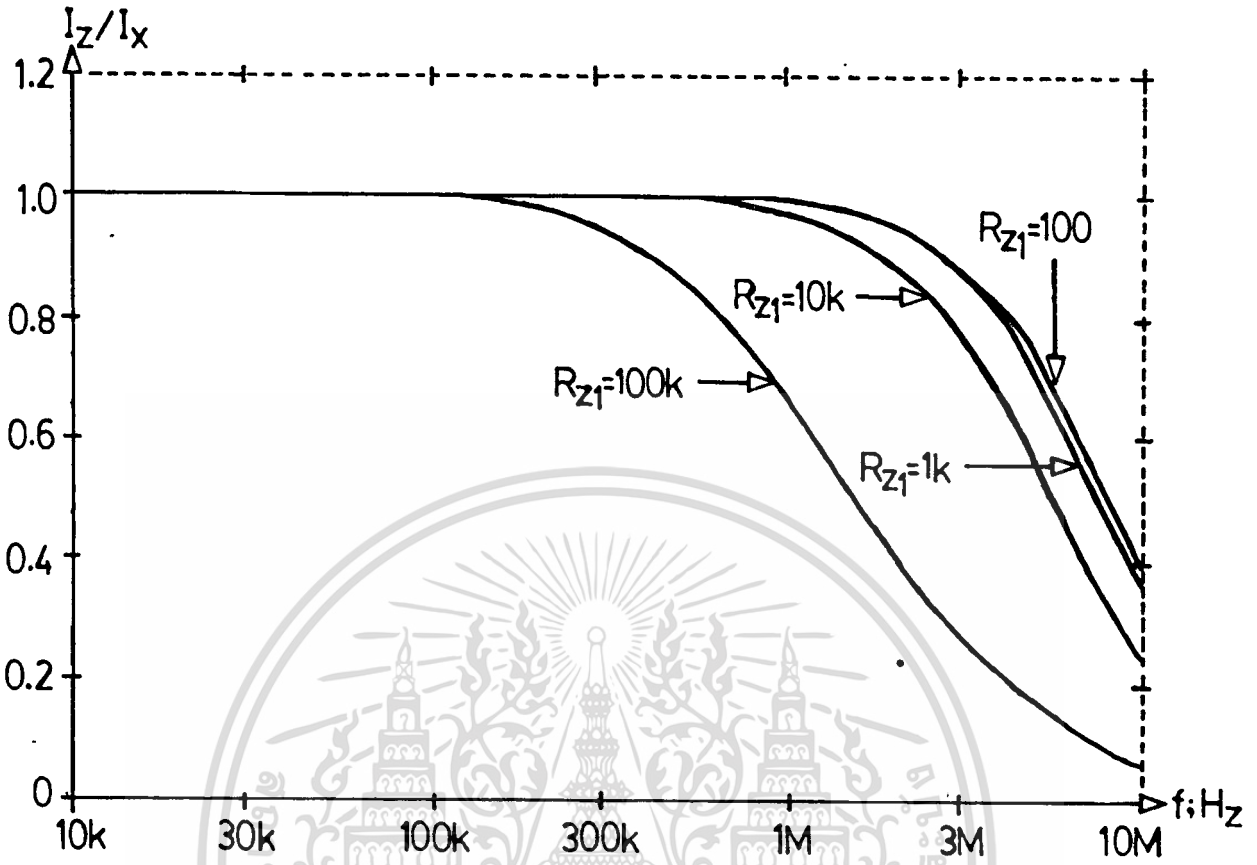
ในการวิเคราะห์ค่าของอัตราส่วนกระแส i_z+/i_x ของวงจรสายพานกระแสชนิดบวกจะกระทำได้โดยใช้วงจรที่สร้างขึ้นดังรูป 3.32 โดยการต่อระดับศักดาจ่าย V_{DD},V_{SS} และศักดาที่พอร์ท Y ซึ่งปกติเดิมเคยมีหมายเลขประจำ node ที่ 15,30 และ 3 ตามลำดับ ลงกราวด์หมด ดังนั้นที่ระดับศักดาจ่าย V_{DD},V_{SS} และศักดาที่พอร์ท Y จะมีหมายเลขประจำ node ใหม่มีค่าเป็นศูนย์ ซึ่งเป็นวิธีแบบการวิเคราะห์สัญญาณขนาดเล็กดังนี้



รูปที่ 3.32 แสดงวงจรที่ใช้ในการวิเคราะห์ค่าของอัตราส่วนกระแส i_z+/i_x

จากนั้น ทำการสร้างไฟล์ข้อมูลสำหรับใช้ในการวิเคราะห์ค่าของอัตราส่วนกระแส i_z+/i_x โดยการแทนค่าวงจรทัดเทียมของ NMOS,PMOS และ แหล่งจ่ายกระแสคงที่ จากวงจรรูป 3.6(ก), 3.6(ข) และ 3.6(ค) ตามลำดับลงในวงจรรูป 3.32 โดยเริ่มแรกที่พอร์ท Z^+ จะต่อความต้านทาน R_{z_1}= 100Ω แล้วนำมาทำการวิเคราะห์ด้วยโปรแกรม PSpice โดยการป้อนกระแสขนาด 1 หน่วย (หรือ 1 แอมป์) ที่พอร์ท X และกราวด์ ทำการวิเคราะห์ค่าของอัตราส่วนกระแส i_z+/i_x ในช่วงของความถี่ตั้งแต่ 10 kHz จนถึง 10MHz โดยใช้โปรแกรม PSpice หลังจากการวิเคราะห์เสร็จสิ้นจะเปลี่ยนค่าของความต้านทานที่พอร์ท Z^+ และกราวด์ให้มีค่า R_{z_1} เป็น 1k,10k และ 100kΩ ตามลำดับ ซึ่งทำได้โดยการสร้างไฟล์ข้อมูลของวงจรใหม่ โดยขั้นตอนและวิธีการเดียวกัน ก็จะได้ไฟล์ข้อมูลดังแสดงในโปรแกรม 3.8 และได้ผลการวิเคราะห์ดังแสดงในรูป 3.33 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

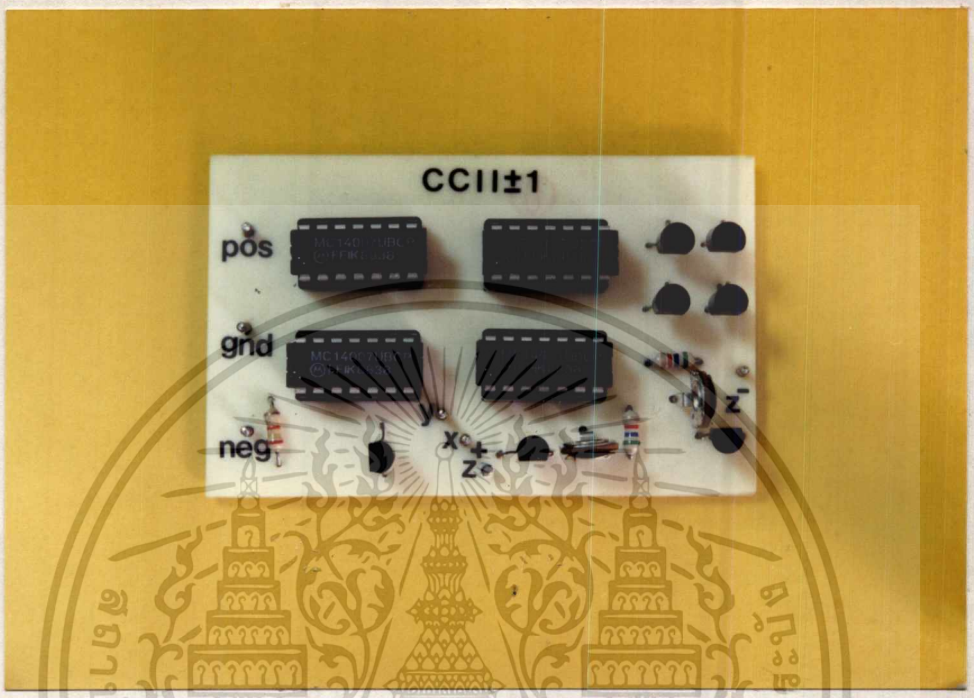


รูปที่ 3.33 แสดงผลการวิเคราะห์ค่าของอัตราส่วนกระแส i_z+/i_x โดยวิธีเลียนแบบวงจรด้วยโปรแกรม PSpice ในย่านความถี่ 10kHz - 10MHz

จากผลการวิเคราะห์ดังแสดงในรูป 3.33 จะเห็นได้ว่าค่าของอัตราส่วนกระแส i_z+/i_x จะมีค่าเท่ากับ 1.0 ตั้งแต่ความถี่ต่ำ ๆ จนถึงค่าความถี่คัทออฟ (Cutoff Frequency) ที่ประมาณ 5MHz ซึ่งเป็นช่วงความถี่ปฏิบัติงานสูงสุด กรณีเลือกใช้ค่าความต้านทาน R_{z_1}= 100, 1k และ 10kΩ แต่ในกรณีเลือกใช้ค่าความต้านทาน $R_{z_1} \geq$ 100kΩ ขึ้นไปจะทำให้ค่าของอัตราส่วนกระแส i_z+/i_x มีค่าลดลงอย่างรวดเร็ว และมีช่วงความถี่ปฏิบัติงานสูงสุดที่ต่ำกว่าความถี่คัทออฟ คือน้อยกว่า 5MHz เนื่องมาจากว่าค่าความต้านทาน R_{z_1} ดังกล่าวมีค่าใกล้เคียงกับค่าของอิมพีแดนซ์ที่พอร์ท Z^+ ซึ่งได้ทำการวิเคราะห์มาแล้วในหัวข้อ 3.6.5 ที่มีค่าเท่ากับ r_{d7}= 100 kΩ จากผลที่ได้จากการวิเคราะห์นี้สอดคล้องกับผลการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎีตามที่ได้คาดหมายเอาไว้ ในหัวข้อ 3.6.7 ดังแสดงในสมการ (3.66)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และสุดท้าย ได้แสดงภาพถ่ายของวงจรสายพานกระแสชนิดบวกและลบภายในวงจรเดียวกัน ที่ได้ทำการประกอบลงบนแผ่นปริ้น ทำให้วงจรมีความเหมาะสมและความสะดวกในการนำไปประยุกต์ใช้งานมากกว่าวงจรสายพานกระแสชนิดบวก หรือลบ ดังแสดงในรูป 3.34



รูปที่ 3.34 แสดงภาพถ่ายวงจรสายพานกระแสบวกและลบภายในวงจรเดียวกัน ที่ได้ทำการประกอบลงบนแผ่นปริ้น

3.8 บทสรุป

ได้กล่าวถึงความเป็นมาที่ได้ถือกำเนิดจากแนวความคิดของวงจรสายพานกระแสยุคแรก จนมีการพัฒนามาเป็นวงจรสายพานกระแสยุคสอง และได้เสนอหลักการใหม่จากการออกแบบวงจรสายพานกระแสยุคสองด้วยมอสเฟท ทำให้การออกแบบวงจรสายพานกระแสมีอิมพีแดนซ์ที่พอร์ท Y มีค่าใกล้เคียงค่าอนันต์เป็นไปตามสมการอุดมคติ และทำให้ลดความยุ่งยากในการออกแบบวงจรในส่วนนี้ไปได้มาก และเมื่อพิจารณาถึงค่าพารามิเตอร์ต่าง ๆ ของวงจรพบว่าค่าแรงดันอินพุทออฟเซตสามารถลดได้ 2 วิธีคือ ควบคุมขบวนการสร้างมอสเฟทที่ M1 และ M2 เพื่อให้มีค่าของแรงดันวิกฤติ (V_{TO}) และค่าทรานส์คอนดัคแตนซ์พารามิเตอร์ ($B=K'W/L$) ทั้งคู่สมพงษ์กันมากที่สุด อีกวิธีได้แก่การลดค่าของแหล่งจ่ายกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คงที่ I_1 ซึ่งวิธีนี้เหมาะสมมากในทางปฏิบัติ ส่วนค่าอิมพีแดนซ์ที่พอร์ท X สามารถทำให้มีค่าต่ำได้โดยการเพิ่มค่าของค่าทรานส์คอนดัคแตนซ์ของ M2(g_{m2}) และ M5(g_{m5}) และค่าอิมพีแดนซ์ที่พอร์ท Z จะประมาณได้เท่ากับค่าอิมพีแดนซ์ที่จุดสัญญาณออกของวงจรจ่ายกระแสคงที่ I_3 ต่อขนานอยู่กับค่าอิมพีแดนซ์ระหว่างขาเดรนและซอสของมอสเฟท ส่วนช่วงความถี่ปฏิบัติงานของวงจรสามารถเพิ่มโดยการเพิ่มค่าของอัตราส่วน g_{m6}/C_6 ซึ่งเป็นค่าของค่าทรานส์คอนดัคแตนซ์กับค่าของความจุไฟฟ้าสเตย์ที่มอสเฟท M6 ดังนั้นจึงพอสรุปได้ว่า ในการออกแบบวงจรสายพานกระแสเพื่อให้วงจรมีประสิทธิภาพใช้งานสูงสุด และสามารถทำงานได้ตามที่ได้คาดหมายเอาไว้ มอสเฟท M1 และ M2 ทั้งคู่ต้องมีความสมพงษ์กันมากที่สุด, แหล่งจ่ายกระแสคงที่ I_1 ควรมีค่าน้อย ๆ และค่าทรานส์คอนดัคแตนซ์ของ M2(g_{m2}) ,M5(g_{m5}), M6(g_{m6}) จะต้องมีค่าสูง ส่วนในผลของการทดลองวงจรโดยการต่อแบบดีสครีทบนโพรโตบอร์ด และผลการวิเคราะห์เลียนแบบการทำงานของวงจรด้วยโปรแกรม PSpice สามารถที่จะยืนยันได้ว่า วงจรที่ได้ออกแบบขึ้นเป็นวงจรสายพานกระแสชนิดบวกและชนิดลบ ตามหลักการที่เสนอมีคุณสมบัติของวงจรเป็นไปตามที่ได้คาดหมายเอาไว้ในการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
A CMOS-based second-generation positive current conveyor (CCII+1)
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC VIN  -1.0   1.0   0.1
M1   1   3   4   4   MN  L=10U W=200U
M2   2   6   4   4   MN  L=10U W=200U
M3   1   1   15  15  MP  L=10U W=200U
M4   2   1   15  15  MP  L=10U W=200U
M5   5   2   6   6   MN  L=10U W=200U
M6   5   5   15  15  MP  L=10U W=200U
M7   7   5   15  15  MP  L=10U W=200U
I1   4   30  400UA
I2   6   30  1MA
I3   7   30  1MA
R    6   0   1K
RZ1  7   0   2K
VDD  15  0   DC +10
VSS  30  0   DC -10
VIN  3   0
.MODEL MN NMOS (LEVEL=1 VTO=+2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.MODEL MP PMOS (LEVEL=1 VTO=-2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.PROBE
.END
```

โปรแกรม 3.1 แสดงโปรแกรมเลียนแบบการทำงานเพื่อดูผลการตอบสนองทางดีซี ของค่ากระแสที่พอร์ท X และพอร์ท Z ของวงจรรูปที่ 3.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
A CMOS-based second-generation negative current conveyor (CCII-1)
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC VIN  -1.0   1.0   0.1
M1   1   3   4   4   MN  L=10U W=200U
M2   2   6   4   4   MN  L=10U W=200U
M3   1   1   15  15  MP  L=10U W=200U
M4   2   1   15  15  MP  L=10U W=200U
M5   5   2   6   6   MN  L=10U W=200U
M6   5   5   15  15  MP  L=10U W=200U
M7   7   5   15  15  MP  L=10U W=200U
M8   7   7   30  30  MN  L=10U W=200U
M9   8   7   30  30  MN  L=10U W=200U
I1   4   30  400UA
I2   6   30  1MA
I3   15  8   1MA
R    6   0   1K
RZ2  8   0   2K
VDD  15  0   DC +10
VSS  30  0   DC -10
VIN  3   0
.MODEL MN NMOS (LEVEL=1 VTO=+2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.MODEL MP PMOS (LEVEL=1 VTO=-2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.PROBE
.END
```

โปรแกรม 3.2 แสดงโปรแกรมเลียนแบบการทำงานเพื่อดูผลการตอบสนองทางดีซี ของค่ากระแสที่พอร์ท X และพอร์ท Z ของวงจรรูปที่ 3.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
A CMOS-based CCII+1 and CCII-1 in the same circuit
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC VIN  -1.0   1.0   0.1
M1   1   3   4   4   MN  L=10U W=200U
M2   2   6   4   4   MN  L=10U W=200U
M3   1   1   15  15  MP  L=10U W=200U
M4   2   1   15  15  MP  L=10U W=200U
M5   5   2   6   6   MN  L=10U W=200U
M6   5   5   15  15  MP  L=10U W=200U
M7   7   5   15  15  MP  L=10U W=200U
M8   8   5   15  15  MP  L=10U W=200U
M9   8   8   30  30  MN  L=10U W=200U
M10  9   8   30  30  MN  L=10U W=200U
I1   4   30  400UA
I2   6   30  1MA
I3   7   30  1MA
I4   15  9   1MA
R    6   0   1K
RZ1  7   0   2K
RZ2  9   0   2K
VDD  15  0   DC +10
VSS  30  0   DC -10
VIN  3   0
.MODEL MN NMOS (LEVEL=1 VTO=+2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.MODEL MP PMOS (LEVEL=1 VTO=-2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.PROBE
.END
```

โปรแกรม 3.3 แสดงโปรแกรมเลียนแบบการทำงานเพื่อดูผลการตอบสนองทางดีซี ของค่ากระแสที่พอร์ท X และพอร์ท Z ของวงจรรูปที่ 3.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Resistance at port X (r_x) of CCII+1
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC VIN  -5   5   1
RD1  1   4   100K
RD2  2   4   100K
RD3  1   0   100K
RD4  2   0   100K
RD5  5   6   100K
RD6  5   0   100K
RD7  7   0   100K
RO1  4   0   10MEG
RO2  6   0   10MEG
RO3  7   0   10MEG
GM1  1   4   0   4   1M
GM2  2   4   6   4   1M
GM3  1   0   1   0   1M
GM4  2   0   1   0   1M
GM5  5   6   2   6   1M
GM6  5   0   5   0   1M
GM7  7   0   5   0   1M
RIN  10  6   1E-5
VIN  10  0
.PROBE
.END
```

โปรแกรม 3.4 แสดงโปรแกรมในการวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท X ของวงจรรูปที่ 3.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Resistance at port Z+ (rz+) of CCII+1
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC VIN  -5   5   1
RD1  1   4   100K
RD2  2   4   100K
RD3  1   0   100K
RD4  2   0   100K
RD5  5   6   100K
RD6  5   0   100K
RD7  7   0   100K
RO1  4   0   10MEG
RO2  6   0   10MEG
RO3  7   0   10MEG
GM1  1   4   0   4   1M
GM2  2   4   6   4   1M
GM3  1   0   1   0   1M
GM4  2   0   1   0   1M
GM5  5   6   2   6   1M
GM6  5   0   5   0   1M
GM7  7   0   5   0   1M
RIN  10  7   1E-5
VIN  10  0
.PROBE
.END
```

โปรแกรม 3.5 แสดงโปรแกรมในการวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท Z ของวงจรรูปที่ 3.26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Ratio Vx/Vy of CCII+1
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC  VIN  -5   5   1
RD1  1    4    100K
RD2  2    4    100K
RD3  1    0    100K
RD4  2    0    100K
RD5  5    6    100K
RD6  5    0    100K
RD7  7    0    100K
RO1  4    0    10MEG
RO2  6    0    10MEG
RO3  7    0    10MEG
GM1  1    4    3   4   1M
GM2  2    4    6   4   1M
GM3  1    0    1   0   1M
GM4  2    0    1   0   1M
GM5  5    6    2   6   1M
GM6  5    0    5   0   1M
GM7  7    0    5   0   1M
RVIN 3    0    10MEG
.VIN  3   0
.PROBE
.END
```

โปรแกรม 3.6 แสดงโปรแกรมในการวิเคราะห์ค่าอัตราส่วนศักดา V_x/V_y ของวงจรรูปที่ 3.28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Transconductance (G_m = I_x/V_y) of CCII+1
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.AC  DEC  10   1   100MEG
RD1  1    4    100K
RD2  2    4    666K
RD3  1    0    100K
RD4  2    0    666K
RD5  5    6    100K
RD6  5    0    100K
RD7  7    0    100K
CGS1 3    4    5PF
CGS2 6    4    5PF
CGS3 1    0    5PF
CGS4 1    0    5PF
CGS5 2    6    5PF
CGS6 5    0    5PF
CGS7 5    0    5PF
RO1  4    0    10MEG
RO2  6    0    10MEG
RO3  7    0    10MEG
GM1  1    4    3    4    3.3E-4
GM2  2    4    6    4    3.3E-4
GM3  1    0    1    0    3.6E-4
GM4  2    0    1    0    3.6E-4
GM5  5    6    2    6    4.7E-4
GM6  5    0    5    0    3.6E-4
GM7  7    0    5    0    3.6E-4
R    6    0    1K
RVIN 3    0    10MEG
VIN  3    0    AC   1
.PROBE
.END
```

โปรแกรม 3.7 แสดงโปรแกรมในการวิเคราะห์ค่าทรานส์คอนดัคแตนซ์ ของวงจรรูปที่ 3.30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Ratio iz+/ix of CCII+1
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.AC  DEC   10   1   100MEG
RD1  1   4   100K
RD2  2   4   666K
RD3  1   0   100K
RD4  2   0   666K
RD5  5   6   100K
RD6  5   0   100K
RD7  7   0   100K
CGS1 0   4   5PF
CGS2 6   4   5PF
CGS3 1   0   5PF
CGS4 1   0   5PF
CGS5 2   6   5PF
CGS6 5   0   5PF
CGS7 5   0   5PF
RO1  4   0   10MEG
RO2  6   0   10MEG
RO3  7   0   10MEG
GM1  1   4   0   4   3.3E-4
GM2  2   4   6   4   3.3E-4
GM3  1   0   1   0   3.6E-4
GM4  2   0   1   0   3.6E-4
GM5  5   6   2   6   4.7E-4
GM6  5   0   5   0   3.6E-4
GM7  7   0   5   0   3.6E-4
RZ1  7   0   100K
IX   6   0   AC   1
.PROBE
.END
```

โปรแกรม 3.8 แสดงโปรแกรมในการวิเคราะห์ค่าอัตราส่วนกระแส i_z+/i_x ของวงจรรูปที่ 3.32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

วงจรสายพานกระแสแบบปรับค่าได้ (Tunable Second-Generation Current Conveyer)

4.1 บทนำ

จากบทที่ 3 ดังกล่าวมาเป็นวงจรสายพานกระแสที่มีค่าเป็นไปตามสมการ (3.2) ,(3.3) และ (3.4) ซึ่งปกติวงจรสามารถนำไปประยุกต์ใช้งานได้มากมาย แต่ปัญหาอีกประการหนึ่งที่จะต้องนำมาพิจารณาอันได้แก่วงจรไม่สามารถที่จะปรับค่าอัตราการขยายแรงดัน (Voltage Gain) ระหว่าง V_x กับ V_y และอัตราการขยายกระแส (Current Gain) ระหว่าง i_x กับ i_z ได้ ซึ่งในการออกแบบใช้งานวงจรบางวงจรดัง เช่น วงจรกำเนิดสัญญาณรูปซายน์แบบปรับค่าได้ (Tunable Sinewave Oscillator)[2] วงจรแปลงความต้านทานค่าลบแบบปรับค่าได้ (Tunable Negative Resistance Converter)[2] หรือ วงจรเลียนแบบขดลวดเหนี่ยวนำแบบปรับค่าได้ (Tunable Inductance Simulation)[2] เป็นต้น ซึ่งเป็นวงจรที่ต้องมีการปรับค่าได้เพื่อความสะดวกในการใช้งาน ทำให้เกิดแนวความคิดใหม่ว่าถ้าหากเราสามารถขยายคุณสมบัติของสายพานกระแสโดยออกแบบให้ค่าของ h_{21} และ h_{32} เดิมมีค่าเท่ากับ 1 กับ ± 1 ให้มีค่าเป็น A_1 กับ $\pm A_2$ ที่สามารถปรับค่าได้น่าจะทำให้วงจรสายพานกระแสสามารถที่จะนำไปประยุกต์ใช้งานได้มากขึ้น เท่าที่ผ่านมาได้มีการออกแบบวงจรสายพานกระแสแบบปรับค่าได้อยู่หลายวิธี ดังเช่น วงจรสายพานกระแสปรับค่าได้โดยวิธีอิเล็กทรอนิกส์ที่สร้างขึ้นจากอนุกลแอคทีฟจำพวกไบโพลาร์ทรานซิสเตอร์เพียงอย่างเดียว [2] หรือจากการใช้ OTA 2 ตัวต่อร่วมกับตัวต้านทาน 1 ตัว [34] เป็นต้น แต่การออกแบบวงจรสายพานกระแสแบบปรับค่าได้ตามเนื้อหาในบทนี้เป็นการออกแบบปรับค่า h_{21} และ h_{32} ได้โดยการเปลี่ยนแปลงอัตราส่วนของตัวต้านทานซึ่งไม่ใช่วิธีการปรับค่า h_{21} และ h_{32} โดยวิธีอิเล็กทรอนิกส์ ยกเว้นเสียแต่จะออกแบบเพิ่มเติมวงจรการควบคุมความต้านทานด้วยศักดา (Voltage-Controlled resistance)[35]-[36] เข้าไปในวงจรอีกทีหนึ่ง

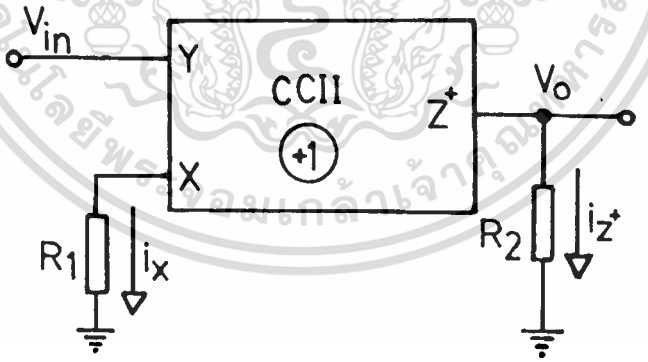
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 หลักการเบื้องต้นของสายพานกระแสแบบปรับค่าได้

สายพานกระแสแบบปรับค่าได้ สามารถแสดงความสัมพันธ์ระหว่างศักดาและกระแสที่พอร์ทต่าง ๆ ด้วยรูปแบบของไฮบริดพารามิเตอร์ได้ดังสมการ(4.1)

$$\begin{bmatrix} i_Y \\ V_X \\ i_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ A_1 & 0 & 0 \\ 0 & \pm A_2 & 0 \end{bmatrix} \cdot \begin{bmatrix} V_Y \\ i_X \\ V_Z \end{bmatrix} \qquad (4.1)$$

จากสมการ (4.1) ที่ h_{21} มีค่าเท่ากับ A_1 จะแสดงถึงค่าของอัตราการขยายแรงดัน (Voltage Gain) ที่จะต้องทำการขยายขึ้นจากเดิมที่มีค่าเท่ากับ 1 เป็น A_1 ดังนั้นในการออกแบบเพื่อให้ได้วงจรที่มีค่าของอัตราการขยายแรงดัน A_1 นี้ทำโดยใช้วงจร CCII+1 ต่อร่วมกับความต้านทาน R_1 กับ R_2 ซึ่งจะทำให้ได้ค่าของ A_1 เท่ากับ R_2/R_1 ดังรูป 4.1



รูปที่ 4.1 แสดงวงจรขยายแรงดัน (Voltage Gain) โดยใช้วงจร CCII+1

ดังนั้นจากรูป 4.1 สามารถหาค่าอัตราการขยายแรงดัน A_1 ได้ดังนี้

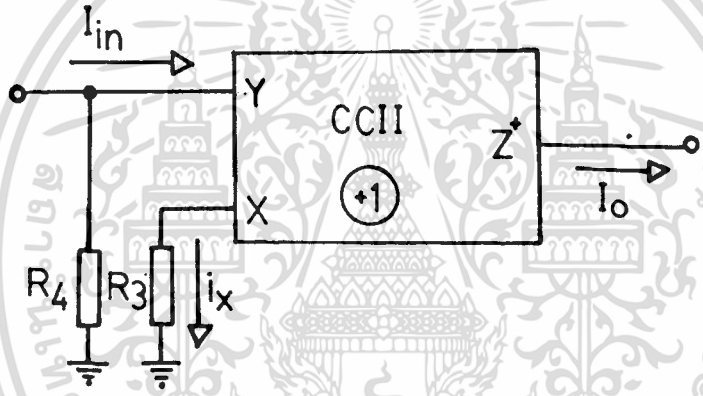
จะได้ $$i_x = V_{in}/R_1 = i_{z+}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $$V_o = i_z+.R_2 = (R_2/R_1).V_{in} \quad (4.2)$$

ดังนั้น $$V_o/V_{in} = (R_2/R_1) = A_1 \quad (4.3)$$

ทำนองเดียวกันจากสมการ (4.1) ที่ h_{32} มีค่าเท่ากับ A_2 จะแสดงถึงค่าของอัตราการขยายกระแส (Current Gain) ที่จะต้องทำการขยายขึ้นจากเดิมมีค่าเท่ากับ 1 เป็น A_2 ดังนั้นในการออกแบบเพื่อให้ได้วงจรที่มีค่าของอัตราการขยายกระแส A_2 นี้ทำโดยใช้วงจร CCII+1 ต่อร่วมกับความต้านทาน R_3 กับ R_4 ซึ่งจะทำให้ได้ค่าของ A_2 เท่ากับ R_4/R_3 ดังรูป 4.2



รูปที่ 4.2 แสดงวงจรขยายกระแส (Current Gain) โดยใช้วงจร CCII+1

ดังนั้นจากรูป 4.2 สามารถหาค่าอัตราการขยายกระแส A_2 ได้ดังนี้

จะได้ $$V_Y = I_{in}.R_4 = V_X \quad (4.4)$$

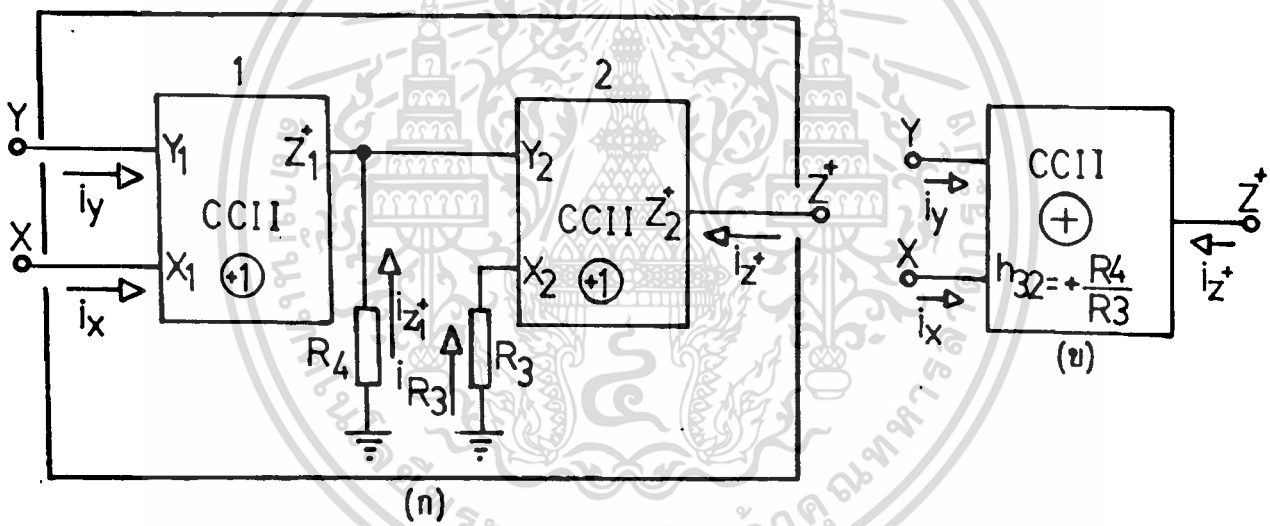
และ $$i_x = (R_4/R_3).I_{in} = I_o \quad (4.5)$$

ดังนั้น $$I_o/I_{in} = (R_4/R_3) = A_2 \quad (4.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจรสายพานกระแสที่สามารถเปลี่ยนแปลงค่า h_{32} ได้

ในการออกแบบวงจรสายพานกระแสแบบบวกที่สามารถเปลี่ยนแปลงค่า h_{32} ได้นี้ วงจรดังกล่าวจะมีสมการเช่นเดียวกับ CCII+1 คือ $V_x = V_y$ และ $i_y = 0$ แต่ในส่วนของกระแสเอาต์พุท i_z+ จะมีการถูกขยายด้วยอัตราการขยายกระแสมีค่าเป็น A_2 เนื่องจากกระแสอินพุทที่เป็น i_x ดังนั้นจากหลักการดังกล่าว วงจรจะประกอบด้วย CCII+1 2ชุด โดยที่ ชุดแรก CCII+1 จะทำงานเพื่อที่จะทำให้ $V_x = V_y$ และ $i_y = 0$ ส่วน CCII+1 ชุดที่สอง จะทำหน้าที่เป็นวงจรขยายกระแส ซึ่งมีการทำงานเช่นเดียวกับวงจรในรูป 4.2 เพื่อทำหน้าที่ขยายกระแส i_x ซึ่งเป็นกระแสอินพุทให้เป็นกระแสเอาต์พุท i_z+ ด้วยอัตราการขยายกระแส A_2 เท่ากับ R_4/R_3 ดังวงจรรูป 4.3



รูปที่ 4.3 (ก) วงจรสายพานกระแสแบบบวกที่สามารถเปลี่ยนแปลงค่า h_{32} ได้

(ข) สัญญลักษณ์ของวงจร

จากรูป 4.3(ก) พบว่าที่ CCII+1 ชุดที่ 1 จะมี $i_y = 0$ และ $V_x = V_y$ แต่สำหรับ CCII+1 ชุดที่ 2 จะมี

$$V_{R4} = i_{z_1}+.R_4 = i_x.R_4 \qquad (4.7)$$

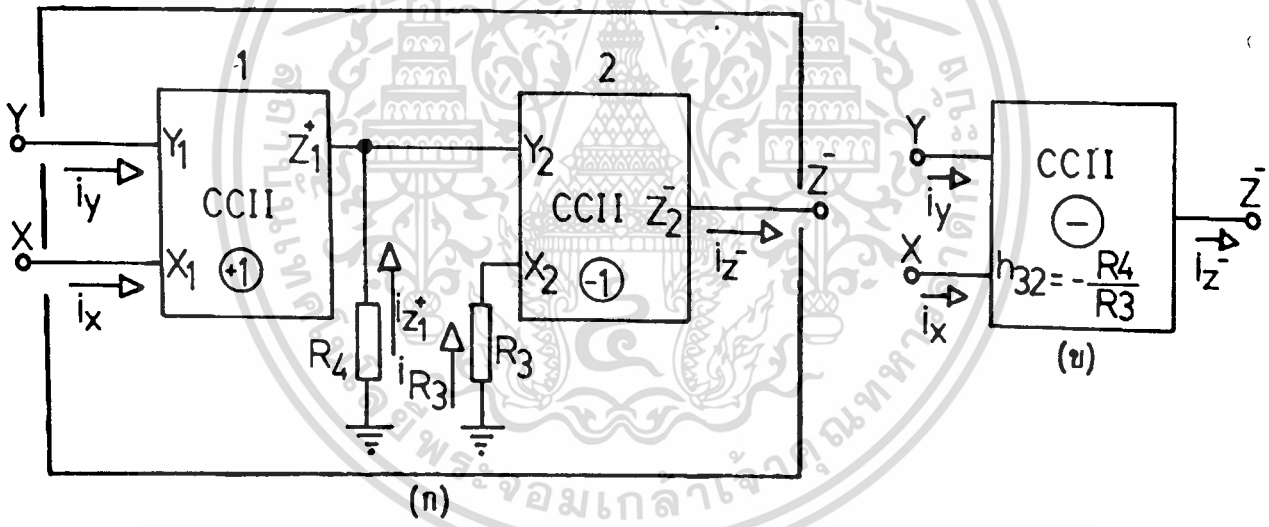
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $$V_{R3} = i_{R3}.R_3 = i_{Z2}+.R_3 = i_{Z}+.R_3 \quad (4.8)$$

เนื่องจาก $V_{R3} = V_{R4}$ ดังนั้นจะได้

$$i_Z+/i_X = (R_4/R_3) = A_2 \quad (4.9)$$

ส่วนในการออกแบบวงจรสายพานกระแสแบบลบที่สามารถเปลี่ยนแปลงค่า h_{32} ได้ วงจรจะมีลักษณะเช่นเดียวกับรูป 4.3(ก)ทุกประการ เพียงแต่จะต้องเปลี่ยน CCII+1 เป็น CCII-1 ชุดใดชุดหนึ่งภายในวงจร (ซึ่งในการออกแบบนี้จะให้ CCII ชุดที่ 1 เป็น CCII+1 และให้ CCII ชุดที่ 2 เป็น CCII-1) ดังแสดงในรูป 4.4



รูปที่ 4.4 (ก) วงจรสายพานกระแสแบบลบที่สามารถเปลี่ยนแปลงค่า h_{32} ได้

(ข) สัญญลักษณ์ของวงจร

จากรูป 4.4(ก) พบว่าที่ CCII+1 ชุดที่ 1 จะมี. $i_Y = 0$ และ $V_X = V_Y$ แต่ค่าของกระแส i_Z- ที่เกิดเนื่องจาก CCII-1 ในชุดที่ 2 จะมีค่าเป็น

$$i_Z-/i_X = - (R_4/R_3) = - A_2 \quad (4.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

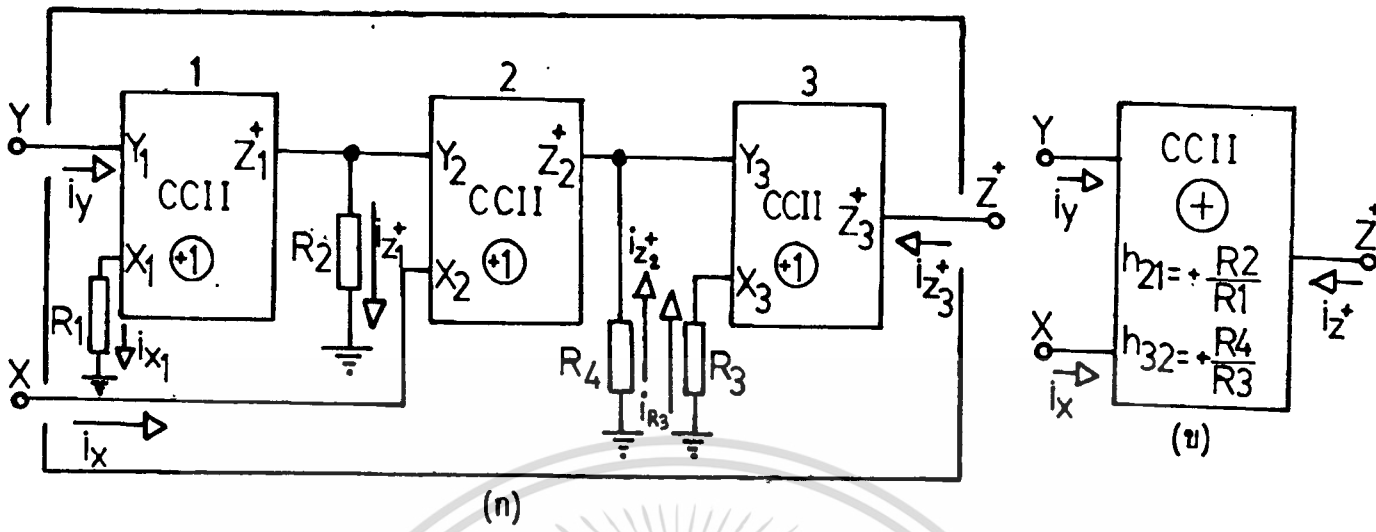
ดังนั้นสำหรับวงจรสายพานกระแสแบบบวกและลบที่สามารถเปลี่ยนแปลงค่า h_{32} ได้ดังแสดงในรูป 4.3(ก) และ 4.4(ก) ตามลำดับ สามารถแสดงความสัมพันธ์ระหว่างศักดาและกระแสที่พอร์ทต่าง ๆ ดังสัญญลักษณ์ของวงจรในรูป 4.3(ข) และ 4.4(ข) ตามลำดับ ด้วยรูปแบบของไฮบริดพารามิเตอร์ ได้ดังสมการ (4.11)

$$\begin{bmatrix} i_Y \\ V_X \\ i_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm R_4/R_3 & 0 \end{bmatrix} \cdot \begin{bmatrix} V_Y \\ i_X \\ V_Z \end{bmatrix} \qquad (4.11)$$

4.4 วงจรสายพานกระแสที่สามารถเปลี่ยนแปลงค่า h_{21} และ h_{32} ได้

ในการออกแบบวงจรสายพานกระแสแบบบวกที่สามารถเปลี่ยนแปลงค่า h_{21} และ h_{32} ได้ วงจรจะต้องประกอบด้วย CCII+1 ด้วยกัน 3 ชุด กล่าวคือในชุดที่ 1 CCII+1 จะทำหน้าที่เป็นวงจรขยายศักดา (ซึ่งรูปแบบของวงจรดังแสดงในรูป 4.1) เพื่อทำให้แรงดันศักดาที่พอร์ท X ของ CCII+1 ในชุดที่2 มีค่าเท่ากับ $A_1.V_Y = (R_2/R_1).V_Y$ จากนั้นที่พอร์ท X ของ CCII+1 ในชุดที่ 2 สมมุติว่ามีกระแสไหลเข้าพอร์ทเป็น i_X ย่อมจะทำให้เกิดกระแส $i_{Z2}+$ เกิดขึ้นซึ่งมีค่าเท่ากับกระแส i_X โดย มีทิศทางการไหลเข้าสู่พอร์ทของ CCII+1 ในชุดที่ 2 เช่นกัน หลังจากนั้นกระแส $i_{Z2}+ = i_X$ นี้จะถูกทำการขยายกระแสให้เพิ่มขึ้นด้วย CCII+1 ในชุดที่ 3 ซึ่งจะมีการทำงานของวงจรเช่นเดียวกับหัวข้อ 4.3 ดังที่กล่าวมาทำให้กระแสเอาต์พุทคือ $i_{Z3}+ = i_Z+$ มีค่าเท่ากับ $A_2.i_X = (R_4/R_3).i_X$ โดยที่ i_X เป็นกระแสอินพุท ดังแสดงในรูป 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 (ก) วงจรสายพานกระแสแบบบวกที่สามารถเปลี่ยนแปลงค่า h_{21} และ h_{32} ได้

(ข) สัญญลักษณ์ของวงจร

จากรูป4.5(ก) พบว่าที่ CCII+1 ชุดที่ 1 จะมี $i_Y = 0$ และ

$$i_{X1} = V_Y/R_1 = i_{Z1+} \qquad (4.12)$$

และ $$V_{Y2} = V_{X2} = V_X = i_{Z1+}.R_2 = (R_2/R_1).V_Y \qquad (4.13)$$

ดังนั้น $$V_X/V_Y = (R_2/R_1) = A_1 \qquad (4.14)$$

ที่ CCII+1 ชุดที่ 2 และ ชุดที่ 3 พบว่า

$$V_{R4} = i_{Z2+}.R_4 = i_X.R_4 \qquad (4.15)$$

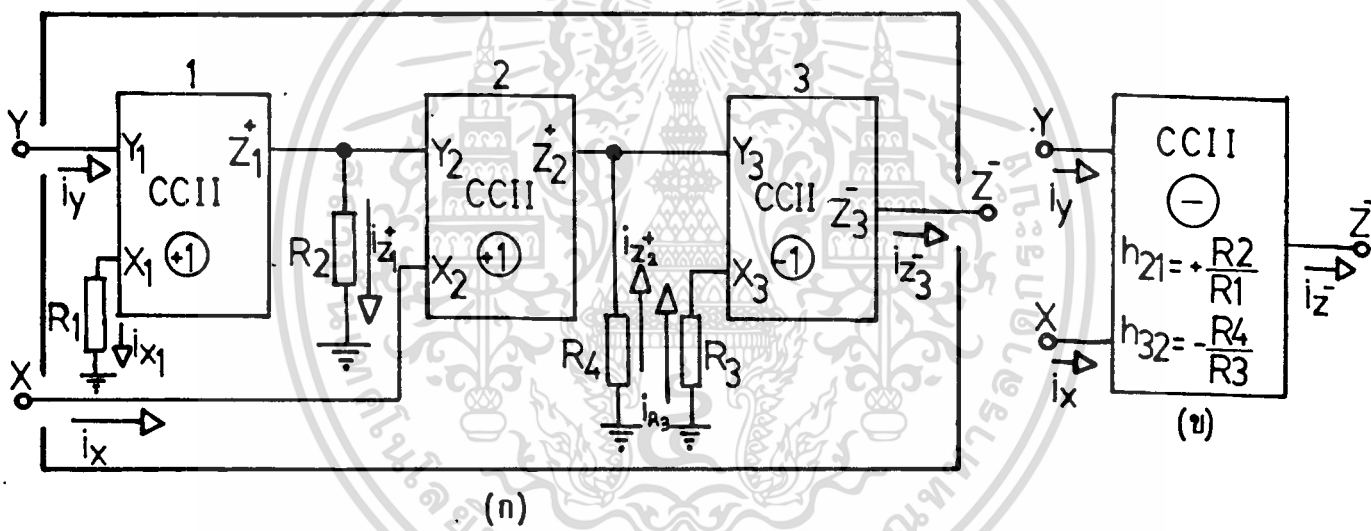
และ $$V_{R3} = i_{R3}.R_3 = i_{Z3+}.R_3 = i_{Z+}.R_3 \qquad (4.16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจาก $V_{R3} = V_{R4}$ ดังนั้นจะได้

$$i_{z}+/i_{x} = (R_4/R_3) = A_2 \qquad (4.17)$$

ส่วนในการออกแบบวงจรสายพานกระแสแบบลบที่สามารถเปลี่ยนแปลงค่า h_{21} และ h_{32} ได้ วงจรจะมีลักษณะเช่นเดียวกับรูป 4.5(ก) ทุกประการเพียงแต่จะต้องเปลี่ยน CCII+1 ในชุดที่ 2 หรือชุดที่ 3 ให้เป็น CCII-1 ภายในวงจร (ซึ่งในการออกแบบนี้จะเลือกให้ CCII ชุดที่ 1 และชุดที่ 2 เป็น CCII+1 ส่วน CCII ในชุดที่ 3 จะเลือกให้เป็น CCII-1) ดังแสดงในรูป 4.6



รูปที่ 4.6 (ก) วงจรสายพานกระแสแบบลบที่สามารถเปลี่ยนแปลงค่า h_{21} และ h_{32} ได้
(ข) สัญญลักษณ์ของวงจร

จากรูป 4.6(ก) พบว่าที่ CCII+1 ชุดที่ 1 และ ชุดที่ 2 จะมีค่าของ $i_Y = 0$ และ $V_X = (R_2/R_1).V_Y$ แต่ค่าของกระแส $i_{z}-$ ที่เกิดเนื่องจาก CCII-1 ในชุดที่ 3 จะมีค่าเป็น

$$i_{z}-/i_{x} = -(R_4/R_3) = -A_2 \qquad (4.18)$$

ดังนั้นสำหรับวงจรสายพานกระแสแบบบวกและลบที่สามารถเปลี่ยนแปลงค่า h_{21} และ h_{32}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้ดังแสดงในรูป 4.5(ก) และ 4.6(ก)ตามลำดับ สามารถแสดงความสัมพันธ์ระหว่างศักดาและกระแสที่พอร์ทต่าง ๆ ดังสัญญลักษณ์ของวงจรในรูป 4.5(ข) และ 4.6(ข) ตามลำดับ ด้วยรูปแบบของไฮบริดพารามิเตอร์ ได้ดังสมการ (4.19)

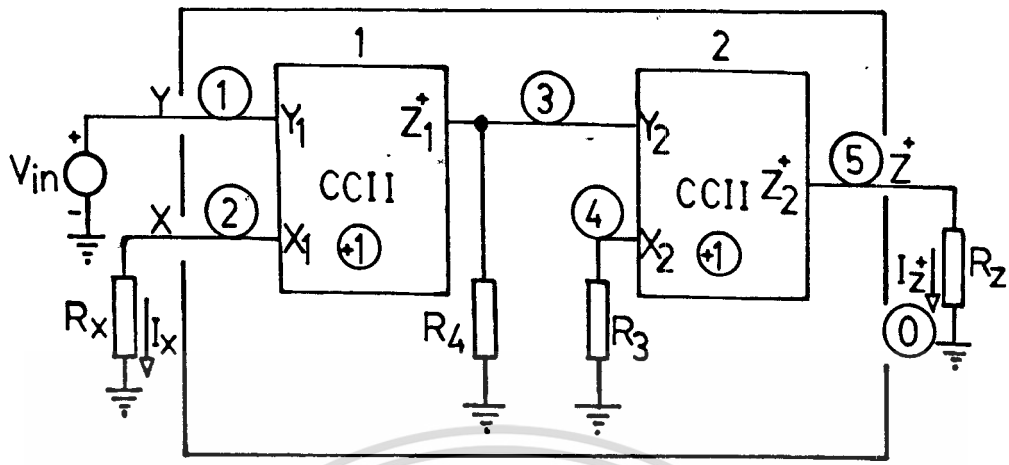
$$\begin{bmatrix} i_Y \\ V_X \\ i_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ (R_2/R_1) & 0 & 0 \\ 0 & \pm R_4/R_3 & 0 \end{bmatrix} \cdot \begin{bmatrix} V_Y \\ i_X \\ V_Z \end{bmatrix} \qquad (4.19)$$

4.5 ผลการทดลองและผลจากการวิเคราะห์เสียนแบบการทำงานของวงจรด้วยโปรแกรม PSpice

4.5.1 การทดลองวัดค่าเกนขยายกระแส i_z/i_x ของวงจรสายพานกระแสชนิดบวกและชนิดลบที่สามารถเปลี่ยนแปลงค่า h_{32} ได้

จากวงจรรูป4.7 ซึ่งเป็นวงจรสายพานกระแสชนิดบวกที่สามารถเปลี่ยนแปลงค่า h_{32} ได้ซึ่งหมายความถึงว่าสามารถที่จะเปลี่ยนแปลงค่าเกนขยายกระแส i_z+/i_x จากค่าของอัตราส่วนความต้านทาน R_4/R_3 โดยที่วงจรดังกล่าวประกอบด้วยวงจรสายพานกระแสชนิดบวกที่มีเกนขยายเท่ากับ 1 (CCII+1) ด้วยกัน 2 ชุด และมีความต้านทานต่อร่วมกันอยู่ด้วย 4 ตัวคือ R_x,R_z,R_4 และ R_3 ซึ่งต่ออยู่ระหว่างหมายเลขประจำ node ที่ 2,5,3 และ 4 ตามลำดับ โดยที่ความต้านทาน R_x มีหน้าที่เป็นตัวจำกัดค่ากระแส i_x ให้เกิดขึ้นเมื่อมีการป้อนศักดา V_{in} เข้ามายังที่พอร์ท Y ส่วนความต้านทาน R_z จะกำหนดให้มีค่าเท่ากับ 2kΩเสมอ และที่ความต้านทาน R_4 และ R_3 มีหน้าที่เป็นตัวกำหนดค่าเกนขยายกระแส i_z+/i_x ซึ่งมีค่าเปลี่ยนแปลงตามค่าอัตราส่วนความต้านทานระหว่าง R_4/R_3

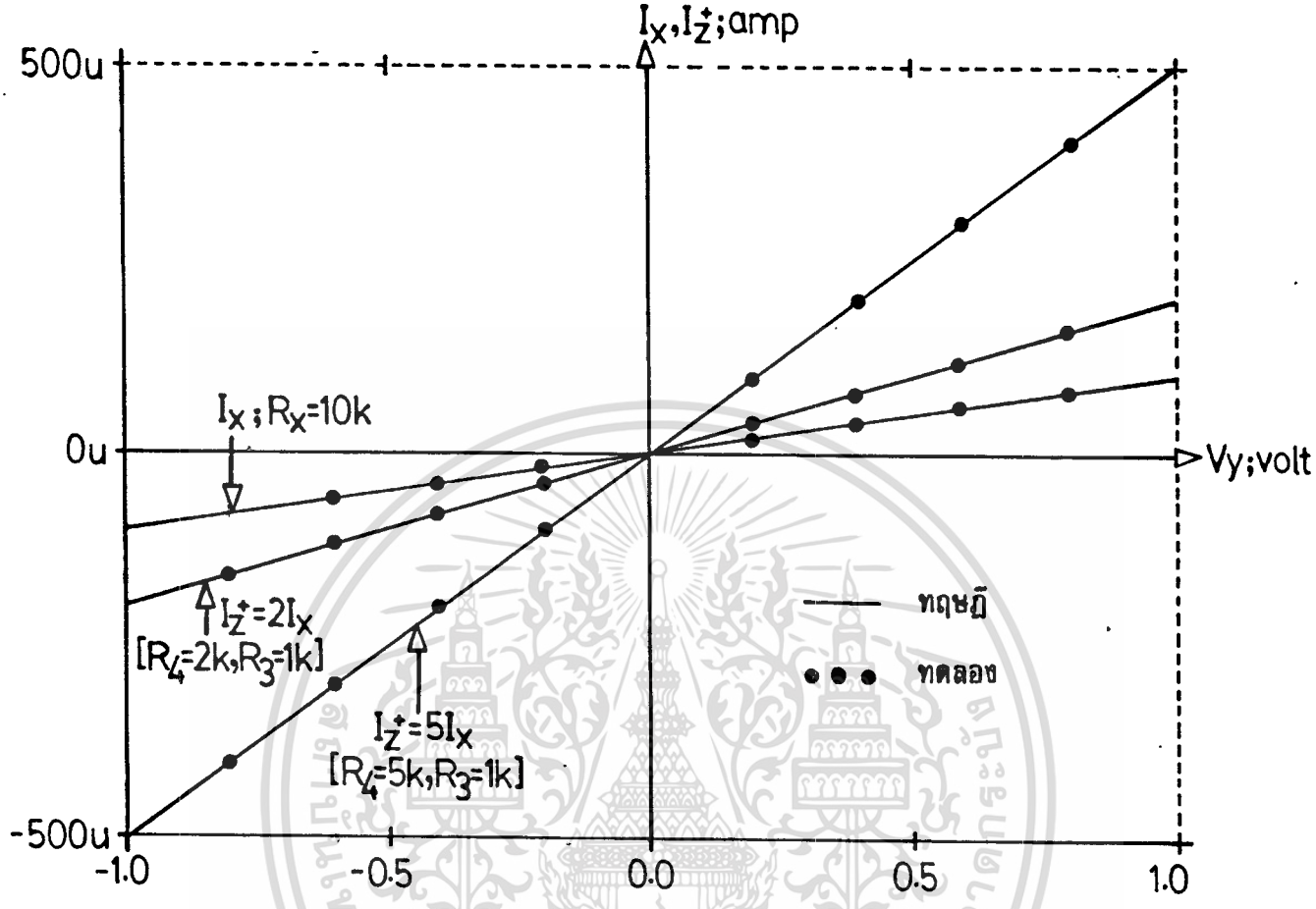
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 แสดงวงจรการทดลองวัดค่าเกนขยายกระแส i_z+/i_x ของวงจรสายพานกระแสชนิดบวกที่สามารถเปลี่ยนแปลงค่า h_{32} ได้

ในการทดลองวงจรตามรูป 4.7 เพื่อศึกษาถึงการวัดค่าเกนขยายกระแส i_z+/i_x ได้ต่อวงจรดังกล่าวแบบดีสครีทลงบนโพรโตบอร์ด โดยที่ภายในของวงจรประกอบด้วยวงจร CCII+1 จำนวน 2 ชุดที่ได้จากวงจรตามรูป 3.12 ซึ่งได้เคยกล่าวมาแล้วในหัวข้อ 3.7.1 โดยที่มอสเฟท NMOS หรือ PMOS ซึ่งเป็นชนิดเอ็นฮานเมนท์-โหมด นำมาใช้จากภายในไอซีเบอร์ CD4007 และใช้ระดับศักดาจ่าย V_{DD} มีค่าเท่ากับ 10โวลท์ และ V_{SS} เท่ากับ -10โวลท์ ส่วนค่าของความต้านทานต่างๆเลือกใช้ดังนี้คือ R_x= 10kΩ เสมอ ,R_z= 2kΩ เสมอ และในขั้นแรกจะเลือกใช้ R_4= 2kΩ กับ R_3= 1kΩ ดังนั้น R_4/R_3= 2 หลังจากนั้นทำการป้อนศักดา V_{in} เข้าที่พอร์ท Y หรือที่ node 1 และกราวด์มีค่าจาก -1 โวลท์จนถึง 1โวลท์ แล้วทำการวัดค่ากระแสที่ไหลผ่านความต้านทาน R_x ซึ่งเป็นค่าของกระแส i_x และวัดค่ากระแสที่ไหลผ่านความต้านทาน R_z ซึ่งเป็นค่าของกระแส i_z+ ซึ่งพบว่าได้ความสัมพันธ์ของค่ากระแสทั้งสองดังกล่าวมีค่าเป็น $i_z+= 2i_x$ หลังจากนั้นทดลองเปลี่ยนค่าความต้านทาน R_4 เป็น 5kΩ กับ R_3= 1kΩ ดังนั้น R_4/R_3= 5 ป้อนศักดา V_{in} เข้าที่พอร์ท Y เช่นเดียวกับที่กล่าวมาข้างต้น ทำการวัด ค่าของกระแส i_x และ i_z+ พบว่าได้ความสัมพันธ์ของค่ากระแสทั้งสองมีค่าเป็น $i_z+= 5i_x$ แสดงให้เห็นว่าวงจรมีความเป็นเชิงแส้นและมีความเที่ยงตรงตลอดช่วงการเปลี่ยนแปลงของค่าศักดา และกระแสเป็นไปตามที่ได้คาดหมายเอาไว้ดังแสดงผลการทดลองไว้ดังรูป 4.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



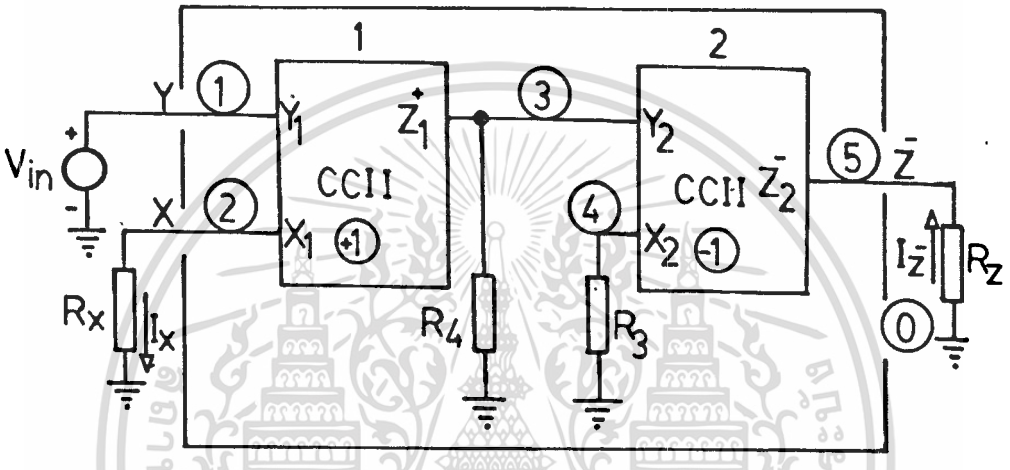
รูปที่ 4.8 แสดงผลการทดลองของค่ากระแส i_x และ i_z+ ตามวงจรรูปที่ 4.7 พร้อมเปรียบเทียบกับค่าที่คำนวณได้จากทฤษฎี

และเพื่อเป็นการยืนยันความถูกต้องอีกทีว่าวงจรตามรูป 4.7 สามารถมีการทำงานได้ตามหลักการทางทฤษฎีที่ได้นำเสนอ ดังนั้นในการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎีกระทำได้โดยการใช้โปรแกรม PSpice มาทำการวิเคราะห์และเลียนแบบการทำงานของวงจรตามรูป 4.7 โดยกำหนดรายละเอียดของ node ต่าง ๆ ทั้งหมดลงในไฟล์ข้อมูล เพื่อใช้สำหรับการวิเคราะห์ด้วยโปรแกรม PSpice ซึ่งรายละเอียดของไฟล์ข้อมูลได้แสดงไว้ในโปรแกรม 4.1 หลังจากการใช้โปรแกรม PSpice วิเคราะห์และเลียนแบบการทำงานของวงจรที่ได้เตรียมไว้ในรูปของไฟล์ข้อมูลดังแสดงในโปรแกรม 4.1 แล้วนั้น ในการวัดเพื่อหาค่าของกระแสที่พอร์ท X(i_x) และกระแสที่พอร์ท Z(i_z)ที่เป็นค่าตามหลักการทางทฤษฎี สามารถกระทำได้โดยการใช้คำสั่งเป็น I(RX) และ I(RZ) ตามลำดับ และได้ผลการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิเคราะห์ดังแสดงในรูป 4.8 เป็นไปตามที่ได้คาดหมายเอาไว้ในหัวข้อ 4.3 ดังแสดงในสมการ (4.9)

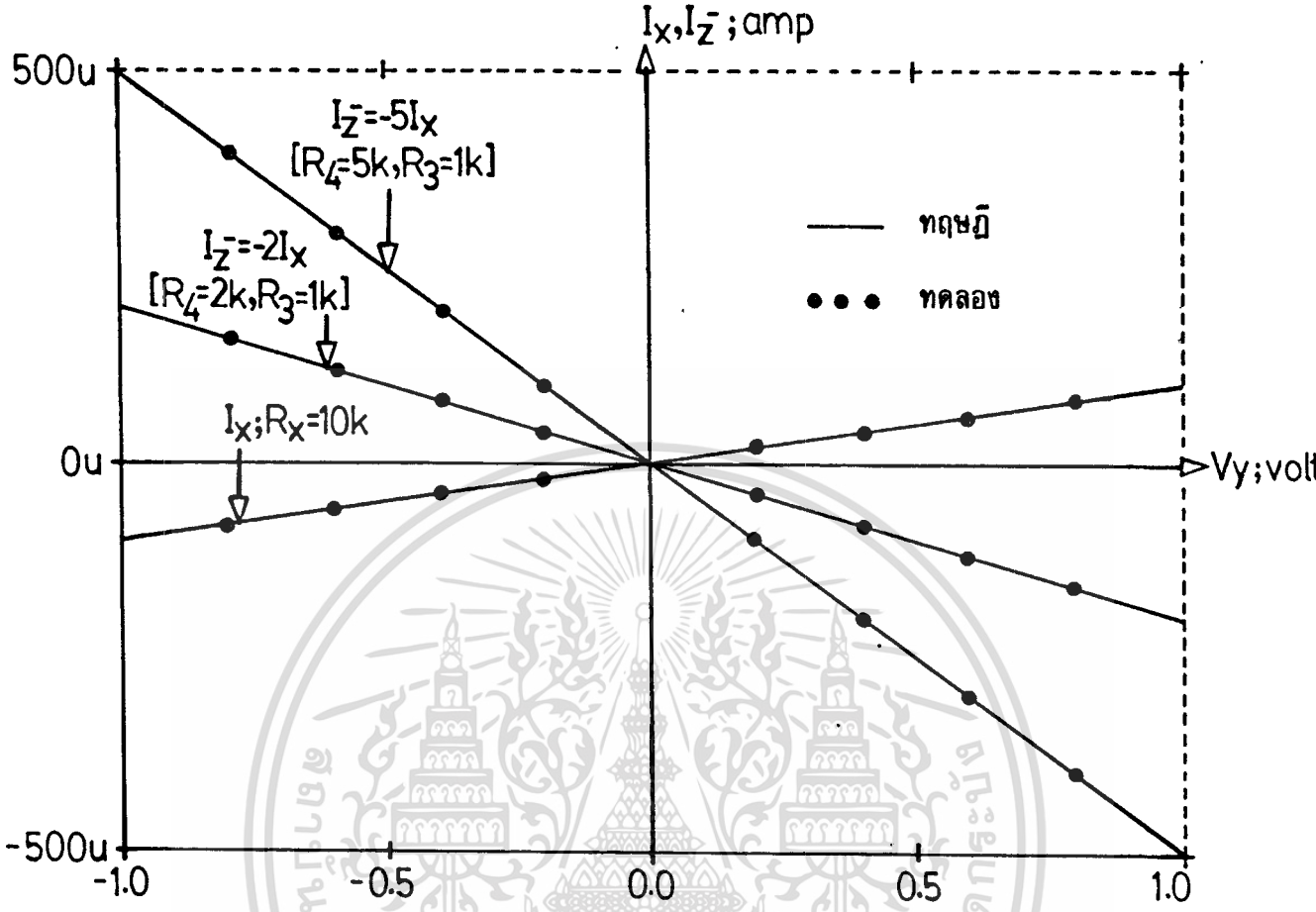
ส่วนในรูป 4.9 เป็นวงจรสายพานกระแสชนิดลบที่สามารถเปลี่ยนแปลงค่า h_{32} ได้ ซึ่งหมายความถึงว่าสามารถเปลี่ยนแปลงค่าเกนขยายกระแส i_z-/i_x จากค่าของอัตราส่วนความต้านทาน R_4/R_3 โดยที่วงจรดังกล่าว ประกอบด้วยวงจรสายพานกระแสชนิดบวก (CCII+1) และ ชนิดลบ (CCII-1) ที่มีเกนขยายเท่ากับ 1 ด้วยกันอย่างละ 1 ชุด



รูปที่ 4.9 แสดงวงจรการทดลองวัดค่าเกนขยายกระแส i_z-/i_x ของวงจรสายพานกระแสชนิดลบที่สามารถเปลี่ยนแปลงค่า h_{32} ได้

ในการทดลองวงจรตามรูป 4.9 เพื่อศึกษาถึงการวัดค่าเกนขยาย i_z-/i_x ได้ต่อวงจรดังกล่าวแบบดีสครีทลงบนโพรโตบอร์ด โดยที่ภายในของวงจรประกอบด้วยวงจร CCII+1 และ CCII-1 อยู่อย่างละ 1 ชุดที่ได้จากวงจรตามรูป 3.12 และ 3.18 ซึ่งได้เคยกล่าวมาแล้วในหัวข้อ 3.7.1 และ 3.7.2.2 ตามลำดับ การทดลองโดยขั้นตอนและวิธีการเดียวกันกับการวัดค่าเกนขยายกระแส i_z+/i_x ตามรูปวงจร 4.7 ทุกประการ ดังนั้นจะได้ความสัมพันธ์ของค่ากระแสที่ไหลผ่านความต้านทาน R_x ซึ่งเป็นค่าของกระแส i_x และค่ากระแสที่ไหลผ่านความต้านทาน R_z ซึ่งเป็นค่าของกระแส i_z- เมื่อใช้ค่าของอัตราส่วนความต้านทาน R_4/R_3 เป็น $2k\Omega/1k\Omega$ และ $5k\Omega/1k\Omega$ มีค่าเป็น $i_z-= -2i_x$ และ $i_z-= -5i_x$ ตามลำดับดังแสดงผลการทดลองไว้ดังรูป 4.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 แสดงผลการทดลองของค่ากระแส i_x และ i_{z^-} ตามวงจรรูปที่ 4.9 พร้อมเปรียบเทียบกับค่าที่คำนวณได้จากทฤษฎี

และเพื่อเป็นการยืนยันความถูกต้องอีกทีว่าวงจรตามรูป 4.9 สามารถมีการทำงานได้ตามหลักการทางทฤษฎีที่ได้นำเสนอ ดังนั้นในการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎีกระทำได้โดยการใช้โปรแกรม PSpice มาทำการวิเคราะห์และเลียนแบบการทำงานของวงจรตามรูป 4.9 โดยกำหนดรายละเอียดของ node ต่าง ๆ ทั้งหมดลงในไฟล์ข้อมูลเพื่อใช้สำหรับการวิเคราะห์ ด้วยโปรแกรม PSpice ซึ่งรายละเอียดของไฟล์ข้อมูลได้แสดงไว้ในโปรแกรม 4.2 หลังจากการใช้โปรแกรม PSpice วิเคราะห์และเลียนแบบการทำงานของวงจรที่ได้เตรียมไว้ในรูปของไฟล์ข้อมูลดังแสดงในโปรแกรม 4.2 แล้วนั้น ในการวัดเพื่อหาค่าของกระแสที่พอร์ท $X(i_x)$ และกระแสที่พอร์ท $Z^-(i_{z^-})$ ที่เป็นค่าตามหลักการทางทฤษฎี สามารถกระทำได้โดยการใช้คำสั่งเป็น I(RX) และ I(RZ) ตามลำดับ และได้ผลการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

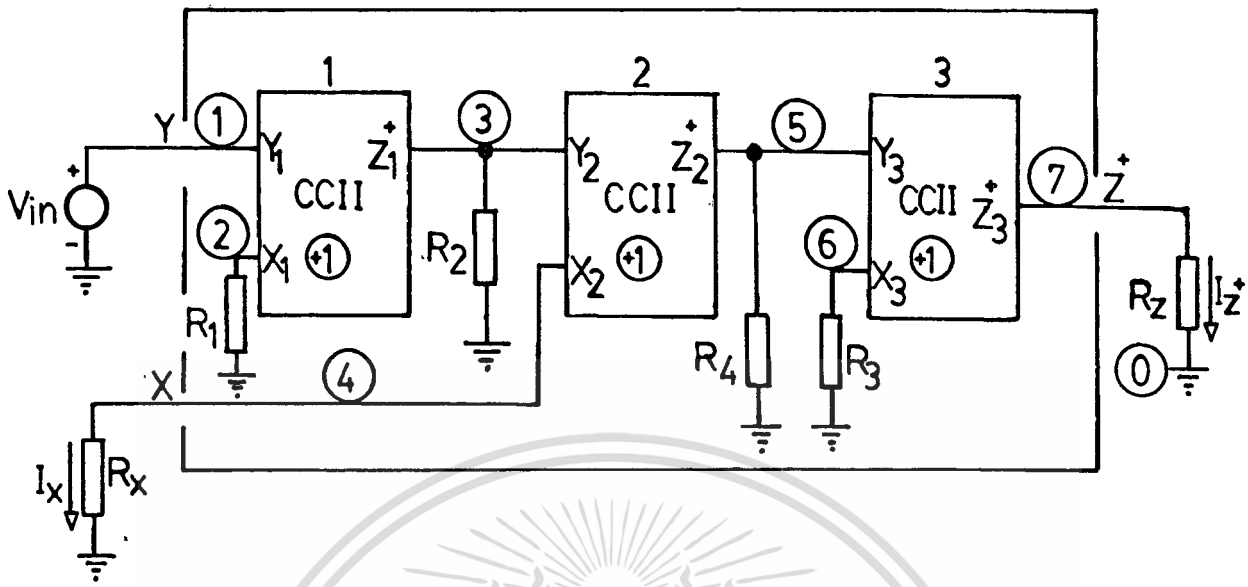
วิเคราะห์ดังแสดงในรูป 4.10 เป็นไปตามที่ได้คาดหมายเอาไว้ในหัวข้อ 4.3 ดังแสดงในสมการ (4.10)

4.5.2 การทดลองวัดค่าเกนขยายศักดา V_x/V_y และค่าเกนขยายกระแส i_z/i_x ของวงจรสายพานกระแสชนิดบวกและชนิดลบที่สามารถเปลี่ยนแปลงค่า h_{21} และ h_{32} ได้

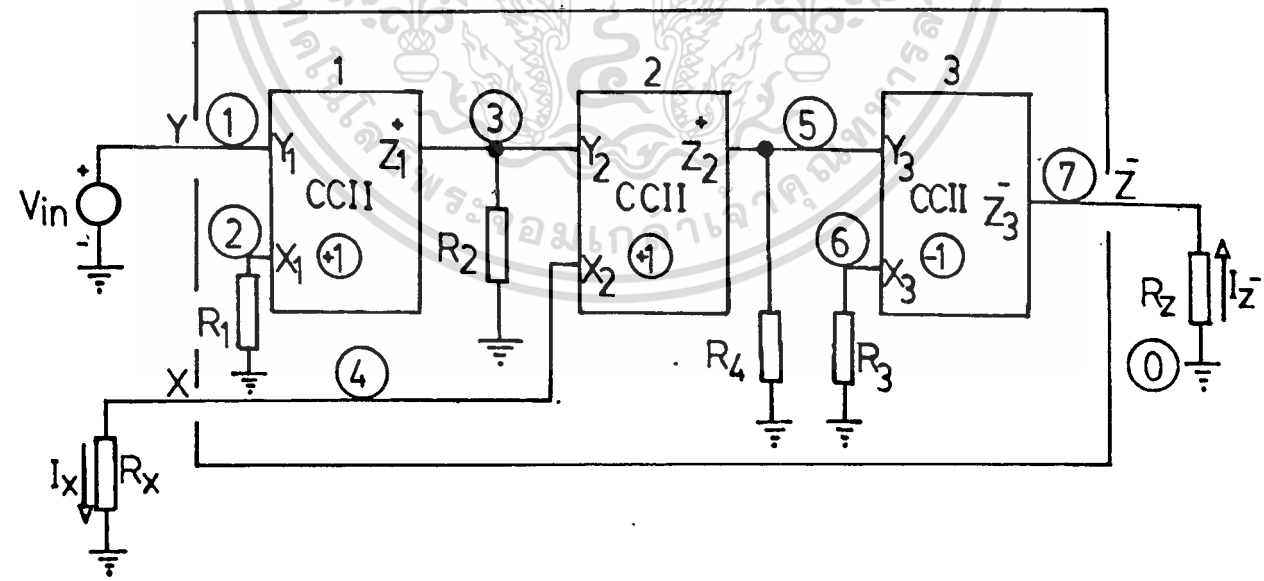
จากวงจรรูป 4.11 และ 4.12 ซึ่งเป็นวงจรสายพานกระแสชนิดบวก และชนิดลบที่สามารถเปลี่ยนแปลงค่า h_{21} และ h_{32} ได้ ซึ่งหมายความถึงว่าสามารถที่จะเปลี่ยนแปลงค่าเกนขยายศักดา V_x/V_y และเปลี่ยนแปลงค่าเกนขยาย i_z+/i_x ตามวงจรรูป 4.11 และ i_z-/i_x ตามวงจรรูป 4.12 ได้ตามลำดับ ภายในวงจรรูป 4.11 หรือ 4.12 จะมีความต้านทานต่อร่วมอยู่ภายในด้วยกันจำนวน 6 ตัว คือ R_x, R_z, R_2, R_1, R_4 และ R_3 โดยที่ความต้านทาน R_2 และ R_1 มีหน้าที่เป็นตัวกำหนดค่าเกนขยายศักดา V_x/V_y ซึ่งมีค่าเปลี่ยนแปลงตามค่าอัตราส่วนความต้านทาน R_2/R_1 เมื่อศักดาที่พอร์ท X หรือ V_x มีการขยายเกิดขึ้นเนื่องจากค่าอัตราส่วนความต้านทาน R_2/R_1 ดังนั้น R_x จะมีหน้าที่เป็นตัวจำกัดค่ากระแสที่พอร์ท X หรือ i_x โดยมีความต้านทาน R_4 และ R_3 ทำหน้าที่เป็นตัวกำหนดค่าเกนขยายกระแส i_z/i_x ซึ่งมีค่าเปลี่ยนแปลงตามค่าอัตราส่วนความต้านทานระหว่าง R_4/R_3 ดังนี้

ในการทดลองวงจรตามรูป 4.11 และรูป 4.12 เพื่อศึกษาถึงการวัดค่าเกนขยายศักดา Vx/Vy และค่าเกนขยายกระแส i_z+/i_x ตามวงจรรูป 4.11 และ i_z-/i_x ตามวงจรรูป 4.12 ได้ต่อวงจรดังกล่าวแบบดีสครีทลงบนโพรโตบอร์ด โดยที่ภายในของวงจรตามรูป 4.11 ประกอบด้วย CCII+1 จำนวน 3 ชุดที่ได้จากวงจรตามรูป 3.12 และภายในของวงจรตามรูป 4.12 ประกอบด้วย CCII+1 จำนวน 2 ชุด และ CCII-1 จำนวน 1 ชุด ที่ได้จากวงจรตามรูป 3.12 และ 3.18 ตามลำดับโดยมอสเฟท NMOS และ PMOS ซึ่งเป็นชนิดเอ็นฮานเมนท์-โหมด นำมาใช้จากไอซีเบอร์ CD4007 และใช้ระดับศักดาจ่าย V_{DD} มีค่าเท่ากับ 10 โวลท์และ V_{SS} เท่ากับ -10โวลท์ ส่วนค่าความต้านทานต่าง ๆตามวงจรรูป 4.11 และรูป 4.12 เลือกใช้เหมือนกันดังนี้คือ R_x=10kΩ ,R_z=2kΩ, R_2= 2kΩ,R_1= 1kΩ,R_4= 2kΩ และ R_3= 1kΩ ดังนั้นจะได้ R_2/R_1= 2 และ R_4/R_3= 2 หลังจากนั้นทำการป้อนศักดา V_{in} เข้าที่พอร์ท Y หรือที่ node 1 และกราวด์มีค่าจาก -1 โวลท์จนถึง 1 โวลท์ แล้วทำการวัดค่าศักดาที่พอร์ท X หรือ V_x ที่ node 4 ทั้งวงจรตามรูป 4.11 และ 4.12 พบว่าได้ความสัมพันธ์ของค่าศักดาทั้งสองดังกล่าวมีค่าเป็น V_x= 2V_y เป็นไปตามที่ได้คาดหมายเอาไว้ดังแสดง

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



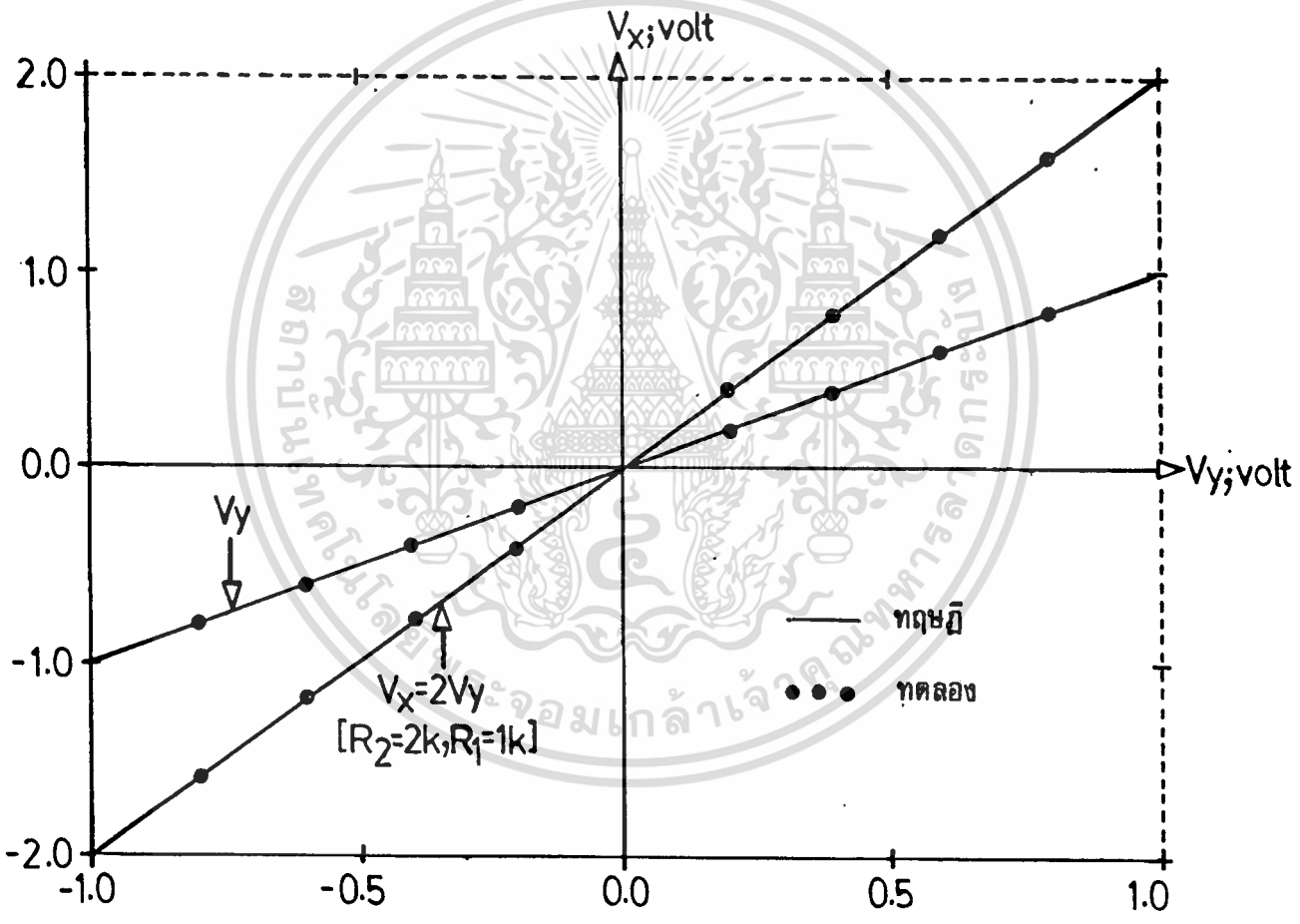
รูปที่ 4.11 แสดงวงจรการทดลองวัดค่าเกนขยายศักดา V_x/V_y และค่าเกนขยายกระแส i_z+/i_x ของวงจรสายพานกระแสชนิดบวกที่สามารถเปลี่ยนแปลงค่า h_{21} และ h_{32} ได้



รูปที่ 4.12 แสดงวงจรการทดลองวัดค่าเกนขยายศักดา V_x/V_y และค่าเกนขยายกระแส i_z-/i_x ของวงจรสายพานกระแสชนิดลบที่สามารถเปลี่ยนแปลงค่า h_{21} และ h_{32} ได้

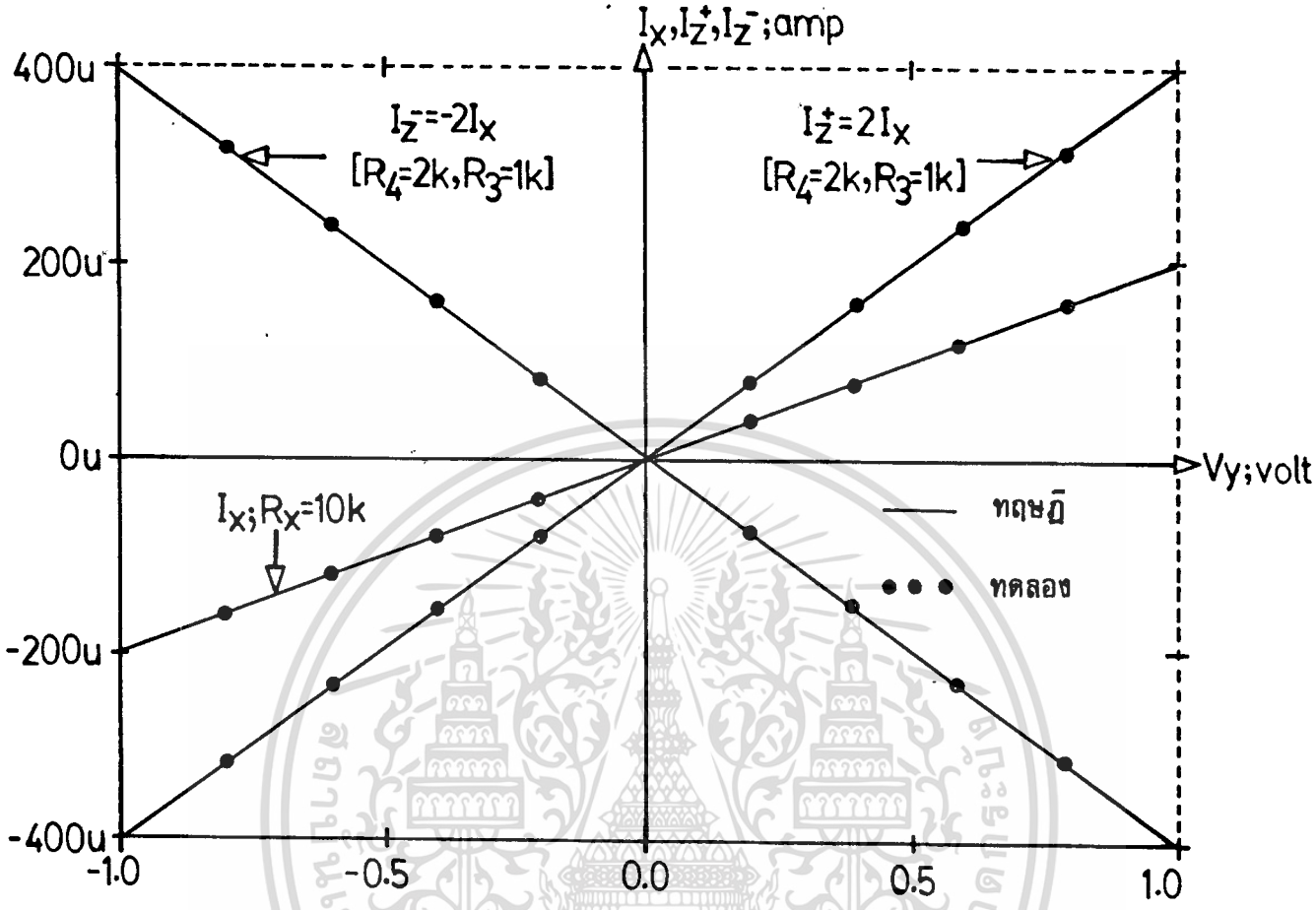
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองไว้ดังรูป 4.13 ต่อมาทำการวัดค่ากระแสที่ไหลผ่านความต้านทาน R_x ซึ่งเป็นค่าของกระแส ix และวัดค่ากระแสที่ไหลผ่านความต้านทาน R_z ในวงจรรูป 4.11ซึ่งแสดงเป็นค่าของกระแส i_z+ และวัดค่ากระแสที่ไหลผ่านความต้านทาน R_z ในวงจรรูป 4.12 ซึ่งแสดงเป็นค่าของกระแส i_z- ตามลำดับ พบว่าได้ความสัมพันธ์ของค่ากระแสทั้งสองดังกล่าวคือในวงจรรูป 4.11 จะได้ $i_z+= 2i_x$ และในวงจรรูป 4.12 จะได้ $i_z- = -2i_x$ ดังแสดงผลการทดลองไว้ดังรูป 4.14 แสดงให้เห็นว่าวงจรมีความเป็นเชิงเส้นและมีความเที่ยงตรงตลอดช่วงของการเปลี่ยนแปลงของค่าศักดาและกระแสเป็นไปตามที่ได้คาดการณ์เอาไว้



รูปที่ 4.13 แสดงผลการทดลองของค่าศักดา V_y และ V_x ตามวงจรรูปที่ 4.11 และรูปที่ 4.12 พร้อมเปรียบเทียบกับค่าที่คำนวณได้จากทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 แสดงผลการทดลองของค่ากระแส i_x และ i_z+ ตามวงจรรูป 4.11 และ i_x และ i_z- ตามวงจรรูป 4.12 พร้อมเปรียบเทียบกับค่าที่ได้จากทฤษฎี

และเพื่อเป็นการยืนยันความถูกต้องอีกทีว่าวงจรตามรูป 4.11 และ 4.12 สามารถมีการทำงานได้ตามหลักการทางทฤษฎีที่ได้นำเสนอ ดังนั้นในการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎีกระทำได้โดยการใช้โปรแกรม PSpice มาทำการวิเคราะห์เลียนแบบการทำงานของวงจรตามรูป 4.11 และ 4.12 โดยกำหนดรายละเอียดของ node ต่างๆทั้งหมดลงในไฟล์ข้อมูลเพื่อใช้สำหรับการวิเคราะห์ด้วยโปรแกรม PSpice ซึ่งรายละเอียดของไฟล์ข้อมูลได้แสดงไว้ในโปรแกรม 4.3 และโปรแกรม 4.4 ตามลำดับ หลังจากการใช้โปรแกรม PSpice วิเคราะห์และเลียนแบบการทำงานของวงจรที่ได้เตรียมไว้ในรูปของไฟล์ข้อมูลแล้วนั้น ในการวัดเพื่อหาค่าของศักดาที่พอร์ท $X(V_x)$ และศักดาที่พอร์ท $Y(V_y)$ดังแสดงในรูป 4.13 สามารถกระทำได้โดยการใช้คำสั่ง V(4) และ V(1) ตามลำดับในโปรแกรม 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือโปรแกรม 4.4 และในการวัดเพื่อหาค่าของกระแสที่พอร์ท $X(i_x)$และกระแสที่พอร์ท $Z(i_z+)$ ของวงจรรูป 4.11 และกระแสที่พอร์ท $Z(i_z-)$ ของวงจรรูป 4.12 สามารถกระทำได้โดยการใช้คำสั่ง I(RX) และ I(RZ) ในโปรแกรม 4.3 และ ใช้คำสั่ง I(RX) และ I(RZ) ในโปรแกรม 4.4 ตามลำดับ ดังนั้นผลการวิเคราะห์ค่าศักดา และกระแสที่พอร์ท X,Y และ Z ดังกล่าวตามวงจรรูป 4.11 และรูป4.12 ดังแสดงผลในรูป 4.13 และรูป 4.14 เป็นไปตามที่คาดหมายเอาไว้ในหัวข้อ 4.4 ดังแสดงในสมการ (4.19)

4.6 บทสรุป

ได้กล่าวถึงการออกแบบวงจรสายพานกระแสซึ่งสามารถที่จะปรับค่าอัตราการขยายแรงดันและอัตราการขยายกระแสได้โดยการเปลี่ยนแปลงอัตราส่วนความต้านทาน R_2/R_1 กับ R_4/R_3 ตามลำดับจากการออกแบบโดยใช้วงจรสายพานกระแสซึ่งมีค่าอัตราการขยายแรงดัน และ กระแสมีค่าเท่ากับ 1 ร่วมกับค่าของความต้านทาน ดังนั้นวงจรสายพานกระแสแบบปรับค่าได้ดังกล่าวตามเนื้อหาในบทนี้ไม่สามารถที่จะปรับค่าอัตราขยายแรงดัน และอัตราการขยายกระแสได้โดยวิธีอิเล็กทรอนิกส์ได้ ยกเว้นเสียแต่จะทำการออกแบบเพิ่มเติมวงจรการควบคุมความต้านทานด้วยศักดาเข้าไปแทนที่ค่าความต้านทานที่ใช้ปรับค่าอัตราการขยายแรงดัน หรือกระแสดังกล่าว ก็ย่อมจะทำให้วงจรสายพานกระแสดังกล่าวนี้สามารถที่จะปรับค่าอัตราการขยายแรงดันและอัตราการขยายกระแส ได้โดยวิธีอีเล็กทรอนิกส์ได้เช่นเดียวกัน ซึ่งจุดประสงค์ในบทนี้ผู้เขียนต้องการเน้นถึงหลักการที่จะสามารถทำให้วงจรสายพานกระแสซึ่งมีค่าอัตราการขยายแรงดันและกระแสเท่ากับ 1 สามารถที่จะทำเป็นวงจรสายพานกระแสที่สามารถปรับค่าอัตราการขยายแรงดัน และกระแสได้โดยไม่เจาะจงว่าจะเป็นวิธีอีเล็กทรอนิกส์ ดังนั้นที่จุดนี้น่าจะเป็นเรื่องที่จะได้มีการค้นคว้าทำต่อไปสำหรับผู้ที่สนใจในเรื่องนี้อยู่ ส่วนในผลของการทดลองวงจรโดยได้นำวงจรสายพานกระแสซึ่งมีค่าอัตราการขยายแรงดันและกระแสมีค่าเท่ากับ 1 ที่ได้ประกอบลงปริ้นสำเร็จรูปดังรูปที่ 3.34 ในบทที่ 3 มาต่อร่วมกับค่าความต้านทานสามารถที่จะเปลี่ยนแปลงค่าอัตราการขยายแรงดันและกระแสได้โดยการเปลี่ยนแปลงอัตราส่วนของความต้านทาน R_2/R_1 กับ R_4/R_3 ตามลำดับ และยืนยันผลการทดลองที่ได้นี้อีกทีหนึ่ง โดยการวิเคราะห์เลียนแบบการทำงานของวงจรด้วยโปรแกรม PSpice สามารถที่จะยืนยันได้ว่าวงจรที่ได้ออกแบบขึ้นมีหลักการและคุณสมบัติของวงจรเป็นไปตามที่คาดหมายเอาไว้

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Realization of current gain (h_{32}= +R_4/R_3) using CCII+1

```
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC  VIN  -1   1   0.1
X1   1   2   3   15   30   CIIP
X2   3   4   5   15   30   CIIP
RX   2   0   10K
R3   4   0   1K
R4   3   0   5K
RZ   5   0   2K
VDD  15  0   DC +10
VSS  30  0   DC -10
VIN  1   0
*  TERMINAL    Y   X   Z+   +VDD -VSS
.SUBCKT  CIIP  3   6   7     15   30
M1   1   3   4   4   MN  L=10U W=200U
M2   2   6   4   4   MN  L=10U W=200U
M3   1   1   15  15  MP  L=10U W=200U
M4   2   1   15  15  MP  L=10U W=200U
M5   5   2   6   6   MN  L=10U W=200U
M6   5   5   15  15  MP  L=10U W=200U
M7   7   5   15  15  MP  L=10U W=200U
I1   4   30  400UA
I2   6   30  1MA
I3   7   30  1MA
.ENDS
*  TERMINAL    Y   X   Z-   +VDD -VSS
.SUBCKT  CIIN  3   6   8     15   30
M1   1   3   4   4   MN  L=10U W=200U
M2   2   6   4   4   MN  L=10U W=200U
M3   1   1   15  15  MP  L=10U W=200U
M4   2   1   15  15  MP  L=10U W=200U
M5   5   2   6   6   MN  L=10U W=200U
M6   5   5   15  15  MP  L=10U W=200U
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
M7    7    5    15   15   MP   L=10U W=200U
M8    7    7    30   30   MN   L=10U W=200U
M9    8    7    30   30   MN   L=10U W=200U
I1    4    30   400UA
I2    6    30   1MA
I3    15   8    1MA
.ENDS
.MODEL MN NMOS (LEVEL=1 VTO=+2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.MODEL MP PMOS (LEVEL=1 VTO=-2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.PROBE
.END
```

โปรแกรม 4.1 แสดงโปรแกรมเลียนแบบการทำงานเพื่อดูผลการตอบสนองทางดีซี ของค่ากระแสที่พอร์ท X และพอร์ท Z^+ ของวงจรตามรูปที่ 4.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Realization of current gain (h_{32}= $-R_4/R_3$) using CCII+1 and CCII-1

```
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC  VIN  -1   1   0.1
X1   1   2   3   15   30   CIIP
X2   3   4   5   15   30   CIIN
RX   2   0   10K
R3   4   0   1K
R4   3   0   5K
RZ   5   0   2K
VDD  15  0   DC +10
VSS  30  0   DC -10
VIN  1   0
*  TERMINAL    Y   X   Z+  +VDD -VSS
.SUBCKT  CIIP  3   6   7    15   30
M1   1   3   4   4   MN  L=10U W=200U
M2   2   6   4   4   MN  L=10U W=200U
M3   1   1   15  15  MP  L=10U W=200U
M4   2   1   15  15  MP  L=10U W=200U
M5   5   2   6   6   MN  L=10U W=200U
M6   5   5   15  15  MP  L=10U W=200U
M7   7   5   15  15  MP  L=10U W=200U
I1   4   30  400UA
I2   6   30  1MA
I3   7   30  1MA
.ENDS
*  TERMINAL    Y   X   Z-  +VDD -VSS
.SUBCKT  CIIN  3   6   8    15   30
M1   1   3   4   4   MN  L=10U W=200U
M2   2   6   4   4   MN  L=10U W=200U
M3   1   1   15  15  MP  L=10U W=200U
M4   2   1   15  15  MP  L=10U W=200U
M5   5   2   6   6   MN  L=10U W=200U
M6   5   5   15  15  MP  L=10U W=200U
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
M7    7    5    15   15   MP   L=10U W=200U
M8    7    7    30   30   MN   L=10U W=200U
M9    8    7    30   30   MN   L=10U W=200U
I1    4    30   400UA
I2    6    30   1MA
I3    15   8    1MA
.ENDS
.MODEL MN NMOS (LEVEL=1 VTO=+2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.MODEL MP PMOS (LEVEL=1 VTO=-2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.PROBE
.END
```

โปรแกรม 4.2 แสดงโปรแกรมเลียนแบบการทำงานเพื่อดูผลการตอบสนองทางดีซี ของค่ากระแสที่พอร์ท X และพอร์ท Z^- ของวงจรตามรูปที่ 4.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Realization of voltage and current gain (h_{21}= $+R_2/R_1$ and h_{32}= $+R_4/R_3$)

```
* using CCII+1
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC  VIN  -1   1   0.1
X1   1   2   3   15   30   CIIP
X2   3   4   5   15   30   CIIP
X3   5   6   7   15   30   CIIP
RX   4   0   10K
R1   2   0   1K
R2   3   0   2K
R3   6   0   1K
R4   5   0   2K
RZ   7   0   2K
VDD  15  0   DC +10
VSS  30  0   DC -10
VIN  1   0
*  TERMINAL     Y   X   Z+   +VDD -VSS
.SUBCKT  CIIP  3   6   7     15   30
M1   1   3   4   4   MN  L=10U W=200U
M2   2   6   4   4   MN  L=10U W=200U
M3   1   1   15  15  MP  L=10U W=200U
M4   2   1   15  15  MP  L=10U W=200U
M5   5   2   6   6   MN  L=10U W=200U
M6   5   5   15  15  MP  L=10U W=200U
M7   7   5   15  15  MP  L=10U W=200U
I1   4   30  400UA
I2   6   30  1MA
I3   7   30  1MA
.ENDS
*  TERMINAL     Y   X   Z-   +VDD -VSS
.SUBCKT  CIIN  3   6   8     15   30
M1   1   3   4   4   MN  L=10U W=200U
M2   2   6   4   4   MN  L=10U W=200U
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
M3    1    1    15   15   MP   L=10U W=200U
M4    2    1    15   15   MP   L=10U W=200U
M5    5    2    6    6    MN   L=10U W=200U
M6    5    5    15   15   MP   L=10U W=200U
M7    7    5    15   15   MP   L=10U W=200U
M8    7    7    30   30   MN   L=10U W=200U
M9    8    7    30   30   MN   L=10U W=200U
I1    4    30   400UA
I2    6    30   1MA
I3    15   8    1MA
.ENDS
.MODEL MN NMOS (LEVEL=1 VTO=+2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.MODEL MP PMOS (LEVEL=1 VTO=-2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.PROBE
.END
```

โปรแกรม 4.3 แสดงโปรแกรมเลียนแบบการทำงานเพื่อดูผลการตอบสนองทางดีซี ของค่าศักดาที่พอร์ท X และ Y กับค่ากระแสที่พอร์ท X และ Z^+ ของวงจรตามรูปที่ 4.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Realization of voltage and current gain (h_{21}= $+R_2/R_1$ and h_{32}= $-R_4/R_3$)

```
* using CCII+1 and CCII-1
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC  VIN  -1   1   0.1
X1   1   2   3   15   30   CIIP
X2   3   4   5   15   30   CIIP
X3   5   6   7   15   30   CIIN
RX   4   0   10K
R1   2   0   1K
R2   3   0   2K
R3   6   0   1K
R4   5   0   2K
RZ   7   0   2K
VDD  15  0   DC +10
VSS  30  0   DC -10
VIN  1   0
*  TERMINAL    Y   X   Z+   +VDD -VSS
.SUBCKT  CIIP  3   6   7     15   30
M1   1   3   4   4   MN  L=10U W=200U
M2   2   6   4   4   MN  L=10U W=200U
M3   1   1   15  15  MP  L=10U W=200U
M4   2   1   15  15  MP  L=10U W=200U
M5   5   2   6   6   MN  L=10U W=200U
M6   5   5   15  15  MP  L=10U W=200U
M7   7   5   15  15  MP  L=10U W=200U
I1   4   30  400UA
I2   6   30  1MA
I3   7   30  1MA
.ENDS
*  TERMINAL    Y   X   Z-   +VDD -VSS
.SUBCKT  CIIN  3   6   8     15   30
M1   1   3   4   4   MN  L=10U W=200U
M2   2   6   4   4   MN  L=10U W=200U
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
M3    1    1    15   15   MP   L=10U W=200U
M4    2    1    15   15   MP   L=10U W=200U
M5    5    2    6    6    MN   L=10U W=200U
M6    5    5    15   15   MP   L=10U W=200U
M7    7    5    15   15   MP   L=10U W=200U
M8    7    7    30   30   MN   L=10U W=200U
M9    8    7    30   30   MN   L=10U W=200U
I1    4    30   400UA
I2    6    30   1MA
I3    15   8    1MA
.ENDS
.MODEL MN NMOS (LEVEL=1 VTO=+2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.MODEL MP PMOS (LEVEL=1 VTO=-2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.PROBE
.END
```

โปรแกรม 4.4 แสดงโปรแกรมเลียนแบบการทำงานเพื่อดูผลการตอบสนองทางดีซี ของค่าศักดาที่พอร์ท X และ Y กับค่ากระแสที่พอร์ท X และ Z^- ของวงจรตามรูปที่ 4.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การประยุกต์ใช้งานวงจรสายพานกระแส

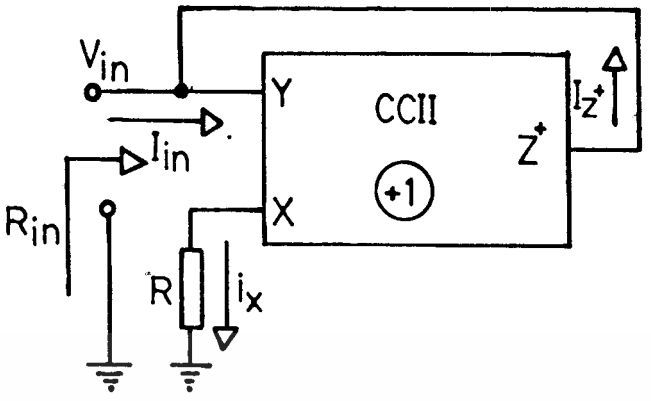
5.1 บทนำ

วงจรสายพานกระแสทั้งแบบที่ไม่สามารถปรับค่าได้ ($i_z = i_x$) และแบบที่สามารถปรับค่า h_{32} ($i_z = A_2.i_x$) และค่า h_{21} ($V_x = A_1.V_y$) ได้ ได้มีการนำไปเป็นอนุกลแอคทีฟในการออกแบบวงจรรวมต่าง ๆ มากมาย เช่น วงจรไจเรเตอร์ (Gyrator)[28] วงจรแปลงค่าอิมพีแดนซ์ทั่วไป (Generalized Impedance Converter) หรือ GIC [29] วงจรแปลงความต้านทานค่าลบ (Negative Resistance Converter)[2] วงจรฟิลเตอร์ (Filter)[30] และวงจรออสซิลเลเตอร์ (Oscillator)[31] เป็นต้น จะเห็นว่าวงจรสามารถนำไปประยุกต์ใช้งานได้มากมายหลายแบบ และเพื่อจะเป็นการทดสอบว่าในการออกแบบวงจรสายพานกระแสชนิดบวกและลบที่ไม่สามารถปรับค่าได้ หรือวงจรสายพานกระแสชนิดบวกและลบที่สามารถปรับค่าได้ดังแสดงวงจรในบทที่ 3 และ 4 ตามลำดับมีการประยุกต์ใช้งานได้จริง ดังนั้นในบทนี้จะแสดงตัวอย่างการนำวงจรสายพานกระแสที่ได้ออกแบบขึ้นไปประยุกต์ใช้งานโดยจะนำไปเป็นอนุกลแอคทีฟในการออกแบบวงจรแปลงความต้านทานค่าลบ ,วงจรออสซิลเลเตอร์ และวงจรแปลงอิมพีแดนซ์ทั่วไปตามลำดับ

5.2 วงจรแปลงความต้านทานค่าลบ (Negative Resistance Converter)

ในการออกแบบวงจรแปลงความต้านทานค่าลบ วงจรสามารถเป็นได้ทั้งความต้านทานค่าลบชนิดต่ออยู่กับกราวด์ หรือ ชนิดลอยตัวที่เป็นแบบศักดาควบคุม หรือ กระแสควบคุม ซึ่งในหัวข้อนี้จะเป็นการเสนอวงจรแปลงความต้านทานค่าลบชนิดต่ออยู่กับกราวด์ ที่เป็นแบบการใช้ศักดาควบคุมโดยใช้วงจรสายพานกระแสชนิดบวก (จากรูปวงจร 3.3) ในการออกแบบวงจรดังกล่าวดังแสดงในรูป 5.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 แสดงวงจรแปลงความต้านทานค่าลบชนิดต่ออยู่กับกราวด์ที่เป็นแบบการใช้ศักดาควบคุม

การทำงานของวงจรกล่าวคือเมื่อป้อนศักดา V_{in} เข้าที่พอร์ท Y ดังนั้นจะมีระดับศักดาเกิดขึ้นที่พอร์ท X มีค่าเท่ากับ V_{in} เช่นเดียวกัน และเนื่องจากที่พอร์ท X มีความต้านทาน R ซึ่งเป็นค่าความต้านทานค่าบวกเพื่อที่จะใช้เป็นค่าในการแปลงไปสู่ค่าความต้านทานค่าลบต่ออยู่ระหว่างพอร์ท X กับกราวด์ ทำให้เกิดมีกระแสเกิดขึ้นที่พอร์ท X มีค่าเท่ากับ V_{in}/R และวงจรดังกล่าวเป็นวงจรสายพานกระแสชนิดบวกดังนั้นกระแสที่เกิดที่พอร์ท Z จะมีค่าและทิศทางเดียวกับกระแสที่พอร์ท X ซึ่งมีลักษณะทิศทางการไหลสวนทางกับกระแส I_{in} เพราะฉะนั้นที่พอร์ท Y ดังกล่าวทำให้สามารถมองเห็นอิมพีแดนซ์เกิดขึ้นมีค่าเท่ากับ -R (ซึ่งเป็นความต้านทานค่าลบที่เกิดขึ้นระหว่างพอร์ท Y กับกราวด์) ดังการพิจารณาต่อไปนี้

ที่พอร์ท X จะมีกระแสเกิดขึ้นมีค่าเป็น

$$i_x = V_{in}/R = i_{z+} \qquad (5.1)$$

และที่พอร์ท Y หรือที่พอร์ท Z^+ จะมี

$$I_{in} + i_{Y} + i_{z+} = 0 \qquad (5.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่เนื่องจาก $i_y = 0$ ทำให้

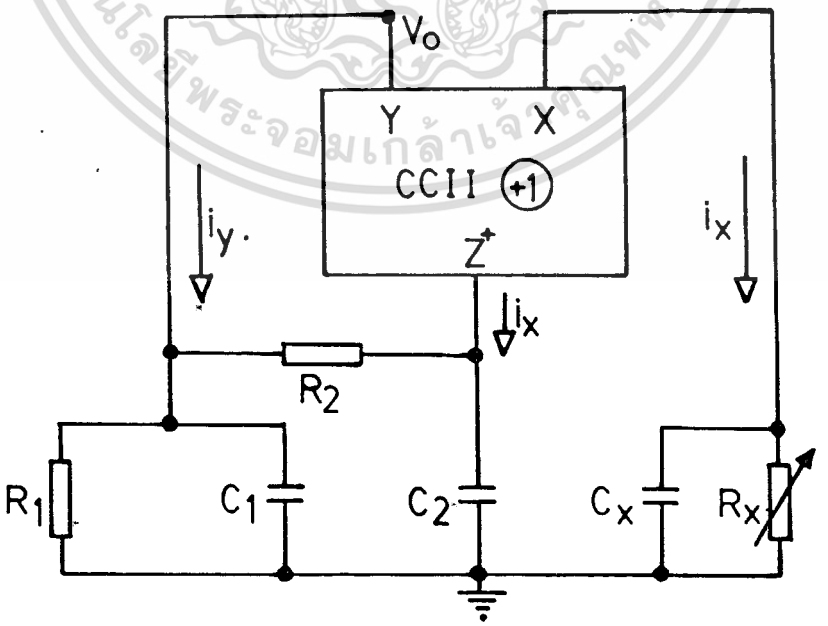
$$I_{in} = -i_z+ = -V_{in}/R \qquad (5.3)$$

ดังนั้นจะได้

$$R_{in} = V_{in}/I_{in} = -R \qquad (5.4)$$

5.3 วงจรออสซิลเลเตอร์ (Oscillator)

ในหัวข้อนี้จะแสดงการนำเอาวงจรสายพานกระแสชนิดบวกซึ่งมีเกนขยายกระแสเท่ากับหนึ่ง ($i_z+ = i_x$) ออกแบบเป็นวงจรออสซิลเลเตอร์ ซึ่งวงจรดังกล่าวประกอบด้วยวงจรสายพานกระแสชนิดบวกที่เป็นอนุกลแอคทีฟเพียงตัวเดียว และมีตัวเก็บประจุ 3 ตัว (ซึ่งทุกตัวล้วนแต่ต่อร่วมอยู่กับกราวด์ของวงจรทั้งสิ้น) รวมทั้งมีตัวต้านทานอีก 3 ตัวที่เป็นอนุกลแพสซีฟ วงจรออสซิลเลเตอร์ดังแสดงในรูป 5.2 นี้สามารถปรับค่าของความถี่ได้โดยการเปลี่ยนแปลงค่าความต้านทาน R_x และเพื่อพิจารณาความแน่นอนหรือเสถียรภาพด้านความถี่ของวงจรสามารถพิจารณาได้จากค่าเซนซิติวิตีของความถี่ (Wo) เทียบกับการเปลี่ยนค่าอุปกรณ์ในวงจรพบว่ามีค่าต่ำทำให้วงจรมีความเสถียรภาพด้านความถี่ที่ดีมากวงจรหนึ่ง



รูปที่ 5.2 แสดงวงจรออสซิลเลเตอร์ โดยใช้วงจรสายพานกระแสชนิดบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 5.2 ที่วงจรสายพานกระแสชนิดบวกจะมีค่าของ $i_{z+} = i_x$, $i_y = 0$ และ $V_x = V_y$

ดังนั้นที่ V_y พบว่า

$$(1/R_1 + 1/R_2 + sC_1)V_y - V_{z+}/R_2 = i_y \qquad (5.5)$$

ที่ V_{z+} พบว่า

$$(1/R_2 + sC_2)V_{z+} - V_y/R_2 = i_x \qquad (5.6)$$

ที่ V_x พบว่า

$$(1/R_x + sC_x)V_x = i_x \qquad (5.7)$$

จากสมการ(5.6)เท่ากับ สมการ(5.7) และมีค่าของ $V_x = V_y$ ดังนั้นจะได้

$$(1/R_2 + sC_2)V_{z+} + (1/R_x + 1/R_2 + sC_x)V_y = 0 \qquad (5.8)$$

และจากสมการ (5.5) และ สมการ (5.8) สามารถเขียนสมการแสดงลักษณะเฉพาะ (Characteristic Equation) ของการออสซิลเลทจากวงจรได้เป็น

$$s^2C_1C_2R_2 + s[C_2(1 + R_2/R_1) + C_1 - C_x] + (R_x - R_1)/R_xR_1 = 0 \qquad (5.9)$$

และจากสมการ (5.9)กำหนดให้ส่วนของค่าจริง (Real Part) และส่วนของค่าจินตภาพ (Imaginary Part) เป็นศูนย์จะได้สมการซึ่งแสดงค่าของความถี่ (Oscillation Frequency) และสมการกำหนดเงื่อนไขการออสซิลเลชั่น (Condition for Oscillation) ตามลำดับดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการแสดงค่าของความถี่มีค่าเป็น

$$Wo = [(R_x - R_1)/R_1R_2R_xC_1C_2]^{1/2} \quad (5.10)$$

สมการกำหนดเงื่อนไขการออสซิลเลชั่น

$$C_x = C_2(1 + R_2/R_1) + C_1 \quad (5.11)$$

ส่วนในการพิจารณาหาค่าของเซนซิติวิตีของความถี่ (Wo) เทียบกับการเปลี่ยนค่าของอนุกลแพสซีฟ สามารถหาได้จากสมการ (5.12)

$$S^Y_X = (X/Y).\partial Y/\partial X \quad (5.12)$$

ฉะนั้นจากค่า Wo ดังแสดงในสมการ (5.10) จะมีค่าของเซนซิติวิตี้เทียบกับอนุกลแพสซีฟแต่ละชนิดเป็น

$$S^{Wo}_{R2} = (R_2/Wo).\partial Wo/\partial R_2 = -1/2 \quad (5.13)$$

$$S^{Wo}_{C1} = (C_1/Wo).\partial Wo/\partial C_1 = -1/2 \quad (5.14)$$

$$S^{Wo}_{C2} = (C_2/Wo).\partial Wo/\partial C_2 = -1/2 \quad (5.15)$$

$$S^{Wo}_{CX} = (C_x/Wo).\partial Wo/\partial C_x = 0 \quad (5.16)$$

$$S^{Wo}_{RX} = (R_x/Wo).\partial Wo/\partial R_x = +R_2/2(R_x - R_1) \quad (5.17)$$

$$S^{Wo}_{R1} = (R_1/Wo).\partial Wo/\partial R_1 = -R_2/2(R_x - R_1) \quad (5.18)$$

ซึ่งจะเห็นได้ว่าเซนติวิตีที่หาได้มีค่าต่ำเป็นผลให้วงจรมีความเสถียรภาพด้านความถี่มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 วงจรแปลงอิมพีแดนซ์ทั่วไป (Generalized Impedance Converter) หรือ GIC

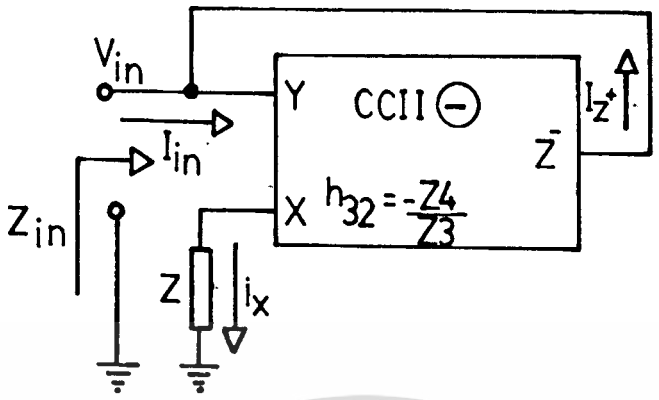
ในการออกแบบวงจรแปลงอิมพีแดนซ์ทั่วไปวงจรสามารถนำไปประยุกต์ใช้งานได้ต่าง ๆ กันมากมายซึ่งไม่มีขีดจำกัดอยู่เฉพาะค่าอิมพีแดนซ์ที่มองเห็นเป็นค่าความต้านทานลบ (ดังวงจรรูป 5.1)หรือมองเห็นเป็นค่าความต้านทานบวก (ถ้าเปลี่ยนวงจรสายพานกระแสจากชนิดบวกเป็นชนิดลบในรูปที่ 5.1) เท่านั้น วงจรสามารถนำไปประยุกต์ใช้งานได้กว้างขวางดังเช่น วงจรเลียนแบบอินดัคเตอร์ [37] วงจรค่าความต้านทานที่ขึ้นอยู่กับความถี่ทั้งแบบบวก หรือแบบลบ (Frequency-Dependent Negative or Positive Resistance) [37] วงจรค่าอินดัคแตนซ์ที่ขึ้นอยู่กับความถี่ทั้งแบบบวก หรือแบบลบ (Frequency Dependent Negative or Positive Inductance) [37] วงจรค่าคอนดัคแตนซ์ที่ขึ้นอยู่กับความถี่ทั้งแบบบวก หรือลบ (Frequency - Dependent Negative or Positive Conductance) [37] หรือวงจรค่าคาปาซิแตนซ์ที่ขึ้นอยู่กับความถี่แบบบวก หรือลบ (Frequency-Dependent Negative or Positive Capacitance) [37] เป็นต้น

ดังนั้นในการออกแบบวงจรแปลงอิมพีแดนซ์ทั่วไปในหัวข้อนี้สามารถสร้างขึ้นได้จากวงจรสายพานกระแสชนิดลบที่สามารถเปลี่ยนแปลงค่าเกนขยายกระแสหรือค่า h_{32} ดังแสดงวงจรในรูปที่ 4.4 หรือสามารถสร้างขึ้นได้จากวงจรสายพานกระแสชนิดลบที่สามารถเปลี่ยนแปลงค่าเกนขยายกระแสหรือค่า h_{32} และเกนขยายศักดาหรือค่า h_{21} ดังแสดงในรูปที่ 4.6 ตามลำดับ

5.4.1 วงจรแปลงอิมพีแดนซ์ทั่วไปที่สร้างขึ้นจากวงจรสายพานกระแสชนิดลบที่สามารถเปลี่ยนแปลงค่า h_{32} ได้ ดังแสดงในรูป 5.3

การทำงานของวงจรกล่าวคือ เมื่อป้อนศักดา V_{in} เข้าที่พอร์ท Y ดังนั้นจะมีระดับศักดาเกิดขึ้นที่พอร์ท X มีค่าเท่ากับ V_{in} เช่นเดียวกัน และเนื่องจากที่พอร์ท X มีค่าอิมพีแดนซ์เท่ากับ Z ต่ออยู่ระหว่างพอร์ท X กับกราวด์ทำให้เกิดมีกระแสเกิดขึ้นที่พอร์ท X มีค่าเท่ากับ V_{in}/Z และวงจรดังกล่าวเป็นวงจรสายพานกระแสชนิดลบ และมีค่าเกนขยายกระแสเท่ากับ Z_4/Z_3 ดังนั้นกระแสที่เกิดขึ้นที่พอร์ท Z จะมีค่าเท่ากับ $(Z_4/Z_3).i_x$ และมีทิศทางตรงกันข้ามกับกระแสที่พอร์ท X หรือทิศทางการไหลของกระแส i_z- มีทิศทางการไหลในทิศทางเดียวกับกระแส I_{in} ดังนั้นที่พอร์ท Y และกราวด์ทำให้สามารถมองเห็นอิมพีแดนซ์ที่เกิดขึ้นมีค่าเท่ากับ $Z.Z_1/Z_2$ ดังการพิจารณาต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 แสดงวงจรแปลงอิมพีแดนซ์ทั่วไปที่สร้างขึ้นจาก CCII- ที่มีค่า $h_{32} = -Z_4/Z_3$

ที่พอร์ท X จะมีกระแสเกิดขึ้นมีค่าเป็น

$$i_x = V_{in}/Z \qquad (5.19)$$

และกระแสที่เกิดขึ้นที่พอร์ท Z^- เนื่องจากค่าเกนขยายกระแสเท่ากับ Z_4/Z_3 เป็นผลให้

$$i_{z^-} = -(Z_4/Z_3).i_x = -(Z_4/Z.Z_3).V_{in} \qquad (5.20)$$

ที่พอร์ท Y หรือพอร์ท Z^- จะมี

$$I_{in} + i_Y + i_{z^-} = 0 \qquad (5.21)$$

แต่เนื่องจาก $i_Y = 0$ ทำให้

$$I_{in} = -i_{z^-} = (Z_4/Z.Z_3).V_{in} \qquad (5.22)$$

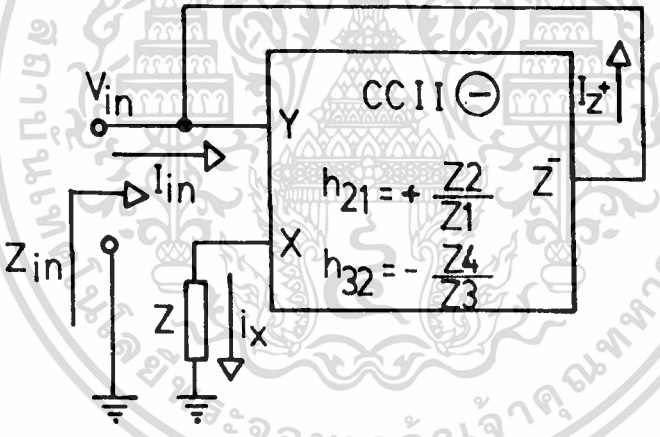
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจะได้

$$Z_{in} = V_{in}/I_{in} = Z.Z_3/Z_4 = Z/A_2 \qquad (5.23)$$

จากสมการ (5.23) เป็นค่าอินพุทอิมพีแดนซ์ (Input Impedance) ที่เกิดขึ้นระหว่างพอร์ท Y ของวงจรดังรูป 5.3

5.4.2 วงจรแปลงอิมพีแดนซ์ทั่วไปที่สร้างขึ้นจากวงจรสายพานกระแสชนิดลบที่สามารถเปลี่ยนแปลงค่า h_{21} และ h_{32} ได้ ดังแสดงในรูป 5.4



รูปที่ 5.4 แสดงวงจรแปลงอิมพีแดนซ์ทั่วไปที่สร้างขึ้นจาก CCII- ที่มีค่า $h_{21} = Z_2/Z_1$ และ $h_{32} = -Z_4/Z_3$

การทำงานของวงจรมีการทำงานเช่นเดียวกับวงจรในรูป 5.3 กล่าวคือ เมื่อป้อนศักดา V_{in} เข้าที่พอร์ท Y ดังนั้นจะมีระดับศักดาเกิดขึ้นที่พอร์ท X มีค่ากับผลคูณของค่าเกนขยายศักดาซึ่งเท่ากับ $h_{21} = Z_2/Z_1$ กับระดับศักดา V_{in} และเนื่องจากที่พอร์ท X ซึ่งมีค่าอิมพีแดนซ์เท่ากับ Z ต่ออยู่ระหว่างพอร์ท X กับกราวด์ทำให้เกิดมีกระแสเกิดขึ้นที่พอร์ท X มีค่าเท่ากับ V_x/Z และวงจรดังกล่าวเป็นวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สายพานกระแสชนิดลบ และมีค่าเกนขยายเท่ากับ Z_4/Z_3 ดังนั้นกระแสที่เกิดขึ้นที่พอร์ท Z จะมีค่าเท่ากับ $(Z_4/Z_3).i_x$ และมีทิศทางตรงข้ามกับกระแสที่พอร์ท X หรือทิศทางการไหลของกระแส i_z มีทิศทางเดียวกันกับ กระแส I_{in} ดังนั้นที่พอร์ท Y และกราวด์ทำให้สามารถมองเห็นอิมพีแดนซ์ที่เกิดขึ้นมีค่าเท่ากับ $Z.Z_1.Z_3/Z_2.Z_4$ ดังการพิจารณาต่อไปนี้

เมื่อป้อนศักดา V_{in} เข้าที่พอร์ท Y จะทำให้เกิดระดับศักดาขึ้นที่พอร์ท X เนื่องจากค่าเกนขยายศักดา (h_{21}) เท่ากับ Z_2/Z_1 มีค่าเป็น

$$V_x = (Z_2/Z_1).V_Y = (Z_2/Z_1).V_{in} \qquad (5.24)$$

ที่พอร์ท X จะมีกระแสเกิดขึ้นมีค่าเป็น

$$i_x = V_x/Z = (Z_2/Z.Z_1).V_{in} \qquad (5.25)$$

และกระแสที่เกิดขึ้นที่พอร์ท Z^- เนื่องจากค่าเกนขยายกระแส (h_{32}) เท่ากับ Z_4/Z_3 เป็นผลให้

$$i_{Z^-} = -(Z_4/Z_3).i_x = -(Z_2.Z_4/Z.Z_1.Z_3).V_{in} \qquad (5.26)$$

ที่พอร์ท Y หรือพอร์ท Z^- จะมี

$$I_{in} + i_Y + i_{Z^-} = 0 \qquad (5.27)$$

แต่เนื่องจาก $i_Y = 0$ ทำให้

$$I_{in} = -i_{Z^-} = (Z_2.Z_4/Z.Z_1.Z_3).V_{in} \qquad (5.28)$$

ดังนั้นจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

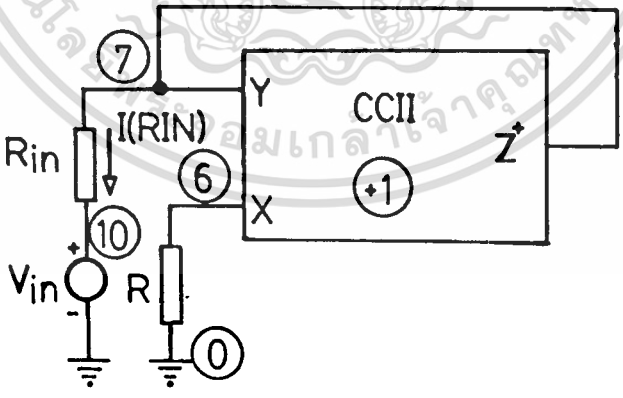
$$Z_{in} = V_{in}/I_{in} = Z.Z_1.Z_3/Z_2.Z_4 = Z/A_1.A_2 \quad (5.29)$$

จากสมการ (5,29) เป็นค่าอินพุทอิมพีแดนซ์ (Input Impedance) ที่เกิดขึ้นระหว่างพอร์ท Y กับกราวด์ของวงจรดังรูป 5.4 ที่ใช้งานได้กว้างขวางกว่าสมการ (5.23) ซึ่งเป็นสมการของวงจรดังรูป 5.3

5.5 ผลการทดลองและผลการวิเคราะห์เลียนแบบการทำงานของวงจรด้วยโปรแกรม Pspice

5.5.1 การทดลองวงจรแปลงความต้านทานค่าลบที่สร้างจากวงจร CCII+1

ในการวัดค่าความต้านทานค่าลบที่เกิดขึ้นกับวงจรแปลงความต้านทานค่าลบที่ออกแบบจากวงจร CCII+1 จะกระทำได้โดยใช้วงจรที่สร้างขึ้นดังรูป 5.5 ซึ่งวงจรตามรูป 5.5 ดังกล่าวจะเป็นวงจรแปลงความต้านทานค่าลบที่เป็นแบบการใช้ศักดาควบคุมซึ่งให้ค่าความต้านทานค่าลบ เกิดขึ้นระหว่างหมายเลขประจำ node ที่ 7 กับกราวด์ที่เป็นชนิดต่ออยู่กับกราวด์ (Grouned)



รูปที่ 5.5 แสดงวงจรแปลงความต้านทานค่าลบชนิดต่ออยู่กับกราด์ที่เป็นแบบการใช้ศักดาควบคุม

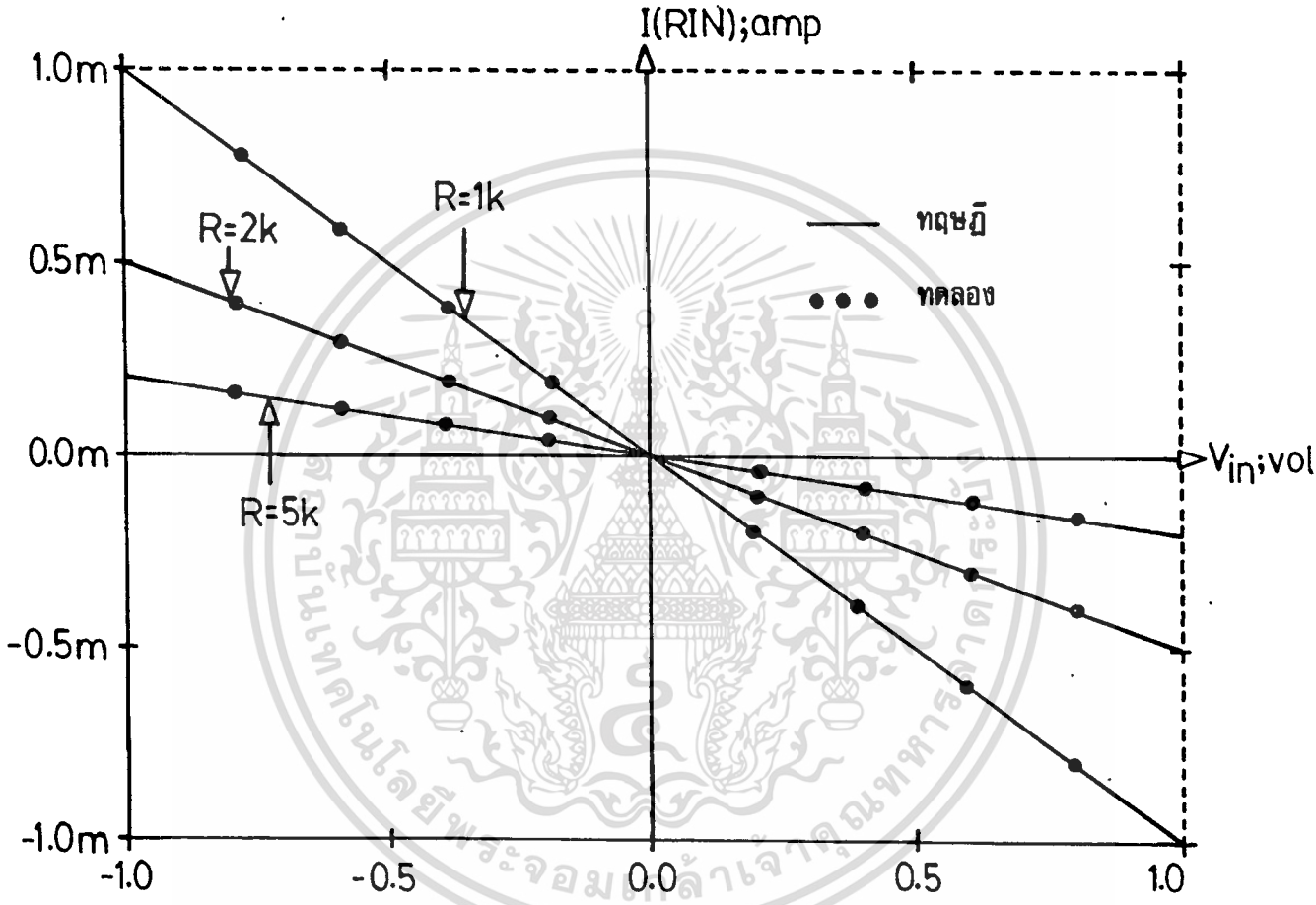
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทดลองวงจรตามรูป 5.5 เพื่อศึกษาถึงการการวัดค่าความต้านทานค่าลบที่เป็นชนิดต่ออยู่กับกราวด์ซึ่งเกิดขึ้นระหว่างหมายเลขประจำ node ที่ 7 กับ node 0 ขณะที่วงจรดังกล่าวจะมีความต้านทานค่าบวกต่อร่วมอยู่ด้วยกัน 2 ตัว คือ R และ Rin โดยที่ความต้านทานค่าบวก R มีหน้าที่เป็นตัวกำหนดให้เกิดค่าความต้านทานลบตามต้องการ ส่วนความต้านทาน R_{in} ที่ต่ออนุกรมอยู่กับศักดา V_{in} จะเลือกใช้ค่าน้อย ๆ คือมีค่า เท่ากับ $1x10^{-5}\Omega$ ไม่เป็นผลทำให้ค่ากระแสที่เกิดขึ้นเปลี่ยนแปลงไป และเพื่อจุดประสงค์สำหรับความสะดวกในการหาค่าความต้านทานอินพุทของวงจรที่เกิดขึ้น ซึ่งหาได้จากอัตราส่วนของ $V_{in}/I(R_{in})$ ในผลการวิเคราะห์วงจรดังกล่าวด้วย โปรแกรม PSpice ที่จะกล่าวต่อไป ต่อวงจรตามรูป 5.5 แบบ ดีสครีทลงบนโฟรโตบอร์ดโดยที่ในส่วนของวงจร CCII+1 ได้จากวงจรตามรูป 3.12 ดังแสดงในหัวข้อ 3.7.1 โดยที่มอสเฟท NMOS หรือ PMOS ซึ่งเป็นชนิดเอ็นฮานเมนท์-โหมด นำมาใช้จากภายในไอซี เบอร์ CD 4007 และใช้ระดับศักดาจ่าย V_{DD} และ V_{SS} มีค่าเท่ากับ 10 โวลท์ และ -10 โวลท์ ตามลำดับ ส่วน ค่าความต้านทาน R_{in} เลือกใช้เท่ากับ $1x10^{-5}\Omega$ (หรืออาจทำได้ด้วยการลัดวงจร) และความต้านทาน R ขั้นแรกเลือกใช้ $R=1k\Omega$ หลังจากนั้นทำการป้อนศักดา V_{in} เข้าที่ความต้านทาน R_{in} หรือที่ node 10 และกราวด์มีค่าจาก -1 โวลท์จนถึง 1 โวลท์ แล้ววัดค่ากระแสที่ไหลผ่านความต้านทาน R_{in} ซึ่งเป็นค่าของกระแสอินพุท ซึ่งพบว่าได้ความสัมพันธ์ค่าความต้านทานอินพุทของวงจรซึ่งหาได้จาก $V_{in}/I(R_{in})$ มีค่าเท่ากับ $-1k\Omega$ หลังจากนั้นทดลองเปลี่ยนค่าความต้านทาน R เป็น $2k\Omega$ และ $5k\Omega$ ตามลำดับ ป้อนศักดา V_{in} เข้าที่ความต้านทาน R_{in} หรือที่ node 10 และกราวด์ เช่นเดียวกับที่กล่าวมาข้างต้น ทำการวัดค่ากระแสที่ไหลผ่านความต้านทาน R_{in} ซึ่งเป็นค่าของกระแสอินพุท พบว่าได้ความสัมพันธ์ค่าความต้านทานอินพุทของวงจรมีค่าเท่ากับ $-2k\Omega$ และ $-5k\Omega$ ตามลำดับ แสดงให้เห็นว่าวงจรมีความเป็นเชิงเส้น และมีความเที่ยงตรงเป็นไปตามที่ได้คาดหมายเอาไว้ดังแสดงผลการทดลองไว้ดังรูป 5.6

และเพื่อเป็นการยืนยันความถูกต้องอีกทีว่าวงจรตามรูป 5.5 สามารถมีการทำงานได้ตามหลักการทฤษฎีที่ได้นำเสนอ ดังนั้นในการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎีกระทำได้ โดยการใช้โปรแกรม PSpice มาทำการวิเคราะห์ และเลียนแบบการทำงานของวงจรตามรูป 5.5 โดยกำหนดรายละเอียดของ node ต่าง ๆ ทั้งหมดลงในไฟล์ข้อมูลดังแสดงไว้ในโปรแกรม 5.1 หลังจากการใช้โปรแกรม PSpice วิเคราะห์ และ เลียนแบบการทำงานของวงจรที่ได้เตรียมไว้ในรูปของไฟล์ข้อมูลดังแสดงในโปรแกรม 5.1 แล้วนั้นในการวัดเพื่อหาค่าของกระแสที่ไหลผ่านความต้านทาน R_{in} ซึ่งเป็นค่าของกระแสอินพุทที่เป็นค่าตามหลักการทางทฤษฎี สามารถกระทำได้โดยการใช้คำสั่งเป็น I(RIN) ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ดัดแปลง เผยแพร่ หรือแสวงหาประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับ และได้ผลการวิเคราะห์ดังแสดงในรูป 5.6 โดยที่สามารถหาค่าความต้านอินพุทของวงจรได้จาก $V_{in}/I(R_{in})$ มีค่าเท่ากับ $-1k\Omega$, $-2k\Omega$ และ $-5k\Omega$ เมื่อทดลองเปลี่ยนค่าความต้านทาน R เป็น 1k, 2k และ $5k\Omega$ ตามลำดับ ซึ่งเป็นค่าที่ได้ตามที่คาดหมายเอาไว้ในหัวข้อ 5.2 ดังแสดงในสมการ (5.4)



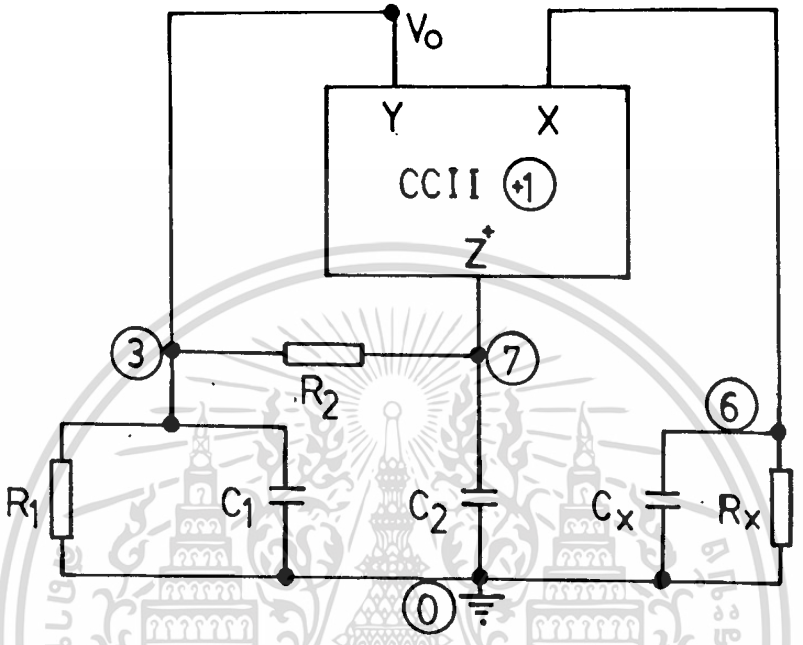
รูปที่ 5.6 แสดงผลการทดลองวัดค่าของกระแสอินพุทตามวงจรรูปที่ 5.5 พร้อมเปรียบเทียบกับค่าที่คำนวณได้จากทฤษฎี

5.5.2 การทดลองวงจรออสซิลเลเตอร์ที่สร้างจากวงจร CCII+1

จะกระทำได้โดยใช้วงจรที่สร้างขึ้นดังรูป 5.7 ซึ่งวงจรดังกล่าวประกอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยวงจร CCII+1 ที่เป็นอนุกลแอคทีฟที่ได้จากวงจรตามรูป 3.12 ดังแสดงในหัวข้อ 3.7.1 และมีตัวเก็บประจุ 3 ตัว คือ C_1 ,C_2 และ C_x (ซึ่งทุกตัวล้วนแต่ต่อร่วมอยู่กับกราวด์ของวงจรทั้งสิ้น) รวมทั้งมีตัวต้านทานอีก 3 ตัว คือ R_1 ,R_2 และ R_x ที่เป็นอนุกลแพสซีฟ



รูปที่ 5.7 แสดงการทดลองวัดค่า V_o ของวงจรออสซิลเลเตอร์ที่สร้างจากวงจร CCII+1

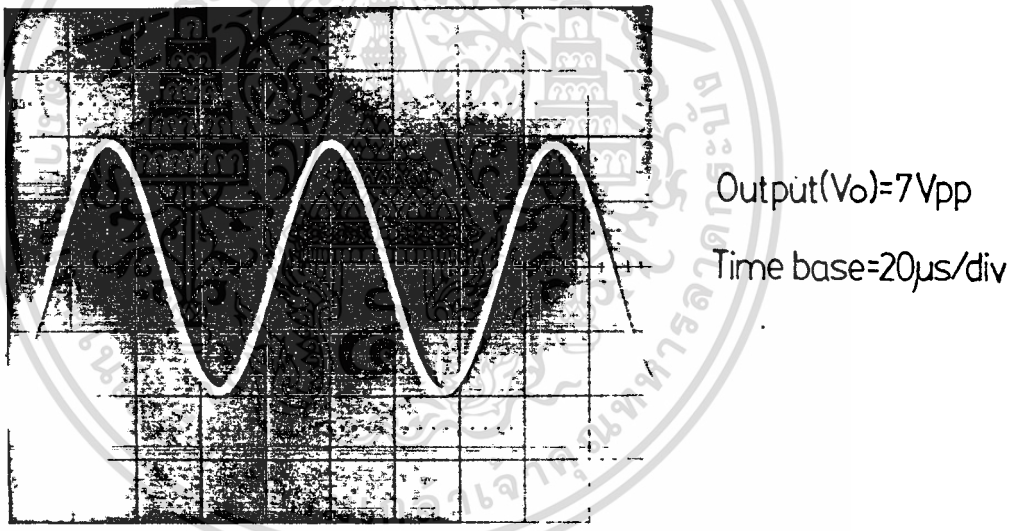
ในการทดลองวงจรตามรูป 5.7 เพื่อวัดค่า V_o ซึ่งเป็นค่าศักดาที่เกิดขึ้นที่ node 3 หรือศักดาที่พอร์ท Y ของ CCII+1 ที่มีลักษณะคลื่นศักดาที่เกิดขึ้นเป็นคลื่นรูปซายน์ (Sine Wave) โดยความถี่ของคลื่นรูปซายที่เกิดขึ้นเป็นไปตามสมการ(5.10) และมีสมการกำหนดเงื่อนไขการออสซิลเลชั่นเป็นไปตามสมการ (5.11) ซึ่งในการทดลองวงจรจะกำหนดให้ตัวเก็บประจุมีค่าเป็น $C_1 = C_2 = C$ และตัวต้านทานมีค่าเป็น $R_1 = R_2 = R$ ทำให้มีสมการแสดงค่าความถี่ของวงจร และมีสมการกำหนดเงื่อนไขการออสซิลเลชั่นอยู่ในรูปแบบที่ง่ายดังแสดงในสมการ (5.30) และ (5.31) ตามลำดับ

$$f = (1/2\pi RC).(1 - R/R_x)^{1/2} \quad , \text{ โดยที่ } R_x \geq R \qquad (5.30)$$

$$C_x = 3C \qquad (5.31)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อวงจรตามรูป 5.7 แบบดีสครีทลงบนโฟรโตบอร์ดโดยที่ในส่วนของวงจร CCII+1 ได้จากวงจรตามรูป 3.12 ดังแสดงในหัวข้อ 3.7.1 โดยมอสเฟททุกตัวนำมาใช้จากภายในไอซีเบอร์ CD 4007 และใช้ระดับศักดาจ่าย V_{DD} และ V_{SS} มีค่าเท่ากับ 10 โวลท์และ -10 โวลท์ ตามลำดับ ส่วนค่าตัวเก็บประจุเลือกใช้ดังนี้ C = 0.001uF และ C_x= 0.003uF และค่าตัวต้านทานเลือกใช้เป็น R=10 Ω และ R_x= 50k Ω ดังนั้นจากการแทนค่าดังกล่าวลงในสมการ (5.30) จะได้ค่าความถี่ในการออสซิลเลท (f) เท่ากับ 14.24kHz หรือมีค่าคาบเวลา (T) เท่ากับ 70us ซึ่งผลการทดลองวงจรดังกล่าวสามารถแสดงผลของค่าความถี่สัญญาณคลื่นรูปซายน์ ที่จุด V_o มีค่าเท่ากับ 14.24kHz หรือมีคาบเวลาของสัญญาณเท่ากับประมาณ 70us เป็นไปตามที่ได้คาดหมายเอาไว้ที่มีค่าสอดคล้องกับทฤษฎีดังแสดงผลการทดลองไว้ดังรูป 5.8

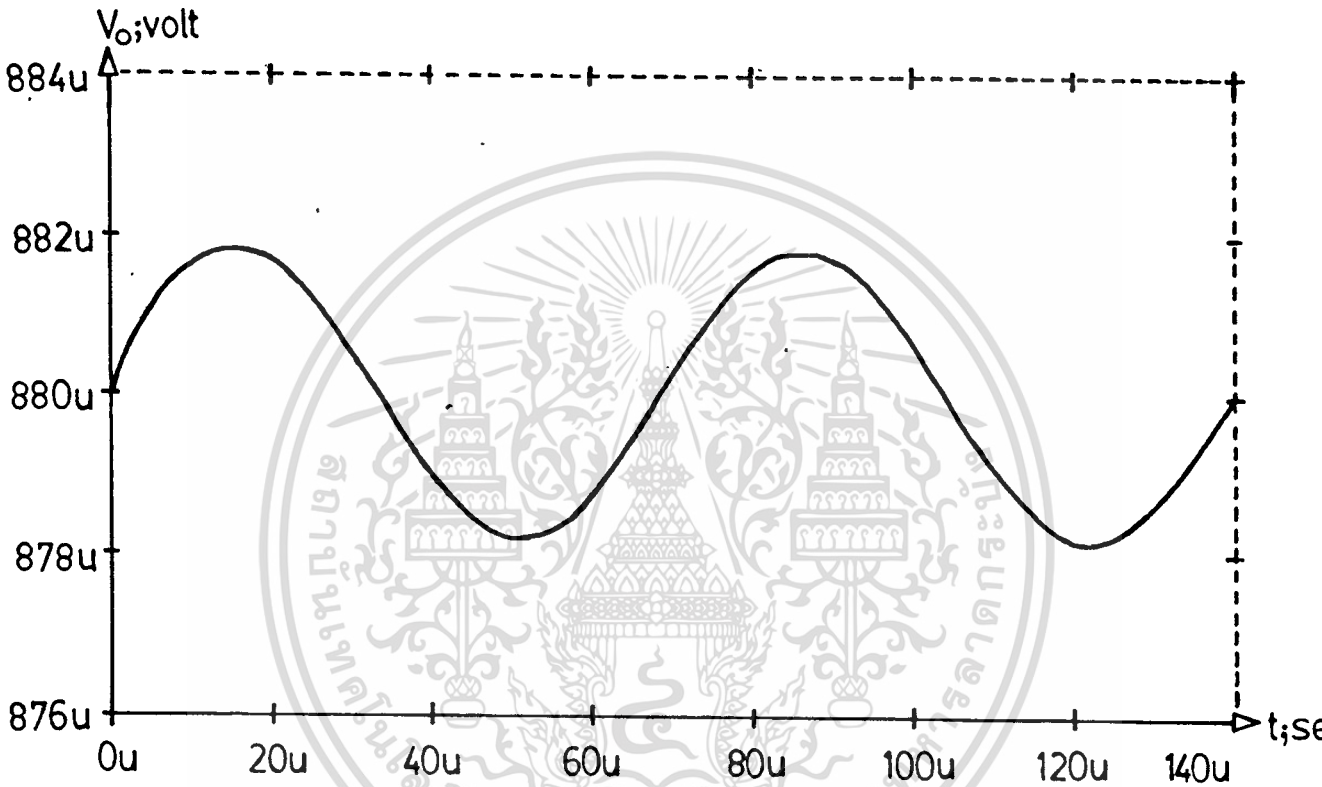


รูปที่ 5.8 แสดงภาพถ่ายสัญญาณที่จุด V_o ของวงจรตามรูปที่ 5.7 โดยการทดลอง

เพื่อยืนยันความถูกต้องอีกทีว่าวงจรตามรูป 5.7 สามารถมีการทำงานได้ตามหลักการทางทฤษฎีที่ได้นำเสนอ จึงได้ใช้โปรแกรม PSpice มาทำการวิเคราะห์และเลียนแบบการทำงานของวงจรตามรูป 5.7 โดยกำหนดรายละเอียดของ node ต่าง ๆ ของวงจรทั้งหมดลงในไฟล์ข้อมูลดังแสดงไว้ในโปรแกรม 5.2 หลังจากการใช้โปรแกรม PSpice วิเคราะห์และเลียนแบบการทำงานของวงจรที่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เตรียมไว้ในรูปของไฟล์ข้อมูลดังแสดงในโปรแกรม 5.2 แล้วนั้น ในการวัดเพื่อหาค่า V_o ที่เป็นค่าตามหลักการทางทฤษฎีสามารถกระทำได้โดยการใช้คำสั่งเป็น V(3) และได้ผลการวิเคราะห์ค่า V_o ดังรูป 5.9 ซึ่งมีค่าของความถี่ในการออสซิลเลทเท่ากับ 14.24 kHz หรือมีคาบเวลาเทากับ 70 us ที่เป็นค่าตามที่ได้คาดหมายเอาไว้ในหัวข้อ 5.3 ดังแสดงในสมการ (5.10) หรือสมการ (5.30)



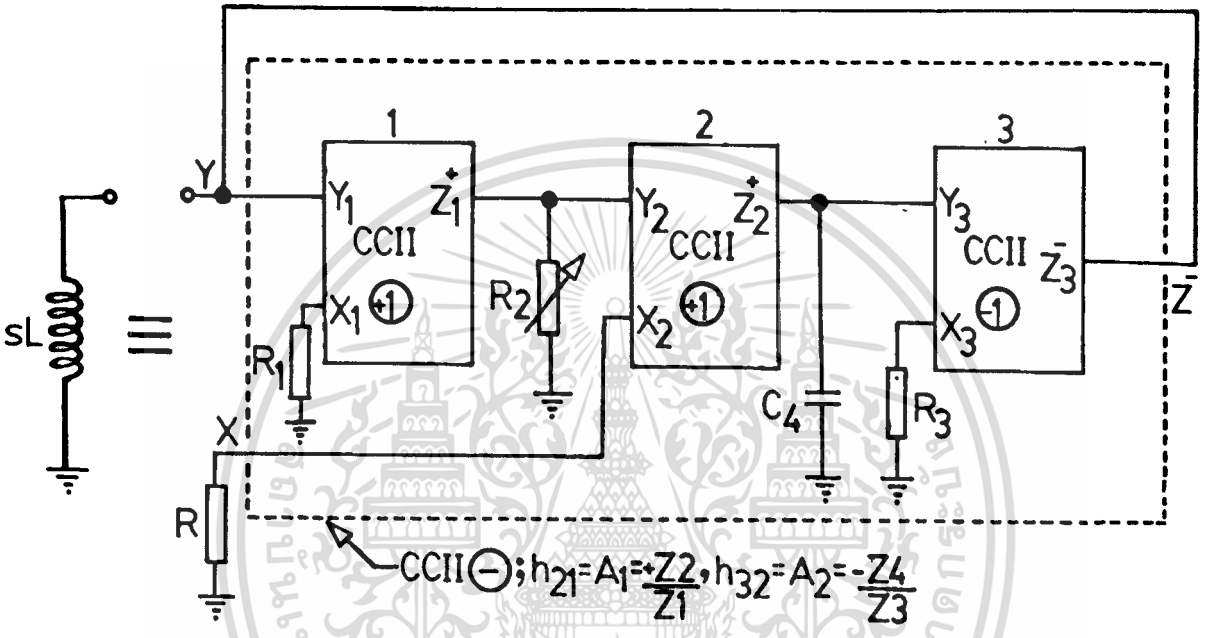
รูปที่ 5.9 แสดงผลการวิเคราะห์ค่าความถี่สัญญาณที่จุด V_o โดยวิธีการเลียนแบบวงจรตามรูปที่ 5.7 ด้วยโปรแกรม PSpice

5.5.3 การทดลองวงจรแปลงอิมพีแดนซ์ทั่วไปเพื่อประยุกต์ใช้งานเป็นขดลวดเหนี่ยวนำ

ในวงจรแปลงอิมพีแดนซ์ทั่วไปตามหัวข้อ 5.4.1 ดังรูป 5.3 ซึ่งได้กล่าวผ่านมาแล้วนั้นค่าอินพุทอิมพีแดนซ์ของวงจร (Z_{in}) มีค่าเท่ากับ $Z.Z_3/Z_4 = Z/A_2$ และตามหัวข้อ 5.4.2 ดังรูป 5.4 ค่าอินพุทอินพีแดนซ์ของวงจร (Z_{in}) มีค่าเท่ากับ $Z.Z_1.Z_3/Z_2.Z_4 = Z/A_1.A_2$ ตามลำดับ ซึ่งใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองนี้ได้เลือกนำเอาวงจรรูป 5.4 ตามหัวข้อ 5.4.2 มาแสดงให้เห็นถึงการประยุกต์ใช้งานเป็นชดลวดเหนี่ยวนำที่สามารถเปลี่ยนแปลงได้ตามค่า A_1 ว่ามีการใช้งานได้จริงดังแสดงรายละเอียดของวงจรดังรูป 5.10 โดยที่วงจรภายในเส้นประก็คือวงจรสายพานกระแสชนิดลบที่สามารถเปลี่ยนแปลงค่า $h_{21} = A_1$ และ $h_{32} = A_2$ ได้นั่นเอง



รูปที่ 5.10 แสดงการทดลองนำเอาวงจรแปลงอิมพีแดนซ์ทั่วไปตามรูปที่ 5.4 มาประยุกต์ใช้งานเป็นชดลวดเหนี่ยวนำชนิดต่ออยู่กับกราวด์

ในการทดลองวงจรตามรูป 5.10 เพื่อเลียนแบบเป็นชดลวดเหนี่ยวนำที่เกิดขึ้นระหว่างพอร์ท Y และกราวด์ (ซึ่งเป็นชดลวดเหนี่ยวนำชนิดต่ออยู่กับกราวด์) ได้กำหนดให้ค่าของอิมพีแดนซ์ต่าง ๆ มีค่าเป็น $Z=R$, $Z_1 = R_1$, $Z_2 = R_2$ ที่ปรับค่าได้ $Z_3 = R_3$ และ $Z_4 = 1/sC_4$ ตามลำดับ ทำให้ค่าอินพุทอิมพีแดนซ์ (Z_{in}) ของวงจรตามรูป 5.10 มีค่าดังแสดงในสมการ (5.32)

$$Z_{in} = X_L = sC_4RR_1R_3/R_2 \qquad (5.32)$$

จากสมการ (5.32) จะได้ค่าอินดัคแตนซ์ทัดเทียม (L) มีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

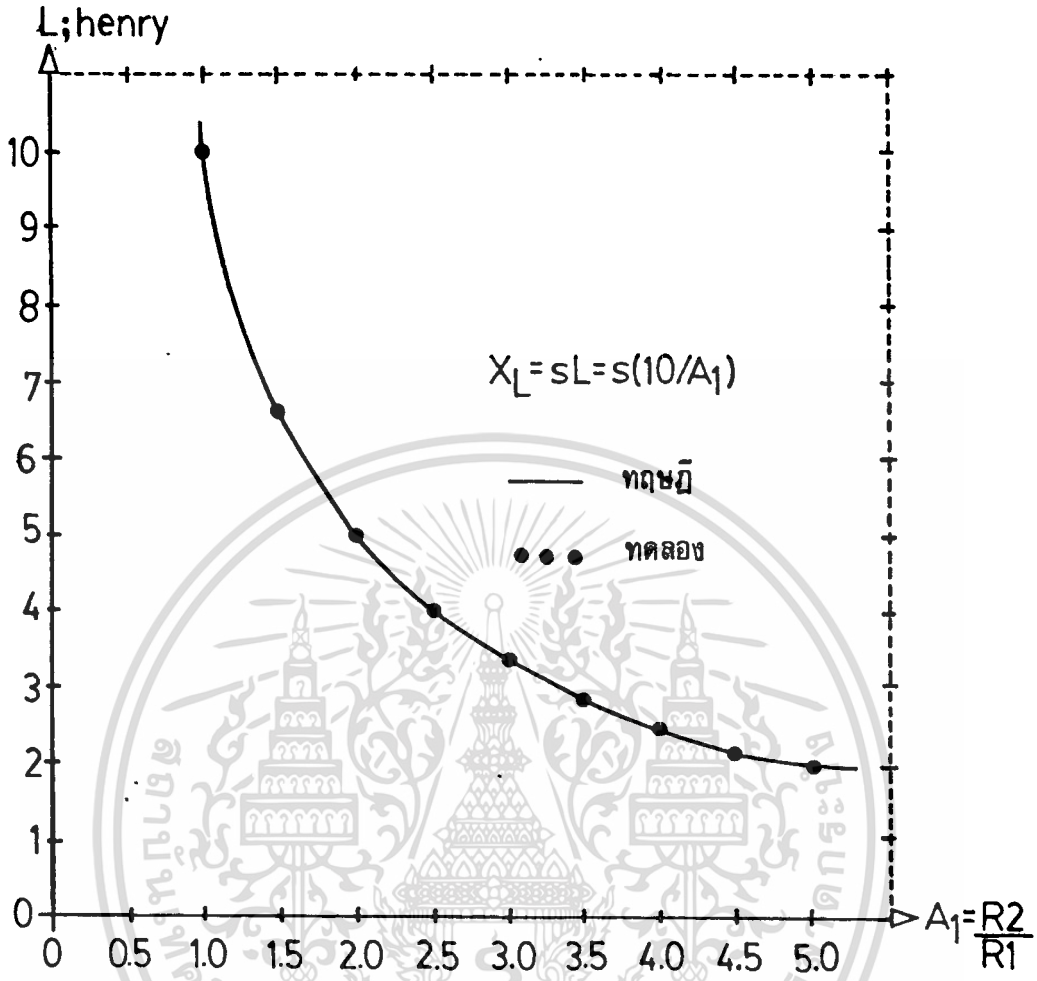
$$L = C_4RR_1R_3/R_2 = C_4RR_3/A_1 \qquad (5.33)$$

ต่อวงจรตามรูป 5.10 แบบดีสครีทลงบนโฟรโตบอร์ดโดยที่ในส่วนของวงจร CCII+1 และ CCII-1 ได้จากวงจรตามรูป 3.12 และรูป 3.18 ในหัวข้อ 3.7.1 และ 3.7.2.2 ตามลำดับ โดยมอสเฟททุกตัวนำมาใช้จากภายในไอซีเบอร์ CD 4007 และใช้ระดับศักดาจ่าย V_{DD} และ V_{SS} มีค่าเท่ากับ 10 โวลท์ และ -10 โวลท์ ตามลำดับ ส่วนค่าตัวเก็บประจุ และค่าความต้านทานต่าง ๆ เลือกใช้ดังนี้ C_4= 1nF ,R=100kΩ,R_3= 100kΩ,R_1= 100kΩ และ R_2 เป็นความต้านทานปรับค่าได้ตั้งแต่ 100kΩ จนถึง 500kΩ ดังนั้น จากการแทนค่าดังกล่าวลงในสมการ (5.33) จะได้ค่าอินดัคแตนซ์ทัดเทียม (L) มีค่าดังสมการ (5.34)

$$L = 10R_1/R_2 = 10/A_1 \qquad (5.34)$$

ทำการทดลองปรับค่าความต้านทาน R_2 ตั้งแต่ 100kΩ จนถึง 500kΩ โดยการปรับเพิ่มทีละ 50kΩ ซึ่งหมายความถึงว่าค่าของ $A_1 = R_2/R_1$ มีเกนขยายเพิ่มขึ้นจาก 1.0,1.5,...,5.0 แล้วทำการวัดค่าอินดัคแตนซ์ (โดยอาศัยเครื่องมือวัดค่าอินดัคแตนซ์นี้จากคณะวิทยาศาสตร์ ภาควิชาฟิสิกส์ประยุกต์ สถาบันเทคโนโลยีพระจอมเกล้าลาดกระบัง) ซึ่งผลการทดลองวัดค่าดังกล่าวสามารถแสดงผลของค่าอินดัคแตนซ์ (L) กับค่าเกนขยาย $A_1 = R_2/R_1$ เป็นไปตามที่ได้คาดหมายเอาได้ที่มีค่าสอดคล้องกับทฤษฎีดังแสดงผลการทดลองไว้ดังรูป 5.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 แสดงผลการทดลองระหว่างความสัมพันธ์ของค่าอินดัคแตนซ์ทัดเทียม (L) กับค่าของเกนขยายศักดา (A_1) ตามวงจรรูปที่ 5.10 กับค่าที่คำนวณได้จากทฤษฎี

5.6 บทสรุป

เป็นการแสดงตัวอย่างการนำเอาวงจรสายพานกระแสแบบปรับค่าไม่ได้ (ซึ่งมีค่าอัตราการขยายแรงดันและค่ากระแสเท่ากับ 1) ไปประยุกต์ใช้งานโดยการนำไปออกแบบเป็นวงจรแปลงความต้านทานค่าลบ (โดยอาศัยการควบคุมด้วยศักดา) และวงจรออสซิลเลเตอร์ ส่วนตัวอย่างการนำเอาวงจรสายพานกระแสแบบปรับค่าได้ (ในที่นี้ เลือกแบบที่สามารถเปลี่ยนแปลงอัตราการขยายกระแส และค่าอัตราการขยายแรงดันได้ ดังรูป 5.4) ไปประยุกต์ใช้งานโดยการนำไปออกแบบเป็นวงจรเลียนแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินดัคเตอร์ ผลการวิเคราะห์และการทดลองได้แสดงให้เห็นว่าค่าความต้านทานค่าลบ ความถี่รูปซายน์ที่เกิดขึ้นจากวงจรออสซิลเลเตอร์ และค่าอินดัคแตนซ์ทัดเทียมที่ได้จากการประยุกต์ใช้งานวงจรสายพานกระแสมีค่าเป็นไปตามหลักการและคุณสมบัติของวงจรที่เลียนแบบขึ้น ดังนั้นจะเห็นได้ว่าวงจรดังกล่าวนี้จะนำไปประยุกต์ใช้งานได้กว้างขวาง และมีประโยชน์อย่างมากมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Realization of VCNRC using a single CCII+1
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC VIN  -1.0   1.0   0.1
X1   7   6   7   15   30   CIIP
R    6   0   1K
RIN  10  7   1E-5
VDD  15  0   DC +10
VSS  30  0   DC -10
VIN  10  0
*  TERMINAL      Y    X    Z+   +VDD  -VSS  *
.SUBCKT   CIIP   3    6    7    15    30
M1   1   3   4   4   MN  L=10U W=200U
M2   2   6   4   4   MN  L=10U W=200U
M3   1   1   15  15  MP  L=10U W=200U
M4   2   1   15  15  MP  L=10U W=200U
M5   5   2   6   6   MN  L=10U W=200U
M6   5   5   15  15  MP  L=10U W=200U
M7   7   5   15  15  MP  L=10U W=200U
I1   4   30  400UA
I2   6   30  1MA
I3   7   30  1MA
.ENDS
.MODEL MN NMOS (LEVEL=1 VTO=+2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.MODEL MP PMOS (LEVEL=1 VTO=-2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.PROBE
.END
```

โปรแกรม 5.1 แสดงโปรแกรมเลียนแบบการทำงานเพื่อดูผลการตอบสนองทางดีซี ของค่ากระแสอินพุท $I(R_{1n})$ ของวงจรรูปที่ 5.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Single CCII+1 tunable sinewave RC oscillator
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.TRAN    0.1MS   0.2MS   0MS
X1   3   6   7   15   30   CIIP
R1   3   0   10K
R2   3   7   10K
RX   6   0   50K
C1   3   0   0.001UF
C2   7   0   0.001UF
CX   6   0   0.003UF
VDD  15  0   DC +10
VSS  30  0   DC -10
*  FREQUENCY OSCILLATE = 14.26 KHz OR TIME = 70uS  *
*  TERMINAL      Y    X    Z+   +VDD  -VSS  *
.SUBCKT   CIIP  3    6    7    15   30
M1   1   3   4   4   MN  L=10U W=200U
M2   2   6   4   4   MN  L=10U W=200U
M3   1   1   15  15  MP  L=10U W=200U
M4   2   1   15  15  MP  L=10U W=200U
M5   5   2   6   6   MN  L=10U W=200U
M6   5   5   15  15  MP  L=10U W=200U
M7   7   5   15  15  MP  L=10U W=200U
I1   4   30  400UA
I2   6   30  1MA
I3   7   30  1MA
.ENDS
.MODEL MN NMOS (LEVEL=1 VTO=+2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.MODEL MP PMOS (LEVEL=1 VTO=-2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.PROBE
.END
```

โปรแกรม 5.2 แสดงโปรแกรมในการวิเคราะห์ค่าของความถี่สัญญาณที่จุด V_o ของวงจรตามรูปที่ 5.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

วงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุม

6.1 บทนำ

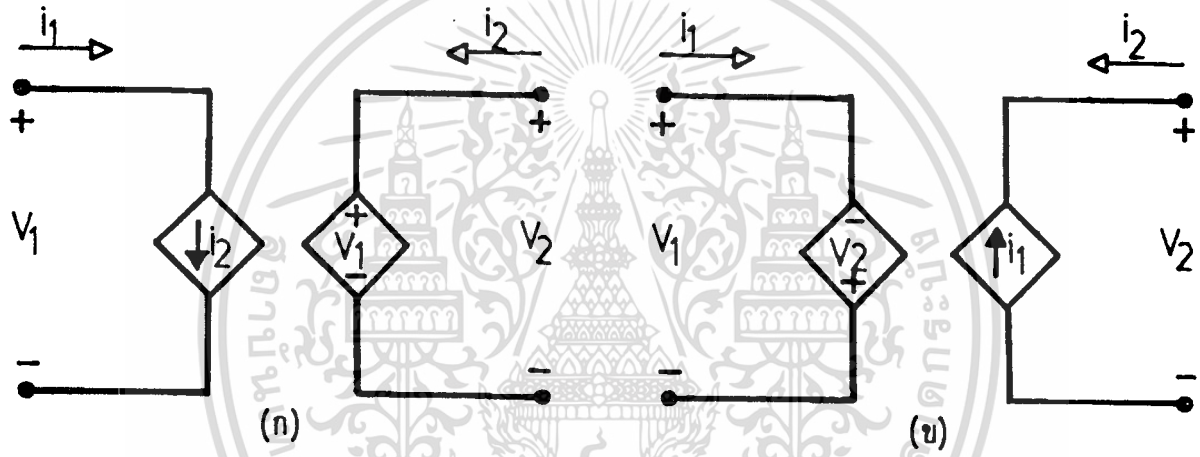
ความต้านทานโดยทั่วไปแล้วมักรู้จักกันดีโดยเฉพาะความต้านทานค่าบวก (Positive Resistance) ซึ่งทำหน้าที่เป็นตัวจำกัดกระแส หรือใช้แบ่งแรงดัน เป็นต้น แต่ความต้านทานสามารถทำให้เป็นได้ทั้งความต้านทานค่าบวก และความต้านทานค่าลบ (Negative Resistance) ซึ่งในปัจจุบันเราสามารถสังเคราะห์ (Synthesis) ความต้านทานค่าลบได้จากวงจรแตกต่างกันมากมายอธิ เช่น วงจรสายพานกระแส (Current Conveyor) [34],[38],[39] วงจรทรานส์ลิเนียร์ (Translinear)[45] หรือวงจรแปลงค่าอิมพีแดนซ์ทั่วไป (General Impredance Converter) [29] ฯลฯ และในการสังเคราะห์ความต้านทานค่าลบมีหลักการการสังเคราะห์ด้วยกัน 2 แบบกล่าวคือ แบบแรกเป็นการใช้ศักดาควบคุม (Voltage-Controlled Mode) และอีกแบบเป็นการใช้กระแสควบคุม (Current-Controlled Mode) ดังนั้นในการออกแบบวงจรเพื่อสังเคราะห์ความต้านทานค่าลบ วงจรอาจจะเลือกใช้การควบคุมโดยใช้ศักดาควบคุมหรือกระแสควบคุม หรือใช้ได้ทั้งศักดาและกระแสควบคุมภายในวงจรเดียวกันก็ได้ซึ่งแล้วแต่ผู้ที่จะออกแบบ ส่วนในด้านการประยุกต์ใช้งานค่าความต้านทานค่าลบที่สังเคราะห์ขึ้นนี้ สามารถใช้เป็นตัวปรับการลดทอนและขยายในวงจรลดทอนสัญญาณและวงจรขยายสัญญาณ ใช้เป็นตัวควบคุมค่าความต้านทานในวงจรออสซิลเลเตอร์ หรือวงจรไจเรเตอร์ เป็นต้น

ในบทนี้จะเป็นการกล่าวถึงรูปแบบของวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบการใช้ศักดาควบคุม ซึ่งได้แสดงไว้ 3 วงจร เพื่อที่จะแสดงให้เห็นวิธีการปรับปรุงแก้ไขวงจรให้เป็นวงจรที่มีความเป็นเชิงเส้น และมีความแม่นยำมากที่สุด ตลอดจนมีช่วงของการปฏิบัติงานที่กว้าง และมีค่าของแรงดันออฟเซตที่น้อยมาก อันเป็นผลให้เกิดค่าความผิดพลาดของความต้านทานค่าลบที่เกิดขึ้นน้อยตามไปด้วยภายในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 ความหมายของการใช้ศักดาหรือกระแสควบคุมการแปลงความต้านทานค่าลบ

ความต้านทานค่าลบสามารถใช้การควบคุมได้ 2 แบบ กล่าวคือ แบบศักดาควบคุม (Voltage Controlled Negative Resistance Converter) ในที่นี้จะขอเรียกว่า VCNRC และแบบกระแสควบคุม (Current Controlled Negative Resistance Converter) หรือ CCNRC [40] สามารถแทนด้วยเนทเวอร์ค 2 พอร์ทดังแสดงในรูป 6.1 (ก) และ 6.1(ข) ซึ่งจะได้ความสัมพันธ์ระหว่างศักดา และกระแสที่พอร์ทต่าง ๆ สามารถอธิบายด้วยไฮบริดพารามิเตอร์ดังสมการ (6.1) และ (6.2) ตามลำดับ



รูปที่ 6.1 แสดงเนทเวอร์คของ (ก) VCNRC (ข) CCNRC

สำหรับ VCNRC มีสมการเป็น

$$\begin{bmatrix} V_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} 0 & K \\ K & 0 \end{bmatrix} \cdot \begin{bmatrix} I_1 \\ V_2 \end{bmatrix} \qquad (6.1)$$

และสำหรับ CCNRC มีสมการเป็น

$$\begin{bmatrix} V_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} 0 & -K \\ -K & 0 \end{bmatrix} \cdot \begin{bmatrix} I_1 \\ V_2 \end{bmatrix} \qquad (6.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (6.1) และ (6.2) ค่า K เรียกว่า Conversion Ratio ซึ่งเป็นค่าของเกนขยายกระแส หรือเกนขยายศักดาของวงจรในการออกแบบในที่นี้เลือกการออกแบบให้ค่า K=1 และจากรูป 6.1 (ก) ซึ่งเป็น VCNRC อธิบายได้ว่าเมื่อใช้ศักดา V_1 เป็นตัวควบคุมป้อนเข้าที่พอร์ท 1 ดังนั้นศักดา V_1 จะถูกส่งผ่านไปยังพอร์ท 2ไม่เปลี่ยนแปลงหรือ $V_1 = V_2$ ขณะที่กระแส I_2 จะถูกส่งผ่านไปยังพอร์ท 1 มีทิศทางตรงกันข้ามกับกระแส I_1 หรือ $I_1 = -(-I_2)$ เพราะเนื่องจากว่าปกติแล้วในข้อกำหนดของ Two port [40] จะมีค่าของกระแส $I_1 = -I_2$ ดังนั้นบางครั้ง VCNRC นิยมเรียกว่า Current Inversion จากหลักการดังกล่าวอิมพีแดนซ์ที่พอร์ท 1 จะต้องมีค่าสูง และอิมพีแดนซ์ที่พอร์ท 2 ต้องมีค่าต่ำ

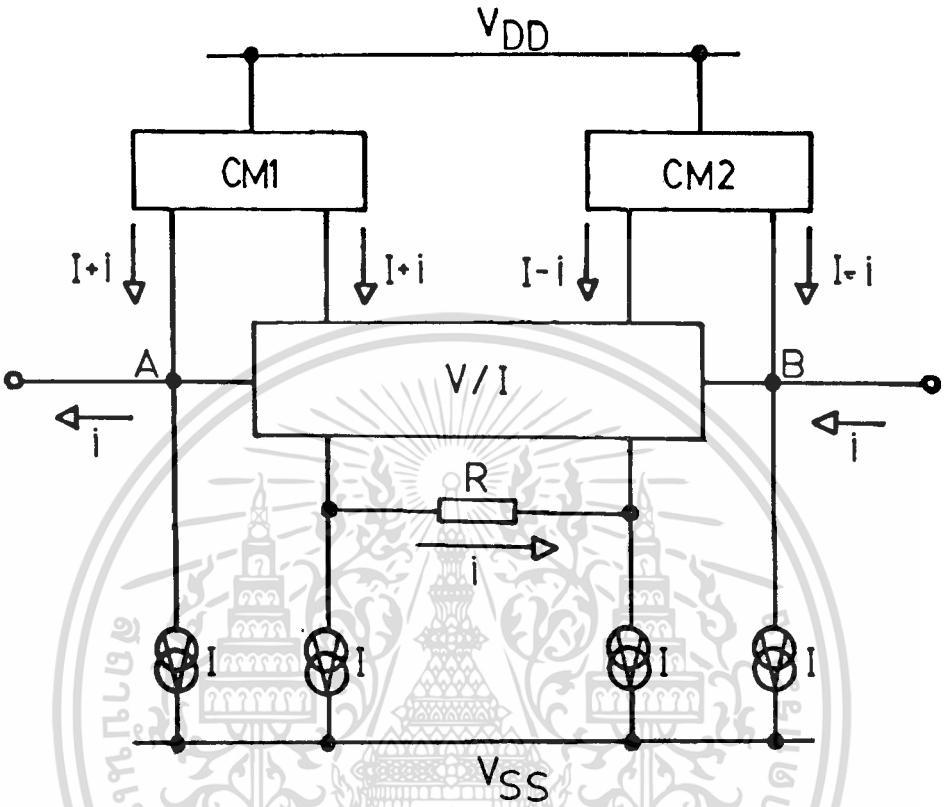
ทำนองเดียวกันจากรูป 6.1 (ข) ซึ่งเป็น CCNRC อธิบายได้ว่าเมื่อให้กระแส I_1 เป็นตัวควบคุมป้อนเข้าที่พอร์ท 1 ดังนั้นกระแส I_1 จะถูกส่งผ่านไปยังพอร์ท 2 ไม่เปลี่ยนแปลง หรือ $I_1 = +(-I_2)$ ขณะที่ศักดา V_2 ที่พอร์ท 2 ถูกส่งผ่านไปยังพอร์ท 1 มีทิศเครื่องหมายตรงกันข้ามกับ V_1 หรือ $V_1 = -V_2$ เพราะเนื่องจากว่าโดยปกติแล้วในข้อกำหนดของค่าศักดาใน Two port [40] จะมีค่าของ $V_1 = V_2$ ดังนั้นบางครั้ง CCNRC นิยมเรียกว่า Voltage Inversion จากหลักการดังกล่าวอิมพีแดนซ์ที่พอร์ท 1 จะต้องมีค่าต่ำ และอิมพีแดนซ์ที่พอร์ท 2 จะต้องมีค่าสูง

6.3 หลักการเบื้องต้น

รูป 6.2 เป็นหลักการเบื้องต้นที่ใช้ในการออกแบบวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุม (Floating VCNRC) หรือ FVCNRC วงจรประกอบด้วยส่วนของวงจร V/I ซึ่งจะทำหน้าที่เป็นตัวเปลี่ยนระดับผลต่างของศักดาสัญญาณคือ $(V_A - V_B)$ ให้เป็นกระแสสัญญาณ i ไหลผ่านความต้านทาน R ซึ่งในส่วนของวงจร V/I นี้อาจจะออกแบบขึ้นจากวงจรขยายความแตกต่าง (Differential Amplifier) [41] หรือวงจรดิฟเฟอเรนเชียลควอเดท (Differential Quartet) [42] ก็ได้ ดังนั้นเมื่อมีกระแส i ไหลเกิดขึ้นจะทำให้เกิดค่าของกระแสเป็น (I+i) และ (I-i)ขึ้น อันเนื่องมาจากมีแหล่งจ่ายกระแสคงที่ I ต่ออยู่ กระแส (I+i) และ (I-i) จะถูกสะท้อนจากส่วนของวงจรสะท้อนกระแส CM1 และ CM2 จากทางด้านวงจร V/I ไปปรากฏมีทิศทางไหลเข้าที่จุด A และ B ตามลำดับมีค่าเป็น (I+i) และ (I-i) และเนื่องจากจุด A และ B มีแหล่งจ่ายกระแสคงที่ I ต่ออยู่ดังนั้นกระแสผลต่างสัญญาณที่ปรากฏที่จุด A และ B จะมีค่าเท่ากับ -i และ i ตามลำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดับ และค่าความต้านทานทัดเทียมที่มองเข้าที่จุด A และ B จะมีค่าเท่ากับ -R ซึ่งเป็นลักษณะความต้านทานชนิดลอยตัว



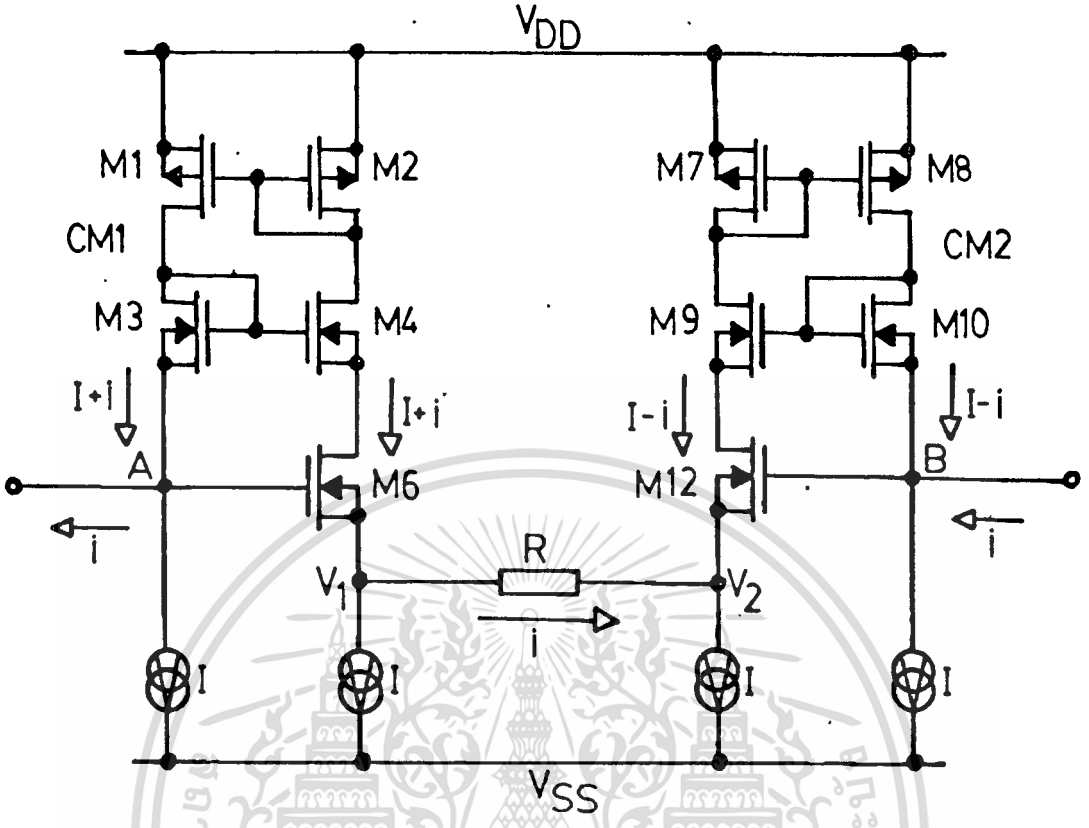
รูปที่ 6.2 แสดงหลักการทำงานเบื้องต้นของวงจร FVCNRC

6.4 การออกแบบวงจรโดยอาศัยหลักการของวงจรขยายความแตกต่าง

6.4.1 วงจรพื้นฐาน

จากรูป 6.2 แสดงถึงหลักการทำงานเบื้องต้นของวงจร FVCNRC ดังนั้นในการออกแบบการสร้างวงจร FVCNRC ในหัวข้อนี้จะแทนส่วนของวงจร V/I ด้วยวงจรขยายความแตกต่าง (Differential Amplifier) ซึ่งประกอบด้วยมอสเฟท M6 และ M12 กับความต้านทาน R และในส่วนของวงจร CM1 และ CM2 ซึ่งเป็นส่วนของวงจรสะท้อนกระแสจะประกอบขึ้นด้วย M1 ถึง M4 และ M7 ถึง M10 ตามลำดับ ดังแสดงวงจรในรูป 6.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.3 วงจรพื้นฐานสำหรับการออกแบบเป็นวงจร FVCNRC

การทำงานของวงจรกล่าวคือ มอสทุกตัวที่ใช้ในการออกแบบเป็นชนิดเอ็นฮานเม็นท์ (Enhancement Mode) และมีค่าของ V_{SB}= ศูนย์ (หรือ $V_T = V_{TO}$) ทุกตัว โดยที่จุดสำคัญของวงจรอยู่ตรงที่ M6 และ M12 กับความต้านทาน R (เพื่อใช้แปลงเป็นความต้านทานค่าลบ) ที่ต่อกันอยู่ในรูปแบบของวงจรขยายความแตกต่าง ซึ่งทำหน้าที่เปลี่ยนศักดาหรือแรงดันไฟฟ้าให้เป็นกระแส และมี CM1, CM2 เป็นวงจรสะท้อนกระแสแบบลบโดยที่กำหนดให้ค่าของ $(W_1/L_1)=(W_2/L_2)$ และ $(W_3/L_3)=(W_4/L_4)$ ใน CM1 และกำหนดให้ค่าของ $(W_7/L_7)=(W_8/L_8)$ และ $(W_9/L_9)=(W_{10}/L_{10})$ ใน CM2 เพื่อที่จะทำให้การสะท้อนกระแสเกิดขึ้นด้วยอัตราส่วน 1:1 ดังนั้นเมื่อป้อนศักดาไฟระหว่างจุด V_A และ V_B (โดยถ้าให้ศักดาไฟฟ้าที่จุด V_A สูงกว่าจุด V_B) หรือระหว่างขาเกทของ M6 และ M12 (ถ้า M6 กับ M12 มีความสมพงษ์กันมาก) ที่ต่อเป็นวงจรขยายความแตกต่างก็จะทำให้เกิดค่ากระแส i ไหลผ่านความต้านทาน R มีทิศทางไหลจากจุด V_1 ไปยัง V_2 และเนื่องจาก V_1 และV_2 มีค่าแหล่งจ่ายกระแสคงที่ (Current Source) เท่ากับ I ไหลจากจุด V_1 ไปยัง $-V_{SS}$ และไหลจากจุด V_2 ไปยัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$-V_{SS}$ ตามลำดับ เป็นผลทำให้กระแสเดรนของ M6 และ M12 มีค่าเป็น I+i และ I-i ตามลำดับ ดังนั้น M1 ถึง M4 ซึ่งต่อเป็นวงจรสะท้อนกระแส CM1 ก็จะทำการสะท้อนกระแสที่ขาเดรน M6 มีค่าเท่ากับ I+i ไปยังจุด V_A ด้วยค่า I+i และ M7 ถึง M10 เป็นวงจรสะท้อนการะแส CM2 จะทำการสะท้อนกระแสที่ขาเดรน M12 มีค่าเท่ากับ I-i ฉะนั้น ณ จุด V_A และ V_B จะมีกระแสไหลเข้าเป็น I+i กับ I-i และผลอันเนื่องมาจากมีแหล่งจ่ายกระแสคงที่ I ที่ไหลออกจากจุด V_A ไปยัง $-V_{SS}$ กับจุด V_B ไปยัง $-V_{SS}$ จึงทำให้เกิดมีกระแส i ไหลออกจากจุด V_A ไปเข้ายังจุด V_B ซึ่งเสมือนกับว่ากระแส i มีทิศทางการไหลทวนกระแสซึ่งเกิดจากการป้อนศักดาเข้าที่จุด V_A และ V_B ดังนั้นค่าความต้านทานทัดเทียมที่มองเข้าที่จุด V_A และ V_B จะมีค่าเท่ากับ -R ซึ่งเป็นลักษณะความต้านทานลบชนิดลอยตัวเกิดขึ้น ดังการพิจารณาต่อไปนี้

$$V_{AB} = V_{GS6} - V_{GS12} + V_1 - V_2 \qquad (6.3)$$

พบว่า $$V_1 - V_2 = i.R \qquad (6.4)$$

ดังนั้นจะได้ $$V_{AB} = V_{GS6} - V_{GS12} + i.R \qquad (6.5)$$

จากสมการของ MOSFET ที่มีการทำงานช่วงอิ่มตัว ดังสมการ (2.16) จะมีค่าของกระแสเดรนเป็น

$$i_D = (K'W/2L).(V_{GS} - V_T)^2 = (B/2).(V_{GS} - V_T)^2 \quad , \; 0 < (V_{GS} - V_T) \leqslant V_{DS} \qquad (6.6)$$

แทนสมการ (6.6) ใน (6.5) จะได้

$$V_{AB} = (2i_{D6}/B_6)^{1/2} - (2i_{D12}/B_{12})^{1/2} + V_{TO6} - V_{TO12} + i.R \qquad (6.7)$$

จากวงจรพบว่า $i_{D6} = I+i$ และ $i_{D12} = I-i$ นำไปแทนในสมการ (6.7) จะได้เป็น

$$V_{AB} = [2(I+i)/B_6]^{1/2} - [2(I-i)/B_{12}]^{1/2} + V_{TO6} - V_{TO12} + i.R \qquad (6.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (6.8) สามารถหาค่าความต้านทานอินพุท (R_{AB}) ของวงจรได้เป็น

$$R_{AB} = \partial V_{AB} / \partial (-i) \qquad (6.9)$$

$$= - [1/2B_6(I+i)]^{1/2} - [1/2B_{12}(I-i)]^{1/2} - R \qquad (6.10)$$

ถ้าสมมุติว่า M6 และ M12 มีความสมพงษ์กันมากจะได้ $B_6 = B_{12} = K'W/L$ ดังนั้น

$$R_{AB} = - (L/2K'W)^{1/2} . \{[1/(I+i)^{1/2}] + [1/(I-i)^{1/2}]\} - R \qquad (6.11)$$

ดังนั้นจะได้ค่าความต้านทานทัดเทียมที่จุด A และ B มีค่าเป็น

$$R_{AB} = \begin{cases} \text{มีค่าเป็นอนันต์} & ; i \leqslant -I \\ -(L/2K'W)^{1/2} . \{[1/(I+i)^{1/2}] + [1/(I-i)^{1/2}]\} - R & ; -I < i < I \\ \text{มีค่าเป็นอนันต์} & ; i \geqslant I \end{cases} \qquad (6.12)$$

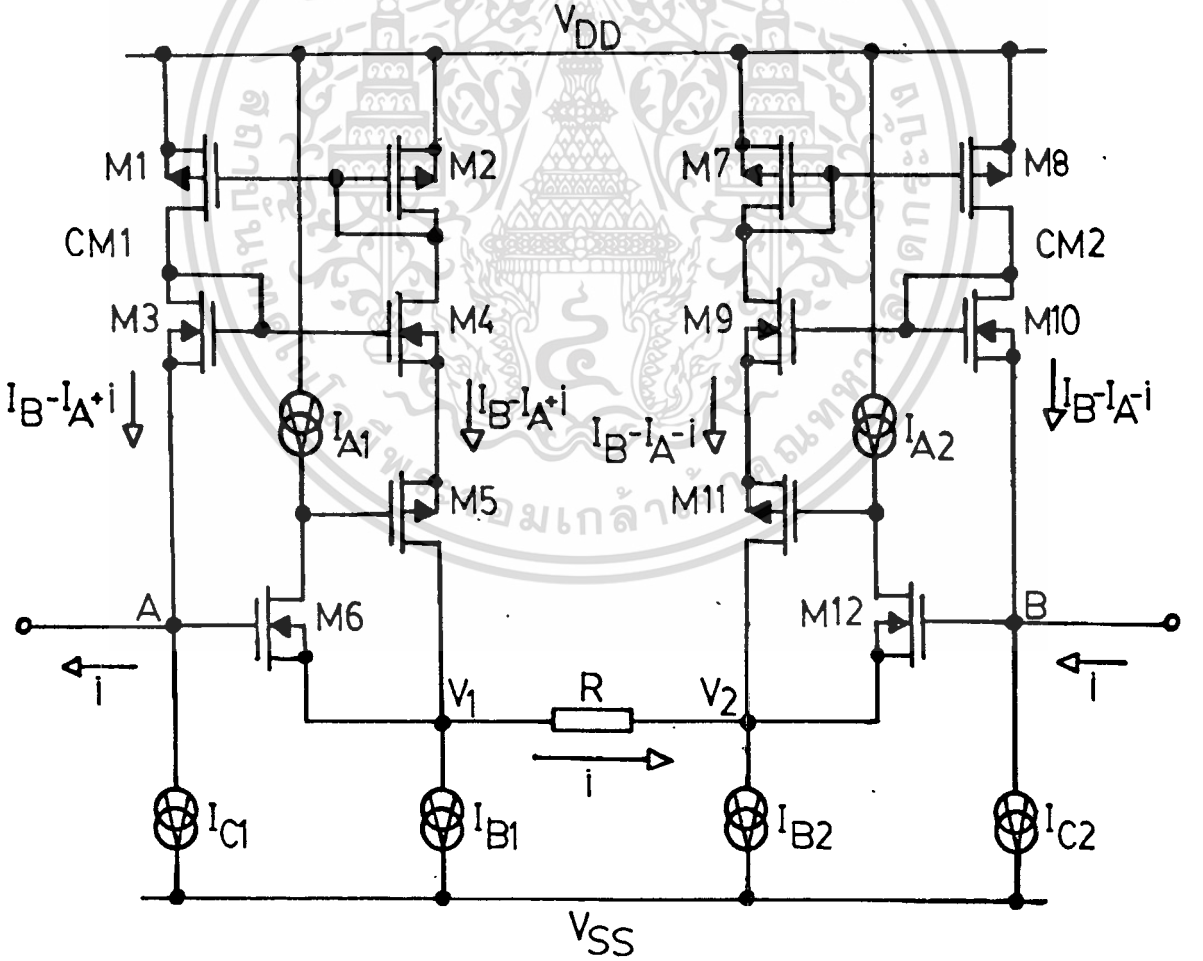
จากสมการ (6.12) จะเห็นได้ว่าเมื่อป้อนแรงดันศักดาเข้าที่จุด A และ B (V_{AB}) จะทำให้เกิดค่าของกรแส i เกิดขึ้น ซึ่งถ้าค่าของกระแส i นี้เกิดขึ้นมีค่าเป็น $i \leqslant -I$ หรือ $i \geqslant I$ จะทำให้ค่าความต้านทานทัดเทียมที่มองเข้าที่จุด A และ B มีค่าเป็นอนันต์ แต่ถ้าค่าของกระแส i เกิดอยู่ในช่วง $-I < i < I$ ซึ่งเป็นช่วงปฏิบัติงาน(Dynamic Range) จะทำให้เกิดค่าความต้านทานทัดเทียมขึ้นที่จุด A และ B มีค่าเท่ากับ -R รวมอยู่กับค่าความผิดพลาด (Error) ซึ่งเทอมของค่าความผิดพลาดที่เกิดขึ้นอันเนื่องมาจากค่าของ $-(2K'W/L)^{-1/2} . [(I+i)^{-1/2} + (I-i)^{-1/2})]$ โดยปกติแล้วดีไวซ์จำพวกมอสเฟทจะมีค่าของ K'W/L นั้นมีค่าน้อยอยู่แล้วจึงเป็นผลให้เกิดค่าความผิดพลาดขึ้นมีค่ามาก ทำให้ค่าความต้านทานอินพุทที่เกิดขึ้นที่จุด A และ B มีค่าแตกต่างไปจากค่า -R มาก ดังนั้นในการลดค่าความผิดพลาดในวงจรนี้สามารถทำได้โดยการควบคุมขบวนการผลิต เพื่อสร้างโครงสร้างภายในมอสเฟทให้มีค่าของ K'W/L มีค่ามาก ๆ แต่จะทำให้เกิดผลเสียขึ้นคือ กรณีนำวงจรดังกล่าวไปทำเป็นวงจรรวมจะทำให้วงจรรวมมีขนาดใหญ่ ไม่เหมาะสมที่จะเป็นวงจรรวมซึ่งปัญหาในการลดค่าความผิดพลาดดัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กล่าวสามารถแก้ไขได้โดยการปรับปรุงวงจรใหม่ดังแสดงในหัวข้อ 6.4.2

6.4.2 วงจรที่ปรับปรุงขึ้นจากวงจรพื้นฐาน

ปัญหาจากการที่เกิดมีค่าของความผิดพลาด (Error) ขึ้น จึงเป็นปัญหาที่สำคัญของวงจร การแก้ปัญหาดังกล่าวจึงได้ทำการออกแบบวงจรใหม่ดังแสดงในรูป 6.4 ซึ่งมีความคล้ายคลึงกับวงจรในรูป 6.3 โดยที่ได้ทำการเพิ่มมอสเฟท M5 และ M11 ที่เป็น PMOS เข้ามา และกำหนดแหล่งจ่ายกระแสคงที่เป็น $I_{B1} = I_{B2} = I_B$, $I_{A1} = I_{A2} = I_A$ และ $I_{C1} = I_{C2} = I_B - I_A$ แทนแหล่งจ่ายกระแสคงที่เดิม ที่มีค่าเป็น I เท่ากันหมดทุกตัว



รูปที่ 6.4 วงจรที่ปรับปรุงขึ้นจากวงจรพื้นฐานสำหรับการออกแบบเป็นวงจร FVCNRC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอธิบายการทำงานของวงจร รูป 6.4 อธิบายทำนองเดียวกันกับวงจรในรูป 6.3 กล่าวคือมอสเฟท M6,M12 และความต้านทาน R เป็นวงจรขยายความแตกต่างซึ่งทำหน้าที่เปลี่ยนแรงดันศักดาให้เป็นกระแส และมี CM1,CM2 เป็นวงจรสะท้อนกระแสแบบลบ ดังนั้นเมื่อป้อนแรงดันศักดาเข้าระหว่างจุด V_A กับ V_B จะทำให้เกิดค่าของกระแส i ไหลผ่านความต้านทาน R เป็นไปตามสมการ (6.7) แต่จากวงจรกระแสเดรนของ M6 และ M12 ถูกกำหนดให้มีค่าเท่ากับแหล่งจ่ายกระแสคงที่มีค่า $I_{A1}= I_{A2}= I_A$ และ ณ จุด V_1 กับ V_2 ก็จะถูกกำหนดให้มีค่าของแหล่งจ่ายกระแสคงที่มีทิศทางไหลจากจุด V_1 ไปยัง $-V_{SS}$,V_2 ไปยัง $-V_{SS}$ มีค่าเท่ากับ $I_{B1}= I_{B2}= I_B$ ดังนั้นจึงเป็นผลให้เกิดกระแสซอส M5 (i_{S5}) และ M11 (i_{S11}) มีค่าเป็น $I_B- I_A+ i$ กับ $I_B- I_A- i$ ตามลำดับ M1 ถึง M4 ซึ่งทำหน้าที่เป็น CM1 ก็จะทำหน้าที่สะท้อนกระแสที่ขาซอส M5 ไปยังจุด V_A ด้วยค่ากระแส $I_B- I_A+ i$ และ M7 ถึง M10 ซึ่งทำหน้าที่เป็น CM2 ก็จะทำการสะท้อนกระแสที่ขาซอสของ M11 ไปยังจุด V_B ด้วยค่ากระแสเป็น $I_B- I_A- i$ ฉะนั้น ณ จุด V_A และ V_B จะมีกระแสไหลเข้าเป็น $I_B- I_A+ i$ กับ $I_B- I_A- i$ และผลอันเนื่องมาจากมีแหล่งจ่ายกระแสคงที่ $I_{C1}= I_{C2}= I_B- I_A$ ไหลออกจากจุด V_A ไปยัง $-V_{SS}$ กับจุด V_B ไปยัง $-V_{SS}$ จึงทำให้เกิดมีทิศทางของกระแส i ไหลออกจากจุด V_A ไปยังจุด V_B ซึ่งเสมือนกับว่ากระแส i มีทิศทางการไหลทวนกระแสซึ่งเกิดจากการป้อนแรงดันศักดาอินพุทเข้าที่จุด A และ B (V_{AB}) ดังนั้นจึงได้ความต้านทานอินพุท (R_{AB}) มีค่าเป็นลบ ดังการพิจารณาต่อไปนี้

จากวงจรรูป 6.4 มีการไบอัสให้ค่าของ

$$i_{D6} = i_{D12} = \text{แหล่งจ่ายกระแสคงที่ } I_A \qquad (6.13)$$

แทนสมการ (6.13) ใน (6.7) จะได้

$$V_{AB} = (2I_A/B_6)^{1/2} - (2I_A/B_{12})^{1/2} + V_{TO6} - V_{TO12} + i.R \qquad (6.14)$$

หรือ $$V_{AB} = V_{TO6} - V_{TO12} + i.R \qquad (6.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่เมื่อมองที่จุด V_A และ V_B กระแส i มีทิศทางการไหลทวนกระแสจากการป้อนแรงดันศักดาอินพุท V_{AB} จึงทำให้มองเห็นค่าความต้านทานทัดเทียม (R_{AB}) ดังการพิจารณาดังนี้

จากสมการ (6.15) สามารถหาค่าความต้านทานอินพุท (R_{AB}) ของวงจรได้เป็น

$$R_{AB} = \partial V_{AB} / \partial (-i) = -R \qquad (6.16)$$

และจากสมการ (6.16) จะเห็นว่าเมื่อป้อนแรงดันศักดาเข้าที่จุด A และ B (V_{AB}) ถ้าค่าของกระแส i เกิดขึ้นอยู่ในช่วง $-(I_B - I_A) < i < (I_B - I_A)$ จะทำให้เกิดค่าความต้านทานทัดเทียมขึ้นที่จุด A และ B มีค่าเท่ากับ -R ซึ่งเป็นช่วงปฏิบัติงาน (Dynamic range) โดยที่ไม่เกิดค่าความผิดพลาด (Error) ขึ้น แต่ถ้าค่าของกระแส i นี้เกิดขึ้นมีค่าอยู่ในช่วง $i \leqslant -(I_B - I_A)$ หรือ $i \geqslant (I_B - I_A)$ จะทำให้ไม่มีกระแสไหลเกิดขึ้นผ่าน M5 หรือ M11 ตามลำดับผลคือไม่มีการสะท้อนกระแสจาก i_{S6} หรือ i_{S11} โดย CM1 หรือ CM2 ไปยังจุด V_A หรือ V_B ตามลำดับ ทำให้ค่าความต้านทานทัดเทียมที่จุด A และ B มีค่าเป็นอนันต์ ดังนั้นจึงสรุปได้ว่าค่าความต้านทานทัดเทียมของวงจรรูป 6.4 มีค่าเป็นดังนี้

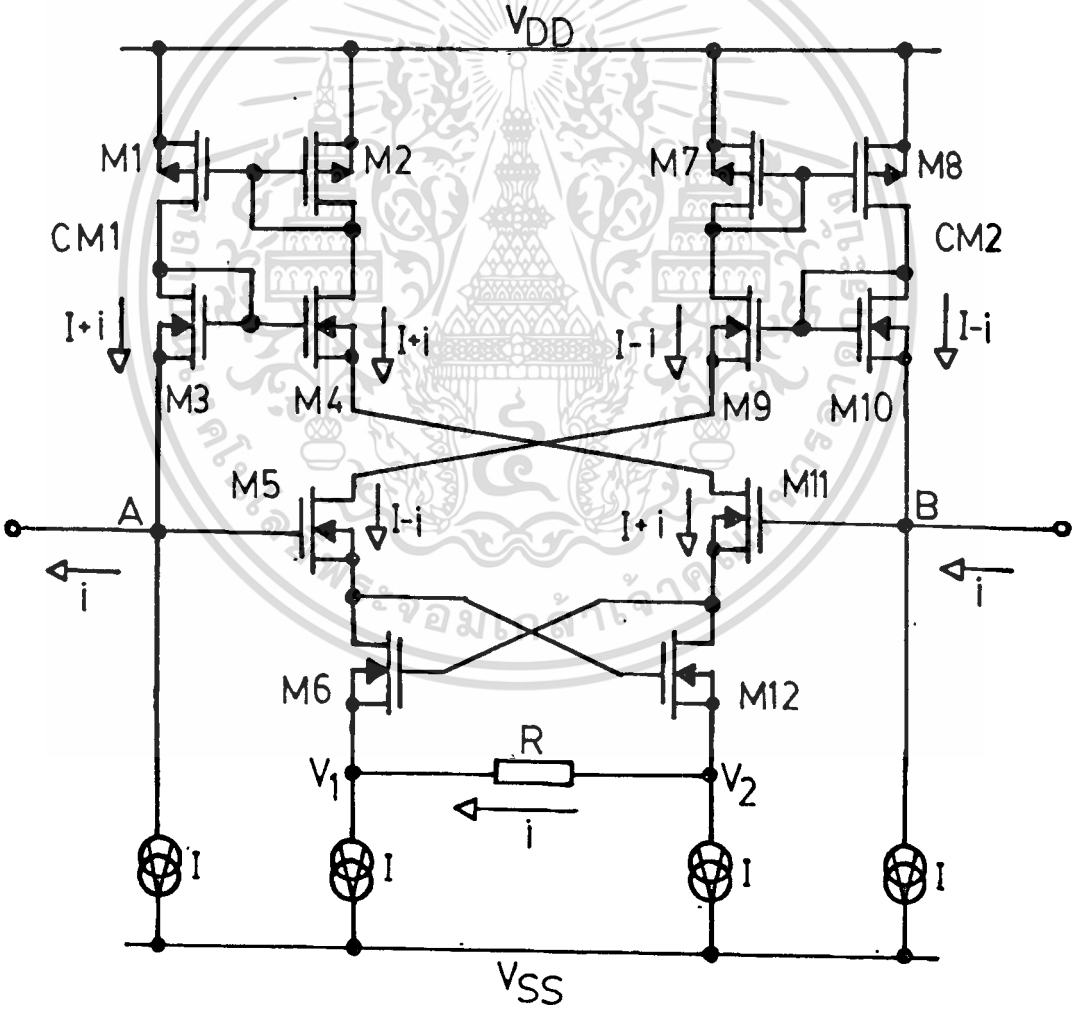
$$R_{AB} = \begin{cases} \text{มีค่าเป็นอนันต์} & ; \ i \leqslant -(I_B - I_A) \\ -R & ; \ -(I_B - I_A) < i < (I_B - I_A) \\ \text{มีค่าเป็นอนันต์} & ; \ i \geqslant (I_B - I_A) \end{cases} \qquad (6.17)$$

เพราะฉะนั้นจะเห็นได้ว่าวงจรรูป 6.4 เป็นวงจรหนึ่งที่มีความเที่ยงตรงและแม่นยำวงจรหนึ่ง ซึ่งสามารถสังเคราะห์ค่าความต้านทานค่าลบที่เกิดขึ้นโดยไม่มีผลกับค่าของ V_{GS6} และ V_{GS12} (ถ้า M6 กับ M12 มีความสมพงษ์กัน) ทำให้ไม่เกิดมีค่าความผิดพลาดขึ้นดังสมการ (6.17) ซึ่งต่างจากวงจรในรูป 6.3 ค่าความต้านทานลบที่เกิดขึ้นมีผลขึ้นกับค่าของ V_{GS6} และ V_{GS12} ถึงแม้ M6 และ M12 จะมีความสมพงษ์กันมากก็ตามผลคือทำให้เกิดมีค่าความผิดพลาดเกิดขึ้นรวมอยู่กับค่าความต้านทานค่าลบดังแสดงในสมการ (6.12)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.5 การออกแบบวงจรโดยอาศัยหลักการของวงจรดิฟเฟอเรนเชียลควอเดท

ในการออกแบบการสร้างวงจร FVCNRC ในหัวข้อนี้จะแทนส่วนของวงจร V/I ดังแสดงในรูป 6.2 ด้วยวงจรดิฟเฟอเรนเชียลควอเดท (ซึ่งเสนอโดย Caprio) เพื่อที่จะแสดงให้เห็นวิธีการปรับปรุงแก้ไขค่าความต้านทานค่าลบให้มีความเป็นเชิงเส้น และมีความแม่นยำมากที่สุดอีกวิธีหนึ่ง โดยที่วงจรดิฟเฟอเรนเชียลควอเดทประกอบด้วยมอสเฟท M5,M6,M11 และ M12 ซึ่งเป็นแบบ NMOS ชนิดเอ็นฮานเม็นท์ กับความความต้านทาน R และในส่วนของวงจร CM1 และ CM2 เป็นส่วนของวงจรสะท้อนกระแสจะประกอบขึ้นด้วย M1 ถึง M4 และ M7 ถึง M10 ตามลำดับ ดังแสดงในรูป 6.5



รูปที่ 6.5 วงจร FVCNRC โดยอาศัยหลักการของดิฟเฟอเรนเชียลควอเดท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรกล่าวคือ มอสทุกตัวที่ใช้ในการออกแบบประกอบไปด้วย PMOS และ NMOS ล้วนแล้วแต่เป็นชนิดเอ็นฮานเม้นท์ และมีค่าของ V_{SB}= ศูนย์ (หรือ $V_T = V_{TO}$) ทั้งสิ้น จุดสำคัญของวงจรอยู่ที่ M5,M6,M11 และ M12 กับความต้านทาน R (เพื่อใช้แปลงเป็นความต้านทานค่าลบ) ที่ต่อกันอยู่ในรูปแบบของวงจรดิฟเฟอเรนเชียลควอเดท ซึ่งทำหน้าที่เปลี่ยนศักดาให้เป็นกระแส และมี CM1,CM2 ทำหน้าที่เป็นวงจรสะท้อนกระแสแบบลบ เช่นเดียวกับวงจรในรูป 6.3 และ 6.4 สมมุติว่าเริ่มต้นป้อนศักดาไฟตรงเข้าที่จุด V_A และ V_B เท่ากัน (หมายความว่าไม่มีความต่างศักดิ์เกิดขึ้นระหว่างจุด V_A กับ V_B) จะทำให้เกิดมีกระแสที่ไหลผ่านขาเดรนของ M5,M6,M11 และ M12 เป็น I ซึ่งเป็นค่ากระแสของแหล่งจ่ายกระแสคงที่ (Current Source) แต่เมื่อทำให้เกิดความต่างศักดิ์ขึ้นโดยที่ V_A มีศักดาสูงกว่า V_B หรือ V_A เป็นบวกมากกว่า V_B จะทำเกิดค่ากระแส i ไหลผ่านความต้านทาน R มีทิศทางไหลจากจุด V_2 ไปยัง V_1 เป็นผลให้เกิดค่ากระแสเดรนของ M11 และ M12 มีค่าเพิ่มขึ้นรวมเป็น I+i ส่วนค่ากระแสเดรนของ M5 และ M6 ก็จะลดลงเหลือเพียง I-i หมายความว่ากระแสด้านหนึ่งเพิ่มขึ้นเท่าใดก็จะไปลดลงจากอีกด้านหนึ่งเท่านั้นทั้งนี้เนื่องจากวงจรจ่ายกระแสคงที่จะดึงกระแสผ่านตัวเองได้ตัวละ I ฉะนั้นกระแสที่ขาดหรือเกินมาในวงจรก็จะย้ายจากด้านหนึ่งไปยังอีกด้านหนึ่งโดยผ่านความต้านทาน R และเมื่อเพิ่มศักดาเป็นบวกให้มากขึ้นเรื่อย ๆ พบว่าศักดาค่าหนึ่งจะทำให้กระแสเดรนของ M11 และ M12 เป็น 2I ส่วนกระแสเดรนของ M5 และ M6 ก็จะเป็นศูนย์ ในทางกลับกันเมื่อป้อนศักดาเป็นลบที่ V_A สูงกว่า V_B กระแสเดรนใน M11 และ M12 จะลดลงจากค่า I เรื่อย ๆ จนถึงค่าศักดาหนึ่งแล้วซึ่งจะทำให้กระแสเดรนใน M11 และ M12 มีค่าเป็นศูนย์ ส่วนในกระแสเดรนของ M5 และ M6 จะมีค่าเป็น 2I(ก็เนื่องมาจากกระแส i ขณะนี้มีทิศการไหลผ่าน R จากจุด V_1 ไปยัง V_2 นั้นเอง) หลังจากนี้แล้วถึงแม้จะเพิ่มศักดาไปมากเท่าใดก็ตามกระแสยังคงเดิม ซึ่งเป็นลักษณะของการอิ่มตัว (Saturation) ของกระแสเกิดขึ้น ดังนั้นจึงพอสรุปได้ว่าถ้าป้อนศักดาเข้าที่ V_A และ V_B (โดยถ้า V_A มีศักดาสูงกว่า V_B) จะทำให้เกิดค่ากระแส i ไหลผ่านความต้านทาน R เกิดขึ้นเป็นผลให้เกิดค่ากระแส I+i ไหลผ่านขาเดรนของ M11 และ M12 และเกิดมีค่ากระแส I-i ไหลผ่านขาเดรนของ M5 และ M6 (ถ้าในวงจรเลือกให้ M5 กับ M6 และ M11 กับ M12 มีความสมพงษ์ซึ่งกันและกัน)ตามลำดับ M1 ถึง M4 ซึ่งต่อเป็นวงจรสะท้อนกระแส CM1 ก็จะทำการสะท้อนกระแสที่ขาเดรน M11 มีค่าเท่ากับ I+i ไปยังจุด V_A ด้วยค่า I+i และ M7 ถึง M10 เป็นวงจรสะท้อนกระแส CM2 จะทำการสะท้อนกระแสที่ขาเดรนของ M5 มีค่าเท่ากับ I-i ไปยังจุด V_B ด้วยค่า I-i ฉะนั้น ณ จุด V_A และ V_B จะมีกระแสไหลเข้าเป็น I+i กับ I-i และผลอันเนื่องมาจากมีแหล่งจ่ายกระแสคงที่ I ที่ไหลออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากจุด V_A ไปยัง $-V_{SS}$ กับจุด V_B ไปยัง $-V_{SS}$ จึงทำให้เกิดมีกระแส i ไหลออกจากจุด V_A ไปเข้ายังจุด V_B ซึ่งเสมือนกับว่ากระแส i มีทิศทางการไหลทวนกระแส ซึ่งเกิดจากการป้อนศักดาเข้าที่จุด V_A และ V_B ดังนั้นค่าความต้านทานทัดเทียมที่มองเข้าที่จุด V_A และ V_B จะมีค่าเท่ากับ $-R$ ซึ่งเป็นลักษณะความต้านทานลบชนิดลอยตัวดังการพิจารณาต่อไปนี้

$$V_{AB} = V_{GS5} - V_{GS6} + V_{GS12} - V_{GS11} + i.R \qquad (6.18)$$

จากสมการ (6.6) และ (6.18) จะได้

$$V_{AB} = (2i_{D5}/B_5)^{1/2} - (2i_{D6}/B_6)^{1/2} + (2i_{D12}/B_{12})^{1/2} - (2i_{D11}/B_{11})^{1/2} + \Delta V_{TO} + i.R \qquad (6.19)$$

โดยที่

$$\Delta V_{TO} = V_{TO5} - V_{TO6} + V_{TO12} - V_{TO11} \qquad (6.20)$$

จากวงจรพบว่า $i_{D5} = i_{D6} = I-i$ และ $i_{D11} = i_{D12} = I+i$ นำไปแทนใน (6.19) จะได้

$$V_{AB} = [2(I-i)/B_5]^{1/2} - [2(I-i)/B_6]^{1/2} + [2(I+i)/B_{12}]^{1/2} - [2(I+i)/B_{11}]^{1/2} + \Delta V_{TO} + i.R \qquad (6.21)$$

จากสมการ(6.21) สามารถหาค่าความต้านทานอินพุท (R_{AB}) ของวงจรได้เป็น

$$R_{AB} = \partial V_{AB}/\partial(-i)$$

$$= [1/2B_5(I-i)]^{1/2} - [1/2B_6(I-i)]^{1/2} - [1/2B_{12}(I+i)]^{1/2} + [1/2B_{11}(I+i)]^{1/2} - R \qquad (6.22)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าในวงจรเลือกให้ M5 กับ M6 และ M11 กับ M12 มีความสมพงษ์ซึ่งกันและกันจะได้

$$B_5 = B_6 = B \text{ และ } B_{11} = B_{12} = B \text{ และมี } V_{TO5} = V_{TO6} = V_{TO} \text{ และ } V_{TO11} = V_{TO12} = V_{TO} \quad (6.23)$$

จากสมการ (6.20),(6.22) และ (6.23) จะได้ค่าความต้านทานทัดเทียมที่จุด A และ B เป็น

$$R_{AB} = \begin{cases} \text{มีค่าเป็นอนันต์} & ; \ i \leqslant -I \\ -R & ; -I < i < I \\ \text{มีค่าเป็นอนันต์} & ; \ i \geqslant I \end{cases} \quad (6.24)$$

จากสมการ (6.24) เป็นสมการแสดงถึงค่าความต้านทานทัดเทียมที่จุด A และ B ของวงจรรูป 6.5 มีค่าเท่ากับ -R ถ้าค่าของกระแส i ที่เกิดขึ้นอยู่ในช่วง $-I<i<I$ ซึ่งเป็นช่วงปฏิบัติงานโดยที่ไม่เกิดค่าความผิดพลาดขึ้นดังนั้นจึงเป็นวงจรหนึ่งที่มีความเที่ยงตรง และแม่นยำเช่นเดียวกับวงจรในรูป 6.4 แต่ข้อได้เปรียบของวงจรรูป 6.5 ดีกว่าวงจรรูป 6.4 ตรงที่สามารถใช้แหล่งจ่ายกระแสคงที่เพียง 4 ตัวเท่านั้น และ แต่ละตัวเป็นแหล่งจ่ายกระแสคงที่ที่เป็นชนิดเดียวกัน และมีค่าเท่ากันทั้งหมดคือเท่ากับ I ซึ่งต่างจากวงจรในรูป 6.4 ที่ต้องใช้แหล่งจ่ายกระแสคงที่ถึง 6 ตัวซึ่งเป็นแหล่งจ่ายกระแสคงที่ที่ต่างชนิดกันและมีค่าไม่เท่ากันอีกด้วย คือ $I_A < I_C < I_B$ ทำให้วงจรมีการออกแบบได้ยากกว่า อีกทั้งวงจรในรูป 6.5 ยังมีช่วงปฏิบัติงานจากการเกิดขึ้นของกระแส i อันเนื่องมาจากการป้อนศักดาเข้าที่จุด A และ B เพื่อใช้การควบคุมให้เกิดค่าความต้านทานทัดเทียมขึ้นที่จุด A และ B ของวงจร ที่มีค่าเป็น -R ; $-I<i<I$ ซึ่งเป็นช่วงปฏิบัติงานที่กว้างกว่าวงจรในรูป 6.4 ที่มีค่าเป็น -R; $-(I_B - I_A)<i<(I_B - I_A)$ โดยในการออกแบบจะเลือกให้แหล่งจ่ายกระแสคงที่มีค่าดังนี้คือ $I = I_B = 2mA$ และ $I_A = 10uA$ ในวงจรรูป 6.3 รูป 6.4 และรูป 6.5

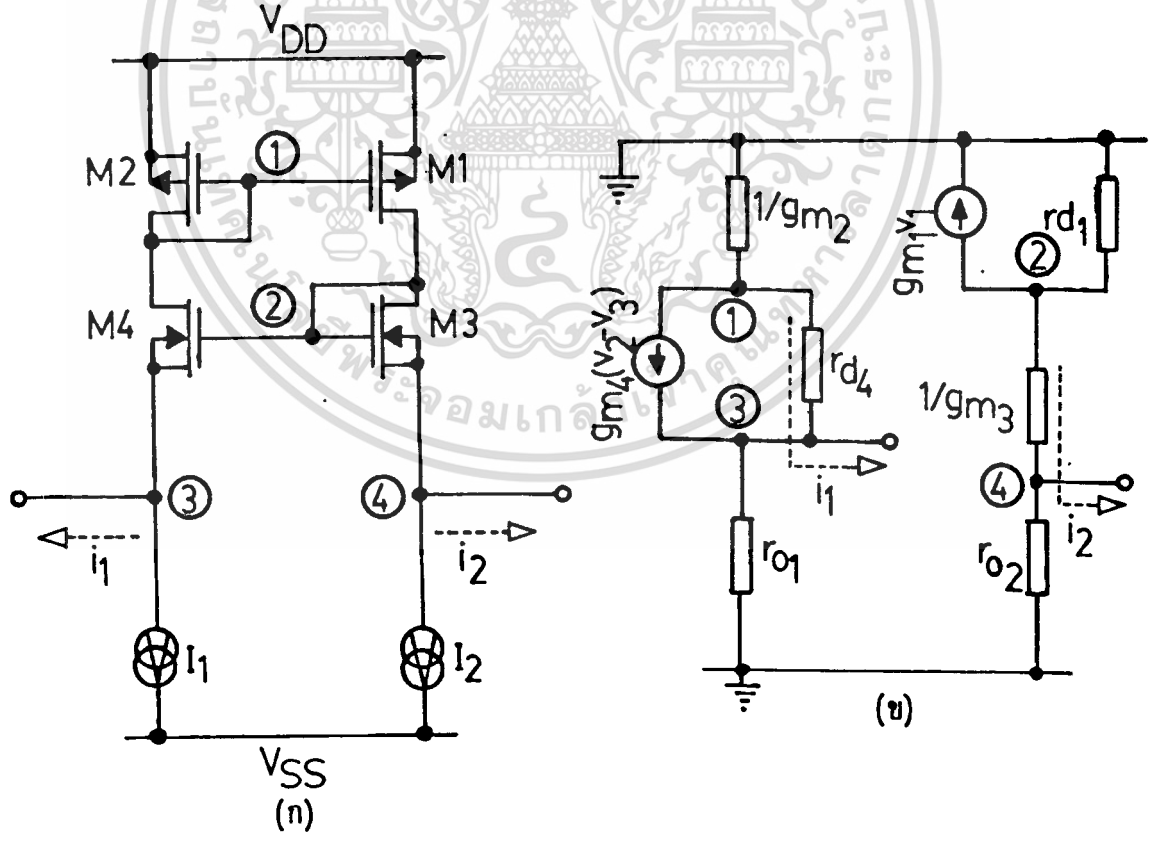
6.6 การพิจารณาช่วงความถี่ปฏิบัติงาน [43]

ปัญหาอีกประการหนึ่งที่ต้องพิจารณาก็คือในวงจรรูป 6.3, รูป 6.4 และ รูป 6.5 วงจรสะท้อนกระแสแบบลบ CM1 (ซึ่งประกอบด้วย M1 ถึง M4) และ CM2 (ซึ่งประกอบด้วย M7 ถึง M10)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งทำหน้าเป็นทางผ่านในการกลับทิศทางของกระแสสัญญาณ และเป็นที่ทราบกันดีแล้วว่าวงจรสะท้อนกระแสแบบลบดังกล่าวนี้ต้องออกแบบขึ้นจากมอสเฟทชนิด P-channel หรือ PMOS จึงเป็นผลอย่างหนึ่งที่ถูกจำกัดด้วยค่า f_T ของค่ามอสเฟทชนิด PMOS ซึ่งมีค่าต่ำ อีกทั้งผลของการตอบสนองความถี่จะถูกจำกัดเนื่องจากค่าของความจุไฟฟ้าสเตย์ (Stay Capacitances) ที่เกิดขึ้นระหว่างขาเกทและซอสของมอสเฟท (C_{gs}) ชนิด PMOS ด้วยเช่นกัน ดังการพิจารณาต่อไปนี้

ใช้การพิจารณา วงจรสะท้อนกระแสแบบลบ CM1 (ซึ่งประกอบด้วย M1 ถึง M4) ดังรูป 6.6(ก) เป็นแบบอย่างในการหาค่าความถี่ปฏิบัติงานสูงสุด สามารถใช้การคำนวณที่เป็นแบบการวิเคราะห์สัญญาณขนาดเล็ก (Small Signal Analysis) ซึ่งกระทำได้โดยการแทนวงจรทัดเทียมของมอสเฟท ชนิด NMOS,PMOS ซึ่งไม่มีผลกระทบอันเกิดเนื่องจากผลของฐานรอง (No Body Effect Occur) และวงจรทัดเทียมของแหล่งจ่ายกระแสคงที่ดังรูป 3.6(ก),3.6(ข) และ 3.6(ค) ตามลำดับลงในรูป 6.6(ก) และจะได้วงจรดังกล่าวดังแสดงในรูป 6.6(ข)



รูปที่ 6.6 (ก) แสดงวงจรสะท้อนกระแสแบบลบ

(ข) แสดงวงจรทัดเทียมของวงจรสะท้อนกระแบบลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการคำนวณหาค่าศักดาที่โนด (Node) ต่าง ๆ สามารถคำนวณหาได้จากสมการดังต่อไปนี้ที่

ที่ Node 1 จะได้

$$(g_{m2} + 1/r_{d4})V_1 - V_3/r_{d4} = -g_{m4}(V_2 - V_3) \qquad (6.25)$$

ที่ Node 3 จะได้

$$(1/r_{o1} + 1/r_{d4})V_3 - V_1/r_{d4} = g_{m4}(V_2 - V_3) \qquad (6.26)$$

ที่ Node 4 จะได้

$$(g_{m3} + 1/r_{o2})V_4 - g_{m3}V_2 = 0 \qquad (6.27)$$

จากสมการ (6.25) ถึง (6.27) สามารถหาค่าของ V_2 ,V_3 และ V_4 มีค่าเป็น

$$V_4 = (1 + 1/g_{m4}r_{d4})V_3 \cong V_3 \qquad (6.28)$$

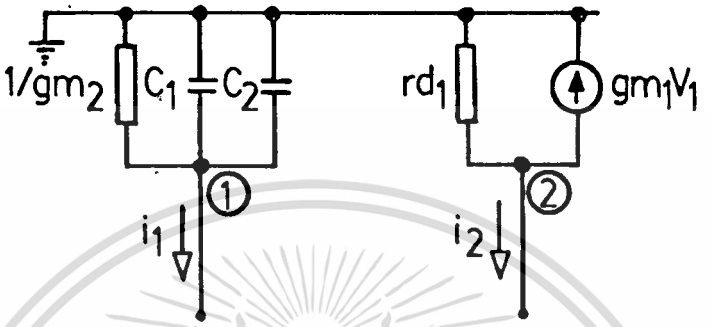
และ $$V_2 = [1 + (r_{o1} + r_{d4})/g_{m4}r_{o1}r_{d4}]V_3 \cong V_3 \qquad (6.29)$$

ดังนั้นจะได้ว่า $$V_2 = V_3 = V_4 \qquad (6.30)$$

จากสมการ (6.30) พบว่าศักดาที่โนด 2,3 และ 4 หรือ V_2 ,V_3 และ V_4 ในรูปวงจร 6.6(ข) จะมีค่าเท่ากัน เป็นผลให้ที่ศักดาโนด 1 มีค่าของกระแสที่เกิดขึ้นเนื่องจาก $g_{m4}(V_2 - V_3)$ มีค่าเป็นศูนย์ไปดังนั้นจะคงเกิดมีเฉพาะค่ากระแส i_1 เกิดการไหลเพียงกระแสเดียวเมื่อมีค่าเกิดขึ้นเท่านั้น และที่โนด 2 เช่นกันจะมีเฉพาะค่ากระแส i_2 ที่ไหลเกิดขึ้น ดังนั้นจะเห็นได้ว่าการสะท้อนของกระแส i_1 ที่โนด 1 ไปเป็นค่ากระแส i_2 ที่โนด 2 จะมีผลขึ้นอยู่กับมอสเฟท M1 และ M2 เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำให้วงจรในรูป 6.6(ข) สามารถแสดงเป็นวงจรที่มีรูปแบบที่ง่ายต่อการคำนวณหาค่าความถี่ปฏิบัติงานสูงสุด ดังแสดงวงจรดังรูป 6.7 ซึ่งมีค่าของ C_1 และ C_2 เป็นค่าความจุไฟฟ้าสเตย์ที่เกิดขึ้นระหว่างขาเกทและซอสของมอสเฟท M1 และ M2 ตามลำดับ



รูปที่ 6.7 แสดงวงจรทัดเทียมของวงจรสะท้อนกระแสแบบลบซึ่งมีรูปแบบที่ง่ายขึ้น

จากรูปจะได้ว่า

ที่ Node 1 จะได้

$$[g_{m2} + s(C_1 + C_2)]V_1 = -i_1 \qquad (6.31)$$

ที่ Node 2 จะได้

$$V_2/r_{d1} = -g_{m1}V_1 - i_2 \qquad (6.32)$$

จากสมการ (6.32)พบว่า $V_2/r_{d1} << 1$ ดังนั้นจะได้ $V_2/r_{d1} \cong 0$ ทำให้สมการ (6.32) มีค่าเป็น

$$V_1 = -i_2/g_{m1} \qquad (6.33)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่า V_1 จากสมการ (6.33) ในสมการ (6.31) จะได้

$$i_2/i_1 = g_{m1}/[g_{m2} + s(C_1 + C_2)] = (g_{m1}/g_{m2})/[1 + s(C_1 + C_2)/g_{m2}] \quad (6.34)$$

ดังนั้น

$$i_2/i_1 = g_{m1}/g_{m2}.(\tau_1 s+1) \quad (6.35)$$

ซึ่งค่าของเวลาคงที่ (Time Constants) หรือ τ_1 มีค่าเป็น

$$\tau_1 = (C_1 + C_2)/g_{m2} \quad (6.36)$$

ดังนั้นจากสมการ (6.35) และ (6.36) จะเห็นได้ว่าเป็นค่าของอัตราส่วนของการสะท้อนกระแสที่เกิดขึ้นใน CM1 ภายในวงจรรูป 6.3 , รูป 6.4 และรูป 6.5 ซึ่งเป็นวงจร FVCNRC จะมีผลขึ้นกับบทบาทสำคัญอันเนื่องมาจากค่าของโพล (Dominant Pole) ที่แสดงเป็นค่าของเวลาคงที่ τ_1 ทำให้วงจรมีขีดจำกัดในการตอบสนองต่อความถี่ อันเนื่องมาจากค่าทรานส์คอนดัคแตนซ์ (g_{m2}) และค่าของความจุไฟฟ้าสเตย์ที่เกิดขึ้นระหว่างขาเกทและซอสของมอสเฟท M1 และ M2 มีค่าเท่ากับ C_1 และ C_2 ตามลำดับ และพบอีกว่าลักษณะของสมการ (3.35) ดังกล่าวเป็นลักษณะของวงจรกรองแบบความถี่ต่ำผ่าน (Low Pass Filter) ซึ่งจะมีค่าความถี่คัทออฟ (Cutoff Frequency) เป็นไปตามสมการ (6.37)

$$f_{3db\ ของCM1} = 1/2\pi\tau_1 = g_{m2}/2\pi(C_1 + C_2) \quad (6.37)$$

ทำนองเดียวกันในวงจรสะท้อนกระแส CM2 วงจรจะมีขีดจำกัดในการตอบสนองต่อความถี่มีค่าเป็น

$$f_{3db\ ของCM2} = 1/2\pi\tau_2 = g_{m7}/2\pi(C_7 + C_8) \quad (6.38)$$

ตัวอย่างเช่น ถ้าในวงจร FVCNRC ซึ่งในส่วนของวงจรสะท้อนกระแส CM1 และ CM2 ดังรูป 6.3 , รูป 6.4 และรูป 6.5 มีค่าความจุไฟฟ้าสเตย์ที่เกิดขึ้นระหว่างขาเกทและซอสของมอสเฟท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M1, M2 ,M7 และ M8 มีค่าเป็น $C_1 = C_2 = C_7 = C_8 = 5pF$ และมีค่าของทรานส์คอนดัคแตนซ์เป็น $g_{m1} = g_{m2} = g_{m7} = g_{m8} = 1.0x10^{-3}$ A/V ตามลำดับ ดังนั้นวงจรดังกล่าวจะมีขีดจำกัดในการตอบสนองต่อความถี่หรือช่วงปฏิบัติงานความถี่สูงสุดมีค่าเป็น $f_{3db\text{ของ}CM1} = f_{3db\text{ของ}CM2} = 15.91$ MHz เป็นต้น

6.7 ผลการทดลองและผลการวิเคราะห์เสียแบบการทำงานของวงจรด้วยโปรแกรม PSpice

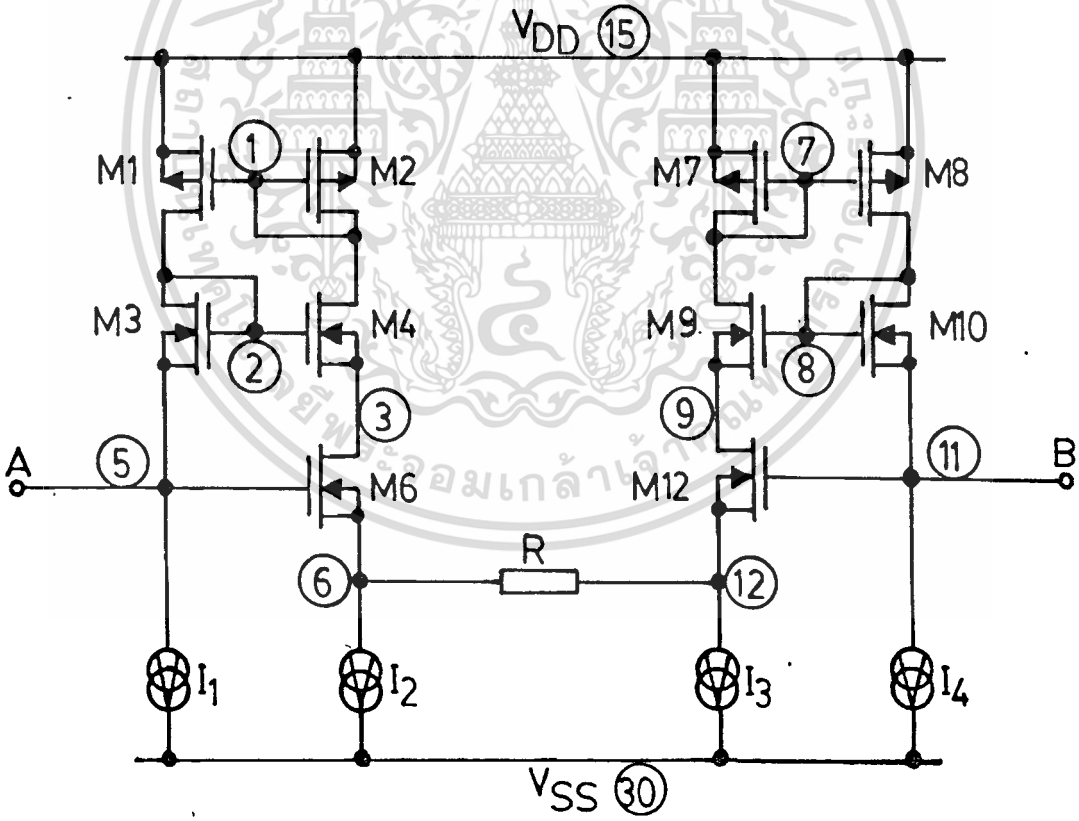
6.7.1 การทดลองวงจรพื้นฐานที่ใช้เป็นวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุมและผลตอบสนองต่อค่าความถี่

ในการทดลองวัดค่าความต้านทานค่าลบที่เกิดขึ้นกับวงจรพื้นฐาน ที่ใช้เป็นวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุมดังรูป 6.8 จะกระทำได้โดยการใช้วงจรที่สร้างขึ้นดังแสดงในรูป 6.9 ซึ่งวงจรดังกล่าวจะให้ค่าความต้านทานลบเกิดขึ้นระหว่างหมายเลขประจำ node ที่ 5 กับ node ที่ 11 ที่เป็นชนิดลอยตัว (Floating)

ในการทดลองวงจรตามรูป 6.9 เพื่อทำการวัดค่าความต้านทานค่าลบที่เป็นชนิดลอยตัวซึ่งเกิดขึ้นระหว่างหมายเลขประจำ node ที่ 5 กับ node ที่ 11 ขณะที่วงจรดังกล่าวจะมีความต้านทานค่าบวกต่อร่วมอยู่ด้วยกัน 2 ตัว คือ R และ R_{in} โดยที่ความต้านทานค่าบวก R มีหน้าที่เป็นตัวกำหนดให้เกิดค่าความต้านทานค่าลบตามต้องการส่วนความต้านทาน R_{in} ที่ต่ออนุกรมอยู่กับศักดา V_{AB} จะเลือกใช้ค่าน้อย ๆ คือมีค่าเท่ากับ $1x10^{-5}$ Ω ไม่เป็นผลทำให้ค่ากระแสที่เกิดขึ้นเปลี่ยนแปลงไป และเพื่อจุดประสงค์อีกประการคือสำหรับความสะดวกในการหาค่าความต้านทานอินพุทของวงจรที่เกิดขึ้น ซึ่งหาได้จากค่าอัตรส่วนของ $V_{AB}/I(R_{in})$ ในผลการวิเคราะห์วงจรดังกล่าวด้วยโปรแกรม PSpice ที่จะกล่าวต่อไป ทำการต่อวงจรตามรูป 6.9 แบบดีสครีทลงบนโฟรโตบอร์ด โดยที่มอสเฟทที่เป็น NMOS หรือ PMOS นำมาใช้จากภายในไอซีเบอร์ CD 4007 โดยที่ควรเลือกมอสเฟทให้มีคุณสมบัติสมพงษ์กันมากที่สุด กล่าวคือ M1 และ M2, M3 และ M4, M6 และ M12, M7 และ M8, และ M9 และ M10 ซึ่งแต่ละคู่ จะต้องมีความสมพงษ์ซึ่งกันและกัน ส่วนค่าของแหล่งจ่ายกระแสคงที่ เลือกใช้ดังนี้คือ $I_1 = I_2 = I_3 = I_4 = 2mA$ และใช้ระดับศักดาจ่าย V_{DD} และ V_{SS} มีค่าเท่ากับ 15 โวลท์ และ -15

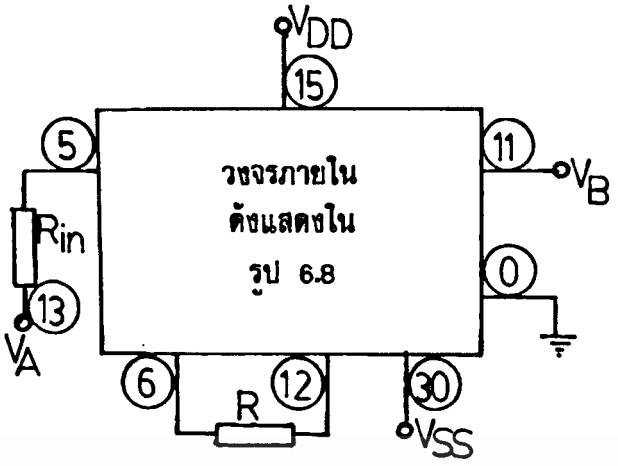
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โวลท์ ตามลำดับ ส่วนค่าความต้านทาน R_{in} เลือกใช้เท่ากับ $1x10^{-5}\Omega$ (หรืออาจทำได้โดยการลัดวงจร) และความต้านทาน R ขั้นแรกเลือกใช้ R=500Ωหลังจากนั้นทำการป้อนศักดา V_{AB} เข้ายัง node ที่ 13 และ node ที่ 11 มีค่าตั้งแต่ -5 โวลท์จนถึง 5 โวลท์ แล้ววัดค่ากระแสที่ไหลผ่านความต้านทาน R_{in} ซึ่งเป็นค่าของกระแสอินพุทซึ่งพบว่าได้ความสัมพันธ์ค่าความต้านทานอินพุทของวงจรซึ่งหาได้จาก $V_{AB}/I(R_{in})$ มีค่าเท่ากับ -1kΩซึ่งเกิดค่าความผิดพลาดเกิดขึ้นมีค่าเท่ากับ -500Ω หลังจากนั้นทดลองเปลี่ยนค่าความต้านทาน R เป็น 1kΩและ 2kΩตามลำดับ ป้อนศักดา V_{AB} เข้ายัง node ที่ 13 และ node ที่11 เช่นเดียวกันกับที่กล่าวมาข้างต้น ทำการวัดค่ากระแสที่ไหลผ่านความต้านทาน R_{in} ซึ่งเป็นค่าของกระแสอินพุท พบว่าได้ความสัมพันธ์ค่าความต้านทานอินพุทของวงจรมีค่าเท่ากับ -1.5kΩ และ -2.5kΩ ตามลำดับ ซึ่งเกิดค่าความผิดพลาดขึ้นเช่นกันมีค่าเท่ากับ -500Ωดังแสดงผลการทดลองไว้ดังรูป 6.10

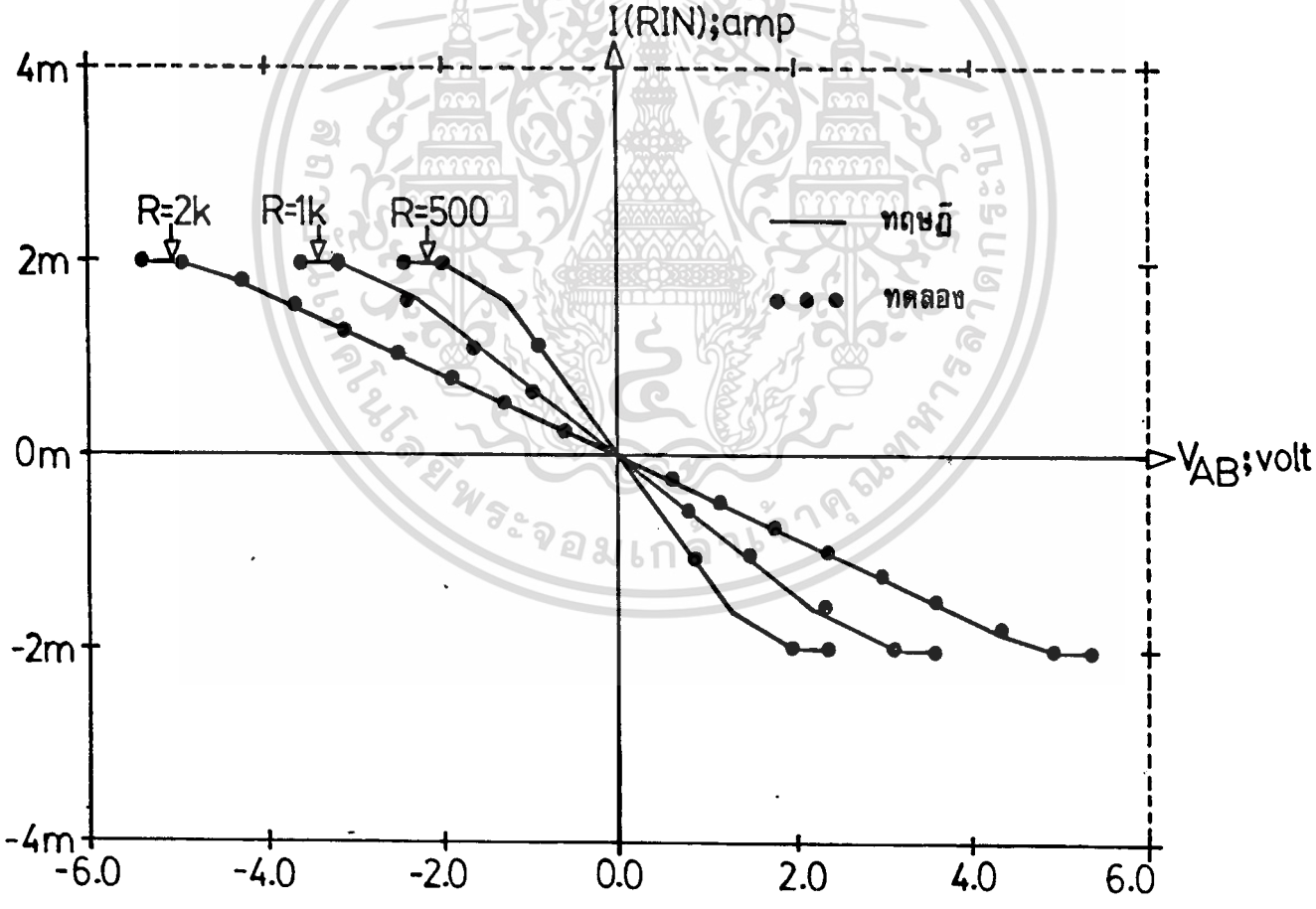


รูปที่ 6.8 วงจรพื้นฐานที่ใช้เป็นวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.9 แสดงวงจรการทดลองวัดค่าความต้านทานค่าลบตามวงจรรูปที่ 6.8



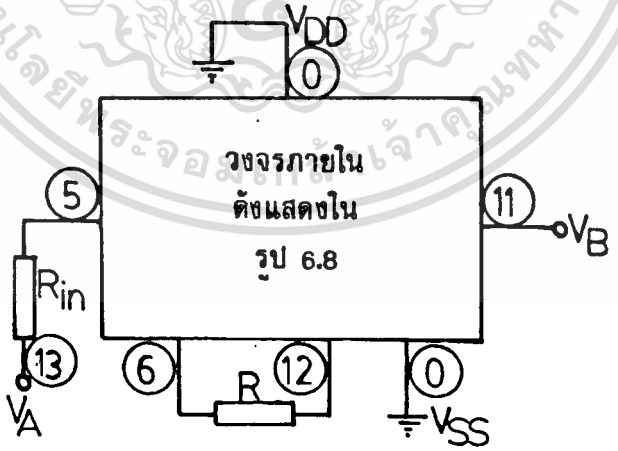
รูปที่ 6.10 แสดงผลการทดลองวัดค่าของกระแสอินพุทตามวงจรรูปที่ 6.9

พร้อมเปรียบเทียบกับค่าที่คำนวณได้จากทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

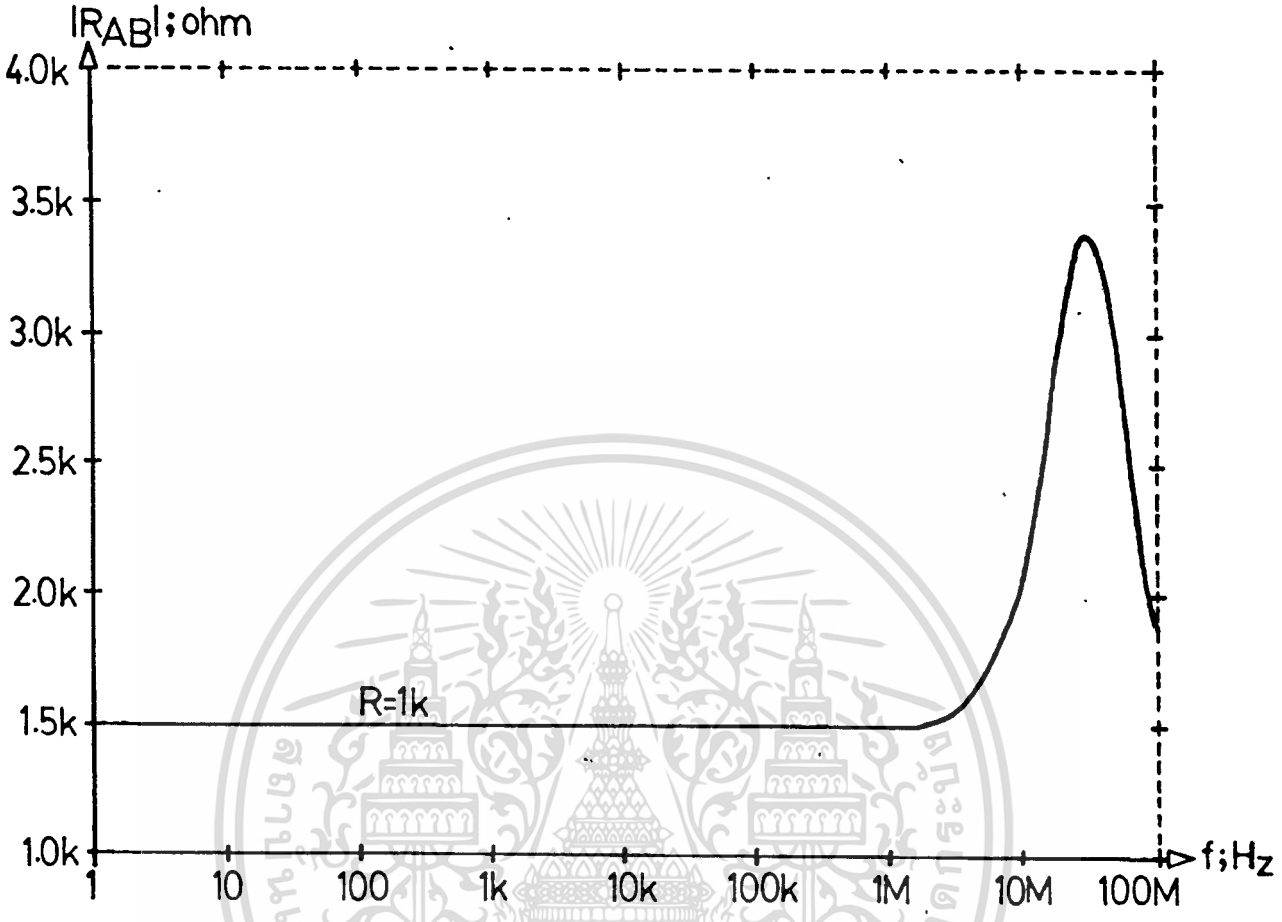
และเพื่อเป็นการยืนยันความถูกต้องอีกทีว่าวงจรตามรูป 6.9 สามารถมีการทำงานได้ตามหลักการทางทฤษฎีที่ได้นำเสนอจึงได้ใช้โปรแกรม PSpice มาทำการวิเคราะห์ และเลียนแบบการทำงานของวงจรตามรูป 6.9 ซึ่งได้กำหนดรายละเอียดของ node ต่าง ๆ ทั้งหมดลงในไฟล์ข้อมูลดังแสดงไว้ในโปรแกรม 6.1 และหลังจากการใช้โปรแกรม PSpice วิเคราะห์เสร็จสิ้นในการวัดค่ากระแสที่ไหลผ่านความต้านทาน R_{in} ซึ่งเป็นค่าของกระแสอินพุทที่เป็นค่าตามหลักการทางทฤษฎีสามารถกระทำได้โดยการใช้คำสั่งเป็น $I(R_{in})$ และได้ผลการวิเคราะห์ดังแสดงในรูป 6.10 โดยที่สามารถหาค่าความต้านทานอินพุทของวงจรได้จาก $V_{AB}/I(R_{in})$ มีค่าเท่ากับ $-1k\Omega$, $-1.5k\Omega$, และ $-2.5k\Omega$ เมื่อทดลองเปลี่ยนค่าความต้านทาน R เป็น 500Ω, $1k\Omega$, และ $2k\Omega$ ตามลำดับ เกิดค่าความผิดพลาดของความต้านทานเกิดขึ้นภายในวงจรมีค่าเท่ากับ -500Ω ซึ่งผลที่ได้เป็นไปตามที่ได้คาดหมายเอาไว้ในหัวข้อ 6.4.1

ส่วนในการวิเคราะห์ค่าของความต้านทานอินพุท (R_{AB}) ของวงจรรูป 6.8 ที่มีผลขึ้นกับค่าของความถี่จะกระทำได้โดยใช้วงจรที่สร้างขึ้นดังรูป 6.11 โดยต่อระดับศักดาจ่าย V_{DD} และ V_{SS} ซึ่งปกติเดิมเคยมีหมายเลขประจำ node ที่ 15 และ node ที่ 30 ตามลำดับลงกราวด์ให้หมด ดังนั้นที่ระดับศักดาจ่าย V_{DD} และ V_{SS} จะมีหมายเลขประจำ node ใหม่มีค่าเป็นศูนย์ซึ่งเป็นวิธีแบบการวิเคราะห์สัญญาณขนาดเล็กดังนี้



รูปที่ 6.11 แสดงวงจรที่ใช้ในการวิเคราะห์ค่าของความต้านทานอินพุท (R_{AB}) ของวงจรตามรูปที่ 6.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.12 แสดงผลการวิเคราะห์ค่าของ $|R_{AB}|$ โดยวิธีเลียนแบบวงจร
ด้วยโปรแกรม PSpice ในย่านความถี่ 1Hz - 100MHz

จากนั้นทำการสร้างไฟล์ข้อมูลสำหรับใช้ในการวิเคราะห์ค่าของ R_{AB} โดยการแทนค่าวงจรทัดเทียมของ NMOS,PMOS และแหล่งจ่ายกระแสคงที่จากวงจรรูป 3.6(ก),3.6(ข) และ 3.6(ค) ตามลำดับลงในวงจรรูป 6.11 ส่วนที่ node 6 และ node 12 จะต่อความต้านทาน R=1kΩ ไว้เพื่อใช้เป็นค่าการทดสอบในการวิเคราะห์ค่าของ R_{AB} ที่เกิดระหว่าง node 5 กับ node 11 ซึ่งก็จะได้ไฟล์ข้อมูลดังแสดงในโปรแกรม 6.2 จากไฟล์ข้อมูลที่ได้จะนำมาทำการวิเคราะห์ด้วยโปรแกรม PSpice โดยการป้อนศักดา V_{AB} ขนาด 1 หน่วย (หรือ 1 โวลท์) เข้ายัง node ที่ 13 และ node ที่ 11 ซึ่งในการวิเคราะห์ค่าของความต้านทานอินพุท (R_{AB}) ในช่วงของความถี่ตั้งแต่ 1Hz จนถึง 100 MHz ได้ให้โปรแกรม PSpice แสดงผลค่า R_{AB} ที่สามารถหาได้จากค่าของอัตราส่วนศักดา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{AB} กับกระแสอินพุท โดยใช้คำสั่งเป็น V(5,11)/I(RIN) และได้ผลการวิเคราะห์ดังแสดงในรูป 6.12 ที่มีค่าของความต้านทานอินพุทของวงจร (R_{AB}) เกิดขึ้นมีค่าเท่ากับ 1.5kΩ ซึ่งเกิดค่าความผิดพลาด (error) ของค่าความต้านทานแตกต่างไปจากความต้านทาน R เท่ากับ 500Ω ตั้งแต่ความถี่ต่ำ ๆ จนถึงค่าความถี่ประมาณ 5MHz แต่เมื่อความถี่มีค่ามากกว่า 15 MHz ค่า R_{AB} จะมีค่าสูงขึ้นอย่างรวดเร็วซึ่งพบว่าที่ความถี่ 15 MHz ดังกล่าวจะเป็นค่าความสามารถสูงสุดในการตอบสนองต่อความถี่ และผลที่ได้จากการวิเคราะห์นี้สอดคล้องกับผลในทางทฤษฎีตามที่ได้คาดหมายเอาไว้ ในหัวข้อ 6.6 ดังแสดงในสมการ (6.37) และ (6.38)

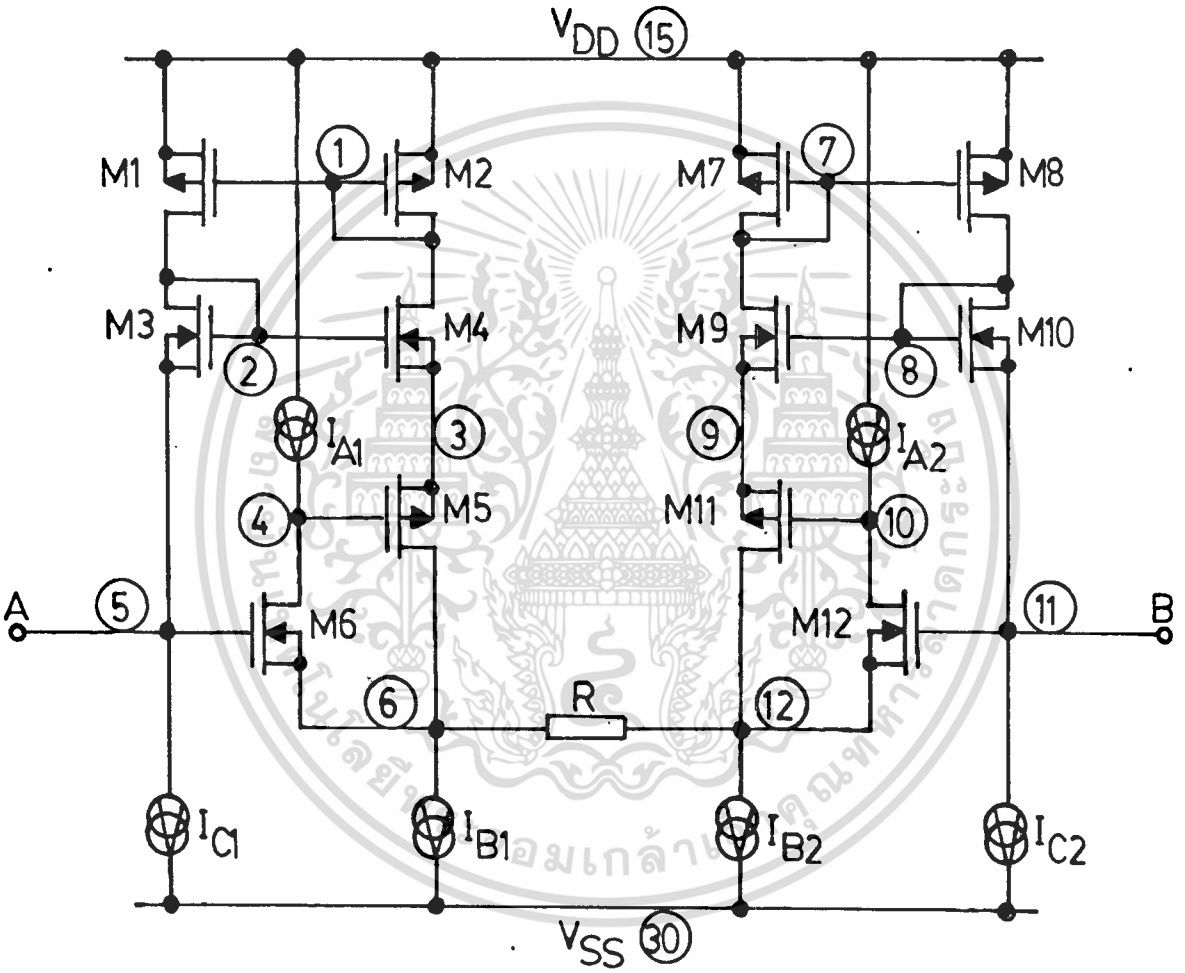
6.7.2 การทดลองวงจรที่ปรับปรุงขึ้นจากวงจรพื้นฐานที่ใช้เป็นวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุม และผลการตอบสนองต่อค่าความถี่

ในการทดลองวัดค่าความต้านทานค่าลบที่เกิดขึ้นกับวงจรที่ปรับปรุงขึ้นจากวงจรพื้นฐานที่ใช้เป็นวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุมดังรูป 6.13 จะกระทำได้โดยการใช้วงจรที่สร้างขึ้นดังแสดงในรูป 6.14 ซึ่งวงจรดังกล่าวจะให้ความต้านทานค่าลบเกิดขึ้นระหว่างหมายเลขประจำ node ที่ 5 กับ node ที่ 11 ที่เป็นชนิดลอยตัว

ในการทดลองวงจรตามรูป 6.14 เพื่อทำการวัดค่าความต้านทานค่าลบที่เป็นชนิดลอยตัวซึ่งเกิดขึ้นระหว่างหมายเลขประจำ node ที่ 5 กับ node ที่ 11 ทำโดยการต่อวงจรตามรูป 6.14 แบบดีสครีทลงบนโฟรโตบอร์ดโดยที่มอสเฟทที่เป็นชนิด NMOS หรือ PMOS นำมาใช้จากภายในไอซีเบอร์ CD 4007 โดยที่ควรเลือกมอสเฟทให้มีคุณสมบัติสมพงษ์กันมากที่สุดกล่าวคือ M1 และ M2, M3 และ M4, M5 และ M11, M6 และ M12, M7 และ M8, และ M9 และ M10 ซึ่งแต่ละคู่จะต้องมีความสมพงษ์ซึ่งกันและกัน ส่วนค่าแหล่งจ่ายกระแสคงที่เลือกใช้ดังนี้คือ $I_{A1} = I_{A2} = I_A = 10uA$ $I_{B1} = I_{B2} = I_B = 2mA$ และ $I_{C1} = I_{C2} = I_B - I_A = 1.99$ mA และใช้ระดับศักดาจ่าย V_{DD} และ V_{SS} มีค่าเท่ากับ 15 โวลท์ และ -15 โวลท์ตามลำดับ ส่วนค่าความต้านทาน R_{in} เลือกใช้เท่ากับ $1x10^{-5}$Ω (หรืออาจทำได้ด้วยการลัดวงจร) และความต้านทาน R เริ่มแรกเลือกใช้ R=500Ω หลังจากนั้นทำการป้อนศักดา V_{AB} เข้ายัง node ที่ 13 และ node ที่ 11 มีค่าตั้งแต่ -5 โวลท์จนถึง 5 โวลท์ แล้ววัดค่ากระแสที่ไหลผ่านความต้านทาน R_{in} ซึ่งเป็นค่าของกระแสอินพุท พบว่าได้ความสัมพันธ์ค่าความต้านทานอินพุทของวงจร (R_{AB}) ที่หาได้จาก $V_{AB}/I(R_{in})$ มีค่าเท่ากับ -500Ω ซึ่งไม่เกิดค่าความผิด

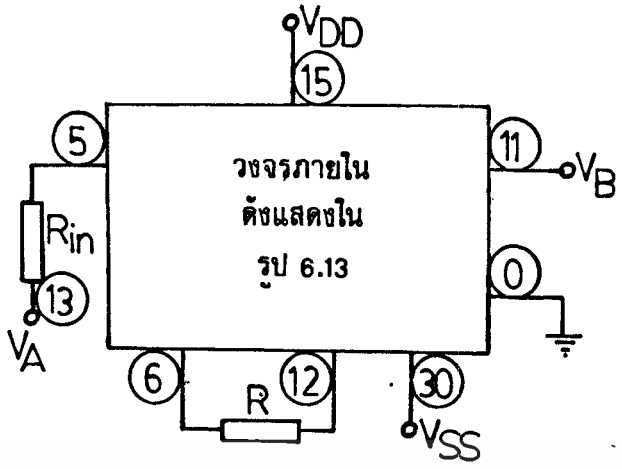
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พลาดเกิดขึ้น หลังจากนั้นทำการทดลองเปลี่ยนค่าความต้านทาน R เป็น 1kΩ และ 2kΩ ตามลำดับ ทำการทดลองโดยขั้นตอนและวิธีเดียวกันกับที่กล่าวมาข้างต้น พบว่าได้ความสัมพันธ์ค่าความต้านทานอินพุทของวงจรมี ค่าเท่ากับ -1kΩ และ -2kΩ ที่ไม่เกิดค่าความผิดพลาดขึ้นเช่นเดียวกัน ดังแสดงผลการทดลองไว้ดังรูป 6.15

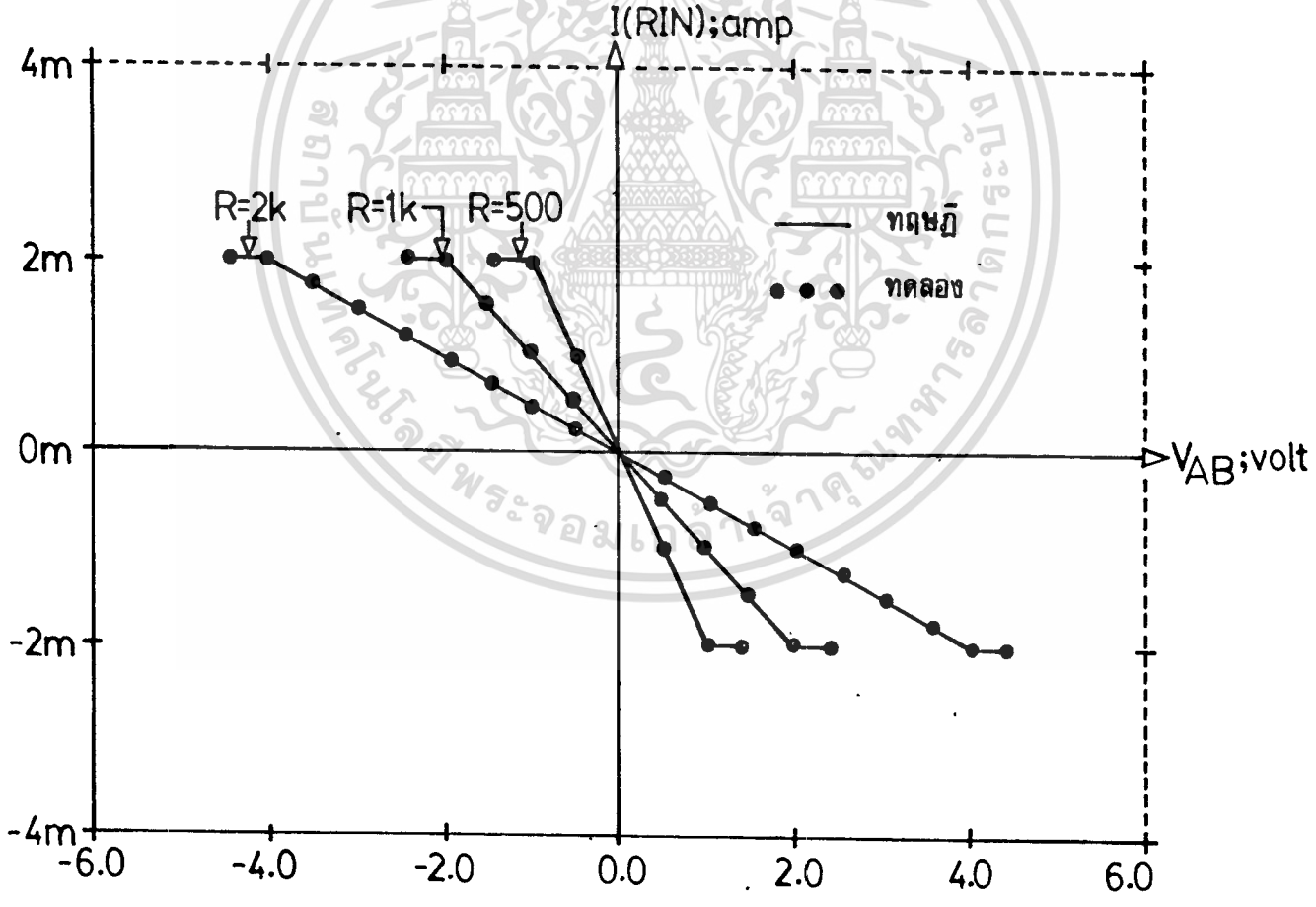


รูปที่ 6.13 แสดงวงจรที่ปรับปรุงขึ้นจากวงจรพื้นฐานที่ใช้เป็นวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.14 แสดงวงจรการทดลองวัดค่าความต้านทานค่าลบตามวงจรรูปที่ 6.13



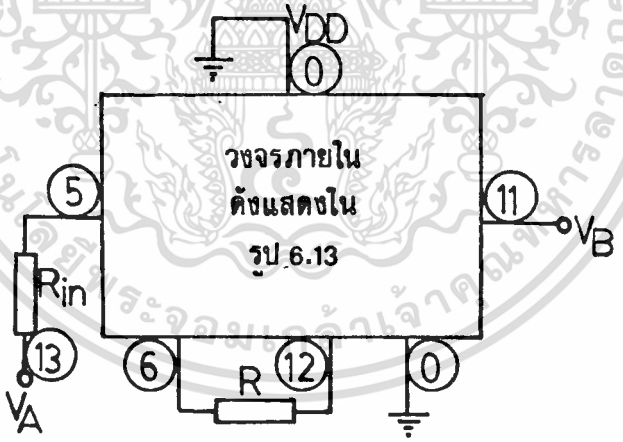
รูปที่ 6.15 แสดงผลการทดลองวัดค่าของกระแสอินพุทตามวงจรรูปที่ 6.14

พร้อมเปรียบเทียบกับค่าที่คำนวณได้จากทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเพื่อเป็นการยืนยันความถูกต้องอีกทีว่าวงจรตามรูป 6.14 สามารถมีการทำงานได้ตามหลักการทางทฤษฎีที่ได้นำเสนอจึงได้ใช้โปรแกรม PSpice มาทำการวิเคราะห์และเลียนแบบการทำงานวงจรตามรูป 6.14 ซึ่งได้กำหนดรายละเอียดของ node ต่าง ๆ ทั้งหมดลงในไฟล์ข้อมูลดังแสดงไว้ในโปรแกรม 6.3 และหลังจากการใช้โปรแกรม PSpice วิเคราะห์เสร็จสิ้นในการวัดค่ากระแสที่ไหลผ่านความต้านทาน Rin ซึ่งเป็นค่าของกระแสอินพุทที่เป็นค่าตามหลักการทางทฤษฎีสามารถกระทำได้โดยการใช้คำสั่งเป็น I(RIN) และได้ผลการวิเคราะห์ดังแสดงในรูป 6.15 โดยที่สามารถหาค่าความต้านทานอินพุทของวงจรได้จาก $V_{AB}/I(Rin)$ มีค่าเท่ากับ -500Ω, -1kΩและ -2kΩเมื่อทดลองเปลี่ยนค่าความต้านทาน R เป็น 500Ω, 1kΩและ 2kΩ ตามลำดับ โดยที่ไม่มีค่าความผิดพลาดของความต้านทานเกิดขึ้นภายในวงจร ซึ่งผลที่ได้เป็นไปตามที่ได้คาดหมายเอาไว้ในหัวข้อ 6.4.2

ส่วนในการวิเคราะห์ค่าของความต้านทานอินพุท (R_{AB}) ของวงจรรูป 6.13 ที่มีผลขึ้นกับค่าของความถี่จะกระทำได้โดยใช้วงจรที่สร้างขึ้นดังรูป 6.16 โดยที่ระดับศักดาจ่าย V_{DD} และ V_{SS} จะมีหมายเลขประจำ node ใหม่มีค่าเป็นศูนย์ ซึ่งเป็นวิธีแบบการวิเคราะห์สัญญาณขนาดเล็กดังนี้

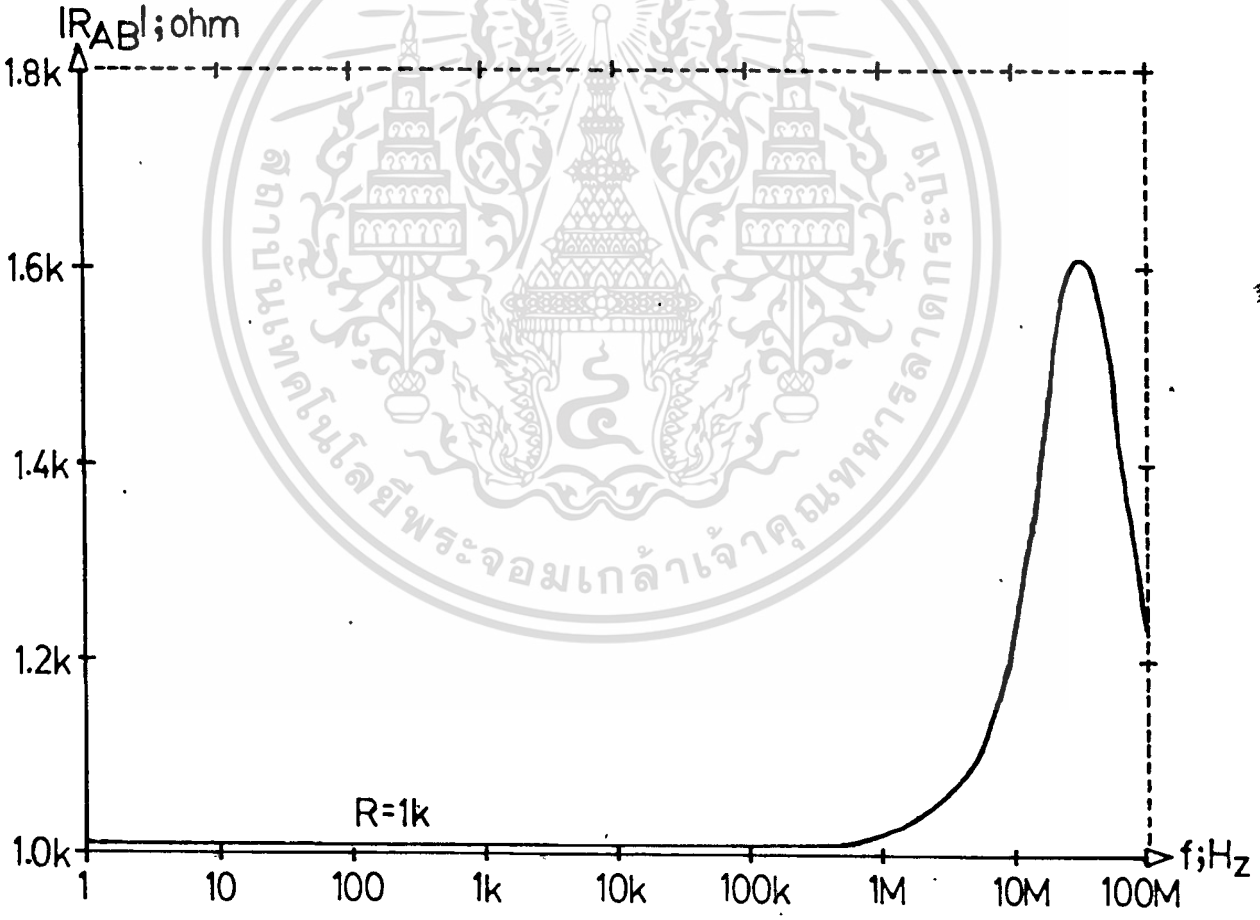


รูปที่ 6.16 แสดงวงจรที่ใช้ในการวิเคราะห์ค่าความต้านทานอินพุท (R_{AB})ของวงจรตามรูปที่ 6.13

จากนั้นทำการสร้างไฟล์ข้อมูลสำหรับใช้ในการวิเคราะห์ค่าของ R_{AB} โดยการแทนค่าวงจรทัดเทียมรูป 3.6(ก), 3.6(ข) และ 3.6(ค) ตามลำดับลงในวงจรรูป 6.16 ส่วนที่ node 6 และ node 12 จะต่อความต้านทาน R=1kΩ ไว้เพื่อใช้เป็นค่าการทดสอบในการวิเคราะห์ค่าของ R_{AB} ที่เกิดขึ้นระหว่าง node 5 กับnode 11 ซึ่งจะได้ไฟล์ข้อมูลดังแสดงในโปรแกรม 6.4 จากไฟล์ข้อมูลที่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำมาทำการวิเคราะห์ด้วยโปรแกรม PSpice โดยการป้อนศักดา V_{AB} ขนาด 1 หน่วยเข้ายัง node ที่ 13 และ node ที่ 11 ซึ่งในการวิเคราะห์ค่า R_{AB} ในช่วงของความถี่ตั้งแต่ 1Hz จนถึง 100 MHz ได้ให้โปรแกรม PSpice แสดงผลค่า R_{AB} ที่สามารถหาได้จากค่าของอัตราส่วน V_{AB} กับกระแสอินพุท โดยใช้คำสั่งเป็น V(5,11)/I(RIN) และได้ผลการวิเคราะห์ดังแสดงในรูป 6.17 ที่มีค่าของความต้านทานอินพุท (R_{AB}) เกิดขึ้นมีค่าเท่ากับค่าความต้านทาน R ที่มีค่าเป็น 1kΩ โดยไม่เกิดค่าความผิดพลาดขึ้นตั้งแต่ความถี่ต่ำ ๆ จนถึงค่าความถี่ประมาณ 1 MHz แต่เมื่อความถี่มีค่ามากกว่า 15 MHz ค่าของ R_{AB} จะมีค่าสูงขึ้นอย่างรวดเร็ว ซึ่งพบว่าที่ความถี่ 15 MHz ดังกล่าวเป็นค่าความสามารถสูงสุดในการตอบสนองต่อความถี่ และผลที่ได้จากการวิเคราะห์นี้สอดคล้องกับผลในทางทฤษฎีตามที่ได้คาดหมายเอาไว้ ในหัวข้อ 6.6 ดังแสดงในสมการ (6.37) และ (6.38)

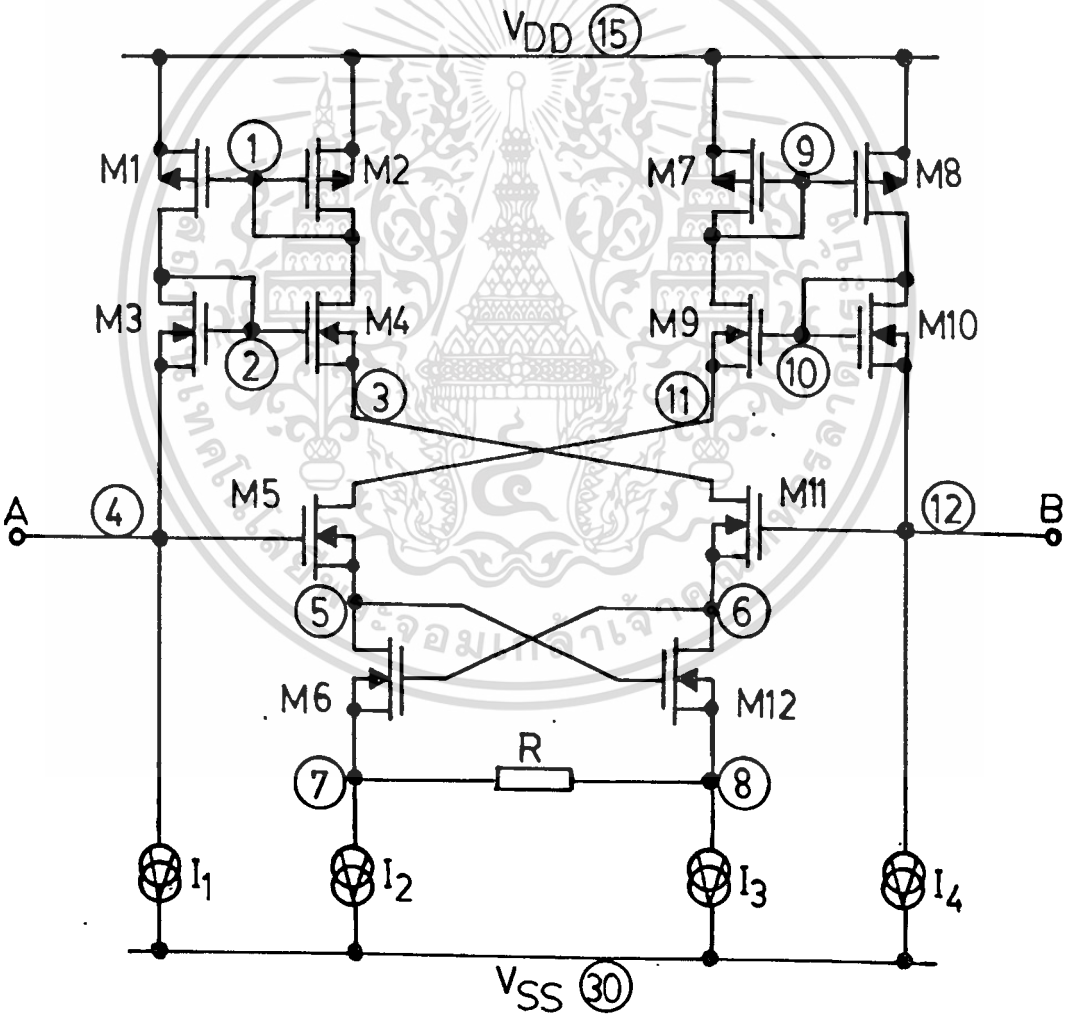


รูปที่ 6.17 แสดงผลการวิเคราะห์ค่าของ $|R_{AB}|$ โดยวิธีเลียนแบบวงจรด้วยโปรแกรม PSpice ในย่านความถี่ 1Hz - 100 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

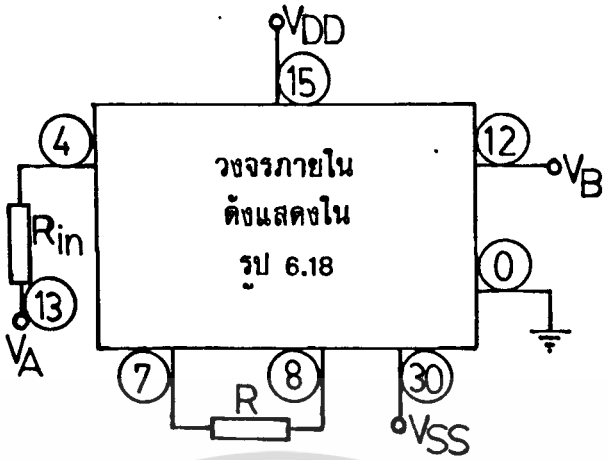
6.7.3 การทดลองวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุมโดยอาศัยหลักการของวงจรดิฟเฟอเรนเชียลควอเดท และผลการตอบสนองต่อค่าความถี่

ในการทดลอง วัดค่าความต้านทานค่าลบที่เกิดขึ้นกับวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุมโดยอาศัยหลักการของวงจรดิฟเฟอเรนเชียลควอเดทดังรูป 6.18 จะกระทำได้โดยการใช้วงจรที่สร้างขึ้นดังแสดงในรูป 6.19 ซึ่งวงจรดังกล่าวจะให้ความต้านทานค่าลบที่เกิดขึ้นระหว่างหมายเลขประจำ node ที่ 4 กับ node ที่ 12 ที่เป็นชนิดลอยตัว



รูปที่ 6.18 แสดงวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุมโดยอาศัยหลักการของวงจรดิฟเฟอเรนเชียลควอเดท

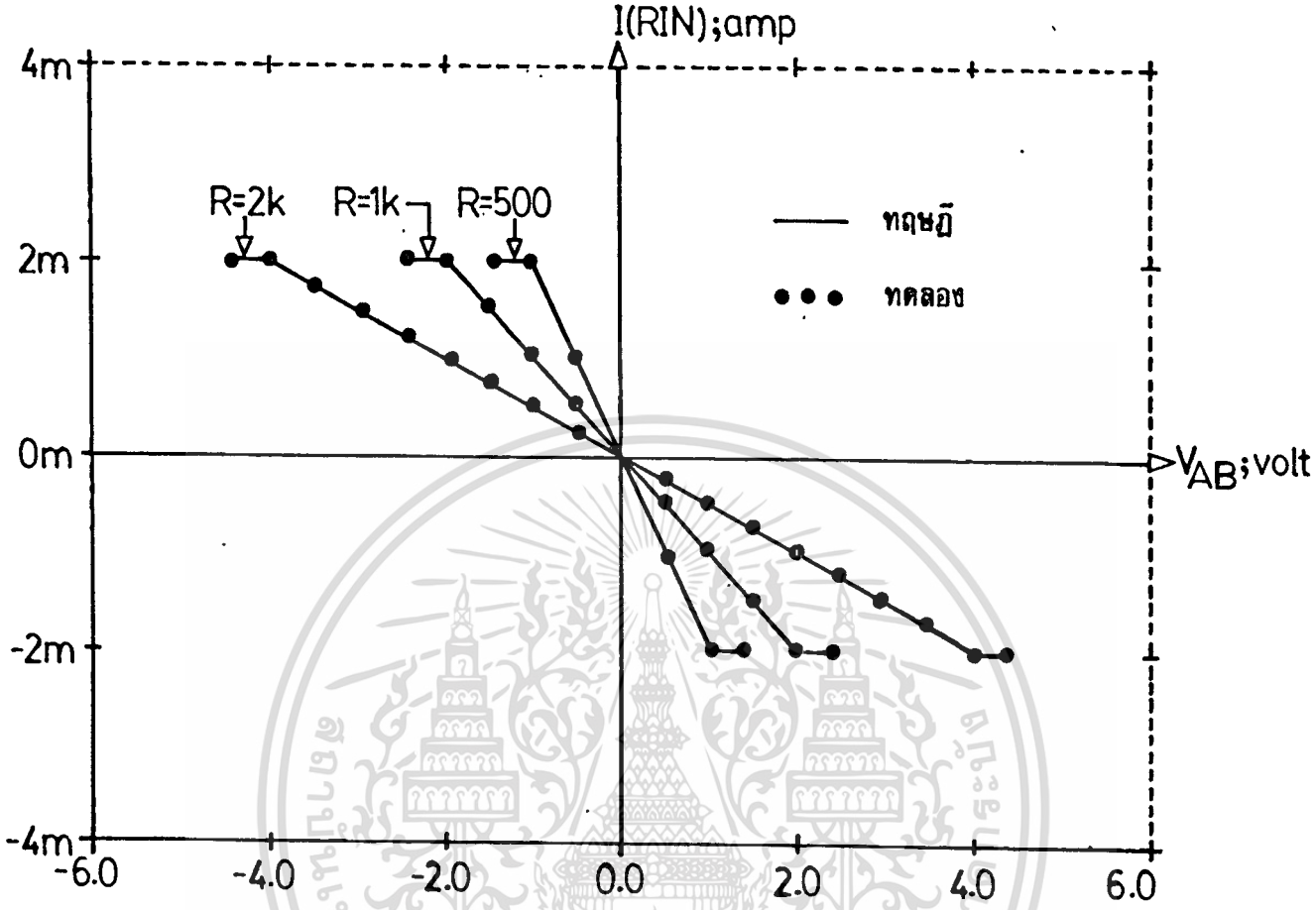
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.19 แสดงวงจรการทดลองวัดค่าความต้านทานค่าลบตามวงจรรูปที่ 6.18

ในการทดลองวงจรตามรูป 6.19 เพื่อทำการวัดค่าความต้านทานค่าลบที่เป็นชนิดลอยตัวซึ่งเกิดขึ้นระหว่างหมายเลขประจำ node ที่ 4 กับ node ที่ 12 ทำโดยการต่อวงจรตามรูป 6.19 แบบดีสครีทลงบนโฟรโตบอร์ด โดยที่มอสเฟทที่เป็นชนิด NMOS หรือ PMOS นำมาใช้จากภายในไอซีเบอร์ CD 4007 โดยที่ควรเลือกมอสเฟทให้มีคุณสมบัติสมพงษ์กันมากที่สุดกล่าวคือ M1 และ M2, M3 และ M4, M5 และ M6, M7 และ M8, M9 และ M10, และ M11 และ M12 ซึ่งแต่ละคู่จะต้องมีความสมพงษ์ซึ่งกันและกัน ส่วนค่าแหล่งจ่ายกระแสคงที่เลือกใช้ดังนี้ คือ $I_1 = I_2 = I_3 = I_4 = 2mA$ และใช้ระดับศักดาจ่าย V_{DD} และ V_{SS} มีค่าเท่ากับ 15 โวลท์และ -15 โวลท์ตามลำดับ ส่วนค่าความต้านทาน R_{in} เลือกใช้เท่ากับ $1x10^{-5}\Omega$ (หรืออาจทำได้ด้วยการลัดวงจร) และความต้านทาน R เริ่มแรกเลือกใช้ $R=500\Omega$ หลังจากนั้นทำการป้อนศักดา V_{AB} เข้ายัง node ที่ 13 และ node ที่ 12 มีค่าตั้งแต่ -5 โวลท์จนถึง 5 โวลท์ แล้ววัดค่ากระแสที่ไหลผ่านความต้านทาน R_{in} ซึ่งเป็นค่าของกระแสอินพุท พบว่าได้ความสัมพันธ์ค่าความต้านทานอินพุทของวงจร (R_{AB}) ที่หาได้จาก $V_{AB}/I(R_{in})$ มีค่าเท่ากับ -500Ω ซึ่งไม่มีค่าความผิดพลาดเกิดขึ้น หลังจากนั้นทำการทดลองเปลี่ยนค่าความต้านทาน R เป็น $1k\Omega$ และ $2k\Omega$ ตามลำดับ ทำการทดลองโดยขั้นตอนและวิธีเดียวกันกับที่กล่าวมาข้างต้นพบว่าได้ความสัมพันธ์ค่าความต้านทานอินพุทของวงจรมีค่าเท่ากับ $-1k\Omega$ และ $-2k\Omega$ ซึ่งไม่เกิดค่าความผิดพลาดขึ้นเช่นเดียวกัน ดังแสดงผลการทดลองไว้ดังรูป 6.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



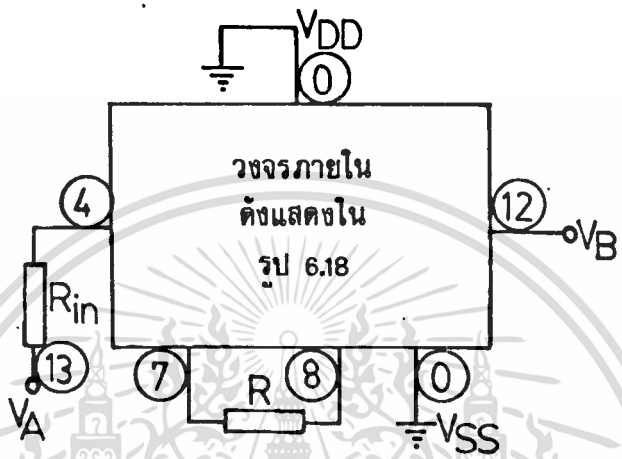
รูปที่ 6.20 แสดงผลการทดลองวัดค่ากระแสอินพุทตามวงจรรูปที่ 6.19 พร้อมเปรียบเทียบกับค่าที่คำนวณได้จากทฤษฎี

และเพื่อเป็นการยืนยันความถูกต้องอีกทีว่าวงจรตามรูป 6.19 สามารถมีการทำงานได้ตามหลักการทางทฤษฎีที่ได้นำเสนอจึงได้ใช้โปรแกรม PSpice มาทำการวิเคราะห์ และเลียนแบบการทำงานวงจรตามรูป 6.19 ซึ่งได้กำหนดรายละเอียดของ node ต่าง ๆ ทั้งหมดลงในไฟล์ข้อมูลดังแสดงไว้ในโปรแกรม 6.5 และหลังจากการใช้โปรแกรม PSpice วิเคราะห์เสร็จสิ้น ในการวัดค่ากระแสที่ไหลผ่านความต้านทาน R_{in} ซึ่งเป็นค่าของกระแสอินพุทที่เป็นค่าตามทฤษฎีสามารถกระทำได้โดยการใช้คำสั่งเป็น I(RIN) และได้ผลการวิเคราะห์ดังแสดงในรูป 6.20 โดยที่สามารถหาค่าความต้านทานอินพุทของวงจรได้จาก $V_{AB}/I(R_{in})$ มีค่าเท่ากับ -500Ω,-1kΩและ -2kΩ เมื่อทดลองเปลี่ยนค่าความต้านทาน R เป็น 500Ω,1kΩและ 2kΩตามลำดับโดยที่ไม่มีค่าความผิดพลาดของความต้านทานเกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภายในวงจร ซึ่งผลที่ได้เป็นไปตามที่ได้คาดหมายเอาไว้ในหัวข้อ 6.5

ส่วนในการวิเคราะห์ค่าของความต้านทานอินพุท (R_{AB}) ของวงจรรูป 6.18 ที่มีผลขึ้นกับค่าของความถี่จะกระทำได้โดยใช้วงจรที่สร้างขึ้นดังรูป 6.21 โดยที่ระดับศักดาจ่าย V_{DD} และ V_{SS} จะมีหมายเลขประจำ node ใหม่มีค่าเป็นศูนย์ ซึ่งเป็นวิธีแบบการวิเคราะห์สัญญาณขนาดเล็กดังนี้

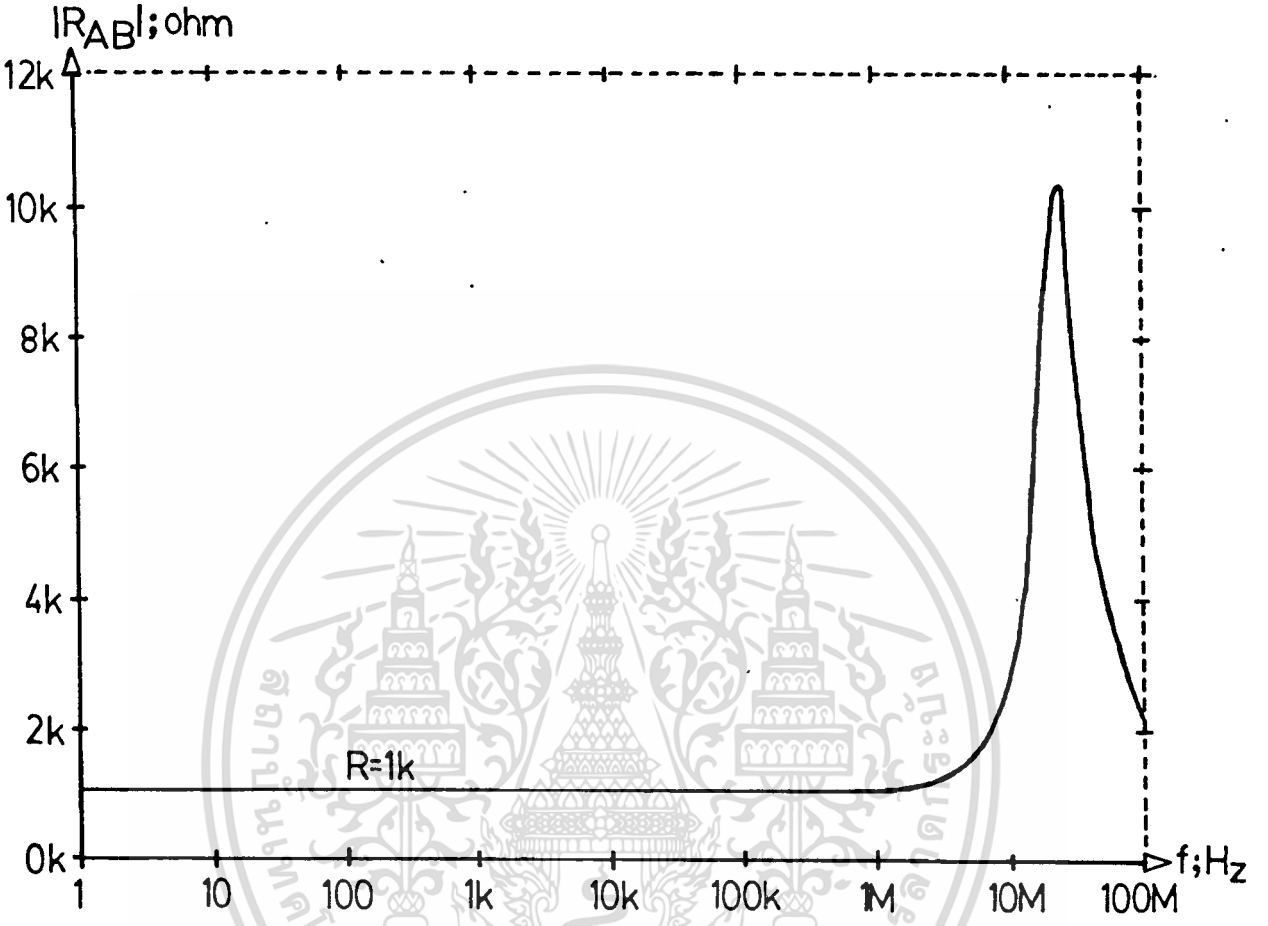


รูปที่ 6.21 แสดงวงจรที่ใช้ในการวิเคราะห์ค่าความต้านทานอินพุท (R_{AB}) ของวงจรตามรูปที่ 6.18

จากนั้นทำการสร้างไฟล์ข้อมูลสำหรับการใช้ในการวิเคราะห์ค่าของ R_{AB} โดยการแทนค่าวงจรทัดเทียมรูป 3.6(ก), 3.6(ข) และ 3.6(ค) ตามลำดับลงในวงจรรูป 6.21 ส่วนที่ node 7 และ node 8 จะต่อความต้านทาน R =1kΩ ไว้เพื่อใช้เป็นค่าการทดสอบในการวิเคราะห์ค่าของ R_{AB} ที่เกิดขึ้นระหว่าง node 4 กับ node 12 ซึ่งจะได้ไฟล์ข้อมูลดังแสดงในโปรแกรม 6.6 จากไฟล์ข้อมูลที่ได้นำมาทำการวิเคราะห์ด้วยโปรแกรม PSpice โดยการป้อนศักดา V_{AB} ขนาด 1 หน่วยเข้ายัง node ที่ 13 และ node ที่ 12 ซึ่งในการวิเคราะห์ค่าของ R_{AB} ในช่วงของความถี่ตั้งแต่ 1Hz จนถึง 100MHz ได้ให้โปรแกรม PSpice แสดงผลค่า R_{AB} ที่สามารถหาได้จากค่าอัตราส่วน V_{AB} กับกระแสอินพุท โดยใช้คำสั่งเป็น V(4,12)/I(RIN) และได้ผลการวิเคราะห์ดังแสดงในรูป 6.22 ที่มีค่าของความต้านทานอินพุท (R_{AB}) เกิดขึ้นมีค่าเท่ากับค่าความต้านทาน R ที่มีค่าเป็น 1kΩ โดยไม่เกิดค่าความผิดพลาดขึ้นตั้งแต่ความถี่ต่ำ ๆ จนถึงค่าความถี่ประมาณ 5 MHz แต่เมื่อความถี่มีค่ามากกว่า 15MHz ค่าของ R_{AB} จะมีค่าสูงขึ้นอย่างรวดเร็วพบว่าที่ความถี่ 15 MHz ดังกล่าวเป็นค่าความสามารถสูงสุดในการตอบสนองต่อความถี่ และผลที่ได้จากการวิเคราะห์นี้สอดคล้องกับผลในทางทฤษฎีตามที่ได้คาดหมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาได้ในหัวข้อ 6.6 ดังแสดงในสมการ (6.37) และสมการ (6.38)



รูปที่ 6.22 แสดงผลการวิเคราะห์ค่าของ $|R_{AB}|$ โดยวิธีเลียนแบบวงจร
ด้วยโปรแกรม PSpice ในย่านความถี่ 1Hz - 100MHz

6.8 บทสรุป

ในบทนี้เป็นการกล่าวถึงรูปแบบของวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบการใช้ศักดาควบคุม และเพื่อที่จะแสดงให้เห็นวิธีการปรับปรุงแก้ไขวงจรมีความเป็นเชิงเส้น และมีความแม่นยำมากที่สุดจึงได้แสดงตัวอย่างวงจรดังกล่าวไว้ด้วยกัน 3 แบบ ซึ่งแต่ละแบบจะอาศัยหลักการของวงจร V/I ซึ่งจะทำหน้าที่เป็นตัวเปลี่ยนระดับผลต่างของศักดาสัญญาณให้เป็นกระแสสัญญาณ และทำหน้าที่ร่วมกับวงจรสะท้อนกระแส 2 ชุด กับแหล่งจ่ายกระแสคงที่ ซึ่งพบว่าแบบแรกสามารถสังเคราะห์ค่าความต้าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทานค่าลบได้ค่อนข้างจะมีค่าความผิดพลาดเกิดขึ้นมาก เพราะเนื่องจากว่าเกิดมีค่ากระแสเกิดขึ้นที่ขาเดรนของมอสเฟท M6 และ M12 (ซึ่งทำหน้าที่เป็นวงจร V/I) มีค่าแตกต่างกันมากอันเนื่องมาจากการเกิดขึ้นของกระแส i ดังนั้นการลดค่าความผิดพลาดของวงจรนี้สามารถกระทำได้โดยเลือกใช้คู่ระหว่างมอสเฟท M6 และ M12 สมพงษ์กันมากที่สุด และจะต้องมีค่าของทรานส์คอนดัคแตนซ์พารามิเตอร์ (B=K'W/L) มีค่ามาก ๆ ส่วนในแบบที่สองจะเห็นได้ว่าค่าความต้านทานที่สังเคราะห์ได้ไม่มีค่าความผิดพลาดเกิดขึ้นเลย แต่วงจรดังกล่าวจะมีช่วงปฏิบัติงานลดลงอันเนื่องมาจากการเพิ่มแหล่งจ่ายกระแส I_{A1} และ I_{A2} เข้ามาในวงจรทำให้มีขีดจำกัดของกระแสมีค่าน้อยลง และในแบบสุดท้ายเป็นวงจรที่ใช้การออกแบบในส่วนของวงจร V/I เป็นวงจรที่เรียกว่าดิฟเฟอเรนเชียลควอเดทวงจรดังกล่าวสามารถสังเคราะห์ค่าความต้านทานค่าลบได้ โดยปราศจากค่าความผิดพลาด(แต่จะต้องเลือกให้มอสเฟท M5 กับ M6 และ M11 กับ M12 มีความสมพงษ์ซึ่งกันและกัน) อีกทั้งยังมีช่วงปฏิบัติงานกว้างกว่าแบบวงจรที่สอง (เท่ากับช่วงปฏิบัติงานของวงจรแบบแรก) ดังนั้นจะเห็นได้ว่าวงจรแบบสุดท้ายเป็นวงจรที่สามารถที่จะสังเคราะห์ค่าความต้านทานค่าลบได้ค่าที่แม่นยำมากที่สุด และมีช่วงปฏิบัติงานที่กว้างด้วยเช่นกัน จึงนับว่าวงจรดังกล่าวมีค่าของความต้านทานค่าลบที่สังเคราะห์ขึ้นมีความเป็นเชิงเส้นที่ดีมากวงจรหนึ่ง ส่วนในผลของการทดลองวงจรโดยการต่อวงจรทั้งสามแบบนี้ลงบนโฟรโตบอร์ด และยืนยันผลการทดลองที่ได้นี้อีกทีหนึ่งโดยการวิเคราะห์เลียนแบบการทำงานของวงจรโดยใช้โปรแกรม PSpice สามารถที่จะยืนยันได้ว่าวงจรที่ได้ออกแบบขึ้นมีหลักการทำงานเป็นไปตามที่คาดการณ์ไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
A basic CMOS-based FVCNRC
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC VAB -5   5   1
M1   2   1   15   15   MP  L=10U W=200U
M2   1   1   15   15   MP  L=10U W=200U
M3   2   2   5    5    MN  L=10U W=200U
M4   1   2   3    3    MN  L=10U W=200U
M6   3   5   6    6    MN  L=10U W=200U
M7   7   7   15   15   MP  L=10U W=200U
M8   8   7   15   15   MP  L=10U W=200U
M9   7   8   9    9    MN  L=10U W=200U
M10  8   8   11   11   MN  L=10U W=200U
M12  9   11  12   12   MN  L=10U W=200U
I1   5   30  2MA
I2   6   30  2MA
I3   12  30  2MA
I4   11  30  2MA
R    6   12  1K
RIN  13  5   1E-5
VDD  15  0   DC +15
VSS  30  0   DC -15
VAB  13  11
.MODEL MN NMOS (LEVEL=1 VTO=+2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.MODEL MP PMOS (LEVEL=1 VTO=-2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.PROBE
.END
```

โปรแกรม 6.1 แสดงโปรแกรมเลียนแบบการทำงานเพื่อดูผลการตอบสนองทางดีซี ของค่ากระแส $I(R_{in})$ ของวงจรตามรูปที่ 6.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Frequency response in a basic CMOS-based FVCNRC
..OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.AC  DEC  10  1  100MEG
RD1   2   0   100K
RD2   1   0   100K
RD3   2   5   100K
RD4   1   3   100K
RD6   3   6   100K
RD7   7   0   100K
RD8   8   0   100K
RD9   7   9   100K
RD10  8   11  100K
RD12  9   12  100K
CGS1  1   0   5PF
CGS2  1   0   5PF
CGS3  2   5   5PF
CGS4  2   3   5PF
CGS6  5   6   5PF
CGS7  7   0   5PF
CGS8  7   0   5PF
CGS9  8   9   5PF
CGS10 8   11  5PF
CGS12 11  12  5PF
RO1   5   0   10MEG
RO2   6   0   10MEG
RO3   12  0   10MEG
RO4   11  0   10MEG
GM1   2   0   1   0   1M
GM2   1   0   1   0   1M
GM3   2   5   2   5   1M
GM4   1   3   2   3   1M
GM6   3   6   5   6   1M
GM7   7   0   7   0   1M
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
GM8   8   0   7   0   1M
GM9   7   9   8   9   1M
GM10  8   11  8   11  1M
GM12  9   12  11  12  1M
R     6   12  1K
RIN   13  5   1E-5
VIN   13  11  AC   1
.PROBE
.END
```

โปรแกรม 6.2 แสดงโปรแกรมใช้ในการวิเคราะห์ค่าความต้านทานอินพุท (R_{AB}) ของวงจรรูป 6.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
An improvement in a basic CMOS-based FVCNRC
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.DC VAB  -5   5   1
M1   2   1   15  15  MP  L=10U W=200U
M2   1   1   15  15  MP  L=10U W=200U
M3   2   2   5   5   MN  L=10U W=200U
M4   1   2   3   3   MN  L=10U W=200U
M5   3   4   6   6   MN  L=10U W=200U
M6   4   5   6   6   MN  L=10U W=200U
M7   7   7   15  15  MP  L=10U W=200U
M8   8   7   15  15  MP  L=10U W=200U
M9   7   8   9   9   MN  L=10U W=200U
M10  8   8   11  11  MN  L=10U W=200U
M11  9   10  12  12  MN  L=10U W=200U
M12  10  11  12  12  MN  L=10U W=200U
IA1  15  4   10UA
IA2  15  10  10UA
IB1  6   30  2MA
IB2  12  30  2MA
IC1  5   30  1.99MA
IC2  11  30  1.99MA
R    6   12  500
RIN  13  5   1E-4
VAB  13  11
VDD  15  0   DC +15
VSS  30  0   DC -15
.MODEL MN NMOS (LEVEL=1 VTO=+2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.MODEL MP PMOS (LEVEL=1 VTO=-2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.PROBE
.END
```

โปรแกรม 6.3 แสดงโปรแกรมเลียนแบบการทำงานเพื่อดูผลการตอบสนองทางดีซี ของค่ากระแส $I(R_{in})$ ของวงจรตามรูปที่ 6.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Frequency response in a improvement CMOS-based FVCNRC
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.AC  DEC  10  1  100MEG
RD1   2   0   100K
RD2   1   0   100K
RD3   2   5   100K
RD4   1   3   100K
RD5   6   3   100K
RD6   4   6   100K
RD7   7   0   100K
RD8   8   0   100K
RD9   7   9   100K
RD10  8   11  100K
RD11  9   12  100K
RD12  10  12  100K
CGS1  1   0   5PF
CGS2  1   0   5PF
CGS3  2   5   5PF
CGS4  2   3   5PF
CGS5  4   3   5PF
CGS6  5   6   5PF
CGS7  7   0   5PF
CGS8  7   0   5PF
CGS9  8   9   5PF
CGS10 8   11  5PF
CGS11 10  9   5PF
CGS12 11  12  5PF
RO1   5   0   10MEG
RO2   6   0   10MEG
RO3   12  0   10MEG
RO4   11  0   10MEG
GM1   2   0   1   0   1M
GM2   1   0   1   0   1M
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
GM3    2    5    2    5    1M
GM4    1    3    2    3    1M
GM5    6    3    4    3    1M
GM6    4    6    5    6    1M
GM7    7    0    7    0    1M
GM8    8    0    7    0    1M
GM9    7    9    8    9    1M
GM10   8    11   8    11   1M
GM11   12   9    10   9    1M
GM12   10   12   11   12   1M
R      6    12   1K
RIN    13   5    1E-5
VIN    13   11   AC   1
.PROBE
.END
```

โปรแกรม 6.4 แสดงโปรแกรมใช้ในการวิเคราะห์ค่าความต้านทานอินพุท (R_{AB}) ของวงจรรูป 6.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
A CMOS-based FVCNRC using differential quartet
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC VAB  -5   5   1
M1   2   1   15  15  MP  L=10U W=200U
M2   1   1   15  15  MP  L=10U W=200U
M3   2   2   4   4   MN  L=10U W=200U
M4   1   2   3   3   MN  L=10U W=200U
M5   11  4   5   5   MN  L=10U W=200U
M6   5   6   7   7   MN  L=10U W=200U
M7   9   9   15  15  MP  L=10U W=200U
M8   10  9   15  15  MP  L=10U W=200U
M9   9   10  11  11  MN  L=10U W=200U
M10  10  10  12  12  MN  L=10U W=200U
M11  3   12  6   6   MN  L=10U W=200U
M12  6   5   8   8   MN  L=10U W=200U
I1   4   30  2MA
I2   7   30  2MA
I3   8   30  2MA
I4   12  30  2MA
R    7   8   500
RIN  13  4   1E-4
VDD  15  0   DC +15
VSS  30  0   DC -15
VAB  13  12
.MODEL MN NMOS (LEVEL=1 VTO=+2.0 KP=5.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.MODEL MP PMOS (LEVEL=1 VTO=-2.0 KP=5.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.PROBE
.END
```

โปรแกรม 6.5 แสดงโปรแกรมเลียนแบบการทำงานเพื่อดูผลการตอบสนองทางดีซี ของค่ากระแส $I(R_{in})$ ของวงจรตามรูปที่ 6.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Frequency response in a CMOS-based FVCNRC using differential quartet
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.AC  DEC  10  1  100MEG
RD1   2   0   100K
RD2   1   0   100K
RD3   2   4   100K
RD4   1   3   100K
RD5   11  5   100K
RD6   5   7   100K
RD7   9   0   100K
RD8   10  0   100K
RD9   9   11  100K
RD10  10  12  100K
RD11  3   6   100K
RD12  6   8   100K
CGS1  1   0   5PF
CGS2  1   0   5PF
CGS3  2   4   5PF
CGS4  2   3   5PF
CGS5  4   5   5PF
CGS6  6   7   5PF
CGS7  9   0   5PF
CGS8  9   0   5PF
CGS9  10  11  5PF
CGS10 10  12  5PF
CGS11 12  6   5PF
CGS12 5   8   5PF
RO1   4   0   10MEG
RO2   7   0   10MEG
RO3   8   0   10MEG
RO4   12  0   10MEG
GM1   2   0   1   0   1M
GM2   1   0   1   0   1M
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
GM3    2   4   2   4   1M
GM4    1   3   2   3   1M
GM5    11  5   4   5   1M
GM6    5   7   6   7   1M
GM7    9   0   9   0   1M
GM8    10  0   9   0   1M
GM9    9   11  10  11  1M
GM10   10  12  10  12  1M
GM11   3   6   12  6   1M
GM12   6   8   5   8   1M
R      7   8   1K
RIN    13  4   1E-5
VIN    13  12  AC   1
.PROBE
.END
```

โปรแกรม 6.6 แสดงโปรแกรมใช้ในการวิเคราะห์ค่าความต้านทานอินพุท (R_{AB}) ของวงจรรูป 6.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

วงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุมและกระแสควบคุมภายในวงจรเดียวกัน

7.1 บทนำ

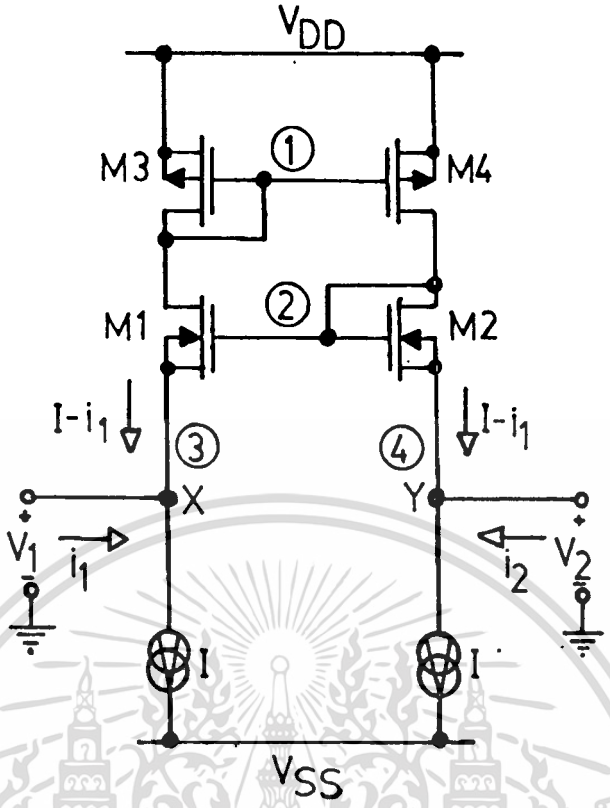
จากวงจรที่ได้กล่าวมาจากบทที่แล้วหรือวงจรที่อาจจะพบเห็นตามวารสารโดยทั่วไป การสังเคราะห์ความต้านทานค่าลบสามารถที่จะใช้การควบคุม ซึ่งอาจจะเป็นแบบการใช้ศักดาควบคุม (Voltage-controlled Mode) หรือ แบบการใช้กระแสควบคุม (Current-Controlled Mode) ได้เพียงอย่างใดอย่างหนึ่งเท่านั้นภายในวงจร หรือวงจรนั้นอาจจะสามารถใช้ศักดาและกระแสควบคุมสังเคราะห์ค่าความต้านทานลบขึ้นมาได้ แต่เป็นเพียงค่าความต้านทานลบที่ต่ออยู่กับกราวด์ (Grounded) เท่านั้นไม่ใช่ชนิดที่ลอยตัว(Floating) ทำให้วงจรไม่สามารถนำไปประยุกต์ใช้งานได้กว้างขวางมากนัก

ดังนั้นจุดประสงค์ของบทนี้จะเป็นการกล่าวถึงรูปแบบของวงจรแปลงความต้านทานค่าลบชนิดลอยตัวที่สามารถใช้การควบคุมแบบการใช้ศักดาควบคุม และกระแสควบคุม ซึ่งอยู่ภายในวงจรเดียวกัน ทำให้วงจรสามารถใช้งานได้กว้างขวางอีกทั้งวงจรที่นำเสนอนี้มีจำนวนดีไวซ์ (Device) น้อยมาก ประกอบทั้งดีไวซ์แต่ละตัวเลือกการออกแบบจาก MOSFET ทั้งสิ้นทำให้วงจรดังกล่าวเหมาะสมมากที่จะทำเป็นวงจรรวม (IC) อีกประการหนึ่งค่าความต้านทานลบที่สังเคราะห์ขึ้นได้อาจจะกล่าวได้ว่าไม่มีค่าความผิดพลาดเกิดขึ้น (ถ้า MOSFET ทุกตัวล้วนแล้วแต่มีความสมพงษ์กัน) และช่วงปฏิบัติงาน (Dynamic Range) ของวงจรดังกล่าวสามารถปฏิบัติงานได้กว้างทำให้วงจรน่าจะเป็นที่ได้รับความสนใจวงจรหนึ่ง

7.2 หลักการเบื้องต้น

จากวงจรรูป 7.1 แสดงเป็นวงจรเบื้องต้นของวงจรแปลงความต้านทานค่าลบแบบการใช้ศักดา และกระแสควบคุมภายในวงจรเดียวกันที่สามารถสังเคราะห์ค่าความต้านทานลบขึ้นมาได้แต่เป็นแบบชนิดที่ต่ออยู่กับกราวด์ [43]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.1 แสดงวงจรเบื้องต้นของวงจรแปลงความต้านทานค่าลบ
แบบการใช้ศักดาควบคุมและกระแสควบคุม

จากวงจรดังรูป 7.1 นี้วงจรประกอบด้วยมอสเฟท 4 ตัว คือ M1 ถึง M4 ซึ่งจะทำหน้าที่เป็นวงจรสะท้อนกระแสจากจุด X ไปยังจุด Y ด้วยเกนขยายกระแส (Current Amplifier) เท่าใดนั้นขึ้นอยู่กับอัตราส่วนของ (W_4/L_4) ของ M4 กับ (W_3/L_3) ของ M3 ซึ่งเป็น PMOS ทั้งคู่ แต่ในการออกแบบใช้งานต้องการให้มีการสะท้อนกระแสจาก X ไป Y ด้วยอัตราส่วน 1:1 (Unity-Gain Current Mirror) จึงจำเป็นจะต้องพยายามทำให้ (W_4/L_4) ใน M4 = (W_3/L_3) ใน M3 มากที่สุด ส่วน M1 และ M2 ที่เหลือ ซึ่งเป็น NMOS ทั้งคู่จะทำหน้าที่เป็นส่วนสะท้อนศักดา (Voltage Mirror) เพื่อที่จะทำให้มีค่าของศักดาที่จุด X(V_x) เท่ากับศักดาที่จุด Y(V_y) อัตราส่วนของ (W_2/L_2) ใน M2 เท่ากับอัตราส่วนของ (W_1/L_1) ใน M1 มากที่สุด ดังนั้นจะได้ค่าของ $V_x = V_y$ เกิดขึ้นซึ่งเรียกว่าระดับบัฟเฟอร์ (Buffer Stage) เพราะฉะนั้นจะเห็นได้ว่าภายในวงจร รูป 7.1 โดยส่วนของมอสเฟท M1 ถึง M4 จะทำหน้าที่เป็นวงจรสะท้อนกระแสจากจุด X ไปยังจุด Y แต่วงจรดังกล่าวนี้ไม่เพียงแต่ทำหน้าที่เป็นวงจรสะท้อนกระแสเท่านั้นยังทำให้ศักดา ณ จุด X แปรผันตามศักดาที่จุด Y ด้วยขนาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท่า ๆ กันอีกด้วย ส่วนแหล่งจ่ายกระแสคงที่ I ที่ต่ออยู่ระหว่างจุด X กับ V_{ss} มีไว้เพื่อบังคับให้มีกระแสไหลที่ขาเดรนของ M1 (I_{D1}) เกิดขึ้นเป็น $I-i_1$ เมื่อมีค่ากระแส i_1 ไหลเข้ามายังจุด X และแหล่งจ่ายกระแสคงที่อีกตัวหนึ่งที่ต่ออยู่ระหว่างจุด Y กับ V_{ss} มีไว้เพื่อบังคับให้มีกระแส i_2 มีค่าเท่ากับกระแส i_1 อันเป็นผลมาจากการมีกระแสเกิดขึ้นที่ขาเดรนของ M2(I_{D2}) เท่ากับ $I-i_1$ อันเนื่องมาจากวงจรสะท้อนกระแส ส่วนในการพิจารณาว่าจะใช้ศักดาหรือกระแสควบคุมในการสังเคราะห์ค่าความต้านทานค่าลบให้พิจารณาจาก ถ้าเป็นการใช้ศักดาควบคุมอิมพีแดนซ์ของด้านที่ป้อนศักดาเข้ามาจะต้องมีค่าสูงมากส่วนด้านที่เหลือให้ต่ออยู่กับค่าความต้านทานค่าบวก (+R) และถ้าเป็นการใช้กระแสควบคุมอิมพีแดนซ์ของด้านที่ป้อนกระแสเข้ามาจะต้องมีค่าต่ำมาก ส่วนด้านที่เหลือให้ต่ออยู่กับค่าความต้านทานค่าบวก (+R)

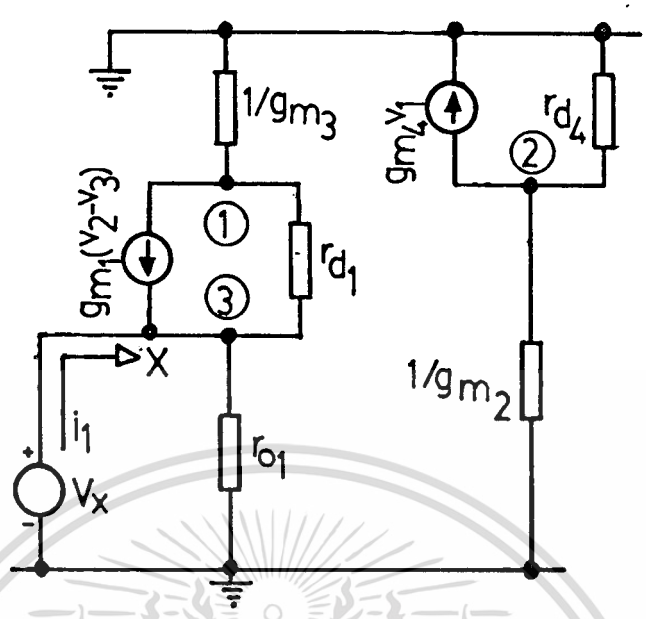
การวิเคราะห์พารามิเตอร์ที่สำคัญของวงจรรูป 7.1

พารามิเตอร์ที่สำคัญของวงจรอันได้แก่ อิมพีแดนซ์ที่พอร์ท X , อิมพีแดนซ์ที่พอร์ท Y , และค่าของ V_Y/V_X ซึ่งสามารถคำนวณได้จากการแทนวงจรทัดเทียมหรือวงจรสมมูล (Equivalent Circuit) ของมอสเฟทชนิด NMOS,PMOS และแหล่งจ่ายกระแสคงที่ ดังรูป 3.6(ก),3.6(ข) และ 3.6(ค) ตามลำดับในวงจรรูป 7.1 ก็สามารถคำนวนหาค่าดังกล่าวได้

1. การหาอิมพีแดนซ์ที่พอร์ท X [44]

จะได้วงจรทัดเทียมเพื่อที่จะใช้ในการคำนวนหาอิมพีแดนซ์ที่พอร์ท X ดังแสดงในรูป 7.2 โดยที่ r_d คือค่าความต้านทานระหว่างขาเดรน (Drain) และซอส (Source)ของมอสเฟท $\cong 10^5$ Ω และ g_m คือค่าทรานส์คอนดัคแตนซ์ (Transconductance) ของมอสเฟท $\cong 10^{-3}$ A/V [33]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.2 แสดงวงจรทัดเทียมในการคำนวนหาอิมพีแดนซ์ที่พอร์ท X ของวงจรรูปที่ 7.1

ที่ Node 1 จะได้

$$(g_{m3} + 1/r_{d1})V_1 - V_3/r_{d1} = -g_{m1}(V_2 - V_3) \qquad (7.1)$$

ที่ Node 2 จะได้

$$(g_{m2} + 1/r_{d4})V_2 = -g_{m4}V_1 \qquad (7.2)$$

ที่ Node 3 จะได้

$$(1/r_{o1} + 1/r_{d1})V_3 - V_1/r_{d1} = g_{m1}(V_2 - V_3) + i_1 \qquad (7.3)$$

จากสมการ (7.1) ถึง (7.3) สามารถหาค่าอิมพีแดนที่พอร์ท X (Z_x) ได้เป็น

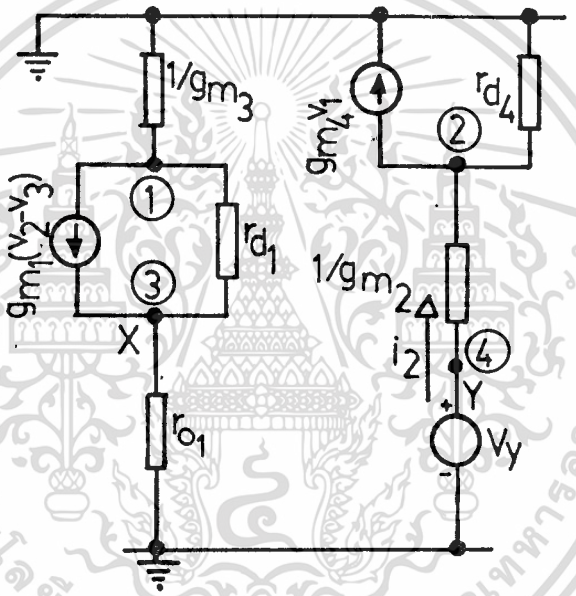
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Z_x = V_x/i_1 = V_3/i_1$$

$$= (1/g_{m1}).\{[(r_{d1}+ r_{d3})/g_{m3}r_{d1}r_{d3}] + [(r_{d2}+ r_{d4})/g_{m2}r_{d2}r_{d4}]\} \cong 40\Omega \quad (7.4)$$

2. <u>การหาอิมพีแดนซ์ที่พอร์ท Y</u>

จะได้วงจรทัดเทียมเพื่อที่จะใช้ในการคำนวนหาอิมพีแดนซ์ที่พอร์ท Y ดังแสดงในรูป 7.3



รูปที่ 7.3 แสดงวงจรทัดเทียมในการคำนวนหาอิมพีแดนที่พอร์ท Y ของวงจรรูปที่ 7.1

ที่ Node 1 จะได้

$$(g_{m3}+ 1/r_{d1})V_1 - V_3/r_{d1} = - g_{m1}(V_2 - V_3) \quad (7.5)$$

ที่ Node 2 จะได้

$$(g_{m2}+ 1/r_{d4})V_2 - V_4.g_{m2} = - g_{m4}V_1 \quad (7.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ Node 3 จะได้

$$(1/r_{o1} + 1/r_{d1})V_3 - V_1/r_{d1} = g_{m1}(V_2 - V_3) \qquad (7.7)$$

ที่ Node 4 จะได้

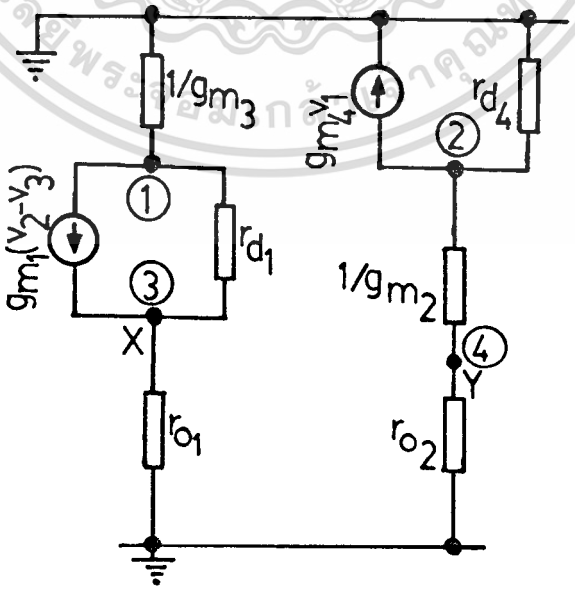
$$g_{m2}V_4 - g_{m2}V_2 = i_2 \qquad (7.8)$$

จากสมการ (7.5) ถึง (7.8) สามารถหาค่าอิมพีแดนซ์ที่พอร์ท $Y(Z_Y)$ ได้เป็น

$$Z_Y = V_Y/i_2 = V_4/i_2 = (g_{m3}r_{d1} + g_{m2}r_{d4} + g_{m4}r_{d4} + g_{m2}g_{m3}r_{d1}r_{d4})/g_{m2}g_{m3}r_{d1} \qquad (7.9)$$

$$\cong g_{m2}g_{m3}r_{d1}r_{d4}/g_{m2}g_{m3}r_{d1} \cong r_{d4} = 10^6\ \Omega \qquad (7.10)$$

3. <u>การหาค่า V_X/V_Y</u>



รูปที่ 7.4 แสดงวงจรเทียมในการคำนวนหาค่า V_X/V_Y ของวงจรรูปที่ 7.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้วงจรทัดเทียมเพื่อที่จะใช้ในการคำนวนหาค่า V_X/V_Y ดังแสดงใน รูป 7.4

ที่ Node 1 จะได้

$$(g_{m3} + 1/r_{d1})V_1 - V_3/r_{d1} = -g_{m1}(V_2 - V_3) \qquad (7.11)$$

ที่ Node 3 จะได้

$$(1/r_{o1} + 1/r_{d1})V_3 - V_1/r_{d1} = g_{m1}(V_2 - V_3) \qquad (7.12)$$

ที่ Node 4 จะได้

$$(g_{m2} + 1/r_{o2})V_4 - g_{m2}V_2 = 0 \qquad (7.13)$$

จากสมการ (7.11) ถึง (7.13) สามารถหาค่า V_X/V_Y ได้มีค่าเป็น

$$V_X/V_Y = V_3/V_4 = g_{m1}r_{d1}/(1 + g_{m1}r_{d1}) \cong 1 \qquad (7.14)$$

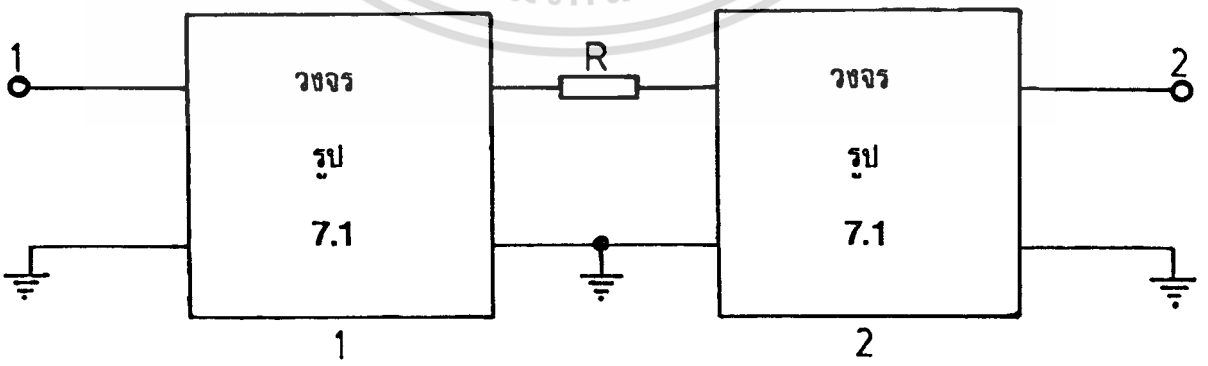
ดังนั้นจะได้

$$V_X = V_Y \qquad (7.15)$$

ดังนั้นจากการวิเคราะห์พารามิเตอร์ที่สำคัญต่าง ๆของวงจรรูป 7.1 จึงพอสรุปได้ว่าศักดาที่พอร์ท X และพอร์ท Y มีค่าศักดาที่เท่ากัน ส่วนค่าอิมพีแดนซ์นั้นที่พอร์ท X จะมีค่าอิมพีแดนซ์ที่ต่ำจึงเหมาะสมที่จะเป็นด้านของพอร์ทที่จะใช้ในการแปลงความต้านทานค่าลบ แบบการใช้กระแสควบคุม (Current - Controlled Negative Resistace Converter) หรือ CCNRC ทำนองเดียวกันค่าอิมพีแดนซ์ที่พอร์ท Y มีค่าอิมพีแดนซ์ที่สูงจึงเหมาะสมที่จะเป็นด้านของพอร์ทที่จะใช้ในการแปลงความต้านทานค่าลบแบบการใช้ศักดาควบคุม (Voltage - Controlled Negative Resistance Converter) หรือ VCNRC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะฉะนั้นจะเห็นได้ว่าถ้าต้องการให้วงจรในรูป 7.1 ทำงานเป็น VCNRC ทำได้โดยการต่อค่าความต้าน +R เข้าที่จุด X กับ GND แล้วทำการป้อนศักดาเข้าไปที่จุด Y กับ GND ก็จะสามารถทำให้มองเห็นอิมพีแดนซ์ที่เกิดขึ้นที่จุด Y มีค่าเป็น -R ซึ่งเป็นไปตามข้อกำหนดกฎเกณฑ์ดังหัวข้อ 6.2 ที่ผ่านมาที่มีสมการเป็นดังสมการ (6.1) ทำนองเดียวกันถ้าต้องการให้วงจรในรูป 7.1 ทำงานเป็น CCNRC ทำได้โดยการต่อค่าความต้านทาน +R เข้าที่จุด Y กับ GND แล้วทำการป้อนกระแสเข้าไปที่จุด X กับ GND ก็จะสามารถทำให้มองเห็นอิมพีแดนซ์ที่เกิดขึ้นที่จุด Y และ GND มีค่าเป็น -R เช่นเดียวกันที่มีสมการเป็นไปตามสมการที่ (6.2) ดังนั้นจากหลักการที่กล่าวมาข้างต้นวงจรดังรูป 7.1 ดังกล่าวสามารถสังเคราะห์ค่าความต้านทานค่าลบ (-R) ขึ้นมาได้ทั้งแบบ VCNRC และแบบ CCNRC ภายในวงจรเดียวกัน แต่ความต้านทานค่าลบที่สังเคราะห์ขึ้นมาได้นั้นเป็นแบบชนิดที่ต่ออยู่กับกราวด์ (Grounded) ซึ่งไม่ใช่ชนิดลอยตัว (Floating) ทำให้วงจรไม่เหมาะสมที่จะนำไปประยุกต์ใช้งานได้กว้างขวาง ดังนั้นเพื่อจะให้ได้ความต้านทานลบเกิดขึ้นเป็นชนิดลอยตัวที่มีการทำงานแบบศักดาควบคุม (Floating Voltage-Controlled Negative Resistance Converter) หรือ FVCNRC และการทำงาน แบบกระแสควบคุม (Floating Current-Controlled Negative Resistance Converter) หรือ FCCNRC ภายในวงจรเดียวกันได้จึงจำเป็นจะต้องใช้วงจรในรูป 7.1 เพิ่มเข้ามาอีก 1 ชุดดังแสดงหลักการทำงานของวงจรดังรูป 7.5 ซึ่งจะได้กล่าวถึงรายละเอียด และการทำงานของหลักการดังกล่าวต่อไปในหัวข้อ 7.3

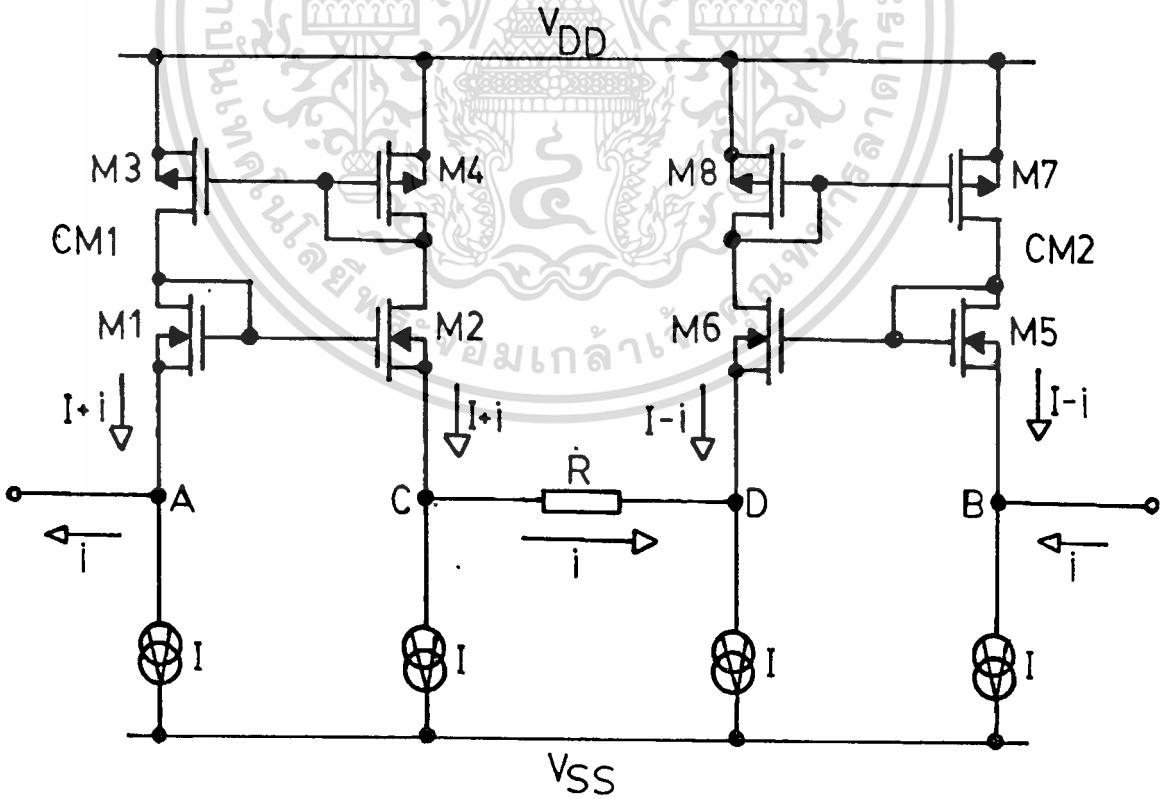


รูปที่ 7.5 แสดงหลักการทำงานของวงจร FVCNRC และ FCCNRC โดยใช้วงจรรูป 7.1 ร่วมกัน 2 ชุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

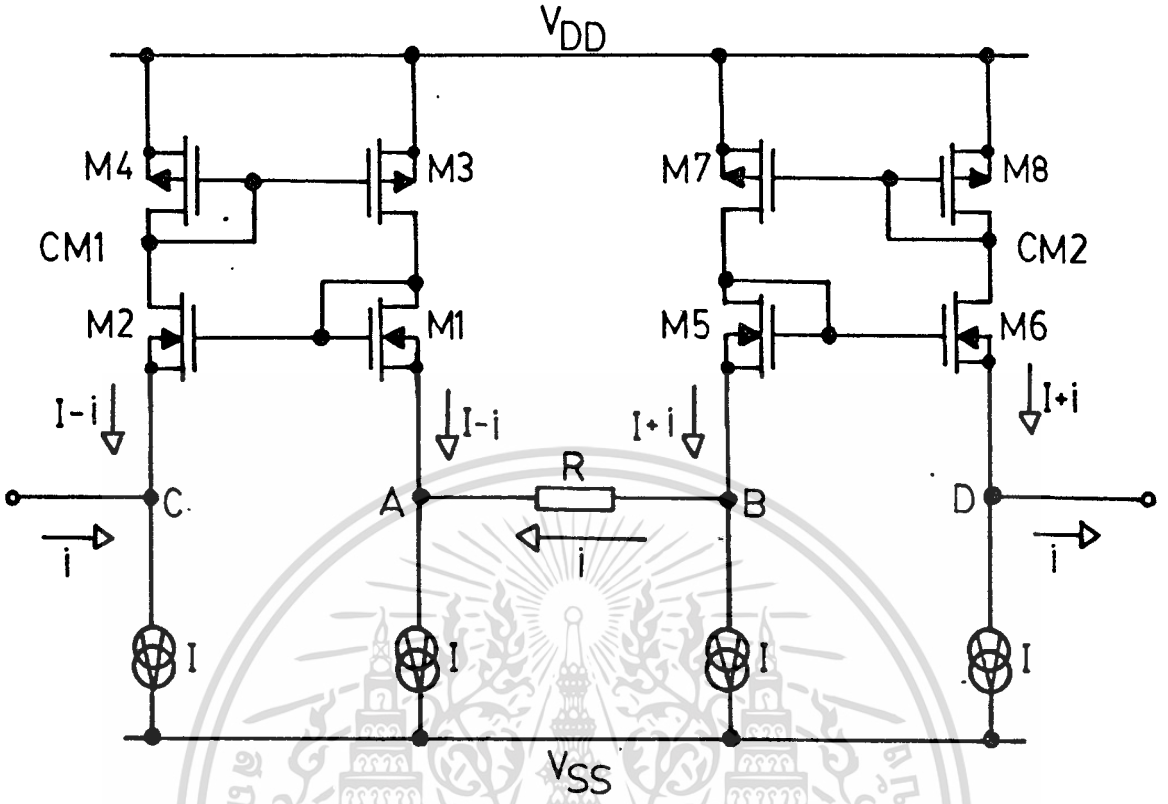
7.3 การออกแบบวงจรโดยอาศัยหลักการของวงจรสะท้อนกระแส

จากหลักการเบื้องต้นของวงจรแปลงความต้านทานค่าลบในหัวข้อ 7.2 ซึ่งแสดงเป็นวงจรเบื้องต้นของวงจรแปลงความต้านทานค่าลบแบบการใช้ศักดาควบคุม และกระแสควบคุมภายในวงจรเดียวกันดังแสดงในรูป 7.1 ดังที่กล่าวมาแล้วนั้นความต้านทานค่าลบที่สังเคราะห์ขึ้นมาได้จะเป็นแบบชนิดที่ต่ออยู่กับกราวด์ไม่ใช่ชนิดลอยตัว ดังนั้นเพื่อความเหมาะสมที่จะนำวงจรไปประยุกต์ใช้งานให้ได้กว้างขวางมากยิ่งขึ้นจึงได้ออกแบบวงจรใหม่ เพื่อให้ได้ค่าความต้านทานลบที่เกิดขึ้นเป็นแบบชนิดลอยตัวที่มีการทำงานแบบสามารถใช้ศักดาควบคุม (FVCNRC) และกระแสควบคุม (FCCNRC) ภายในวงจรเดียวกันได้ โดยอาศัยหลักการดังรูป 7.5 ซึ่งประกอบด้วยการใช้วงจรรูป 7.1 จำนวน 2 ชุด ซึ่งแต่ละชุดจะมีมอสเฟท 4 ตัวทำงานเป็นวงจรสะท้อนกระแส และแหล่งจ่ายกระแสคงที่ 2 ตัว โดยมีความต้านทานค่าบวกต่อกั้นระหว่างกลาง เพื่อใช้ในการแปลง (Convert) เป็นค่าความต้านทานค่าลบ ซึ่งแสดงเป็นวงจรที่สามารถนำไปใช้งานจริงดังวงจรรูป 7.6(ก) และ 7.6(ข) ตามลำดับ



(ก) วงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุม (FVCNRC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) วงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบกระแสควบคุม (FCCNRC)

รูป 7.6 วงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุม
และกระแสควบคุมภายในวงจรเดียวกัน

7.3.1 การทำงานของวงจร

จากรูป 7.6(ก) เป็นวงจร FVCNRC ที่มีหลักการทำงานกล่าวคือ เมื่อป้อนศักดาอินพุท (Input Voltage) เข้าที่จุด A และ B (V_{AB}) ดังนั้นศักดาที่จุด C และ D (V_{CD}) จะมีค่าประมาณศักดาที่จุด A และ B ($V_{AB}= V_{CD}$) ดังสมการ (7.15) ทำให้เกิดมีกระแส i ไหลเกิดขึ้นมีทิศทางการไหลจาก C ไป D (ถ้าสมมุติว่าศักดาที่จุด A มีค่ามากกว่าศักดาที่จุด B) ดังนั้นจะเกิดกระแสเกิดขึ้นที่ขาเดรนของ M2 (I_{D2}) และ M6(I_{D6}) มีค่าเป็น I+i และ I-i ตามลำดับ และชุดของวงจรสะท้อนกระแสในชุดที่ 1 คือ M1 ถึง M4 และชุดของวงจรสะท้อนกระแสในชุดที่ 2 คือ M5 ถึง M8 จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการสะท้อนกระแสจากขาเดรนของ M2 และ M6 ไปยังขาเดรนของ M1(I_{D1}) และ M5(I_{D5}) มีค่าเป็น I+i และ I-i ตามลำดับ ด้วยเช่นกัน (ถ้าสมมุติว่าคู่ของมอสเฟท M1 กับ M2, M3 กับ M4, M5 กับ M6, และ M7 กับ M8 มีความสมพงษ์ซึ่งกันและกัน) ดังนั้นทำให้เกิดมีกระแส i ไหลเกิดขึ้นซึ่งมีทิศทางการไหลออกจากจุด A ไปเข้ายังจุด B ซึ่งเหมือนกับว่ากระแส i มีทิศทางการไหลทวนกระแส ซึ่งเกิดเนื่องจากการป้อนศักดาหรือแรงดันเข้าที่จุด A และ B (V_{AB}) ดังนั้นค่าความต้านทานทัดเทียมที่มองเข้าที่จุด A และ B จะมีค่าเท่ากับ -R ซึ่งเป็นลักษณะความต้านทานค่าลบชนิดลอยตัว ดังการพิจารณาต่อไปนี้

จากรูป 7.6(ก) จะได้ค่าของ

$$V_{AB} = (V_{GS2} - V_{GS1}) + (V_{GS5} - V_{GS6}) + V_{CD} \qquad (7.16)$$

จากสมการของ MOSFET ที่มีการทำงานช่วงอิ่มตัวดังสมการ (2.16) จะมีค่าของกระแสเดรนเป็น

$$i_D = (K'W/2L).(V_{GS} - V_T)^2 = (B/2).(V_{GS} - V_T)^2 \quad ; 0 < (V_{GS} - V_T) \leq V_{DS} \qquad (7.17)$$

แทนสมการ (7.17) ใน (7.16) จะได้

$$V_{AB} = (2i_{D2}/B_2)^{1/2} - (2i_{D1}/B_1)^{1/2} + (2i_{D5}/B_5)^{1/2} - (2i_{D6}/B_6)^{1/2} + (V_{T2} - V_{T1} + V_{T5} - V_{T6}) + i.R \qquad (7.18)$$

แทนค่ากระแสเดรนต่าง ๆ ในสมการ (7.18) จากวงจรพบว่า $I_{D1} = I_{D2} = (I+i)$ และ $I_{D5} = I_{D6} = (I-i)$ ดังนั้นจะได้

$$V_{AB} = [2(I+i)/B_2]^{1/2} - [2(I+i)/B_1]^{1/2} + [2(I-i)/B_5]^{1/2} - [2(I-i)/B_6]^{1/2} + \Delta V_T + i.R \qquad (7.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ $$\Delta V_T = V_{T2} - V_{T1} + V_{T5} - V_{T6} \qquad (7.20)$$

จากสมการ (7.19) สามารถหาค่าความต้านทานอินพุท (R_{AB}) ของวงจรได้เป็น

$$R_{AB} = \partial V_{AB} / \partial(-i) \qquad (7.21)$$

$$= -1/[2B_2(I+i)]^{1/2} + 1/[2B_1(I+i)]^{1/2} + 1/[2B_5(I-i)]^{1/2} - 1/[2B_6(I-i)]^{1/2} - R \qquad (7.22)$$

ถ้าในวงจรเลือกให้ M1 กับ M2 และ M5 กับ M6 มีความสมพงษ์ซึ่งกันและกันจะได้

$$B_1 = B_2 = B \quad \text{และ} \quad B_5 = B_6 = B \qquad (7.23)$$

และมี $$V_{TO1} = V_{TO2} = V_{TO} \quad \text{และ} \quad V_{TO5} = V_{TO6} = V_{TO} \qquad (7.24)$$

จากสมการ (7.22),(7.23) และ (7.24) จะได้ค่าความต้านทานทัดเทียมที่จุด A และ B มีค่าเป็น

$$R_{AB} = \begin{cases} \text{มีค่าเป็นอนันต์} & ; \quad i \leqslant -I \\ -R & ; \quad -I < i < I \\ \text{มีค่าเป็นอนันต์} & ; \quad i \geqslant I \end{cases} \qquad (7.25)$$

ดังนั้นจากสมการ (7.25) เป็นสมการที่แสดงถึงค่าความต้านทานทัดเทียมที่จุด A และ B ของวงจรรูป 7.6(ก) ซึ่งจะมีค่าเท่ากับ -R โดยที่ไม่เกิดค่าความผิดพลาดขึ้นกับความต้านทานค่าลบนี้ก็ต่อเมื่อมีช่วงปฏิบัติงานจากการเกิดขึ้นของกระแส i อันเนื่องมาจากการป้อนศักดาเข้าที่จุด A และ B มีค่าเกิดขึ้นอยู่ในช่วง $-I<i<I$ แต่ถ้าค่าของกระแส i มีค่าเกิดขึ้นอันเนื่องมาจากการป้อนศักดาเข้าที่จุด A และ B เช่นกันเกิดขึ้นในช่วง $i \leqslant -I$ หรือ $i \geqslant I$ จะทำให้ค่าความต้านทานทัดเทียมที่มองเข้าที่จุด A และ B มีค่าเป็นอนันต์ โดยในการออกแบบจะเลือกใช้แหล่งจ่ายกระแสคงที่ I มีค่าเท่ากับ 1mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท่ากันทั้งหมด 4 ตัว ซึ่งง่ายต่อการออกแบบมากเพราะเนื่องจากว่าเป็นแหล่งจ่ายกระแสคงที่ที่เป็นชนิดเดียวกัน และมีค่าเท่ากันทุกตัว คือ 1mA ดังกล่าวมา

ทำนองเดียวกันจากรูป 7.6(ข) เป็นวงจร FCCNRC ที่มีหลักการทำงานกล่าวคือจะป้อนกระแสอินพุท (Input Current) เข้าที่จุด C และออกที่จุด D เนื่องจากว่าความต้านทานด้านอินพุท (Input Impedance) ที่จุดดังกล่าวมีค่าต่ำดังสมการ (7.4) กว่าที่จุด A และ B ซึ่งมีความต้านทานที่สูงดังสมการ (7.10) ดังนั้น ณ จุด C และ D ถ้ามีกระแสไหลเข้าและออกเป็น i เกิดขึ้นตามลำดับผลคือจะเกิดกระแสเกิดขึ้นที่ขาเดรนของ M2(I_{D2}) และ M6(I_{D6}) มีค่าเป็น (I-i) และ (I+i)ตามลำดับ และชุดของวงจรสะท้อนกระแสในชุดที่ 1 คือ M1 ถึง M4 และชุดของวงจรสะท้อนกระแสในชุดที่ 2 คือ M5 ถึง M8 จะทำการสะท้อนกระแสจากขาเดรนของ M2 และ M6 ไปยังขาเดรนของ M1(I_{D1}) และ M5(I_{D5}) มีค่าเป็น (I-i) และ (I+i) ด้วยเช่นกัน (ถ้าสมมุติว่าคู่ของมอสเฟท M1 กับ M2, M3 กับ M4, M5 กับ M6 และ M7 กับ M8 มีความสมพงษ์ซึ่งกันและกัน) ดังนั้นจะทำให้เกิดมีกระแส i เกิดการไหลเกิดขึ้นมีทิศทางการไหลจากจุด B ไปยังจุด A ซึ่งเหมือนกับว่าเกิดความต่างศักดิ์เกิดขึ้นที่จุด A และ B (V_{AB}) มีค่าเป็น -i.R ดังนั้นจึงทำให้สามารถเกิดความต้านทานค่าลบขึ้นได้ที่จุด C และ D มีค่าเท่ากับ -R ซึ่งเป็นลักษณะความต้านทานค่าลบชนิดลอยตัว ดังการพิจารณาต่อไปนี้

จากรูป 7.6(ข) จะได้ค่าของ

$$V_{CD} = (V_{GS1} - V_{GS2}) + (V_{GS6} - V_{GS5}) + V_{AB} \qquad (7.26)$$

จากสมการ (7.17) และ (7.26) จะได้

$$V_{CD} = (2i_{D1}/B_1)^{1/2} - (2i_{D2}/B_2)^{1/2} + (2i_{D6}/B_6)^{1/2} - (2i_{D5}/B_5)^{1/2} + (V_{T1} - V_{T2} + V_{T6} - V_{T5}) - i.R \qquad (7.27)$$

แทนค่ากระแสเดรนต่าง ๆ ในสมการ (7.27) จากวงจรพบว่า $I_{D1} = I_{D2} = (I-i)$ และ $I_{D5} = I_{D6} = (I+i)$ ดังนั้นจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{CD} = [2(I-i)/B_1]^{1/2} - [2(I-i)/B_2]^{1/2} + [2(I+i)/B_6]^{1/2} - [2(I-i)/B_5]^{1/2} + \Delta V_T - i.R \qquad (7.28)$$

โดยที่ $$\Delta V_T = V_{T1} - V_{T2} + V_{T6} - V_{T5} \qquad (7.29)$$

จากสมการ (7.28) สามารถหาค่าความต้านทานอินพุท (R_{CD}) ของวงจรได้เป็น

$$R_{CD} = \partial V_{CD} / \partial (i) \qquad (7.30)$$

$$= -1/[2B_1(I-i)]^{1/2} + 1/[2B_2(I-i)]^{1/2} + 1/[2B_6(I+i)]^{1/2} - 1/[2B_5(I+i)]^{1/2} - R \qquad (7.31)$$

ถ้าในวงจรเลือกให้ M1 กับ M2 และ M5 กับ M6 มีความสมพงษ์ซึ่งกันและกันจะได้

$$B_1 = B_2 = B \quad \text{และ} \quad B_5 = B_6 = B$$

และมี $$V_{TO1} = V_{TO2} = V_{TO} \quad \text{และ} \quad V_{TO5} = V_{TO6} = V_{TO} \qquad (7.32)$$

จากสมการ (7.31) และ (7.32) จะได้ค่าค่าความต้านทานที่จุด C และ D เมื่อมีการควบคุมด้วยกระแส (I_{CD}) มีค่าเป็น

$$R_{CD} = \begin{cases} \text{มีค่าเป็นอนันต์} & ; \quad I_{CD} \leqslant -I \\ -R & ; \quad -I < I_{CD} < I \\ \text{มีค่าเป็นอนันต์} & ; \quad I_{CD} \geqslant I \end{cases} \qquad (7.33)$$

ดังนั้นจากสมการ (7.33) เป็นสมการที่แสดงถึงค่าความต้านทานทัดเทียมที่จุด C และ D ของวงจรรูป 7.6 (ข) มีค่าเท่ากับ -R ถ้าค่าของกระแสอินพุท (I_{CD}) ที่ป้อนให้กับวงจรมีค่าอยู่ในช่วง

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$-I < I_{CD} < I$ ซึ่งเป็นช่วงกระแสปฏิบัติงานโดยที่ไม่ทำให้เกิดค่าความผิดพลาดขึ้นกับความต้านทานค่าลบที่สังเคราะห์ขึ้นได้ แต่ถ้าค่าของกระแสอินพุท I_{CD} ที่ป้อนให้กับวงจรมีค่าอยู่ในช่วง $I_{CD} \ll -I$ หรือ $I_{CD} \gg I$ จะทำให้ค่าความต้านทานทัดเทียมที่มองเข้าที่จุด C และ D มีค่าเป็นอนันต์ ดังนั้นจะเห็นว่าวงจรในรูป 7.6 นี้สามารถเป็นได้ทั้งแบบ FVCNRC และแบบ FCCNRC ภายในวงจรเดียวกันจึงน่าจะเป็นวงจรที่ดีที่สุดกว่าทุกวงจรเท่าที่ได้กล่าวมา เพราะเนื่องจากว่ามีช่วงปฏิบัติงานที่กว้างอีกทั้งวงจรยังประกอบด้วยมอสเฟทเพียง 8 ตัว และแหล่งจ่ายกระแสคงที่อีก 4 ตัว ซึ่งแต่ละตัวมีค่าเท่ากันหมดคือ I และเป็นชนิดเดียวกันด้วยทั้งหมด (ซึ่งง่ายต่อการออกแบบ) ทำให้วงจรดังกล่าวเหมาะสมที่สุดที่จะนำไปทำเป็นวงจรรวม หรือ IC

7.4 ช่วงความถี่ปฏิบัติงานของวงจร

เนื่องจากว่าการออกแบบวงจร FVCNRC และวงจร FCCNRC ซึ่งอยู่ในวงจรเดียวกันดังรูป 7.6(ก) และ 7.6 (ข) ตามลำดับเป็นวงจรที่ใช้หลักการออกแบบวงจรดังกล่าวที่สร้างขึ้นจากวงจรสะท้อนกระแสจำนวน 2ชุด คือ CM1 ซึ่งประกอบไปด้วยมอสเฟท M1 ถึง M4 และ CM2 ซึ่งประกอบด้วยมอสเฟท M5 ถึง M8 ซึ่งวงจรสะท้อนกระแสทั้งคู่เป็นวงจรสะท้อนแบบลบ ดังนั้นผลในการตอบสนองความถี่ส่วนหนึ่งจะถูกจำกัดเนื่องจากค่าของความจุไฟฟ้าสเตย์ (C_{gs}) และค่าของทรานส์คอนดัคแตนซ์ (g_m) ซึ่งได้กล่าวไว้โดยละเอียดแล้วในหัวข้อ 6.6 ดังนั้นขีดจำกัดในการตอบสนองต่อความถี่ของวงจรรูป 7.6(ก) และ 7.6(ข) ทั้งคู่จะมีค่าความถี่คัทออฟ (Cutoff Frequency) เป็นไปดังสมการ (7.34) และ (7.35) ดังนี้

$$f_{3db\ ของCM1} = g_{m4}/2\pi(C_3 + C_4) \qquad (7.34)$$

และ

$$f_{3db\ ของCM2} = g_{m8}/2\pi(C_7 + C_8) \qquad (7.35)$$

ตัวอย่างเช่น จากรูปวงจร 7.6(ก) และ 7.6(ข) ถ้าสมมุติว่าในส่วนของวงจรสะท้อนกระแส CM1 และ CM2 มีค่าความจุไฟฟ้าสเตย์ที่เกิดขึ้นระหว่างขาเกท และซอสของมอสเฟท M3,M4, M7 และ M8 มีค่าเป็น $C_3 = C_4 = C_7 = C_8 = 5pF$ และมีค่าของ ทรานส์คอนดัคแตนซ์เป็น

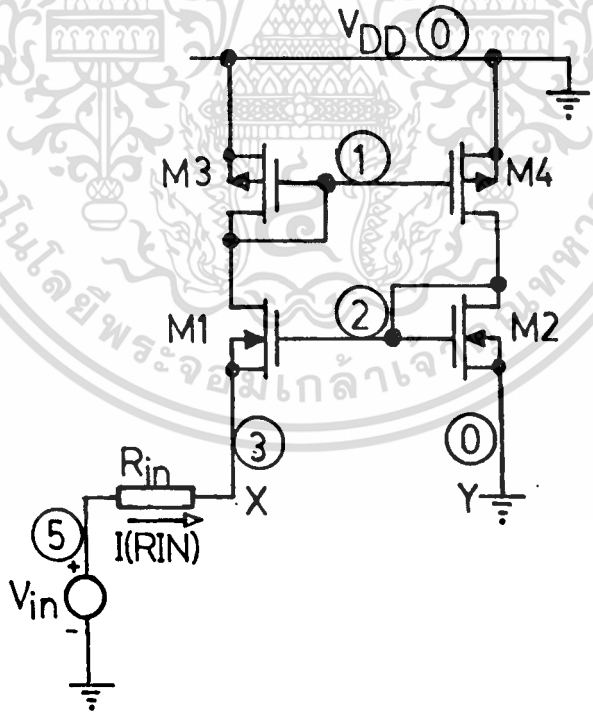
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$g_{m3} = g_{m4} = g_{m7} = g_{m8}$ ซึ่งมีค่าเท่ากับ $1.0x10^{-3}$ A/V ตามลำดับ ดังนั้นวงจรดังกล่าวจะมีขีดจำกัดในการตอบสนองต่อความถี่สูงสุดมีค่าเป็น $f_{3db\ CM1} = f_{3db\ CM2} = 15.91$ MHz

7.5 ผลการทดลองและผลจากการวิเคราะห์เลียนแบบการทำงานของวงจรด้วยโปรแกรม PSpice

7.5.1 การวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท X ของวงจรสะท้อนกระแส

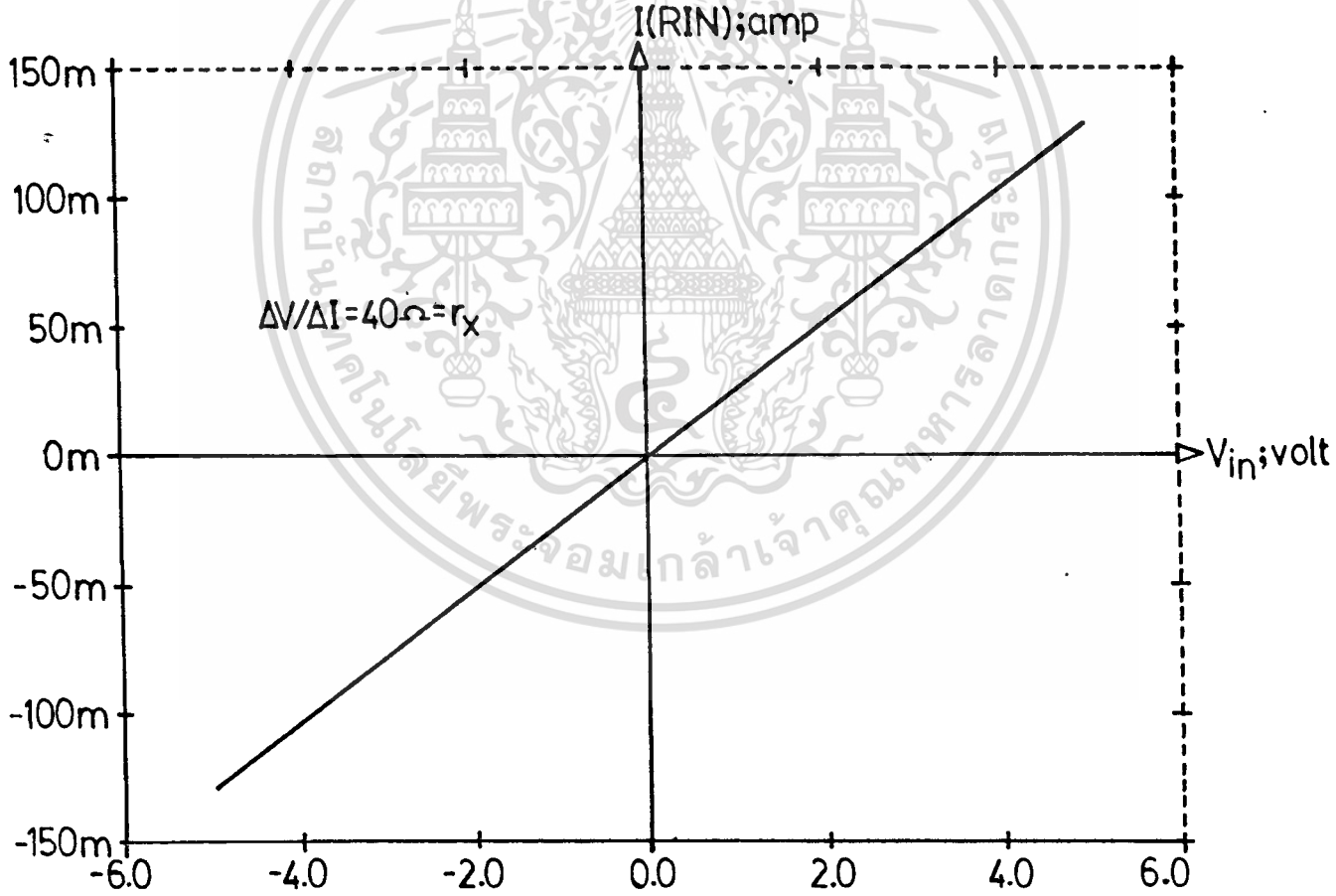
ในการวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ท X ของวงจรสะท้อนกระแสจะกระทำได้ดังรูป 7.7 โดยการต่อระดับศักดาจ่าย V_{DD},V_{SS} และศักดาที่พอร์ท Y ลงกราวด์ทั้งหมด ดังนั้นที่ระดับศักดาจ่าย V_{DD}, V_{SS} และศักดาที่พอร์ท Y จะมีหมายเลขประจำ node ใหม่มีค่าเป็นศูนย์ทั้งหมดซึ่งเป็นวิธีแบบการวิเคราะห์สัญญาณขนาดเล็กดังนี้



รูปที่ 7.7 แสดงการวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ท X ของวงจรสะท้อนกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นทำการสร้างไฟล์ข้อมูลสำหรับการใช้ในการวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ท X โดยการแทนค่าวงจรทัดเทียมของ NMOS,PMOS และแหล่งจ่ายกระแสคงที่จากวงจรรูป 3.6(ก),3.6(ข) และ3.6(ค) ตามลำดับลงในวงจร รูป 7.7 ซึ่งจะได้ไฟล์ข้อมูลดังแสดงในโปรแกรม 7.1 จากไฟล์ข้อมูลที่ได้จะนำมาทำการวิเคราะห์ด้วยโปรแกรม PSpice โดยการป้อนศักดาตั้งแต่ -5 โวลท์ จนถึง 5 โวลท์เข้ายังศักดาที่พอร์ท X ซึ่งมีค่า R_{in} ต่ออนุกรมอยู่ที่มีค่าน้อยมากไม่มีผลทำให้คากระแสที่เกิดขึ้นเปลี่ยนแปลงไป เพื่อจุดประสงค์สำหรับความสะดวกในการหาค่าความต้านทาน (r) ที่เกิดขึ้น ซึ่งหาได้จากค่าอัตราส่วนของ $V_{in}/I(R_{in})$ และได้ผลการวิเคราะห์ ดังแสดงในรูป 7.8 ที่มีค่าของอิมพีแดนซ์ที่พอร์ท X (r_x) ของวงจรสะท้อนกระแสมีค่าเท่ากับ 40 Ω สอดคล้องกับคุณสมบัติของวงจรในทางทฤษฎีที่ได้คาดหมายเอาไว้ในหัวข้อ 7.2 ดังแสดงในสมการ (7.4)



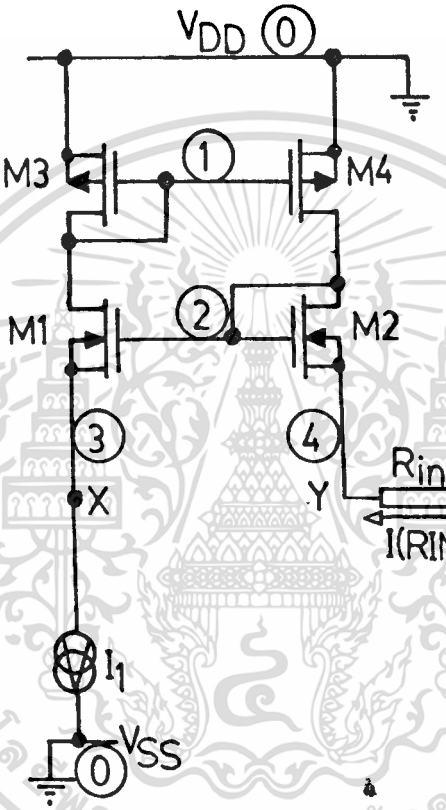
รูปที่ 7.8 แสดงผลการวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท X(r_x)

โดยวิธีเลียนแบบวงจรด้วยโปรแกรม PSpice

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.5.2 การวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท Y ของวงจรสะท้อนกระแส

ในการวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ท Y ของวงจรสะท้อนกระแสจะกระทำได้ดังรูป 7.9 โดยการต่อระดับศักดาจ่าย V_{DD} และ V_{SS} ลงกราวด์ ดังนั้นที่ระดับศักดาจ่าย V_{DD} และ V_{SS} จะมีหมายเลขประจำ node มีค่าเป็นศูนย์ทั้งหมด ซึ่งเป็นวิธีแบบการวิเคราะห์สัญญาณขนาดเล็กดังนี้

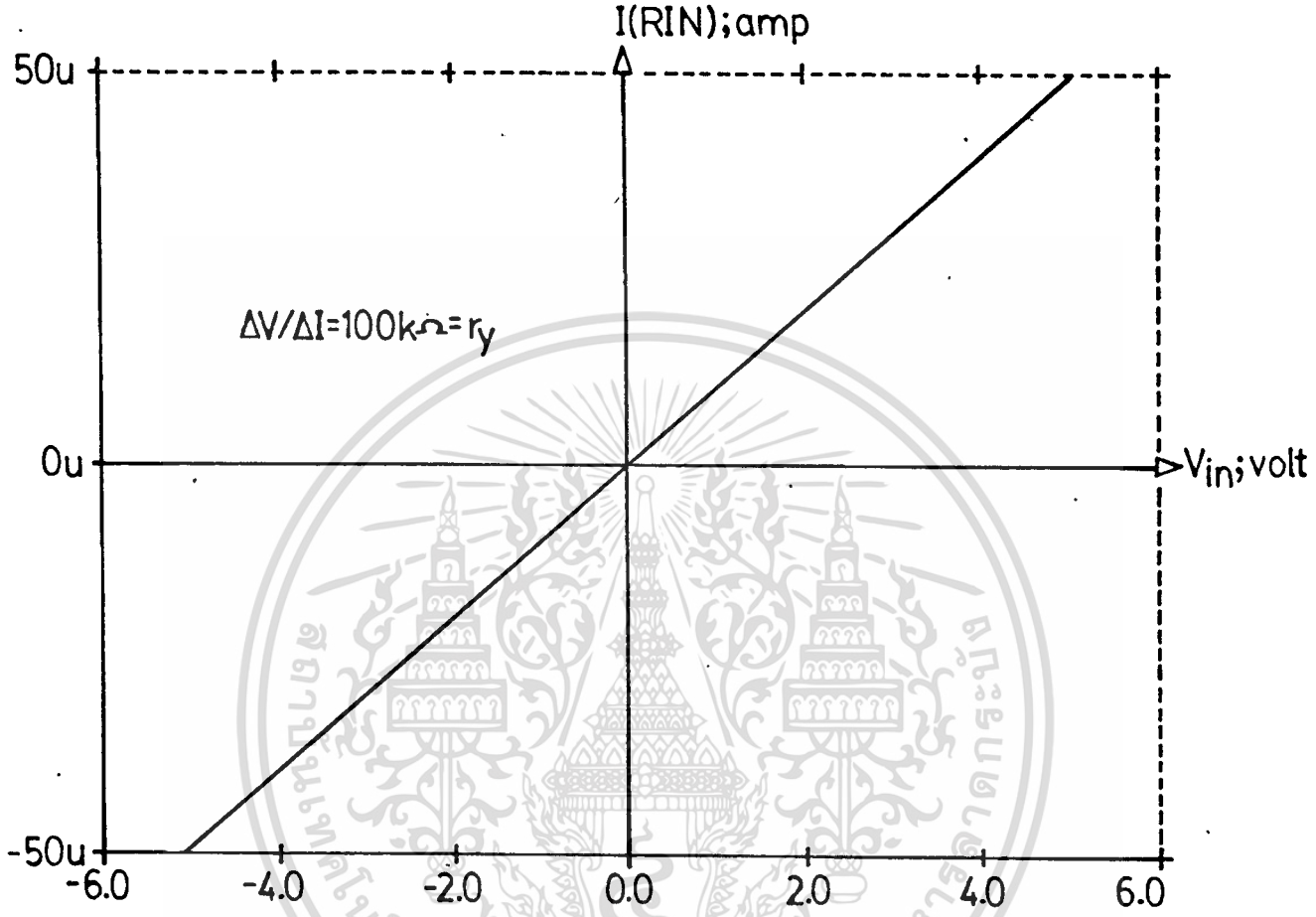


รูปที่ 7.9 แสดงการวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ท Y ของวงจรสะท้อนกระแส

จากนั้นทำการสร้างไฟล์ข้อมูลสำหรับใช้ในการวิเคราะห์อิมพีแดนซ์ที่พอร์ท Y โดยการแทนค่าวงจรทัดเทียมของ NMOS,PMOS และแหล่งจ่ายกระแสคงที่จากวงจรรูป 3.6(ก), 3.6(ข) และ 3.6(ค) ตามลำดับลงในวงจรรูป 7.9 ซึ่งจะได้ไฟล์ข้อมูลดังแสดงในโปรแกรม 7.2 จากไฟล์ข้อมูลที่ได้จะนำมาทำการวิเคราะห์ด้วยโปรแกรม PSpice โดยการป้อนศักดาตั้งแต่ -5 โวลท์ จนถึง 5 โวลท์เข้ายังศักดาที่ node 5 และกราวด์ ในการหาค่าความต้านทานที่เกิดขึ้นสามารถหาได้จากค่าอัตราส่วนของ $V_{in}/I(R_{in})$ และได้ผลการวิเคราะห์ ดังแสดงในรูป 7.10 ที่มีค่าของอิมพีแดนซ์ที่พอร์ท Y (r_Y)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีเท่ากับ 100kΩ สอดคล้องกับคุณสมบัติของวงจรในทางทฤษฎีที่ได้คาดหมายเอาไว้ในหัวข้อ 7.2 ดังแสดงในสมการ (7.10)

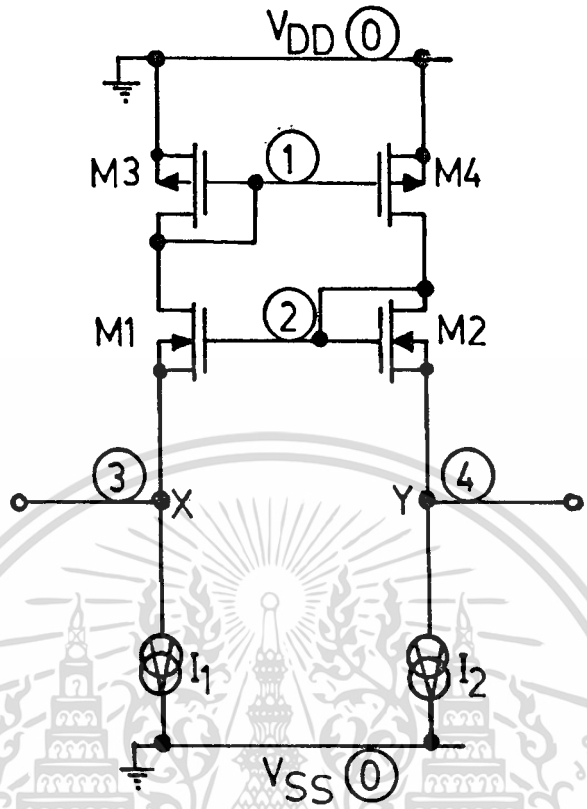


รูปที่ 7.10 แสดงผลการวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท Y (r_y)
โดยวิธีเลียนแบบวงจรด้วยโปรแกรม PSpice

7.5.3 การวิเคราะห์ค่าของอัตราส่วนศักดา V_x/V_y ของวงจรสะท้อนกระแส

ในการวิเคราะห์ค่าของอัตราส่วนศักดา V_x/V_y ของวงจรสะท้อนกระแสจะกระทำได้ดังรูป 7.11 โดยต่อระดับศักดาจ่าย V_{DD} และ V_{SS} ลงกราวด์ ดังนั้นที่ระดับศักดาจ่าย V_{DD} และ V_{SS} จะมีหมายเลขประจำ node มีค่าเป็นศูนย์ทั้งหมด ซึ่งเป็นวิธีแบบการวิเคราะห์สัญญาณขนาดเล็กดังนี้

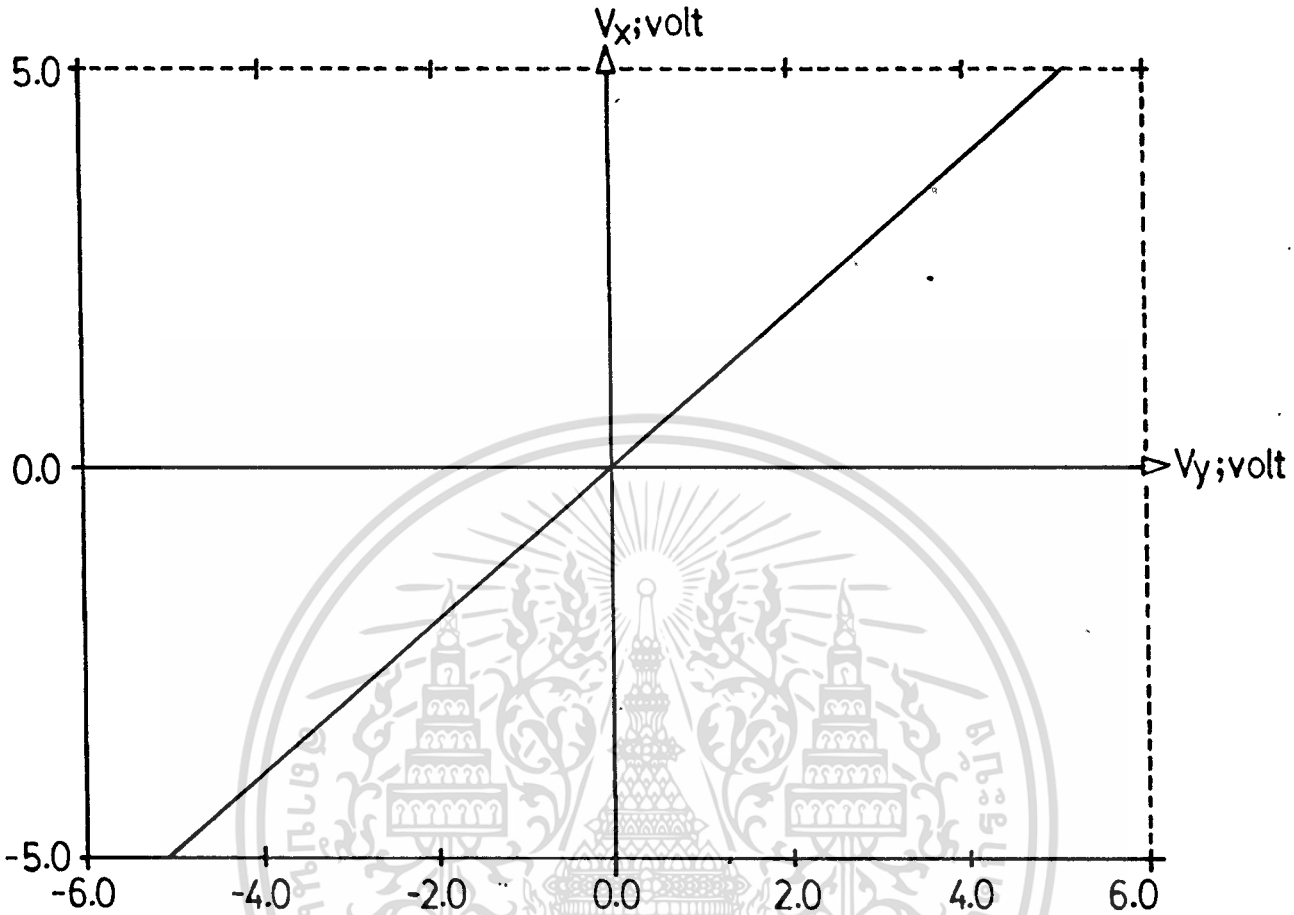
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.11 แสดงการวิเคราะห์ค่าของอัตราส่วนศักดา V_x/V_y ของวงจรสะท้อนกระแส

จากนั้นทำการสร้างไฟล์ข้อมูลสำหรับใช้ในการวิเคราะห์ค่าของอัตราส่วน V_x/V_y โดยการแทนค่าวงจรทัดเทียมของ NMOS,PMOS และแหล่งจ่ายกระแสคงที่จากวงจรรูป 3.6(ก),3.6(ข) และ 3.6(ค) ตามลำดับ ลงในวงจรรูป 7.11 ซึ่งจะได้ไฟล์ข้อมูลดังแสดงในโปรแกรม 7.3 จากไฟล์ข้อมูลที่ได้จะนำมาทำการวิเคราะห์ด้วยโปรแกรม PSpice โดยการป้อนศักดา V_{in} ตั้งแต่ -5 โวลท์ จนถึง 5 โวลท์ เข้ายังศักดาที่พอร์ท Y หลังจากนั้นในการวัดเพื่อหาค่าของศักดาที่พอร์ท X สามารถแสดงค่า V_x ดังกล่าวได้โดยการใช้คำสั่ง V(3) และจะได้ผลการวิเคราะห์ดังแสดงในรูป 7.12 ที่มีค่าของศักดาที่พอร์ท X (V_x) มีค่าเท่ากับศักดา V_{in} หรือ ศักดาที่พอร์ท Y (V_y) หรือมีค่าของอัตราส่วนศักดา V_x/V_y มีค่าเท่ากับ 1 สอดคล้องกับคุณสมบัติของวงจรในทางทฤษฎีที่ได้คาดหมายเอาไว้ในหัวข้อ 7.2 ดังแสดงในสมการ (7.15)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

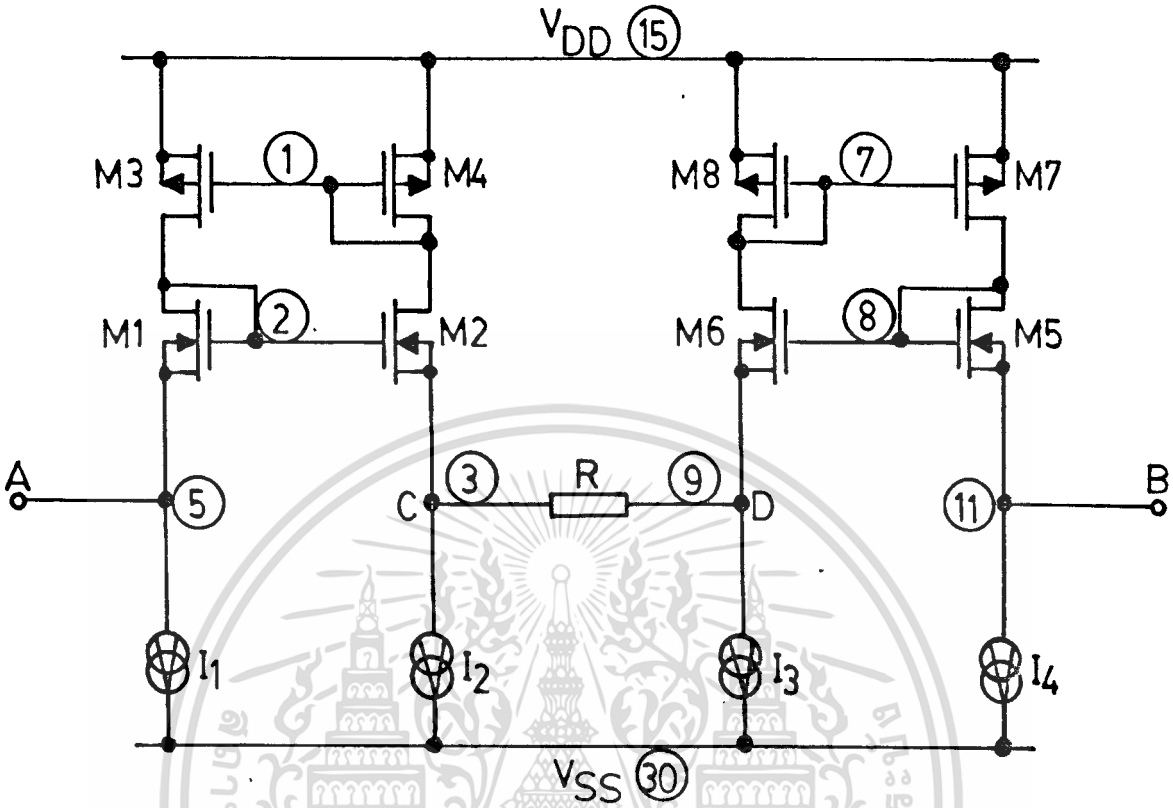


รูปที่ 7.12 แสดงผลการวิเคราะห์ค่าของอัตราส่วนศักดา V_x/V_y
โดยวิธีเลียนแบบวงจรด้วยโปรแกรม PSpice

7.5.4 การทดลองวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุมโดยอาศัยหลักการของวงจรสะท้อนกระแส และผลการตอบสนองต่อค่าความถี่

ในการทดลองวัดค่าความต้านทานค่าลบ ที่เกิดขึ้นกับวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุมโดยอาศัยหลักการของวงจรสะท้อนกระแส ดังรูป 7.13 จะกระทำได้โดยการใช้วงจรที่สร้างขึ้นดังแสดงในรูป 7.14 ซึ่งวงจรดังกล่าวจะให้ค่าความต้านทานค่าลบเกิดขึ้นระหว่างหมายเลขประจำ node ที่ 5 กับ node ที่11 ที่เป็นชนิดลอยตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.13 แสดงวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักย์ควบคุม
โดยอาศัยหลักการของวงจรสะท้อนกระแส

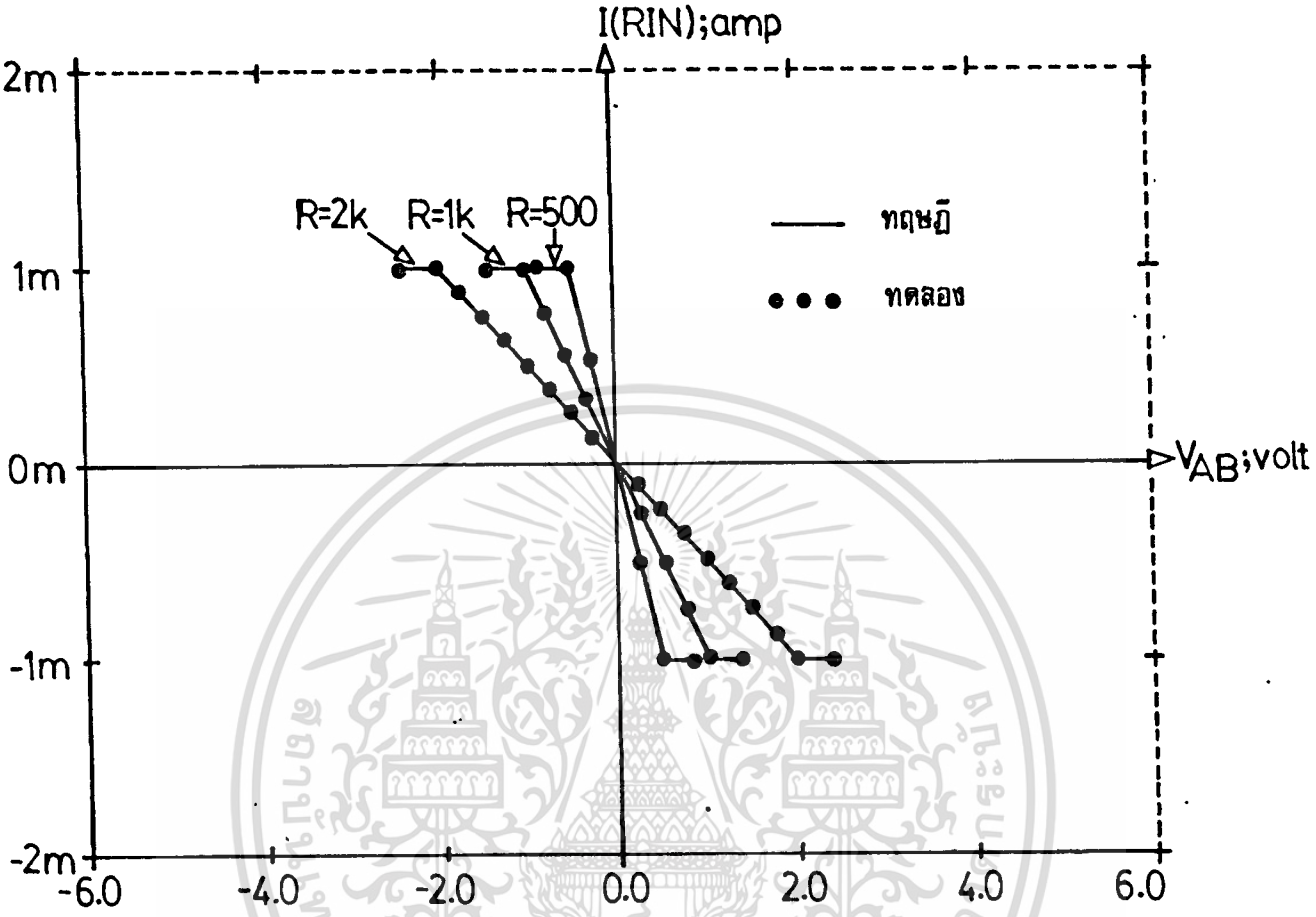
รูปที่ 7.14 แสดงวงจรการทดลองวัดค่าความต้านทานค่าลบตามวงจรที่ 7.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทดลองวงจรตามรูป 7.14 เพื่อทำการวัดค่าความต้านทานค่าลบที่เป็นชนิดลอยตัวแบบศักดาควบคุม ซึ่งเกิดขึ้นระหว่างหมายเลขประจำ node ที่ 5 กับ node ที่ 11 ทำโดยการต่อวงจรตามรูป 7.14 แบบดีสครีทลงบนโฟรโตบอร์ดโดยที่มอสเฟทที่เป็นชนิด NMOS หรือ PMOS นำมาใช้จากภายในไอซีเบอร์ CD 4007 โดยที่ควรเลือกมอสเฟทให้มีคุณสมบัติสมพงษ์กันมากที่สุดกล่าวคือ M1 และ M2, M3 และ M4, M5 และ M6, และ M7 และ M8 ซึ่งแต่ละคู่จะต้องมีความสมพงษ์ซึ่งกันและกัน ส่วนค่าของแหล่งจ่ายกระแสคงที่เลือกใช้ดังนี้ คือ $I_1 = I_2 = I_3 = I_4 = 1mA$ และใช้ระดับศักดาจ่าย V_{DD} และ V_{SS} มีค่าเท่ากับ 10 โวลท์ และ -10 โวลท์ ตามลำดับ ส่วนค่าความต้านทาน Rin เลือกใช้เท่ากับ $1x10^{-5}\Omega$ (หรืออาจทำได้ด้วยการลัดวงจร)และความต้านทาน R เริ่มแรกเลือกใช้ $R=500\Omega$ หลังจากนั้นทำการป้อนศักดา V_{AB} เข้ายัง node ที่ 13 และ node ที่ 11 มีค่า ตั้งแต่ -5 โวลท์ จนถึง 5 โวลท์ แล้ววัดค่ากระแสที่ไหลผ่านความต้านทาน R_{in} ซึ่งเป็นค่าของกระแสอินพุทพบว่าได้ความสัมพันธ์ค่าความต้านทานอินพุทของวงจร (R_{AB}) ที่หาได้จาก $V_{AB}/I(R_{in})$ มีค่าเท่ากับ -500Ω ซึ่งไม่มีค่าความผิดพลาดเกิดขึ้น หลังจากนั้นทำการทดลองเปลี่ยนค่าความต้านทาน R เป็น $1k\Omega$ และ $2k\Omega$ ตามลำดับ ทำการทดลองโดยขั้นตอนและวิธีเดียวกันกับที่กล่าวมาข้างต้นพบว่าได้ความสัมพันธ์ค่าความต้านทานอินพุทของวงจรมีค่าเท่ากับ $-1k\Omega$ และ $-2k\Omega$ ซึ่งไม่เกิดค่าความผิดพลาดขึ้นเช่นเดียวกัน ดังแสดงผลการทดลองไว้ดังรูป 7.15

และเพื่อเป็นการยืนยันความถูกต้องอีกทีว่าวงจรตามรูป 7.14 สามารถมีการทำงานได้ตามหลักการทางทฤษฎีที่ได้นำเสนอ จึงได้ใช้โปรแกรม PSpice มาทำการวิเคราะห์ และเลียนแบบการทำงานของวงจรตามรูป 7.14 ซึ่งได้กำหนดรายละเอียดของ node ต่าง ๆ ทั้งหมดลงในไฟล์ข้อมูลดังแสดงไว้ในโปรแกรม 7.4 และหลังจากการใช้โปรแกรม PSpice วิเคราะห์เสร็จสิ้น ในการวัดค่ากระแสที่ไหลผ่านความต้านทาน R_{in} ซึ่งเป็นค่ากระแสอินพุทที่เป็นค่าความทฤษฎีสามารถกระทำได้โดยการใช้คำสั่งเป็น $I(R_{in})$ และได้ผลการวิเคราะห์ดังแสดงในรูป 7.15 โดยที่สามารถหาค่าความต้านทานอินพุทของวงจรได้จาก $V_{AB}/I(R_{in})$ มีค่าเท่ากับ -500Ω, $-1k\Omega$ และ $-2k\Omega$ เมื่อทดลองเปลี่ยนค่าความต้านทาน R เป็น 500Ω, $1k\Omega$ และ $2k\Omega$ ตามลำดับ โดยที่ไม่มีค่าความผิดพลาดของความต้านทานเกิดขึ้นภายในวงจร ซึ่งผลที่ได้เป็นไปตามที่ได้คาดหมายเอาไว้ในหัวข้อ 7.3 ดังแสดงในสมการ (7.25)

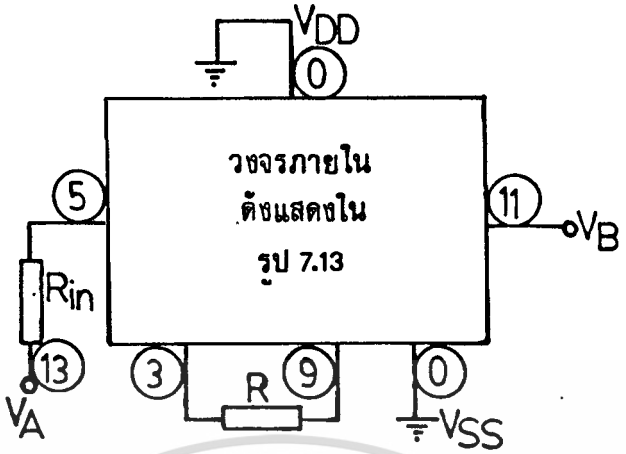
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.15 แสดงผลการทดลองวัดค่ากระแสอินพุทตามวงจรรูปที่ 7.14
พร้อมเปรียบเทียบกับค่าที่คำนวณได้จากทฤษฎี

ส่วนในการวิเคราะห์ค่าความต้านทานอินพุท (R_{AB}) ของวงจรรูป 7.13 ที่มีผลขึ้นกับค่าของความถี่ จะกระทำได้โดยใช้วงจรที่สร้างขึ้นดังรูป 7.16 โดยที่ระดับศักดาจ่าย V_{DD} และ V_{SS} จะมีหมายเลขประจำ node ใหม่มีค่าเป็นศูนย์ ซึ่งเป็นวิธีแบบการวิเคราะห์สัญญาณขนาดเล็กดังนี้

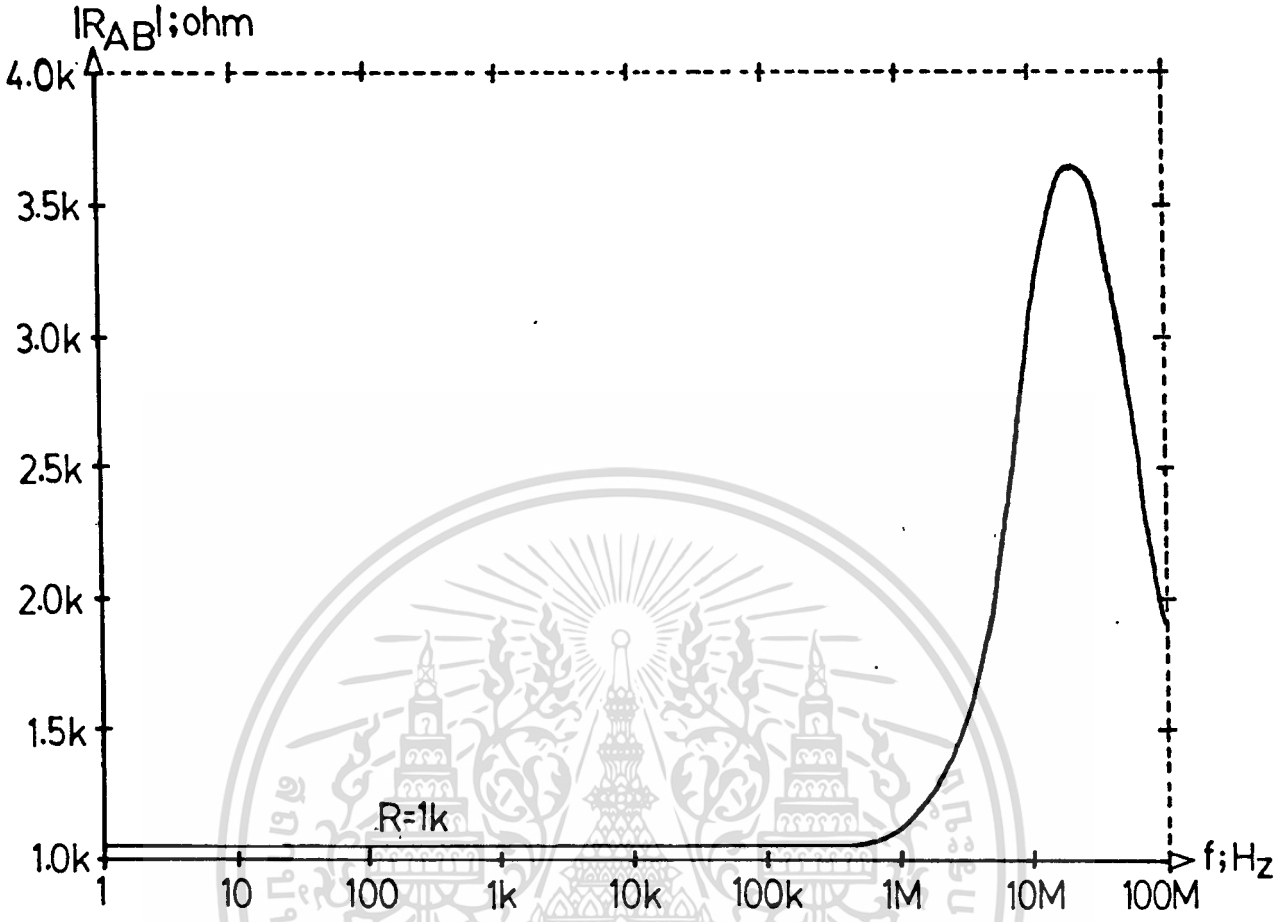
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.16 แสดงวงจรที่ใช้ในการวิเคราะห์ค่าความต้านทานอินพุท (R_{AB}) ของวงจรตามรูปที่ 7.13

จากนั้นทำการสร้างไฟล์ข้อมูลสำหรับใช้ในการวิเคราะห์ค่าของ R_{AB} โดยการแทนค่าวงจรทัดเทียมรูป 3.6(ก),3.6(ข) และ 3.6(ค) ตามลำดับลงในวงจรรูป 7.16 ส่วนที่ node 3 และ node 9 จะต่อความต้านทาน R=1kΩ ไว้เพื่อใช้เป็นค่าการทดสอบในการวิเคราะห์ค่าของ R_{AB} ที่เกิดขึ้นระหว่าง node 5 กับ node 11 ซึ่งจะได้ไฟล์ข้อมูลดังแสดงในโปรแกรม 7.5 จากไฟล์ข้อมูลที่ได้นำมาวิเคราะห์ด้วยโปรแกรม PSpice โดยการป้อนศักดา V_{AB} ขนาด 1หน่วย เข้ายัง node ที่ 13 และ node ที่11 ซึ่งในการวิเคราะห์หาค่า R_{AB} ในช่วงของความถี่ตั้งแต่ 1Hz จนถึง 100MHz ได้ให้โปรแกรม PSpice แสดงผลค่า R_{AB} ที่สามารถหาได้จากค่าอัตราส่วน V_{AB} กับกระแสอินพุทโดยใช้คำสั่งเป็น V(5,11)/I(R_{in}) และได้ผลการวิเคราะห์ดังแสดงในรูป 7.17 ที่มีค่าความต้านทานอินพุท (R_{AB}) เกิดขึ้นมีค่าเท่ากับค่าความต้านทาน R ที่มีค่าเป็น 1kΩ โดยไม่เกิดค่าความผิดพลาดขึ้นตั้งแต่ความถี่ค่าต่ำ ๆ จนถึงค่าความถี่ประมาณ 1 MHz และเมื่อความถี่มีค่าใกล้เคียง 15 MHz ค่าของ R_{AB} จะมีค่าเพิ่มขึ้นอย่างรวดเร็ว พบว่าที่ความถี่ประมาณ 15 MHz ดังกล่าวเป็นค่าความสามารถสูงสุดในการตอบสนองต่อความถี่ และผลที่ได้จากการวิเคราะห์นี้สอดคล้องกับผลในทางทฤษฎีตามที่ได้คาดหมายเอาไว้ในหัวข้อ 7.4 ดังแสดงในสมการ(7.34) และสมการ (7.35)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

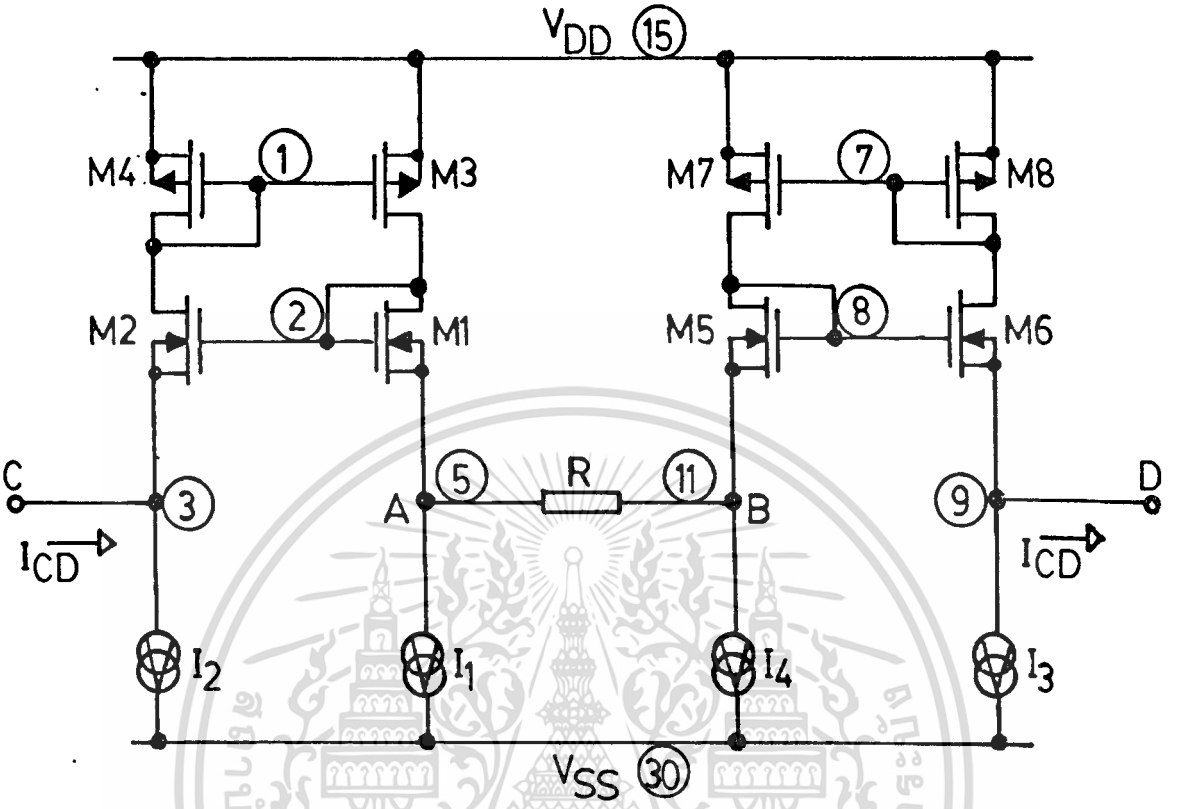


รูปที่ 7.17 แสดงผลการวิเคราะห์ค่าของ $|R_{AB}|$ โดยวิธีเลียนแบบวงจรด้วยโปรแกรม PSpice ในย่านความถี่ 1Hz - 100 MHz

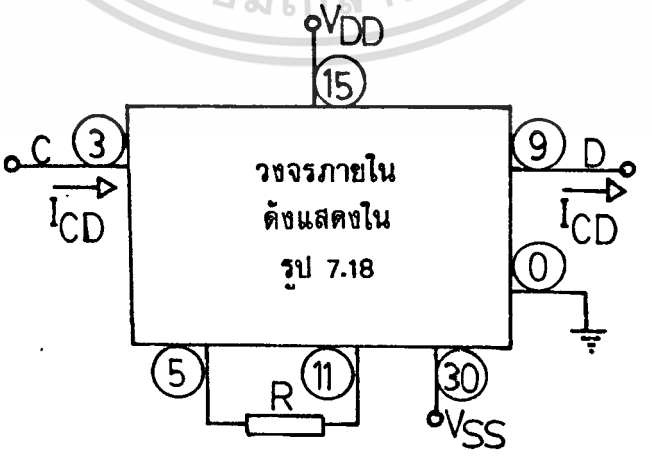
7.5.5 การทดลองวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบกระแสควบคุมโดยอาศัยหลักการของวงจรสะท้อนกระแส และผลการตอบสนองต่อค่าความถี่

ในการทดลองวัดค่าความต้านทานค่าลบที่เกิดขึ้นกับวงจรแปลงความต้านค่าลบชนิดลอยตัวแบบกระแสควบคุมโดยอาศัยหลักการของวงจรสะท้อนกระแสดังรูป 7.18 จะกระทำได้โดยการใช้วงจรที่สร้างขึ้นดังแสดงในรูป 7.19 ซึ่งวงจรดังกล่าวจะให้ค่าความต้านทานเกิดขึ้นระหว่างหมายเลขประจำ node ที่3 กับ node ที่ 9 ที่เป็นชนิดลอยตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.18 แสดงวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบกระแสควบคุม โดยอาศัยหลักการของวงจรสะท้อนกระแส



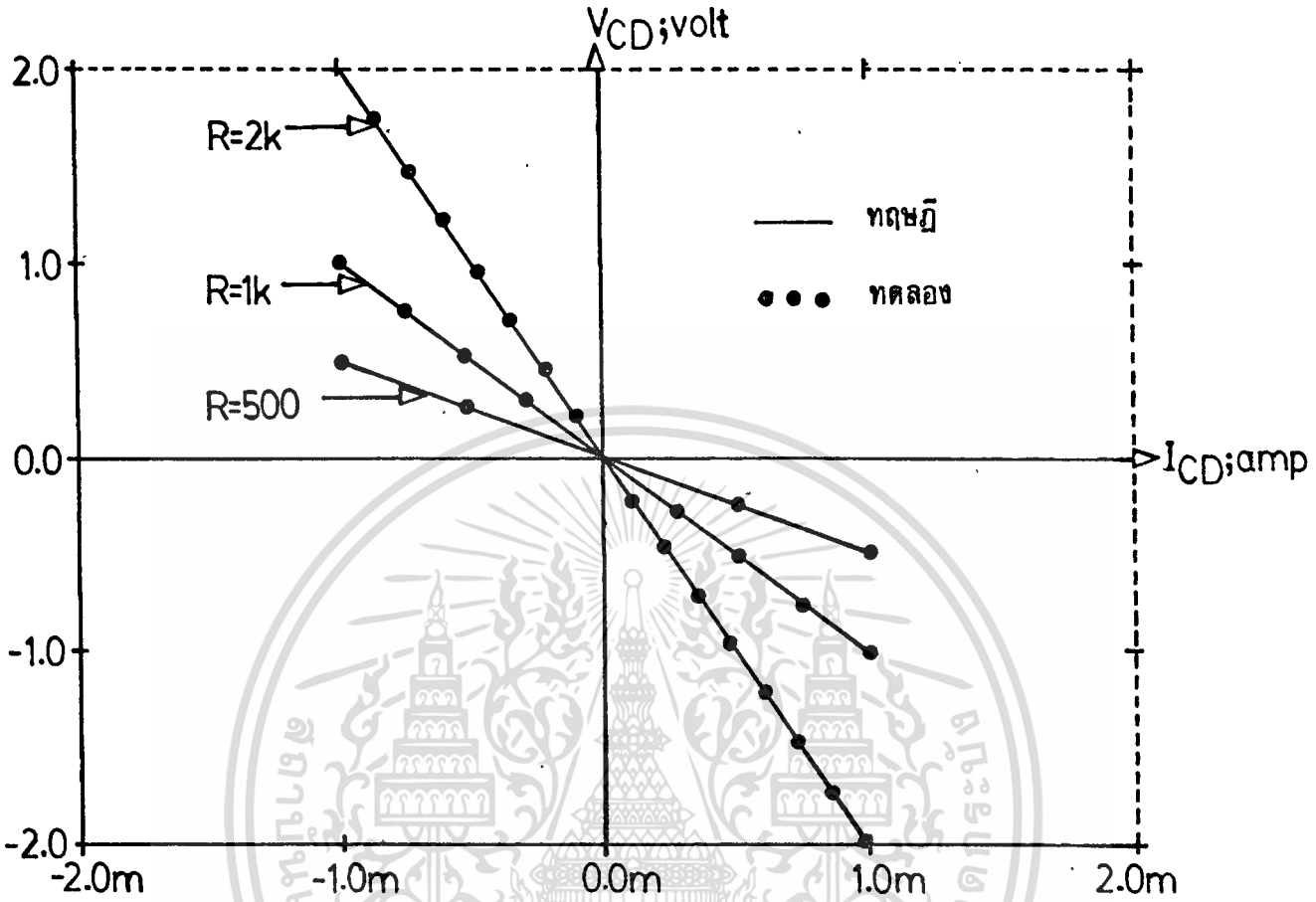
รูปที่ 7.19 แสดงวงจรการทดลองวัดค่าต้านทานค่าลบตามวงจรที่ 7.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทดลองวงจรตามรูป 7.19 เพื่อทำการวัดค่าความต้านทานค่าลบที่เป็นชนิดลอยตัวแบบกระแสควบคุม ซึ่งเกิดขึ้นระหว่างหมายเลขประจำ node ที่ 3 กับ node ที่9 ทำโดยการต่อวงจรตามรูป 7.19 แบบดีสครีทลงบนโฟรโตบอร์ด โดยที่มอสเฟทที่เป็นชนิด NMOS และ PMOS นำมาใช้จากภายใน ไอซีเบอร์ CD 4007 โดยที่ควรเลือกมอสเฟทให้มีคุณสมบัติสมพงษ์กันมากที่สุด กล่าวคือ M1 และ M2, M3 และ M4, M5 และ M6, และ M7 และ M8 ซึ่งแต่ละคู่จะต้องมีความสมพงษ์ซึ่งกันและกัน ส่วนค่าของแหล่งจ่ายกระแสคงที่เลือกใช้ดังนี้คือ $I_1 = I_2 = I_3 = I_4 = 1mA$ และใช้ระดับศักดาจ่าย V_{DD} และ V_{SS} มีค่าเท่ากับ 10 โวลท์ และ -10 โวลท์ตามลำดับ (ซึ่งคุณสมบัติทุกอย่างเป็นเช่นเดียวกับวงจรรูป 7.13) ส่วนค่าความต้าตทาน R เริ่มแรกเลือกใช้ R=500 Ω หลังจากนั้นทำการป้อนกระแส I_{CD} เข้าและออกยังจุด C และ D (หรือที่ node 3 และ node 4) ตามลำดับ ที่มีค่าตั้งแต่ -1mA จนถึง 1mA แล้ววัดค่าศักดาที่จุด C และ D พบว่าได้ความสัมพันธ์ค่าความต้านทานอินพุทของวงจร (R_{CD}) ที่หาได้จาก V_{CD}/I_{CD} มีค่าเท่ากับ -500 Ω ซึ่งไม่มีค่าความผิดพลาดเกิดขึ้น หลังจากนั้นทำการทดลองเปลี่ยนค่าความต้าน R เป็น 1kΩและ 2kΩตามลำดับ ทำการทดลองโดยขั้นตอนวิธีเดียวกันพบว่าได้ความสัมพันธ์ค่าความต้านทานอินพุทของวงจรมีค่าเท่ากับ -1kΩและ -2kΩ ซึ่งไม่เกิดค่าความผิดพลาดขึ้นเช่นเดียวกัน ดังแสดงผลการทดลองดังรูป 7.20

และเพื่อเป็นการยืนยันความถูกต้องอีกทีว่าวงจรตามรูป 7.19 สามารถมีการทำงานได้ตามหลักการทางทฤษฎีที่ได้นำเสนอ จึงได้ใช้โปรแกรม PSpice มาทำการวิเคราะห์ และเลียนแบบการทำงานของวงจรตามรูป 7.19 ซึ่งได้กำหนดรายละเอียดของ node ต่าง ๆ ทั้งหมดลงในไฟล์ข้อมูลดังแสดงไว้ในโปรแกรม 7.6 และหลังจากการใช้โปรแกรม PSpice วิเคราะห์เสร็จสิ้น ในการวัดค่าศักดาที่จุด C และ D (V_{CD}) ที่เป็นค่าตามทฤษฎี(โดยที่มีกระแส I_{CD} เป็นกระแสอินพุท) สามารถกระทำได้โดยการใช้คำสั่งเป็น V(3,9) และได้ผลการวิเคราะห์ดังแสดงในรูป 7.20 โดยที่สามารถหาค่าความต้านทานอินพุทของวงจรได้จาก V_{CD}/I_{CD} มีค่าเท่ากับ -500Ω, -1kΩ, และ -2kΩ เมื่อทดลองเปลี่ยนค่าความต้านทาน R เป็น 500Ω, 1kΩ และ 2kΩตามลำดับ โดยที่ไม่มีค่าความผิดพลาดของความต้านทานเกิดขึ้นภายในวงจร ซึ่งผลที่ได้เป็นไปตามที่ได้คาดหมายเอาไว้ ในหัวข้อ 7.3 ดังแสดงในสมการ (7.33)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



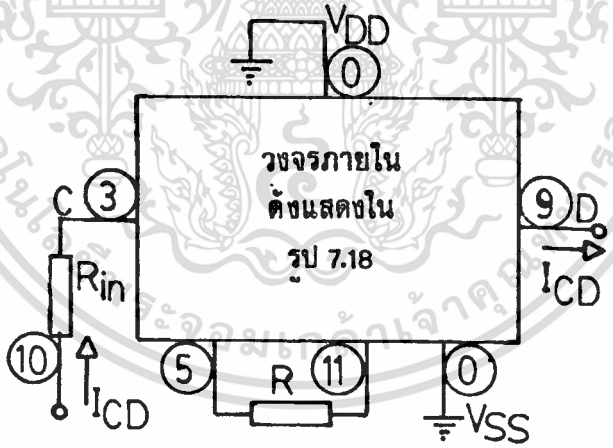
รูปที่ 7.20 แสดงผลการทดลองวัดค่าศักดาที่จุด C และ D (V_{CD}) ที่เกิดขึ้นตามวงจรรูปที่ 7.19 พร้อมเปรียบเทียบกับค่าที่คำนวณได้จากทฤษฎี

ส่วนในการวิเคราะห์ค่าความต้านทานอินพุท (R_{CD}) ของวงจรรูป 7.18 ที่มีผลขึ้นกับค่าของความถี่จะกระทำได้โดยใช้วงจรที่สร้างขึ้นดังรูป 7.21 โดยที่ระดับศักดาจ่าย V_{DD} และ V_{SS} จะมีหมายเลขประจำ node ใหม่มีค่าเป็นศูนย์ ซึ่งเป็นวิธีแบบการวิเคราะห์สัญญาณขนาดเล็กดังนี้

จากนั้นทำการสร้างไฟล์ข้อมูลสำหรับใช้ในการวิเคราะห์ค่าของ R_{CD} โดยการแทนค่าวงจรทัดเทียมรูป 3.6(ก), 3.6(ข) และ 3.6(ค)ตามลำดับลงในวงจรรูป 7.21 ส่วนที่ node 5 และ node 11 จะต่อความต้านทาน R=1kΩ ไว้เพื่อใช้เป็นค่าการทดสอบในการวิเคราะห์ค่าของ R_{CD} ที่เกิดขึ้นระหว่าง node 3 กับ node 9 ซึ่งจะได้ไฟล์ข้อมูลดังแสดงในโปรแกรม 7.7 จากไฟล์ข้อมูลที่ได้นำ

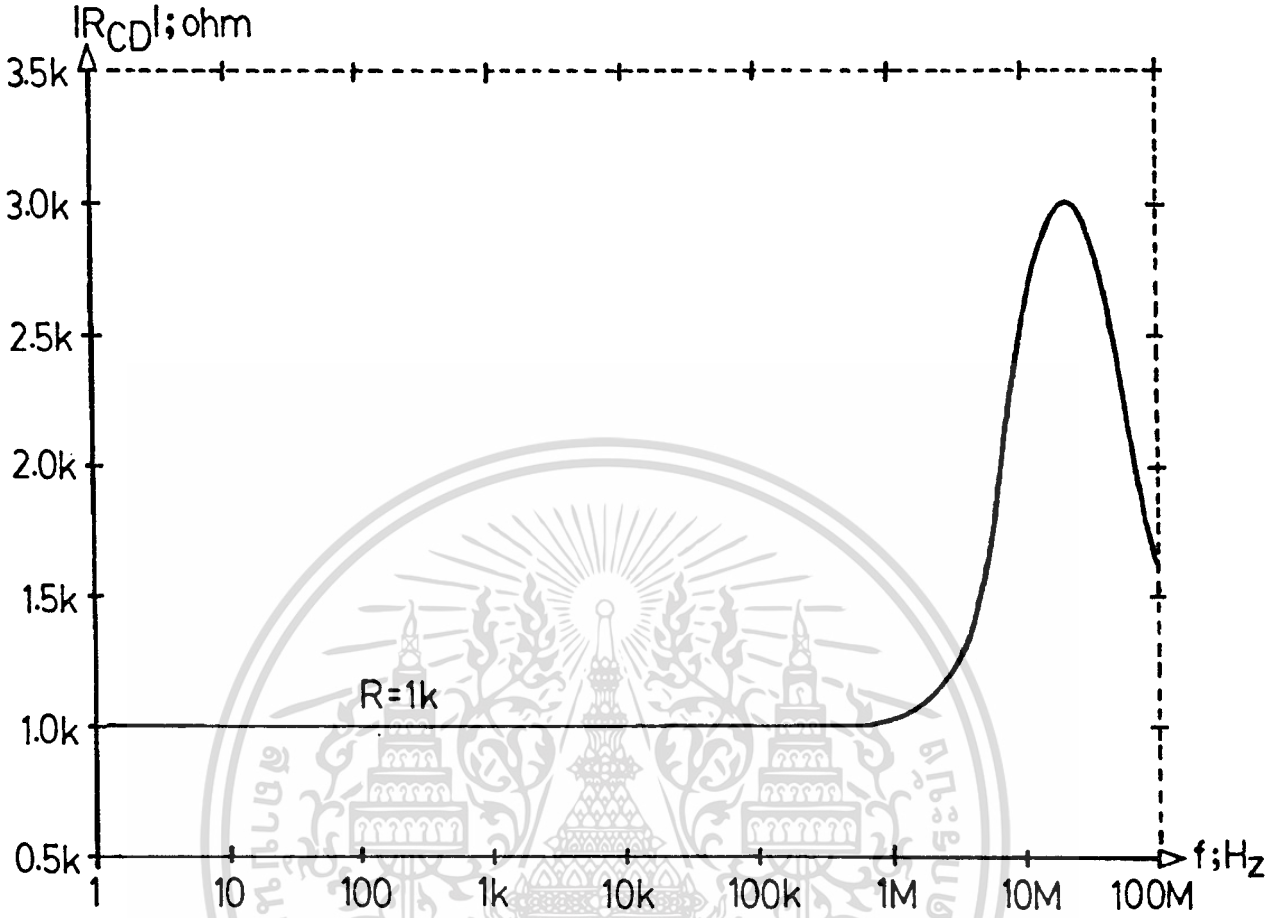
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาวิเคราะห์ด้วยโปรแกรม PSpice โดยการป้อนกระแส I_{CD} ขนาด 1 หน่วย มีทิศทางเข้าและออกที่จุด C และ D ตามลำดับ โดยที่ Rin ที่ต่ออนุกรมอยู่กับค่าของกระแส I_{CD} จะเลือกใช้ค่าน้อย ๆ คือ มีค่าเท่ากับ $1x10^{-5}\Omega$ ไม่เป็นผลทำให้ค่ากระแส I_{CD} ที่ป้อนให้กับวงจรเปลี่ยนไป เพื่อจุดประสงค์สำหรับความสะดวกในการหาค่าความต้านทานอินพุทของวงจร (R_{CD}) ที่เกิดขึ้นหาได้จาก $V_{CD}/I(R_{in})$ ซึ่งในการวิเคราะห์หาค่า R_{CD} ในช่วงของความถี่ตั้งแต่ 1Hz จนถึง 100MHz ได้ให้โปรแกรม PSpice แสดงผลค่า R_{CD} ที่สามารถหาได้จากอัตราส่วน V_{CD} กับ I_{CD} หรือ เท่ากับ V_{CD} กับ $I(R_{in})$ โดยใช้คำสั่งเป็น $V(3,9)/I(R_{in})$ และได้ผลการวิเคราะห์ดังแสดงในรูป 7.22 ที่มีค่าความต้านทานอินพุท (R_{CD}) เกิดขึ้นมีค่าเท่ากับค่าความต้านทาน R ที่มีค่าเป็น $1k\Omega$ โดยไม่เกิดค่าความผิดพลาดขึ้นตั้งแต่ความถี่ค่าต่ำ ๆ จนถึงความถี่ประมาณ 1MHz และเมื่อความถี่มีค่าใกล้เคียง 15MHz ค่าของ R_{CD} จะมีค่าเพิ่มขึ้นอย่างรวดเร็ว พบว่าที่ความถี่ประมาณ 15 MHz ดังกล่าวเป็นค่าความสามารถสูงสุดในการตอบสนองต่อความถี่ และผลที่ได้จากการวิเคราะห์นี้สอดคล้องกับผลในทางทฤษฎีตามที่ได้คาดหมายเอาไว้ ในหัวข้อ 7.4 ดังแสดงในสมการ (7.34) และสมการ(7.35)



รูปที่ 7.21 แสดงวงจรที่ใช้ในการวิเคราะห์ค่าความต้านทานอินพุท (R_{CD}) ของวงจรตามรูป 7.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

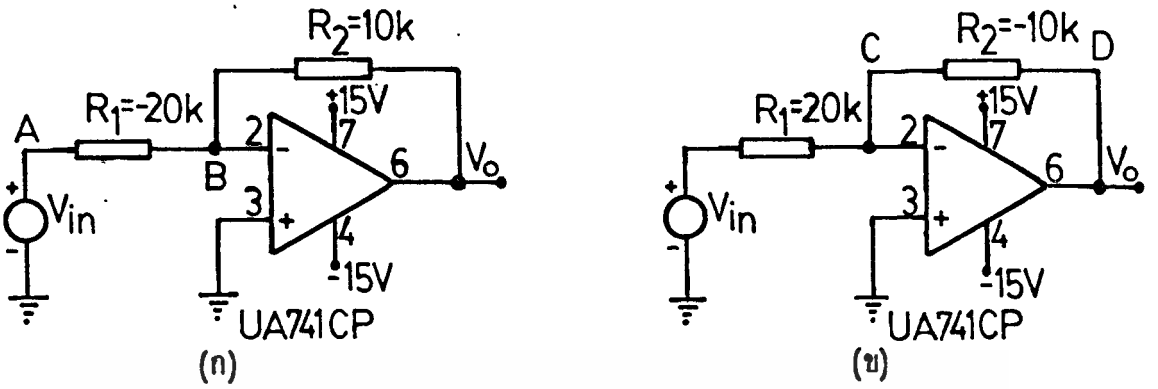


รูปที่ 7.22 แสดงผลการวิเคราะห์ค่าของ $|R_{CD}|$ โดยวิธีเลียนแบบวงจร ด้วยโปรแกรม PSpice ในย่านความถี่ 1Hz - 100 MHz

7.5.6 การทดลองการประยุกต์ใช้งานของวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุมและแบบกระแสควบคุมภายในวงจรเดียวกัน

ในการนำเอาวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุม(FVCNRC) ตามรูป 7.13 และวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบกระแสควบคุม (FCCNRC) ตามรูป 7.18 ดังที่ได้กล่าวมาแล้วในหัวข้อ 7.5.4 และ 7.5.5 ตามลำดับ มาประยุกต์ใช้งานเพื่อกลับเฟสของสัญญาณโดยทดลองกับวงจรขยายสัญญาณแบบกลับเฟส (Inverting Amplifier) ดังแสดงในรูป 7.23 (ก) และรูป 7.23(ข) ตามลำดับ

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



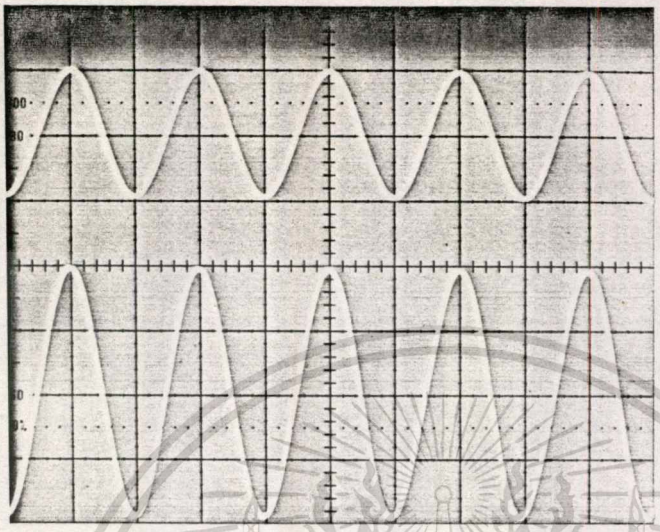
รูปที่ 7.23 วงจรขยายแบบกลับเฟส (Inveting Amplifier)

จากรูป 7.23 (ก) นำวงจรแปลงความต้านทานค่าลบแบบศักดาควบคุม (FVCNRC) ที่ได้จากรูป 7.13 โดยการแทนค่า R=20kΩ ซึ่งจะได้ค่าความต้านทานลบเกิดขึ้นที่จุด A และ B มีค่าเท่ากับ -20kΩ แทนในค่าความต้านทาน R_1 โดยมีค่าความต้านทาน R_2= 10kΩ และที่ V_{in} ทำการป้อนสัญญาณซายน์ที่มีความถี่เท่ากับ 1 kHz ขนาด 2 Vpp โดย OPAMP ที่ใช้ในการทดลองได้ใช้ OPAMP เบอร์ UA741CP ซึ่งจ่ายไฟเลี้ยงให้ที่ขา 7 และ 4 มีค่าเป็น +15 โวลท์ และ -15 โวลท์ ตามลำดับ ทำนองเดียวกันในรูป 7.23(ข) นำวงจรแปลงความต้านทานค่าลบแบบกระแสควบคุม (FCCNRC) ที่ได้จากรูป 7.18 โดยการแทนค่า R=10kΩ ซึ่งจะได้ค่าความต้านทานลบเกิดขึ้นที่จุด C และ D มีค่าเท่ากับ -10kΩ แทนในค่าความต้านทาน R_2 โดยมีค่าความต้านทาน R_1=20kΩ และที่ V_{in} ทำการป้อนสัญญาณซายน์ที่มีความถี่เท่ากับ 1 kHz ขนาด 2 Vpp และใช้ OPAMP เบอร์เดียวกัน ทำการวัดค่าสัญญาณออก (V_o) ทั้งวงจรรูป 7.23(ก) และ 7.23(ข) พบว่าการขยายสัญญาณที่จุด V_o เป็นแบบไม่กลับเฟสซึ่งมีเฟสเดียวกับสัญญาณที่ V_{in} และมีค่าเกนขยายสัญญาณเท่ากับ 0.5 หรือ $V_o = 0.5V_{in}$ ให้ผลเช่นเดียวกันทั้งวงจร รูป 7.23(ก) และรูป 7.23(ข) ดังภาพถ่ายรูป 7.24

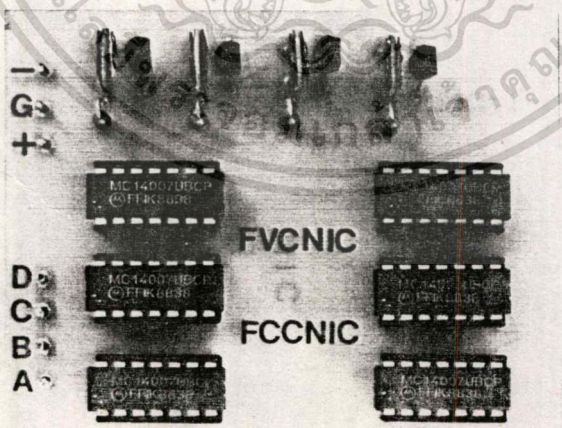
จากตัวอย่างการนำเอาวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบศักดาควบคุม และแบบกระแสควบคุมมาประยุกต์ใช้งานในการกลับเฟสของสัญญาณ ซึ่งผลที่ได้จากการทดลองนี้ยืนยันได้ว่าสามารถนำไปประยุกต์ใช้งานได้จริง และสุดท้ายได้แสดงภาพถ่ายของวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบการใช้ศักดาควบคุม และแบบการใช้กระแสควบคุมภายในวงจรเดียวกัน ที่ได้ทำการประกอบลงบนแผ่นวงจรพิมพ์ (แผ่นปริ้น) ทำให้วงจรมีความเหมาะสม และความสะดวกในการนำไปประยุกต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้งาน ดังแสดงในรูป 7.25



รูปที่ 7.24 แสดงภาพถ่ายสัญญาณที่จุดสัญญาณออก (V_o) กับจุดสัญญาณเข้า (V_{in}) ของวงจรตามรูป 7.23(ก) และ รูป 7.23(ข) โดยการทดลองที่ให้ผลเช่นเดียวกัน



รูปที่ 7.25 แสดงภาพถ่ายวงจรแปลงความต้านทานค่าลบชนิดลอยตัวแบบการใช้ศักดาควบคุมและแบบการใช้กระแสควบคุมภายในวงจรเดียวกันที่ได้ทำการประกอบลงบนแผ่นปริ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.6 บทสรุป

เป็นการกล่าวถึงรูปแบบของวงจรแปลงความต้านทานค่าลบชนิดลอยตัวที่สามารถใช้การควบคุมแบบการใช้ศักดาควบคุมและกระแสควบคุมได้ภายในวงจรเดียวกัน ซึ่งจะเห็นได้ว่าวงจรสามารถที่จะนำไปใช้งานได้กว้างขวางอีกทั้งภายในวงจรมีขนาดจำนวนดีไวซ์น้อยมากจึงเหมาะสมที่จะนำไปทำเป็นวงจรรวมมากที่สุด และค่าความต้านทานลบที่สามารถสังเคราะห์ขึ้นได้ไม่ว่าจะเป็นการใช้ศักดาควบคุมหรือกระแสควบคุม ค่าดังกล่าวไม่มีค่าความผิดพลาดเกิดขึ้น (ถ้ามอสเฟททุกตัวล้วนแล้วแต่มีความสมพงษ์กัน) และช่วงปฏิบัติงานของวงจรดังกล่าวสามารถปฏิบัติงานได้กว้าง ส่วนในผลของการทดลองวงจรได้ประกอบวงจรดังกล่าวลงปริ้นสำเร็จรูป ดังรูปที่ 7.25 (เพราะเนื่องจากว่าวงจรมีขนาดจำนวนดีไวซ์น้อยชิ้นมาก และสามารถนำไปใช้งานได้กว้างขวาง) แล้วทำการทดลองวัดค่าความต้านทานค่าลบจากการใช้ศักดาควบคุมและกระแสควบคุมโดยมีความต้านทาน +R เป็นความต้านทานที่จะใช้แปลงเป็นค่าความต้านทานค่าลบนั่นเอง และยืนยันผลการทดลองที่ได้นี้อีกทีหนึ่งโดยการวิเคราะห์เลียนแบบการทำงานของวงจรด้วยโปรแกรม PSpice สามารถที่จะยืนยันได้ว่าวงจรที่ได้ออกแบบขึ้นมีหลักการทำงาน และคุณสมบัติของวงจรเป็นไปตามที่คาดการณ์เอาไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Input resistance (Zx) current mirror
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC  VIN   -5   5   1
R1   1   3   100K
R2   2   0   100K
R3   1   0   100K
R4   2   0   100K
GM1  1   3   2   3   1M
GM2  2   0   2   0   1M
GM3  1   0   1   0   1M
GM4  2   0   1   0   1M
RIN  5   3   1E-5
VIN  5   0
.PROBE
.END
```

โปรแกรม 7.1 แสดงโปรแกรมในการวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท X ของวงจรสะท้อนกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Input resistance (Z_Y) current mirror
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC  VIN   -5   5   1
R1   1   3   100K
R2   2   4   100K
R3   1   0   100K
R4   2   0   100K
RO1  3   0   10MEG
GM1  1   3   2   3   1M
GM2  2   4   2   4   1M
GM3  1   0   1   0   1M
GM4  2   0   1   0   1M
RIN  5   4   1E-5
VIN  5   0
.PROBE
.END
```

โปรแกรม 7.2 แสดงโปรแกรมในการวิเคราะห์ค่าของอิมพีแดนซ์ที่พอร์ท Y ของวงจรสะท้อนกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Ratio Vx/Vy current mirror
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC  VIN   -5   5   1
R1   1   3   100K
R2   2   4   100K
R3   1   0   100K
R4   2   0   100K
RO1  3   0   10MEG
RO2  4   0   10MEG
GM1  1   3   2 . 3   1M
GM2  2   4   2   4   1M
GM3  1   0   1   0   1M
GM4  2   0   1   0   1M
VIN  4   0
.PROBE
.END
```

โปรแกรม 7.3 แสดงโปรแกรมในการวิเคราะห์ค่าของอัตราส่วน V_x/V_y ของวงจรสะท้อนกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Frequency response in a CMOS-based FVCNRC using current mirror
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.AC  DEC  10  1  100MEG
RD1   2   5   100K
RD2   1   3   100K
RD3   2   0   100K
RD4   1   0   100K
RD5   8   11  100K
RD6   7   9   100K
RD7   8   0   100K
RD8   7   0   100K
CGS1  2   5   5PF
CGS2  2   3   5PF
CGS3  1   0   5PF
CGS4  1   0   5PF
CGS5  8   11  5PF
CGS6  8   9   5PF
CGS7  7   0   5PF
CGS8  7   0   5PF
RO1   5   0   10MEG
RO2   3   0   10MEG
RO3   9   0   10MEG
RO4   11  0   10MEG
GM1   2   5   2   5   1M
GM2   1   3   2   3   1M
GM3   2   0   1   0   1M
GM4   1   0   1   0   1M
GM5   8   11  8   11  1M
GM6   7   9   8   9   1M
GM7   8   0   7   0   1M
GM8   7   0   7   0   1M
R     3   9   1K
RIN   13  5   1E-5
VIN   13  11  AC   1
.PROBE
.END
```

โปรแกรม 7.5 แสดงโปรแกรมใช้ในการวิเคราะห์ค่าความต้านทานอินพุท (R_{AB}) ของวงจรรูป 7.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
A CMOS-based FCCNRC using current mirror
.OPTIONS ACCT ABSTOL=10N VNTOL=10N NOPAGE
.WIDTH OUT=80
.OP
.TEMP 37
.DC ICD  -1MA   1MA   0.1MA
M1   2   2   5   5   MN  L=10U W=200U
M2   1   2   3   3   MN  L=10U W=200U
M3   2   1   15  15  MP  L=10U W=200U
M4   1   1   15  15  MP  L=10U W=200U
M5   8   8   11  11  MN  L=10U W=200U
M6   7   8   9   9   MN  L=10U W=200U
M7   8   7   15  15  MP  L=10U W=200U
M8   7   7   15  15  MP  L=10U W=200U
I1   5   30  1MA
I2   3   30  1MA
I3   9   30  1MA
I4   11  30  1MA
R    5   11  500
VDD  15  0   DC +10
VSS  30  0   DC -10
ICD  9   3
.MODEL MN NMOS (LEVEL=1 VTO=+2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.MODEL MP PMOS (LEVEL=1 VTO=-2.0 KP=1.0E-4 GAMMA=0.4
+       CGDO=400PF CGSO=400PF PHI=0.65 LAMBDA=1.0E-5)
.PROBE
.END
```

โปรแกรม 7.6 แสดงโปรแกรมเลียนแบบการทำงานเพื่อดูผลการตอบสนอง
ทางดีซี ของค่าศักดา V_{CD} ของวงจรตามรูปที่ 7.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

บทสรุป

จากการออกแบบวงจรในส่วนของวงจรสายพานกระแส ได้แสดงให้เห็นถึงแนวการออกแบบของวงจรดังกล่าว ที่สามารถเป็นได้ทั้งวงจรสายพานกระแสชนิดบวกและชนิดลบภายในวงจรเดียวกัน อีกทั้งยังสามารถเปลี่ยนแปลงค่าของ h_{21} (อัตราการขยายแรงดัน) และ h_{32} (อัตราการขยายกระแส) โดยการเปลี่ยนแปลงอัตราส่วนความต้านทาน R_2/R_1 กับ R_4/R_3 ตามลำดับ ได้อีกด้วย ทำให้วงจรมีความเหมาะสมมากในการประยุกต์ใช้งาน แต่การที่จะนำวงจรดังกล่าวนี้ไปใช้งานให้ได้กว้างขวางมากขึ้นวงจรควรที่จะสามารถมีการเปลี่ยนแปลงค่าของ h_{21} และ h_{32} ได้โดยวิธีทางอิเล็กทรอนิกส์แทนการเปลี่ยนแปลงจากอัตราส่วนความต้านทาน ซึ่งอาจจะกระทำได้โดยการแทนวงจรการควบคุมความต้านทานด้วยศักดาหรือกระแสเข้าไปแทนที่ค่าความต้านทานที่ใช้ปรับค่า h_{21} และ h_{32} ดังกล่าว ซึ่งในเนื้อหาส่วนนี้ไม่ได้นำเสนอภายในวิทยานิพนธ์ฉบับนี้ ดังนั้นที่จุดนี้น่าจะเป็นเรื่องที่จะได้มีการค้นคว้ากระทำต่อไป และในส่วนวงจรแปลงความต้านทานค่าลบได้เสนอหลักการการออกแบบวงจรไว้มากมายหลายวงจร เพื่อที่จะแสดงให้เห็นถึงวิธีการปรับปรุงแก้ไขวงจรให้มีความเป็นเชิงเส้นและความแม่นยำมากที่สุดจน กระทั่งสามารถปรับปรุงให้วงจรเป็นวงจรแปลงความต้านทานค่าลบชนิดลอยตัวที่สามารถใช้การควบคุมแบบการใช้ศักดาและกระแสควบคุมได้ภายในวงจรเดียวกัน ทำให้วงจรมีความเหมาะสมมากในการประยุกต์ใช้งาน แต่ข้อเสียคือ วงจรมีข้อจำกัดอยู่ที่สามารถแปลงได้เฉพาะค่าของความต้านทานค่าลบเท่านั้น ไม่สามารถแปลงได้เป็นค่าอิมพีแดนซ์ค่าลบทั่วไป เช่น $-L$, $-C$ เป็นต้น ดังนั้นที่จุดนี้น่าจะได้มีการทำการค้นคว้าวิจัยต่อไป ซึ่งจะทำให้วงจรมีการใช้งานได้กว้างมากขึ้น

สุดท้ายเพื่อเป็นการยืนยันว่าวงจรทั้งสองอันได้แก่วงจรสายพานกระแสและวงจรแปลงความต้านทานค่าลบสามารถใช้งานได้จริง จึงได้แสดงการนำเอาวงจรทั้งสองดังกล่าวไปประยุกต์ใช้งาน พบว่าวงจรมีการใช้งานได้จริง ถูกต้องตามหลักการที่นำเสนอ มีค่าความผิดพลาดเกิดขึ้นต่ำ และช่วงปฏิบัติงานของวงจรทั้งสองสามารถปฏิบัติงานได้กว้าง มีความเป็นเชิงเส้นตลอดการเปลี่ยนแปลงค่าศักดาและกระแส จากคุณลักษณะที่ดีเด่นดังที่กล่าวมา วงจรจึงเหมาะสมมากที่จะนำไปทำเป็นวงจรรวมเพื่อการใช้งานได้สะดวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้เขียนขอขอบพระคุณอย่างสูงต่อ อาจารย์ ดร.วัลลภ สุระกำพลธร อาจารย์ที่ปรึกษา ซึ่งท่านได้เป็นผู้ริเริ่มเสนอแนวความคิดในงานวิจัยเรื่องนี้ อีกทั้งท่านยังได้ให้คำปรึกษาและทุ่มเทสติปัญญาความคิดความสามารถอย่างเต็มกำลังให้กับผู้เขียนมาโดยตลอดตั้งแต่ต้นจนจบการศึกษา และขอขอบพระคุณ อาจารย์ ดร.กอบชัย เดชหาญ และ อาจารย์ วันชัย ริ้วรุจา ที่ได้ให้คำปรึกษาวิธีการแก้ไขในการแก้ปัญหาต่าง ๆ ที่เกิดขึ้นทั้งทางด้านทฤษฎีและปฏิบัติร่วมกับอาจารย์ที่ปรึกษา นอกจากนี้ขอขอบคุณ คุณ กิตินงค์ มะโน คุณ ทรงชัย วีระทวีมาศ และ ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ได้กรุณาเอื้อเฟื้อสถานที่ในการจัดพิมพ์วิทยานิพนธ์จนทำให้วิทยานิพนธ์ดังกล่าวฉบับนี้สำเร็จและเป็นรูปเล่มขึ้นมาได้อย่างสมบูรณ์

เกียรติศักดิ์ คมวัชระ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] G. Normand, " Translinear Current Conveyor, " Int.J. Electronics, Vol 59, pp.771-777, 1985.

[2] W. Surakampontorn and P. Thitimajshima, " Integrable Electronically Tunable Current Conveyor," IEE Proc., vol.135, Pt.G, pp.71-77, 1988

[3] W. Surakampontorn and S. Junnapiya , " Electronically Variable General-Resistance Circuit, " Int.J. Electronic, vol.60, NO.2, pp. 281-285, 1986.

[4] W.M. Penney and L. Lau, Ed., " MOS Integrated Circuits, " New York, Van Nostrand Reinhold, 1972.

[5] J.E. Lilienfeld, Canadian Patent application filed October 25; U.S. Patent 1745175 (1930), 1877140 (1932), 1900018 (1933)

[6] O. Heil, British Patent 439457 (filed and granted 1935)

[7] J. Bardeen and W.H. Brattain, " The transistor : A Semiconductor Triod, " Phys. Rev., 74, 230 (July,1948); also U.S. Patent 2524035, October, 1950.

[8] W. Shockley, " A Unipolar 'Field-Effect' Transistor, " Proc. IRE., 40, pp.1365-1376, November, 1952.

[9] G.C. Dacey and I.M. Ross, " Unipolar Field-Effect Transistor, " Proc. IRE.,41, pp.970-979, 1953.

[10] D. Kahng and M.M. Atalla, " Silicon-Silicon Dioxide Field Induced Devices, "Solid-State Device Research Conference, Pittsburgh, 1960.

[11] R.F. Coughlin, " Principle and Application of Semiconductors and Circuits, " Prentice-Hall, 1971.

[12] D.G. Ong, " Modern MOS Technology, " Mc Graw-Hill Book Co, Inc. New York, pp.1-9, 1986.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[13] PSPICE, Microsim Corp., Laguna Hills, CA 92653, U.S.A., May, 1980.

[14] A. Vladimirescu and S.Liu , " The Simulation of MOS integrated Circuits Using SPICE2 " , Memorandom NO. UCB/ERL M80/7, 1980.

[15] H. Shichman and D.A. Hodges, " Modeling and Simulaton of Insulated-Gate Field-Effect Transistor Swiching Circuits, " IEEE J. Solid State Circuit, SC-3, 1968.

[16] C.T. Sah, " Characteristic of the Metal - Oxide - Semiconductor Transistor, " IEEE Trans. Electron Devices, vol ED-11, PP.324-345, July, 1964.

[17] D.K. Ferry , L.A. Akers and E.W. Greeneich , " Ulra Large Scale Integrated Microelectronics, " Prentice-Hall, pp.52-55, 1988.

[18] Y.P. Tsividis, " Operation and Modeling of The MOS Transistor, " Mc Graw-Hill, pp.168-175, 1988.

[19] P.E. Allen and D.R. Holberg, " CMOS Analog Circuit Design, " Holt Rinehart and Winston, pp.119-124, 1987.

[20] S. Liu and L.W. Nagel, " Small-Signal MOSFET Model for-Analog Circuit Design, " IEEE Journal of Solid-State Circuits, vol.SC-17, No.6, December, pp.983-998, 1982.

[21] T.E. Dillinger, " VLSI Engineering, " Prentice-Hall International, pp.346-348, 1988.

[22] K.C. Smith and A. Sedra, " The Current Conveyor : A New Circuit Building Block, " Proc. IEEE, 56, pp.1368-1369, 1968.

[23] K.C. Smith and A. Sedra, " A New Simple Wide-Band Current Measuring Device, " IEEE Trans, IM-18, pp.125-128, 1969.

[24] G.R. Wilson, " A Monolithic Junction FET-NPN Operational Amplifier, IEEE Journal of Solid-State Circuits, vol.SC-3, pp.380-387, 1968.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[25] K.C. Smith and A. Sedra, " A Second Generation Current Conveyor and Its Applications, " IEEE Trans, CT-17, pp.132-134, 1970.

[26] P. Aronheim and M.S. Bakhtiar, " A Current Conveyor Realization Using an Operational Amplifier, " Int.J. Electron , vol.45, pp. 283-288, 1978.

[27] R. Senani, " Novel Circuit Implementation of Current Conveyor Using an OA and OTA, " Electron. Lett, vol.16, pp.2-3, 1980.

[28] A.M. Soliman, " New Active-Gyrator Circuit Using a Single Current Conveyor, " IEEE Proc., 66, pp.1580-1581, 1978.

[29] C. ToumaZou and F.J. Lidgey, " Floating-Impedance Converters Using Current Conveyors, " Electron Letter., vol.21, NO.15, pp.640-642, 1985

[30] S.I. Liu and H.W. Tsao, " New Configuration for Single CCII biquads , " Int.J. Electronic., vol.70, NO.3, pp.609-622, 1991.

[31] C.P. Chong and K.C. Smith," Sinusoidal Oscillator Employing Current Conveyors, " Int.J. Electronic., vol.62, NO.4, pp.515-520, 1987.

[32] P.R. Gray and R.G. Meyer," Analysis and Design of Analog Integrated Circuits, " Second Edition, John Wiley & Sons, pp.705-709, 1984.

[33] R. Gregorian and G.C. Temes, " Analog MOS Integrated Circuits for Signal Processing, " John Wiley & Sons, pp.126-133, 1986.

[34] W. Surakampontorn , S. Jutaviriya and V. Riewruja , " OTA - based Electronically Tunable Voltage - Controlled Resistance Convertor, " Int.J. Electronics, vol.67, pp.81-85, 1989.

[35] K. Nagaraj, " New CMOS Floating Voltage-Controlled Resistor, " Electron Lett., vol.22, pp.667-668, 1986.

[36] M. Banu and Y. Tsividis, " Floating Voltage-Controlled Resistors in CMOS Technology, " Electron Lett., vol.18, pp.378-379, 1982.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[37] M. Higashimura and Y. Fukui, " Realization of New Mutually Coupled Circuits Using Mutators, " Int.J. Electronic., vol.58, NO.3, pp. 477-485, 1985.

[38] S. Pookaiyaudom and K. Samootrut," Efficient Circuit Implementation of Current Conveyor, Negative Impedance Converter and Nonlinear Impedance Converter Using Operation Transconductance Amplifiers , " Int.J. Electronic., vol.64, NO.6, pp.941-945, 1988.

[39] C. Toumazou and F.J. Lidgey, " Floating-Impedance Converter Using Current Conveyors," Electron Lett., vol.21, NO.15, pp.640-642, 1985

[40] N. Balabanian and T.A. Bickart, " Electrical Network Theory, " John Wiley & Sons., pp.50-51 ,1969.

[41] S. Pookaiyaudom and C. Surawatpanya, " Integrable Circuit Principle for Synthesizing Voltage-Controlled Nonlinear Impedance, " Proc. IEEE, vol.66, NO.10, pp.1280-1281, 1978.

[42] R. Caprio, " Precise Differential Voltage to Current Conveter, " Electronics Letts., vol.9, NO.6, pp.147-148, 1973.

[43] R.L. Brennan, T.R. Viswanathan and J.V. Hanson, " The CMOS Negative Impedance Converter, " IEEE J. Solid-State Circuits, vol.23, NO.5, pp.1271-1275, 1988.

[44] G.C Temes and W.H. Ki, " Fast CMOS Current amplifier and Buffer Stage, " Electron Letter, vol.23, NO.13, pp.696-697, 1987.

[45] A. Fabre and P. Rochequde, " Negative Impedance Converter with a Translinear Implementation," Int.J. Electronic., vol.60, NO.6, pp. 671-678, 1986.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

ข้อมูล CMOS เบอร์ 4007

MOTOROLA

MC14007UB

DUAL COMPLEMENTARY PAIR PLUS INVERTER

The MC14007UB multi-purpose device consists of three N-channel and three P-channel enhancement mode devices packaged to provide access to each device. These versatile parts are useful in inverter circuits, pulse-shapers, linear amplifiers, high input impedance amplifiers, threshold detectors, transmission gating, and functional gating.

- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD4007A or CD4007UB
- This device has 2 outputs without ESD Protection. Anti-static precautions must be taken.

CMOS SSI

(LOW-POWER COMPLEMENTARY MOS)

DUAL COMPLEMENTARY PAIR PLUS INVERTER

L SUFFIX
CERAMIC PACKAGE
CASE 632

P SUFFIX
PLASTIC PACKAGE
CASE 646

ORDERING INFORMATION

A Series – 55°C to + 125°C
MC14XXXUBAL (Ceramic Package Only)

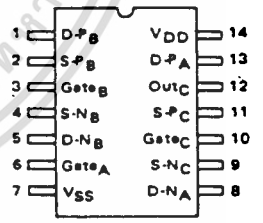
C Series: – 40°C to + 85°C
MC14XXXUBCP (Plastic Package)
MC14XXXUBCL (Ceramic Package)

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 18.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient)	– 0.5 to V_{DD} + 0.5	V
I_{in}–I_{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature (8-Second Soldering)	260	°C

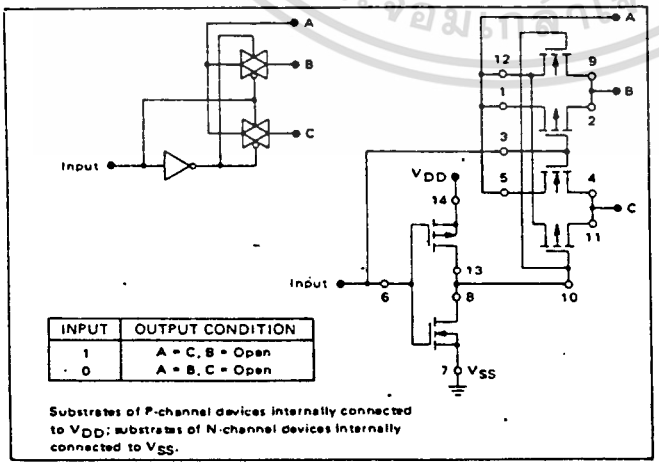
*Maximum Ratings are those values beyond which damage to the device may occur.
†Temperature Derating Plastic "P" Package – 12mW/°C from 65°C to 85°C
Ceramic "L" Package – 12mW/°C from 100°C to 125°C

PIN ASSIGNMENT



D = Drain
S = Source

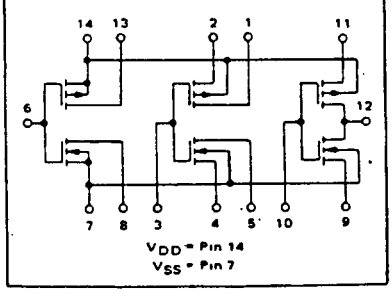
FIGURE 1 — TYPICAL APPLICATION: 2-INPUT ANALOG MULTIPLEXER



INPUT	OUTPUT CONDITION
1	A = C, B = Open
0	A = B, C = Open

Substrates of P-channel devices internally connected to V_{DD}; substrates of N-channel devices internally connected to V_{SS}.

SCHEMATIC



V_{DD} = Pin 14
V_{SS} = Pin 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14007UB

ELECTRICAL CHARACTERISTICS (Connected as Inverters) (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ #	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
		10	–	0.05	–	0	0.05	–	0.05	
		15	–	0.05	–	0	0.05	–	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
		10	9.95	–	9.95	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.95	–	
Input Voltage "0" Level	V_{IL}									Vdc
(V_O = 4.5)		5.0	–	1.0	–	2.25	1.0	–	1.0	
(V_O = 9.0)		10	–	2.0	–	4.50	2.0	–	2.0	
(V_O = 13.5)		15	–	2.5	–	6.75	2.5	–	2.5	
"1" Level	V_{IH}									Vdc
(V_O = 0.5)		5.0	4.0	–	4.0	2.75	–	4.0	–	
(V_O = 1.0)		10	8.0	–	8.0	5.50	–	8.0	–	
(V_O = 1.5)		15	12.5	–	12.5	8.25	–	12.5	–	
Output Drive Current (AL Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	-3.0	–	-2.4	-5.0	–	-1.7	–	
(V_{OH} = 4.6 Vdc)		5.0	-0.64	–	-0.51	-1.0	–	-0.36	–	
(V_{OH} = 9.5 Vdc)		10	-1.6	–	-1.3	-2.5	–	-0.9	–	
(V_{OH} = 13.5 Vdc)		15	-4.2	–	-3.4	-10	–	-2.4	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	–	0.51	1.0	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	–	1.3	2.5	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	4.2	–	3.4	10	–	2.4	–	
Output Drive Current (CL/CP Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	-2.5	–	-2.1	-5.0	–	-1.7	–	
(V_{OH} = 4.6 Vdc)		5.0	-0.52	–	-0.44	-1.0	–	-0.36	–	
(V_{OH} = 9.5 Vdc)		10	-1.3	–	-1.1	-2.5	–	-0.9	–	
(V_{OH} = 13.5 Vdc)		15	-3.6	–	-3.0	-10	–	-2.4	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.52	–	0.44	1.0	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.3	–	1.1	2.5	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	3.6	–	3.0	10	–	2.4	–	
Input Current (AL Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	µAdc
Input Current (CL/CP Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	µAdc
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (AL Device) (Per Package)	I_{DD}	5.0	–	0.25	–	0.0005	0.25	–	7.5	µAdc
		10	–	0.50	–	0.0010	0.50	–	15	
		15	–	1.00	–	0.0015	1.00	–	30	
Quiescent Current (CL/CP Device) (Per Package)	I_{DD}	5.0	–	1.0	–	0.0005	1.0	–	7.5	µAdc
		10	–	2.0	–	0.0010	2.0	–	15	
		15	–	4.0	–	0.0015	4.0	–	30	
Total Supply Current**† (Dynamic plus Quiescent, Per Gate) (C_L = 50 pF)	I_T	5.0	I_T = (0.7 µA/kHz) f + I_{DD}/6							µAdc
		10	I_T = (1.4 µA/kHz) f + I_{DD}/6							
		15	I_T = (2.2 µA/kHz) f + I_{DD}/6							

*T_{low} = – 55°C for AL Device, – 40°C for CL/CP Device.
T_{high} = + 125°C for AL Device, + 85°C for CL/CP Device.

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

**The formulas given are for the typical characteristics only at 25°C.

†To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50\ pF) + (C_L - 50)\ Vfk$$

where: I_T is in µA (per package), C_L in pF, V = (V_{DD} – V_{SS}) in volts, f in kHz is input frequency, and k = 0.003

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

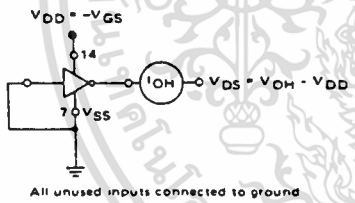
MC14007UB

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Min	Typ #	Max	Unit
Output Rise Time	t_{TLH}					ns
t_{TLH} = (1.2 ns/pF) C_L + 30 ns		5.0	–	90	180	
t_{TLH} = (0.5 ns/pF) C_L + 20 ns		10	–	45	90	
t_{TLH} = (0.4 ns/pF) C_L + 15 ns		15	–	35	70	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.2 ns/pF) C_L + 15 ns		5.0	–	75	150	
t_{THL} = (0.5 ns/pF) C_L + 15 ns		10	–	40	80	
t_{THL} = (0.4 ns/pF) C_L + 10 ns		15	–	30	60	
Turn-Off Delay Time	t_{PLH}					ns
t_{PLH} = (1.5 ns/pF) C_L + 35 ns		5.0	–	60	125	
t_{PLH} = (0.2 ns/pF) C_L + 20 ns		10	–	30	75	
t_{PLH} = (0.15 ns/pF) C_L + 17.5 ns		15	–	25	55	
Turn-On Delay Time	t_{PHL}					ns
t_{PHL} = (1.0 ns/pF) C_L + 10 ns		5.0	–	60	125	
t_{PHL} = (0.3 ns/pF) C_L + 15 ns		10	–	30	75	
t_{PHL} = (0.2 ns/pF) C_L + 15 ns		15	–	25	55	

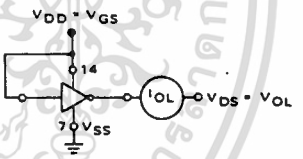
* The formulas given are for the typical characteristics only.
Switching specifications are for device connected as an inverter.
#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

FIGURE 2 – TYPICAL OUTPUT SOURCE CHARACTERISTICS

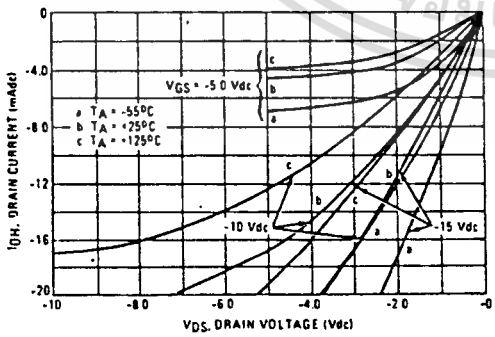


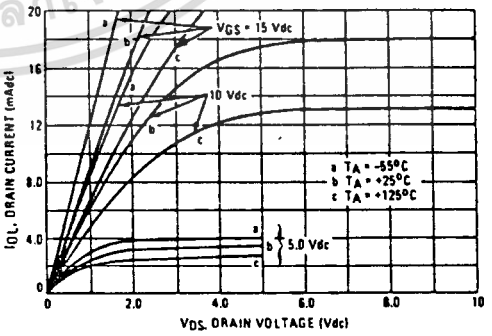
All unused inputs connected to ground

FIGURE 3 – TYPICAL OUTPUT SINK CHARACTERISTICS



All unused inputs connected to ground.





These typical curves are not guarantees, but are design aids.
Caution: The maximum current rating is 10 mA per pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

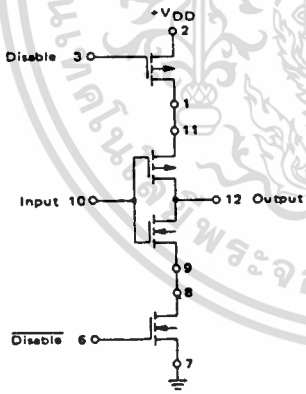
MC14007UB

FIGURE 4 – SWITCHING TIME AND POWER DISSIPATION TEST CIRCUIT AND WAVEFORMS

APPLICATIONS

The MC14007UB dual pair plus inverter, which has access to all its elements offers a number of unique circuit applications. Figures 1, 5, and 6 are a few examples of the device flexibility.

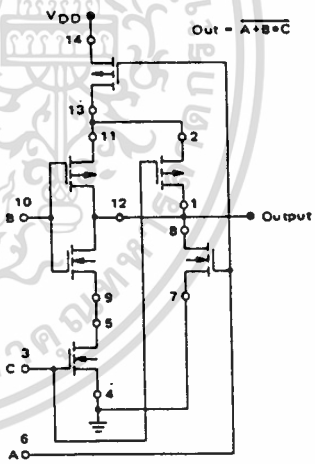
FIGURE 5 – 3-STATE BUFFER



INPUT	DISABLE	OUTPUT
1	0	0
0	0	1
X	1	Open

X = Don't Care

FIGURE 6 – AOI FUNCTIONS USING TREE LOGIC



Substrates of P-channel devices internally connected to V_{DD};
Substrates of N-channel devices internally connected to V_{SS}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

ผลงานที่พิมพ์ในบทความการประชุมวิชาการวิศวกรรมไฟฟ้า 9 สถาบัน

[1] เกียรติศักดิ์ คมวัชระ และ วัลลภ สุระกำพลธร , " การแปลงอิมพีแดนซ์ค่าลบชนิดลอยตัวโดยใช้ CMOS ," การประชุมทางวิชาการวิศวกรรมไฟฟ้า ครั้งที่12 ณ มหาวิทยาลัยเกษตรศาสตร์ ,หน้า 543-552 ,วันที่ 16-17 พฤศจิกายน 2532

[2] วัลลภ สุระกำพลธร วันชัย ริ้วรุจา กอบชัย เดชหาญ และ เกียรติศักดิ์ คมวัชระ , " การสร้างวงจรสายพานกระแสด้วย CMOS ," การประชุมทางวิชาการวิศวกรรมไฟฟ้า ครั้งที่13 ณ มหาวิทยาลัยเชียงใหม่ ,หน้า 139-148 ,วันที่ 8-9 พฤศจิกายน 2533

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้