สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ReCCIT
KMITL

รายงานฉบับสมบูรณ์

Final Report

การออกแบบวงจรรวมสำหรับ UWB

Analog integrated circuits for UWB radio

รศ. ดร. อภินันท์ ธนชยานนท์ (Assoc. Prof. Dr. Apinunt Thanachayanont)

นายนครินทร์ เรืองศรี (Nakarin Rueangsri)

นางสาวศิราพร ศักดิ์พรหม (Siraporn Sakphrom)

RCH
TK
7874.654
0257ก

เลขหมู่.....
เลขทะเบียน.....83859
วัน,เดือน,ปี.....19 ก.ย. 2551

b.....11966092
i.....

ห้องปฏิบัติการวิจัยอุปกรณ์ไมโครอิเล็กทรอนิกส์
สำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

กันยายน พ.ศ. 2550

Microelectronic Device R&D Laboratory
Research Center for Communications and Information Technology
King Mongkut's Institute of Technology Ladkrabang

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

September 2007

กิตติกรรมประกาศ

โครงการวิจัยนี้ได้รับทุนอุดหนุนจาก สำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ (Research Center for Communications and Information Technology: ReCCIT) สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ประจำปีงบประมาณ พ.ศ. 2550 วงเงินงบประมาณ 130,538 บาท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทสรุปย่อ

โครงงานนี้มีวัตถุประสงค์เพื่อการศึกษา วิจัยออกแบบ และพัฒนาวงจรรวมอนาลอกโดยการใช้งานด้วยเทคโนโลยีซีมอสที่ใช้แรงดันต่ำสำหรับส่วนหน้า (Analog Front-end) ของวงจรรับ-ส่งคลื่นวิทยุ อัลตราไวด์แบนด์ (Ultra Wide Band: UWB) ด้วยสัญญาณอิมพัลส์ที่มีแบนด์วิธระหว่าง 900 เมกกะเฮิร์ต ถึง 1 จิกกะเฮิร์ต และสำหรับงานวิจัยนี้ให้ความสนใจกับวงจรอนาลอกส่วนหน้า โดยเฉพาะอย่างยิ่งวงจรขยายสัญญาณที่ปรับอัตราขยายได้ (variable gain amplifier: VGA) เนื่องจากปัญหาในเรื่องขนาดของสัญญาณที่รับจากตัวรับ (Receiver) มีขนาดไม่สม่ำเสมอ ดังนั้นวงจร VGA จึงถูกนำมาใช้เป็นส่วนหนึ่งในภาครับส่วนหน้าของวงจรภาครับ เพื่อขยายหรือลดทอนขนาดของสัญญาณอินพุทให้ได้สัญญาณเอาท์พุทที่มีอัตราขยายที่เหมาะสม และเนื่องจากการรับส่งสัญญาณดังกล่าวอยู่ในช่วงรับจิกกะเฮิร์ต ดังนั้นจึงจำเป็นต้องมีการขยายด้วยอัตราขยายที่กว้างด้วย ส่งผลให้วงจร VGA ที่ต้องการออกแบบควรมีค่าแบนด์วิธที่ปรับค่าได้กว้างด้วยเช่นกัน ดังนั้นวัตถุประสงค์และเป้าหมายหลักของงานวิจัยนี้ก็เพื่อมุ่งเน้นการออกแบบวงจร VGA ให้สามารถทำงานได้ที่แบนด์วิธสูงและปรับช่วงอัตราขยายได้กว้าง โดยในการออกแบบอาศัยคุณสมบัติของทรานซิสเตอร์ซนิดมอส จำลองการทำงานโดยใช้โปรแกรม Cadence Specture™ 0.18 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

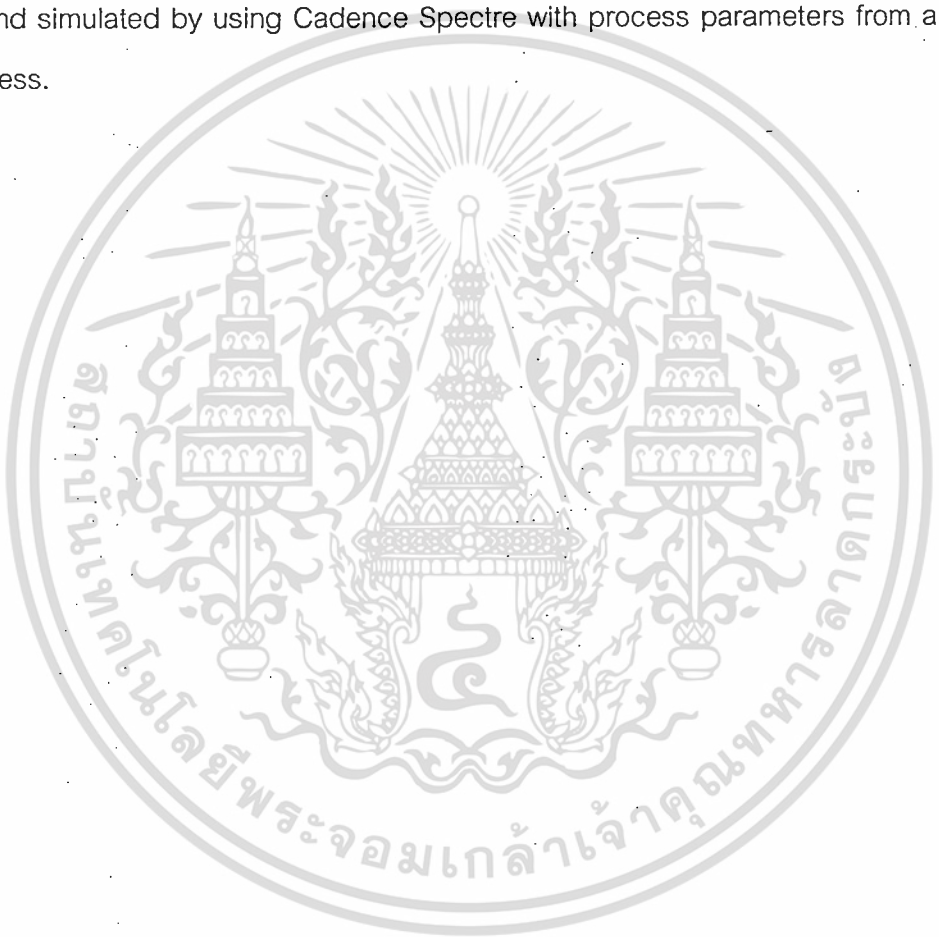
บทคัดย่อ

โครงงานนี้มีวัตถุประสงค์เพื่อการศึกษา วิจัยออกแบบ และพัฒนาวงจรรวมอนาลอกโดยการใช้งานด้วยเทคโนโลยีซีมอสที่ใช้แรงดันต่ำสำหรับส่วนหน้า (Analog Front-end) ของวงจรรับ-ส่งคลื่นวิทยุ อัลตราไวด์แบนด์ (Ultra Wide Band: UWB) ด้วยสัญญาณอิมพัลส์ที่มีแบนด์วิธระหว่าง 900 เมกกะเฮิร์ต ถึง 1 จิกกะเฮิร์ต และสำหรับงานวิจัยนี้ให้ความสนใจกับวงจรอนาลอกส่วนหน้า โดยเฉพาะอย่างยิ่งวงจรขยายสัญญาณที่ปรับอัตราขยายได้ (variable gain amplifier: VGA) เนื่องจากปัญหาในเรื่องขนาดของสัญญาณที่รับจากตัวรับ (Receiver) มีขนาดไม่สม่ำเสมอ ดังนั้นวงจร VGA จึงถูกนำมาใช้เป็นส่วนหนึ่งในภาครับส่วนหน้าของวงจรภาครับ เพื่อขยายหรือลดทอนขนาดของสัญญาณอินพุทให้ได้สัญญาณเอาท์พุทที่มีอัตราขยายที่เหมาะสม และเนื่องจากการรับส่งสัญญาณดังกล่าวอยู่ในช่วงรับจิกกะเฮิร์ต ดังนั้นจึงจำเป็นต้องมีการขยายด้วยอัตราขยายที่กว้างด้วย ส่งผลให้วงจร VGA ที่ต้องการออกแบบควรมีค่าแบนด์วิธที่ปรับค่าได้กว้างด้วยเช่นกัน ดังนั้นวัตถุประสงค์และเป้าหมายหลักของงานวิจัยนี้ก็เพื่อมุ่งเน้นการออกแบบวงจร VGA ให้สามารถทำงานได้ที่แบนด์วิธสูงและปรับช่วงอัตราขยายได้กว้าง โดยในการออกแบบอาศัยคุณสมบัติของทรานซิสเตอร์ชนิดมอส จำลองการทำงานโดยใช้โปรแกรม Cadence Specture™ 0.18 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Abstract

This project is concerned with the design and implementation of low-voltage CMOS analog front-end for Ultra Wide Band (UWB) impulse radio transceiver, with 900 MHz to 1 GHz bandwidth. This project is particularly involved with the design of variable gain amplifier (VGA), which is required to amplify or attenuate incoming RF signals to provide contant output amplitude. The desired VGA should exhibit wide bandwidth and dynamic range. The VGA is designed and simulated by using Cadence Spectre with process parameters from a 0.18-μm CMOS process.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
กิตติกรรมประกาศ	I
บทสรุปย่อ	II
บทคัดย่อ	III
บทที่ 1 บทนำ	1
บทที่ 2 ระบบการสื่อสารแบบอัลตราไวด์แบนด์	2
บทที่ 3 การออกแบบวงจรขยายสัญญาณที่ปรับอัตราขยายค่าได้	7
บทที่ 4 เอกสารอ้างอิง	18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำย่อและสัญลักษณ์

HTML	Hyper Text Markup Language
HTML	Hyper Text Markup Language
HTML	Hyper Text Markup Language
HTML	Hyper Text Markup Language
σ	ค่าเบี่ยงเบนมาตรฐาน (Standard Deviation)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

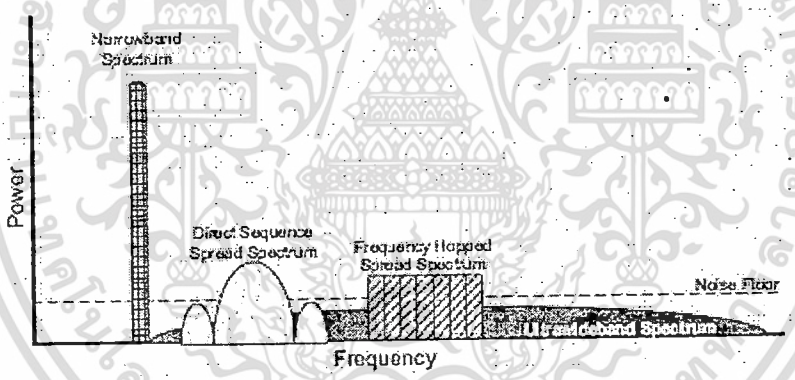
ปัจจุบันเทคโนโลยีไร้สายเข้ามามีบทบาทในการสื่อสารข้อมูลหลายอย่างด้วยกัน เช่น วายฟาย (Wi-Fi), บลูธูท (Bluetooth) และเทคโนโลยีคลื่นสั้น ล่าสุดเทคโนโลยีที่กำลังได้รับความนิยมในขณะนี้ก็คือ อัลตราไวด์แบนด์ (Ultra-wideband) หรือเรียกย่อๆว่า UWB ซึ่งเป็นเทคโนโลยีไร้สาย ที่ถูกพัฒนาขึ้นเพื่อรองรับการใช้งานในการสื่อสารข้อมูลและการเชื่อมต่ออุปกรณ์หรือเครือข่ายลักษณะเดียวกับการใช้งานเทคโนโลยีข้างต้น แต่สิ่งสำคัญที่นำอัลตราไวด์แบนด์มาใช้งาน เนื่องจากทางคณะบริหารความถี่ของสหรัฐ (FCC) คาดว่าอัลตราไวด์แบนด์จะเข้ามาแก้ปัญหาความขาดแคลนของช่องสัญญาณที่อาจจะเกิดขึ้นในอนาคต เนื่องจากการแบ่งสรรความถี่ในปัจจุบัน จะมีการกำหนดช่วงความถี่สูงสุดและต่ำสุด และยังต้องมีคลื่นความถี่อีกช่วงหนึ่งซึ่งทำหน้าที่เป็นส่วนป้องกันไม่ให้คลื่นในแต่ละย่านความถี่รบกวนซึ่งกันและกัน ปัจจัยดังกล่าวส่งผลให้ทุกครั้งที่มีการจัดย่านความถี่ใหม่จะมีช่วงความถี่ที่ต้องสูญเสียไปมากขึ้นด้วย

FCC กำหนดย่านความถี่ที่สามารถใช้งานในอัลตราไวด์แบนด์และเป็น Unlicensed Spectrum ให้อยู่ในย่านความถี่ DC ถึง 960 เมกกะเฮิร์ต และย่านความถี่ 3.1-10.6 จิกกะเฮิร์ต [1] ซึ่งเป็นย่านความถี่เดียวกันกับการสื่อสารผ่านดาวเทียม เมื่อเปรียบเทียบกับระบบการสื่อสารอื่นๆ การแพร่ขยายของสเปกตรัมในระบบอัลตราไวด์แบนด์จะค่อนข้างกว้างมาก [2], [3] ดังแสดงใน รูปที่ 1 [4] และยังมีขอบเขตการใช้งานขนาดแบนด์วิธมากกว่า 20 เปอร์เซ็นของสเปกตรัม หรือมากกว่า 500 เมกกะเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ระบบการสื่อสารแบบอัลตราไวด์แบนด์

การสื่อสารแบบอัลตราไวด์แบนด์แบ่งการใช้งานออกเป็น 2 ประเภท คือ การสื่อสารข้อมูลวิทยุแบบอิมพัลส์ (The carrierless impulse radio : IR-UWB) และการสื่อสารข้อมูลแบบหลายความถี่ (Multiband) แต่ในงานวิจัยนี้เน้นการใช้งานแบบอิมพัลส์ (IR-UWB) ซึ่งเป็นมีศักยภาพสูงสำหรับงานด้านการสื่อสารข้อมูลที่ใช้ในอาคารบ้านเรือนต่างๆ วีดีโอ และ ออดิโอ รวมทั้งการรับ-ส่งข้อมูลระยะสั้นๆ ในช่วงประมาณ 10-20 เมตร หรือที่เรียกว่า Wireless personal area network (WPANs) รวมถึงระบบอิมเมจ (Imaging systems) และระบบเรดาห์ (Vehicular radar systems) นอกจากนี้การสื่อสารข้อมูลวิทยุแบบอิมพัลส์ยังถูกใช้งานในด้านโครงข่ายการตรวจวัด (Sensor network) และ wireless sensing network ด้านชีวทางการแพทย์ (Biomedical sensing) ที่กำลังได้รับความสนใจและถูกนำมาใช้ประโยชน์เช่น อุปกรณ์ช่วยในการฟังของผู้มีความบกพร่องทางหู[5] เครื่องตรวจวัดอัตราการเต้นของหัวใจ[6] เครื่องวัดการไหลเวียนของเลือด เป็นต้น



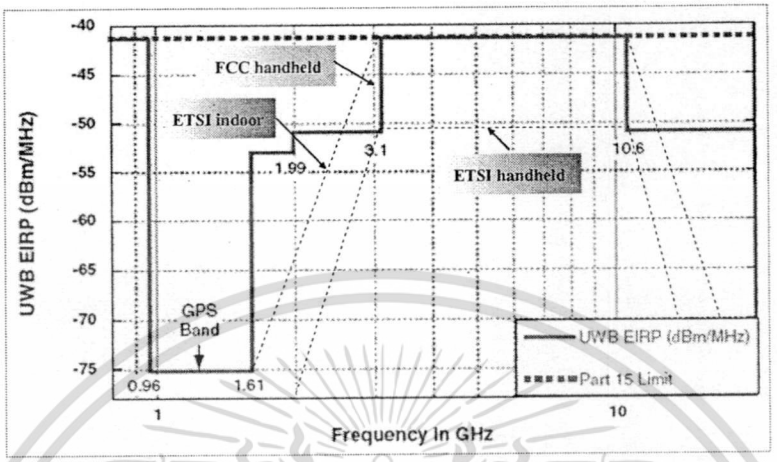
รูปที่ 1 การเปรียบเทียบสเปกตรัมของUWB, แนโรแบนด์ (narrowband) และระบบการแผ่ขยายสเปกตรัม

2.1 Impulse Radio

การสื่อสารคลื่นวิทยุแบบอิมพัลส์ (Impulse radio) และเรดาร์อิมพัลส์ (Impulse radar) ถูกนำมาใช้ประโยชน์ในการส่งสัญญาณอิมพัลส์ช่วงเวลาสั้นมากๆ ในระดับนาโนวินาที โดยสัญญาณคลื่นวิทยุแบบอิมพัลส์จะถูกทำการมอดูเลตในโดเมนเวลา (Time domain) ซึ่งลักษณะของสัญญาณมีลักษณะเดียวกับสัญญาณรบกวน (Noise) และไม่ใช้คลื่นพาห์ในการมอดูเลตหรือที่เรียกว่า carrierless ทำให้การรับ-ส่งสัญญาณดังกล่าวใช้กำลังในการส่งค่อนข้างต่ำ และมีความทะลุทะลวงสูง ใน รูปที่ 2 แสดง spectrum mask ที่ทาง FCC กำหนดให้ใช้งานและควบคุมความหนาแน่นสเปกตรัมกำลัง (Power spectrum density: PSD) เพื่อป้องกันปัญหาการรบกวนของสัญญาณวิทยุกับเทคโนโลยีสื่อสารภาคพื้นอื่นๆ เส้นกราฟเหนือเส้นสีแดง (upper plot) แสดงการสื่อสารข้อมูล indoor and outdoor ส่วนเส้นกราฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใต้เส้นสีแดง (lower plot) เป็นการแผ่ขยายสำหรับใช้ในระบบเรดาร์และการเซนซิ่ง แต่ในการสื่อสารข้อมูลทุกกรณีจะต้องมีความหนาแน่นสเปกตรัมกำลังเฉลี่ยไม่เกินเส้นประสีน้ำเงินคือ ประมาณ -43.5 dBm.



รูปที่ 2 FCC ultra-wideband outdoor emission limits, bandwidth: 3.1 GHz-10.6 GHz, -41.25 dBm/MHz EIRP (equivalent isotropic radiated power)

ในการสื่อสารข้อมูลอีกสิ่งหนึ่งที่ต้องคำนึงถึงคือความจุของช่องสัญญาณ (Channel Capacity) ซึ่งเป็นค่าที่บ่งบอกถึงความสามารถในการส่งผ่านข้อมูลโดยมีข้อจำกัดของแบนด์วิธและอัตราส่วนของระดับกำลังงานของสัญญาณต่อระดับกำลังงานของสัญญาณรบกวน (Signal to noise ratio) หลักการแชนนอน-ฮาร์ทเลย์ (Shannon-Hartley) [4] นิยามโดย

$$C = BW \log_2(1+\frac{P_s}{P_n}) = BW \log_2(1+\frac{P_s}{N_o BW}) \quad (1)$$

โดยที่ C คือ ความจุของช่องสัญญาณ P_s คือ กำลังสัญญาณเฉลี่ยที่ตัวรับ P_n คือ กำลังสัญญาณรบกวนเฉลี่ยที่ตัวรับ N_o คือ กำลังงานของสัญญาณรบกวน และ BW คือ แบนด์วิธของช่องสัญญาณ ซึ่งจะเห็นได้ว่าสมการ (1) เป็นสมการเชิงเส้นแม้ว่าจะมีฟังก์ชันลอการิทึมอยู่ก็ตาม นั่นคือถ้าแบนด์วิธกว้าง ความจุของช่องสัญญาณก็จะมีค่ามาก และเช่นเดียวกันกับค่าอัตราส่วนระหว่างกำลังสัญญาณเฉลี่ยที่ตัวรับต่อกำลังสัญญาณรบกวนเฉลี่ยที่ตัวรับของระบบ (Signal to noise ratio: SNR) ซึ่งสำหรับในระบบ UWB จะมีแบนด์วิธกว้างดังที่ได้กล่าวแล้วข้างต้น ดังนั้นจะส่งผลให้ความจุของช่องสัญญาณมีค่าสูง

2.2 ทฤษฎีบทของการสร้างพัลส์สั้น (Ultra-Short Pulse Generation Theory) [10]

ทฤษฎีการสร้างสัญญาณอัลตราพัลส์และรูปร่างพัลส์ในแต่ละระบบจะแตกต่างกันออกไป . แต่ที่ได้รับความนิยมเช่น เกาส์เซียนพัลส์ (Gaussian pulse) รูปร่างสัญญาณเป็นดังสมการ (2)

$$s(t) = Ae^{-\frac{(t-\mu)^2}{2\sigma^2}} \quad (2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ A เป็นขนาดของพัลส์(โวลต์)

t เป็นเวลา (วินาที)

σ เป็นความเบี่ยงเบนมาตรฐานของเกาส์เซียนพัลส์(วินาที)

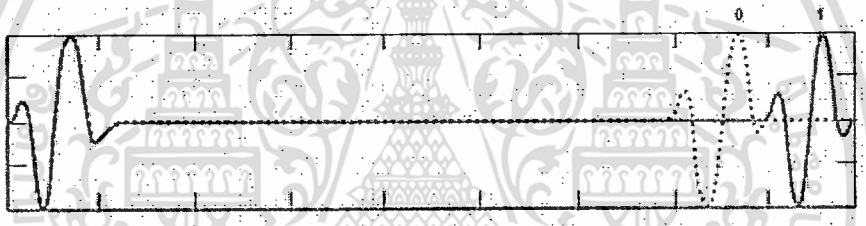
μ เป็นค่ากลางของเกาส์เซียนพัลส์(วินาที)

ความกว้างพัลส์ของเกาส์เซียนพัลส์ กำหนดได้ดังสมการ (3)

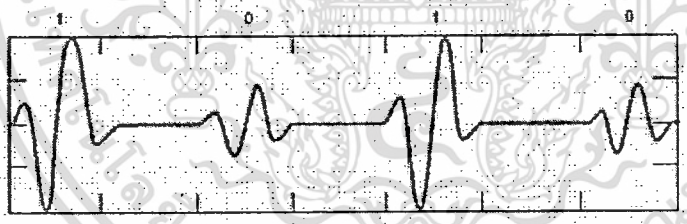
$$\tau = \sigma \cdot 2\pi \text{ (วินาที)} \quad (3)$$

ซึ่งจะเห็นว่าความกว้างของพัลส์น้อยมากอยู่ในระดับนาโนวินาที พลังงานในการแผ่ขยายความถี่มีระยะกว้าง และกำลังงานส่งถูกจำกัด ส่งผลให้ความหนาแน่นกำลังงานจำกัดด้วยซึ่งมีค่าต่ำมากๆ

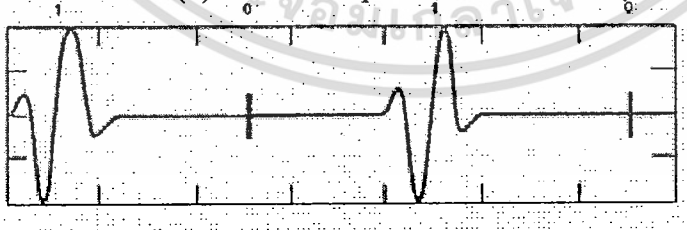
นอกจากรูปร่างสัญญาณที่แสดงในลักษณะเกาส์เซียนพัลส์แล้ว ลักษณะสัญญาณข้อมูลที่ใช้รับ-ส่งจะขึ้นอยู่กับเทคนิคของการมอดดูเลตซึ่งมีหลายรูปแบบแล้วแต่ความเหมาะสมในการใช้งานดังแสดงในรูปที่ 3 เป็นต้น [7]



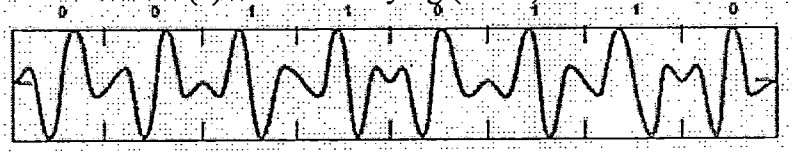
(a) Pulse Position Modulation (PPM)



(b) Pulse Amplitude Modulation (PAM)



(c) On-Off Keying (OOK)



(d) Bi-Phase Modulation (BPSK)

รูปที่ 3 Mono-Phase and Bi-Phase Ultra-Wideband

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

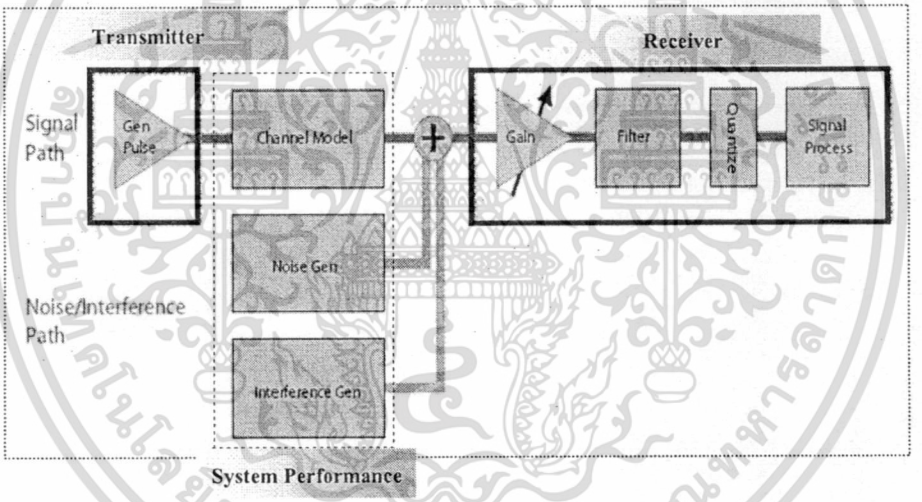
2.3 Systems Overview

รูปที่ 4 แสดงบล็อกไดอะแกรมของระบบการทำงานตัวรับ-ส่งอัลตราไวด์แบนด์ ซึ่งประกอบด้วย 3 ส่วนหลักๆ คือ

(a) ภาคส่ง ประกอบด้วย บล็อกการสร้างสัญญาณพัลส์ (Pulse Generation) ซึ่งทำหน้าที่สร้างพัลส์ในช่วงเวลาสั้นๆและพัลส์นี้จะถูกแซมปลิ้งที่อัตราความเร็วสูงทางด้านตัวรับ โดยรูปร่างสัญญาณพัลส์จะขึ้นอยู่กับการมอดดูเลตสัญญาณ

(b) โครงสร้างช่องสัญญาณ (Channel Model) พัลส์ที่สร้างขึ้นจากภาคส่งจะถูกส่งผ่านทางเสาอากาศและผ่านทางช่องสัญญาณ ซึ่งในส่วนนี้จะพิจารณาลักษณะการแผ่ขยายของสัญญาณและการรวมสัญญาณระหว่างสัญญาณอิมพัลส์ที่สร้างขึ้นมากับสัญญาณรบกวนและสัญญาณ interference

(c) ภาครับ จะขยายสัญญาณพัลส์ที่ถูกรวมเข้ากับสัญญาณรบกวนและกรองสัญญาณรวมทั้ง Quantize ก่อนที่จะจัดการกับสัญญาณต่อไป



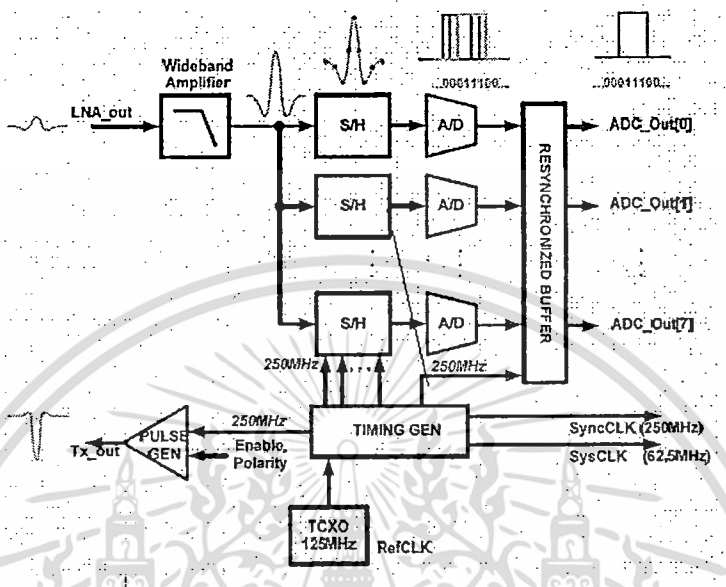
รูปที่ 4 Transceiver System Model [1]

2.4 Analog Transceiver Front-End for UWB

วงจรรวมอนาลอกซีมอสสำหรับส่วนหน้า (Analog Front-End) ของวงจรรับส่งคลื่นวิทยุ UWB ประกอบด้วยวงจรหลักๆดังแสดงในรูปที่ 5 คือแหล่งสร้างสัญญาณ short impulse หรือวงจรสร้างสัญญาณพัลส์ (Impulse Generator) [8], [9], [10] วงจรขยายสัญญาณความถี่กว้าง (Wideband Amplifier) ซึ่งอาจจะมีวงจรย่อยภายในบล็อกดังกล่าวนี้คือ วงจรขยายแรงดัน (Voltage gain amplifier, VGA) และวงจรกรองสัญญาณ (Filter) นอกจากนี้ยังประกอบด้วยวงจรขยายสัญญาณรบกวนต่ำ (Low-noise amplifier) [11], [12] วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to digital converter, ADC) เป็นต้น ในการสื่อสารข้อมูลแบบอิมพัลส์ รูปร่างของสัญญาณจะอยู่ในรูปพัลส์ซึ่งเป็นสัญญาณอนาลอก ดังนั้นในการรับ-ส่งสัญญาณดังกล่าวนี้จำเป็นต้องออกแบบภาครับ ภาคส่งที่สามารถรับ-ส่งสัญญาณอนาลอกด้วยเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งนี่ถือเป็นเหตุผลสำคัญที่เราจำเป็นต้องออกแบบวงจรอนาลอกโดยเฉพาะการออกแบบวงจรรวมอนาลอกซีมอสสำหรับส่วนหน้าที่ใช้ในการสื่อสารข้อมูลไร้สาย สำหรับรายละเอียดของวงจรจะอธิบายวงจรที่เกี่ยวข้องกับงานวิจัยนี้ นั่นก็คือวงจรขยายสัญญาณความถี่กว้าง



รูปที่ 5 UWB analog front-end architecture

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

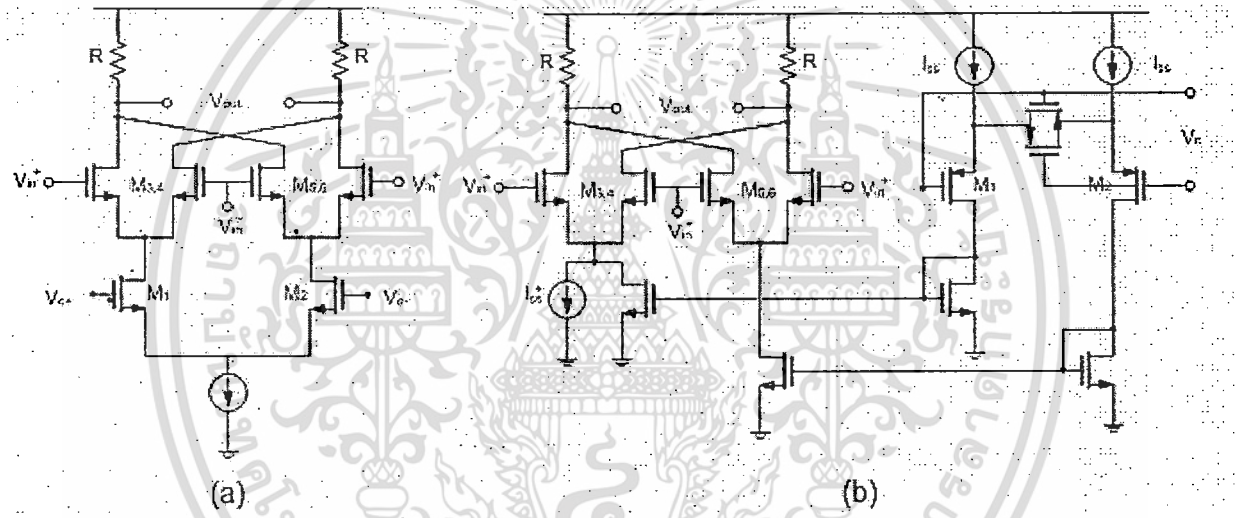
การออกแบบวงจรขยายสัญญาณที่ปรับอัตราขยายค่าได้

ในการออกแบบวงจร VGA สามารถออกแบบได้ 2 โครงสร้างหลัก [28] ดังนี้คือ โครงสร้างเปิด (Open loop structure) และโครงสร้างปิด (Close loop structure) สำหรับโครงสร้างเปิดจะสามารถควบคุมอัตราขยายได้โดยการปรับค่าทรานซ์คอนดักแตนซ์และค่าโหลดของวงจร โดยทั่วไปจะให้แบนด์วิธสัญญาณกว้างกว่าแบบโครงสร้างปิด แต่มีข้อเสียในเรื่องความไวของสัญญาณ (sensitive) ส่วนในโครงสร้างปิดจะช่วยแก้ปัญหาความไวของสัญญาณ โดยจะใช้วงจรป้อนกลับแบบลบ (negative feedback) ซึ่งอาจใช้วิธีการต่อตัวต้านทานป้อนกลับ (feedback resistance) ระหว่างอินพุตและเอาท์พุต วงจรป้อนกลับมักใช้ในการปรับค่าอัตราขยายของวงจรขยายแบบโครงสร้างปิดและยังช่วยในเรื่องของการกำจัดแรงดันออฟเซ็ท (DC offset) ดังนั้นการออกแบบวงจร VGA เพื่อใช้งานในระบบฮาร์ดดิสก์ควรเลือกใช้โครงสร้างแบบปิด เนื่องจากสัญญาณที่ถูกขยายโดยวงจรขยายภาคแรกมีขนาดแอมพลิจูดอยู่ในระดับ 45-500 มิลลิโวลล์ และเป็นสัญญาณผลต่าง (differential signal) ที่มีแรงดันคอมมอนโหมดหรือมีแรงดันออฟเซ็ท สัญญาณนี้จะถูกทำการคับปลิ้งสัญญาณ (ac-coupling) เพื่อกำจัดแรงดันออฟเซ็ทให้ต่ำลง และสัญญาณที่ได้จากการคับปลิ้งนี้จะเป็นสัญญาณอินพุตของวงจร VGA ดังนั้นการออกแบบวงจร VGA ควรออกแบบให้มีโครงสร้างแบบปิดเพื่อช่วยกำจัดแรงดันออฟเซ็ทที่เหลือ และเนื่องจากสัญญาณจากช่องอ่านสัญญาณฮาร์ดดิสก์ถูกแซมเปิ้ล โดยการใช้ partial response จึงต้องการที่จะให้ขนาดแอมพลิจูดและความถี่ของสัญญาณเป็นไปตามสัญญาณเป้าหมาย (target) ดังนั้นในส่วนของวงจรปรับอัตราขยายค่าได้แบบอัตโนมัติ (automatic gain control : AGC) ต้องสามารถควบคุมการปรับเปลี่ยนขนาดแอมพลิจูดตามช่วงเวลาที่เปลี่ยนแปลงไปให้มีประสิทธิภาพ โดยอัตราขยายควรสูงกว่า 21 dB และเนื่องจากวงจร VGA ถูกใช้เป็นส่วนหนึ่งของวงจร AGC ดังนั้นวงจร VGA ก็ควรสามารถปรับอัตราขยายได้กว้างด้วยเช่นกัน ส่วนข้อกำหนดอื่นๆที่ควรนำมาพิจารณาในการออกแบบวงจร VGA โดยจะสอดคล้องกับข้อกำหนดของวงจร AGC ดังแสดงในตารางที่ 1

AGC Specifications	
Input signal range	45 mVpp< Vin < 500 mVpp
Output Target	1.400 Vpp
VGA gain range	> 24 dB
AFE THD	< 1.0%
AFE SNR	> 35 dB
AFE Output offset	< 5.0 mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับแนวทางในการแก้ปัญหาหรือแนวทางในการออกแบบวงจร VGA เพื่อให้มีประสิทธิภาพที่สูงกว่าข้อกำหนดดังตารางที่ 1 คณะวิจัยเล็งเห็นว่าเนื่องจากในปัจจุบันการออกแบบวงจร VGA เพื่อใช้งานในด้านต่างๆ ไม่ว่าจะเป็น ระบบการสื่อสารไร้สาย เครื่องมือหรืออุปกรณ์การแพทย์ เครื่องช่วยฟัง (hearing aid) และ ดิสก์ไดร์ฟ เป็นต้น จะออกแบบให้สามารถรองรับการใช้งานที่ความถี่สูงโดยมีประสิทธิภาพ (specification) ใกล้เคียงกันไม่ว่าจะนำมาใช้งานด้านใดก็ตาม ดังนั้นเทคนิคที่ใช้ในการออกแบบเพื่อการใช้งานในแต่ละด้านที่เห็นในปัจจุบัน ก็สามารถเลือกนำเอาเทคนิคเหล่านั้นมาประยุกต์ใช้ควบคู่กันไปได้ เพื่อให้ได้ประสิทธิภาพตามการใช้งานที่ต้องการ เช่น การออกแบบวงจร VGA ที่ต้องการแบนด์วิธและอัตราขยายกว้าง ซึ่งส่วนใหญ่ความต้องการที่แบนด์วิธและอัตราขยายกว้างนี้ จะพบเห็นในการใช้งานของระบบไร้สาย วงจรพื้นฐานที่ได้รับความนิยมนำมาออกแบบคือ Gilbert cell [25] แสดงดังรูปที่ 6(a)



รูปที่ 6 Modifies Gilbert cell circuit [25].

จากรูปที่ 6 แสดงความสัมพันธ์ระหว่างอินพุตและเอาท์พุตของวงจร Gilbert cell เป็นดังสมการ (1) และ (2)

$$V_{o^+} - V_{o^-} = \left(g_{m3,4} - g_{m5,6}\right) \cdot R \cdot \left(V_{in+} - V_{in-}\right) \tag{1}$$

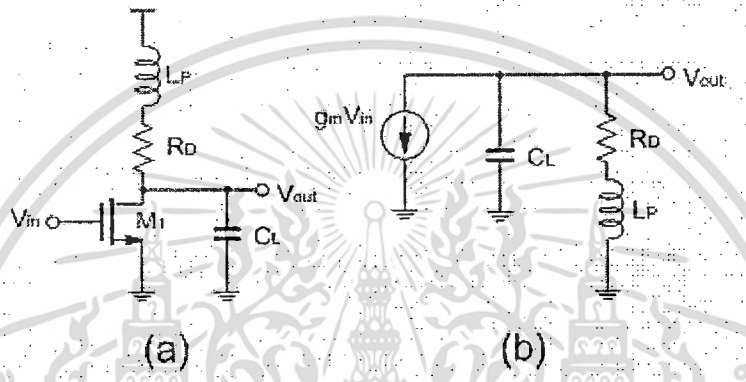
$$= \sqrt{\frac{k_n \left(W/L\right)}{2I_{ss}}} \cdot g_{m1,2} \left(V_{C^+} - V_{C^-}\right)\left(V_{in+} - V_{in-}\right) \tag{2}$$

เทคนิค Gilbert cell จะทำให้ทรานซ์คอนดักเตอร์มีลักษณะเป็นเชิงเส้น แต่มีข้อเสียในเรื่องของการเกิดแรงดัน headroom ซึ่งยากต่อการออกแบบวงจรที่ให้ทำงานได้ที่แรงดันต่ำ เนื่องจากการเกิดแรงดัน headroom จะมีผลต่อการปรับช่วงของอัตราขยายในแต่ละช่วง ทำให้มีการเปลี่ยนแปลงค่าได้ช้า ดังนั้นเพื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แก้ปัญหาดังกล่าวนี้จึงมีการปรับปรุงวงจรเช่นในวงจรรูปที่ 6(b) [25] ซึ่งจะเห็นว่าถ้านำวงจรนี้มาปรับปรุงและแก้ข้อเสียดังกล่าวได้ ผลที่ได้คือจะได้วงจรขยายที่มีอัตราขยายและแบนด์วิธกว้าง

อีกเทคนิคที่น่าสนใจคือเทคนิค Inductive series peaking ซึ่งส่วนใหญ่จะพบเห็นในการใช้งานด้านการสื่อสารทางแสง (optical fiber optic) โดยถูกนำมาใช้เพื่อปรับปรุงแบนด์วิธของวงจร และมักจะใช้เทคนิคนี้สำหรับโหนดเอาท์พุตของวงจรขยายเพราะวงจรส่วนใหญ่จะให้ความสนใจต่อกระแสที่ไหลไปยังโหลดอิมพีแดนซ์ ดังนั้นจึงใช้เทคนิคดังกล่าวออกแบบอินพุตเพื่อให้ได้กระแสเอาท์พุตที่เหมาะสม



รูปที่ 7 (a) CS stage with load capacitance and addition of inductor peaking, (b) small-signal equivalent of (a) [33].

พิจารณาวงจรรูปที่ 7 ถ้าตัวเหนี่ยวนำมีค่ามาก ดังนั้น V_{out} จะเกิด overshoot ก่อน settling ซึ่งช่วงการเกิด overshoot นี้เราสามารถปรับปรุงให้แบนด์วิธมีค่าเพิ่มขึ้นได้ โดยการกำหนดค่าพารามิเตอร์ในวงจร ความสัมพันธ์จากวงจรรูปที่ 7 แสดงความสัมพันธ์ดังสมการ (3)

$$\frac{V_{out}}{V_{in}} = -g_m \frac{L_P s + R_D}{L_P \cdot C_L s^2 + R_D \cdot C_L s + 1} \tag{3}$$

เราสามารถปรับปรุงแบนด์วิธด้วยการปรับค่า R_D และ C_L ของวงจร [33] ส่วนในวงจรรูปที่ 4 เป็นตัวอย่างการนำเอาเทคนิค inductive peaking มาประยุกต์ใช้งาน ซึ่งทำหน้าที่เป็นบัฟเฟอร์ของวงจรใน [25]

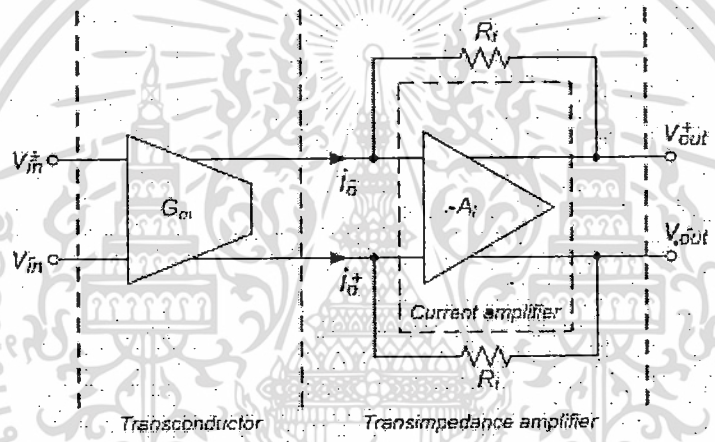
เทคนิคต่อมาที่น่าสนใจคือเทคนิคการออกแบบวงจรแบบผสมกันระหว่าง วงจรขยายทรานซ์คอนดักแตนซ์แบบซอร์ส-ดีเจนเนอเรชั่น และวงจรขยายทรานซ์อิมพีแดนซ์ป้อนกลับ โดยมีโครงสร้างดังแสดงใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 8 ซึ่งประกอบไปด้วยวงจรขยายทรานซ์คอนดักแตนซ์ต่ออนุกรมอยู่กับวงจรขยายทรานซ์อิมพีแดนซ์ที่ต่อขนานกับตัวต้านทานป้อนกลับ (shunt feedback amplifier) ซึ่งตัวต้านทานป้อนกลับ ทำหน้าที่ปรับอัตราขยายแรงดันมีการให้มีแบนด์วิธคงที่ ดังนั้นอัตราขยายทรานซ์อิมพีแดนซ์สามารถหาได้จากสมการที่ (4)

$$R_m = -\left(\frac{R_f A_i - R_{in}}{1 + A_i}\right) \tag{4}$$

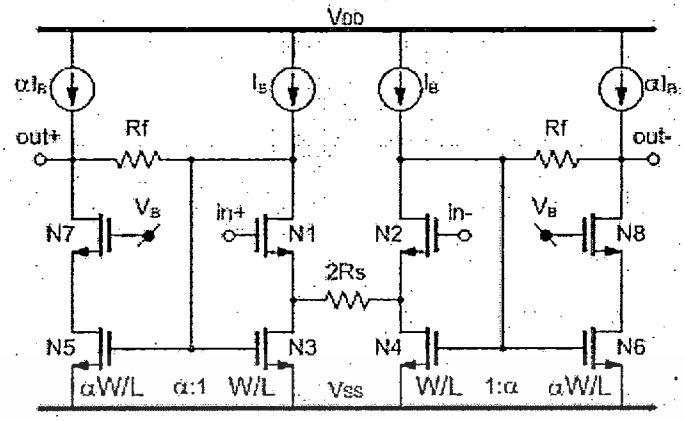
เมื่อ R_{in} และ A_i เป็นความต้านทานอินพุท และอัตราขยายกระแสของวงจรขยายกระแสตามลำดับ จะเห็นว่าเมื่อ $A_i >> 1$ และ $R_m \approx -R_f$ ดังนั้นส่งผลให้ความเป็นเชิงเส้นของวงจรขยายทรานซ์คอนดักแตนซ์มีอัตราขยายกระแสสูง ทำให้ความเป็นเชิงเส้นของวงจร VGA สูงด้วย



รูปที่ 8 โครงสร้างของ VGA cell ที่ใช้เทคนิคแบบผสมกันระหว่าง วงจรขยายทรานซ์คอนดักแตนซ์แบบซอร์ส-ดีเจนเนอเรชั่น และวงจรขยายทรานซ์อิมพีแดนซ์ป้อนกลับ [31]

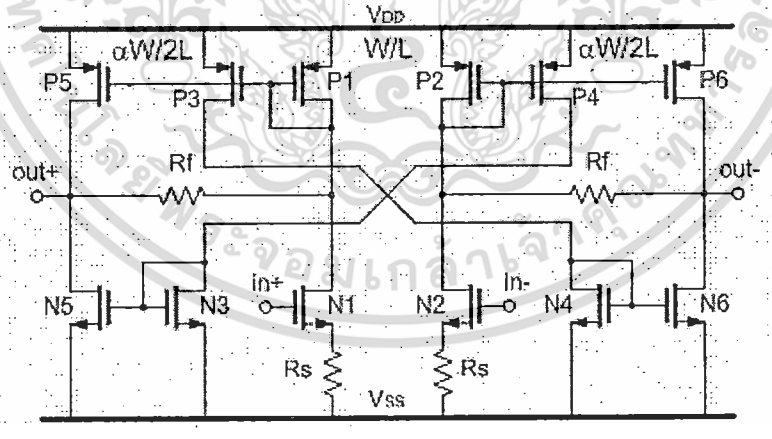
การออกแบบวงจร โดยเฉพาะเมื่อต้องการให้แรงดันไฟเลี้ยง และกินกำลังงานต่ำ อาจใช้เทคนิคการผสมกันระหว่าง วงจรขยายทรานซ์คอนดักแตนซ์แบบซอร์ส-ดีเจนเนอเรชั่น และวงจรขยายทรานซ์อิมพีแดนซ์ป้อนกลับดังแสดงในรูปที่ 9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 9 VGA Class-A ทำงานที่แรงดันไฟเลี้ยงต่ำ [29], [30]

จากวงจรสามารถปรับอัตราขยายได้สองแบบด้วยกันคือสามารถปรับอัตราขยายคอนดักแตนซ์โดยการปรับค่าความต้านทาน R_s และการปรับทรานซ์อิมพีแดนซ์โดยการปรับค่าความต้านทาน R_f และวงจรนี้สามารถทำงานได้ด้วยแรงดันต่ำกว่า 1 โวลต์ และใช้กำลังงานต่ำกว่า 60 ไมโครวัตต์ ซึ่งจะเห็นว่าใช้กำลังงานและแรงดันน้อย แต่ยังมีข้อเสียเนื่องจากการสวิงของสัญญาณเอาท์พุตที่ถูกจำกัดด้วยแหล่งจ่ายกระแสเนื่องจากวงจรเป็น class-A ดังนั้นถ้าออกแบบให้วงจรสามารถทำงานได้ด้วยแรงดันต่ำและให้สัญญาณสวิงที่สูงขึ้น ควรต้องออกแบบวงจรให้ทำงานเป็น class-AB ดังแสดงแนวทางในวงจรรูปที่ 9 ซึ่งเป็นวงจรที่ปรับปรุงมาจากวงจรรูปที่ 8



รูปที่ 10 ปรับปรุงวงจากรูปที่ 6 เป็นวงจร VGA Class-AB ทำงานที่แรงดันไฟเลี้ยงต่ำ [31]

จากเทคนิคต่างๆ ดังกล่าวที่ได้เสนอยังมีเทคนิคอื่นๆอีกเช่นใน [24] แต่สำหรับเทคนิคที่จะเลือกนำมาใช้จริงขึ้นอยู่กับการเปรียบเทียบผลการจำลองการทำงานโดยผสมผสานแนวทางในการปรับปรุงเทคนิคเหล่านี้ และดูความเป็นไปได้เมื่อเปรียบเทียบกับข้อกำหนดต่างๆ ดังแสดงในตารางที่ 1 สำหรับงานวิจัยนี้ ได้ตั้งข้อกำหนดของวงจร VGA ที่ต้องการจะออกแบบให้สามารถปรับช่วงอัตราขยายได้กว้าง

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และมีแบนด์วิธสูงในระดับจิกกะเฮิร์ต มีสัญญาณรบกวนต่ำ ความเป็นเชิงเส้นสูงและสามารถทำงานได้ที่ระดับแหล่งจ่ายแรงดันต่ำกว่า 1.8 โวลต์ส่วนข้อกำหนดอื่นๆ จะสอดคล้องตามตารางที่ 1 โดยจะให้มีประสิทธิภาพที่สูงกว่า วงจรถัดมาที่จะนำเสนอ ใช้โครงสร้างของการป้อนกลับแบบแอกทีฟ (active negative feedback) ซึ่งเป็นโครงสร้างที่ช่วยให้แบนด์วิธกว้าง โครงสร้างดังกล่าวถูกแสดงในรูปที่ 11 ซึ่งจะประกอบด้วยทรานซ์คอนดักแตนซ์ G_{m1} ต่อคาสเคดกับทรานซ์คอนดักแตนซ์ของ G_{m2} และ G_{m2} มีทรานซ์คอนดักแตนซ์ G_{mf} ต่อป้อนกลับจากเอาท์พุตกลับมายังอินพุตของทรานซ์คอนดักแตนซ์ของ G_{m2} ฟังก์ชันถ่ายโอนของโครงสร้างดังกล่าวนี้หาได้ดังสมการ

$$\frac{V_{out}}{V_{in}} = \frac{A_{vo}\omega_n^{\,2}}{s^2 + 2\zeta\omega_n s + \omega_n^{\,2}} \tag{5}$$

$$A_{vo} = \frac{G_{m1}G_{m2}R_{L1}R_{L2}}{1+G_{mf}G_{m2}R_{L1}R_{L2}} \tag{6}$$

$$\omega_n^{\,2} = \frac{1+G_{mf}G_{m2}R_{L1}R_{L2}}{R_{L1}R_{L2}C_1C_2} \tag{7}$$

$$\zeta = \frac{1}{2}\frac{R_{L1}C_1 + R_{L2}C_2}{\sqrt{R_{L1}R_{L2}C_1C_2(1+G_{mf}G_{m2}R_{L1}R_{L2})}} \tag{8}$$

ถ้าให้ $G_{mf}G_{m2}R_{L1}R_{L2} >> 1$ ดังนั้น (6) และ (7) สามารถประมาณได้ดัง (9) และ (10).

$$A_{vo} \approx \frac{G_{m1}}{G_{mf}} \tag{9}$$

$$\omega_n^{\,2} \approx \frac{G_{mf}G_{m2}}{C_1C_2} \tag{10}$$

จากสมการที่ (9) จะเห็นว่าอัตราขยายของแรงดันสามารถปรับเปลี่ยนได้โดยการเปลี่ยนค่า G_{m1} และ G_{mf} และถ้าพิจารณาผลตอบสนองโดยใช้ Butterworth ซึ่ง $\zeta = \sqrt{2}/2$ และจะเห็นว่าที่ -3dB ของแบนด์วิธซึ่งจะว่า $\omega_{-3dB} = 2\pi f_{-3dB} = \omega_n/(2\pi)$ และสามารถวิเคราะห์ผลตอบสนองของความถี่ได้ดังสมการ (11)

$$\omega_{-3dB} = \sqrt{\frac{1}{A_{vo}}\frac{G_{m1}G_{m2}}{C_1C_2}} \tag{11}$$

ถ้ากำหนดให้ $G_{m1}/C_1 = \omega_{T1}$ และ $G_{m2}/C_2 = \omega_{T2}$ ดังนั้นสมการ (11) สามารถเขียนใหม่รูปใหม่ได้ดังสมการ (12), (13) และ (14)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_{-3dB} = \sqrt{\frac{\omega_{T1}\omega_{T2}}{A_{vo}}} \tag{12}$$

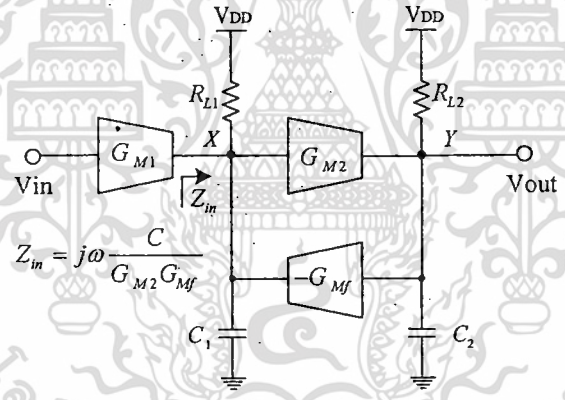
$$A_{vo}\omega_{-3dB}{}^2 = \frac{G_{m1}G_{m2}}{C_1C_2} \tag{13}$$

$$A_{vo}\omega_{-3dB} = \frac{G_{m1}G_{m2}}{C_1C_2}\frac{1}{\omega_{-3dB}} \tag{14}$$

และถ้ากำหนดให้ $G_{m1}/C_1 \approx G_{m2}/C_2 \approx 2\pi f_T$ สามารถเขียนสมการ (14) ใหม่ได้เป็นสมการ (15)

$$A_{vo}\omega_{-3dB} = f_T\frac{f_T}{f_{-3dB}} \tag{15}$$

จากผลของการวิเคราะห์ดังข้างต้น แสดงให้เห็นว่าโครงสร้างป้อนกลับแบบแอกทีฟสามารถเพิ่ม close-loop GBW ได้ซึ่งจะขึ้นกับตัวแปร f_T ดังสมการ (15)



รูปที่ 11 โครงสร้างการป้อนกลับลบแบบแอกทีฟ (Active negative feedback)

โครงสร้างป้อนกลับแบบแอกทีฟในรูปที่ 11 ถูกนำมาออกแบบวงจร VGA ซึ่งแสดงวงจรดังรูปที่ 12 โดยที่ทรานซ์คอนดักแตนซ์ G_{m1} จากโครงสร้างในรูปที่ 11 แสดงด้วยทรานซ์คอนดักแตนซ์ g_{m1} ของทรานซิสเตอร์ *M1a-M1b* ของวงจรรูปที่ 12 และทรานซ์คอนดักแตนซ์ G_{m2} แสดงด้วย g_{m2} ของ *M2a-M2b* สำหรับทรานซ์คอนดักแตนซ์ G_{mf} ของโครงสร้างรูปที่ 11 ในวงจร VGA ได้ออกแบบโดยใช้เทคนิคการป้อนกลับร่วมกับเทคนิค source degeneration เพื่อช่วยเพิ่มความเป็นเชิงเส้นของวงจร โดยที่ $G_{mf} = g_{m3}/1+g_{m3}R_s$ เมื่อ g_{m3} เป็นทรานซ์คอนดักแตนซ์ *M3a-M3b* และสำหรับอัตราขยายของวงจร VGA ถูกปรับค่าโดยการปรับเปลี่ยนค่า R_s ซึ่ง R_s ที่มีค่าน้อยสุดที่ยังสามารถทำให้วงจรมีความเป็นเชิงเส้น (Linearity) คือ $1/g_{m3}$ โหลดความต้านทาน R_{L2} ในโครงสร้างมีค่าเท่ากับ R_L ในวงจร ส่วน R_{L1} ซึ่งเป็นอินพุตอิมพีแดนซ์ Z_{in} มีค่าประมาณ $R_{L1} = 1/R_L g_{m2} g_{m3}$ และสำหรับ C_1 และ C_2 คือผลรวมของค่าเก็บประจุสมมูล (

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

equivalent total capacitance) ที่โหนด X และโหนด Y ของวงจรตามลำดับ ดังแสดงในรูปที่ 12 ซึ่งจะได้ค่า C_1 และ C_2 โดยประมาณดังนี้ $C_1 = C_{gs2} + C_{gd1}$ และ $C_2 = C_{gd2} + C_L$

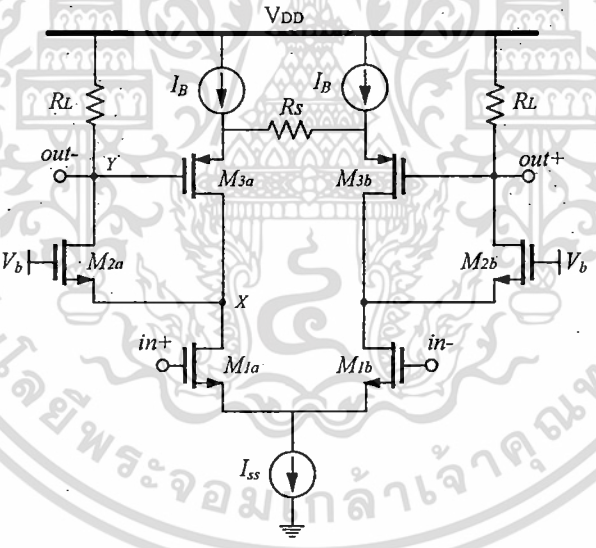
ค่าของตัวแปรที่เกี่ยวข้องจากการเปรียบเทียบระหว่างโครงสร้างรูปที่ 11และวงจรรูปที่ 12 เราสามารถนำตัวแปรเหล่านั้นมาแทนค่าหาความสัมพันธ์ โดยนำพารามิเตอร์ที่ได้จากวงจร แทนในสมการที่ (8), (9) และ (10) ดังสมการต่อไปนี้

$$A_{vo} = \frac{g_{m1}\left(1 + g_{m3}R_s\right)}{g_{m3}} \tag{10}$$

$$\omega_n^{\,2} = \frac{g_{m2}g_{m3}}{\left(1 + g_{m3}R_s\right)\left(C_{gs2} + C_{gd1}\right)\left(C_{gd2} + C_L\right)} \tag{11}$$

และ

$$\zeta = \frac{1}{2}\frac{\left(\frac{C_{gs2} + C_{gd1}}{R_L g_{m2} g_{m3}}\right) + R_L\left(C_{gd2} + C_L\right)}{\sqrt{\frac{\left(C_{gs2} + C_{gd1}\right)\left(C_{gd2} + C_L\right)}{g_{m2}g_{m3}}}} \tag{12}$$



รูปที่ 12 วงจร VGA โดยใช้โครงสร้างการป้อนกลับลบแบบแอกทีฟ

จากสมการที่ (10) เราสามารถปรับค่า g_{m1} และ R_s เพื่อปรับอัตราขยาย แต่สำหรับวงจรนี้จะใช้การปรับ R_s เพียงอย่างเดียว

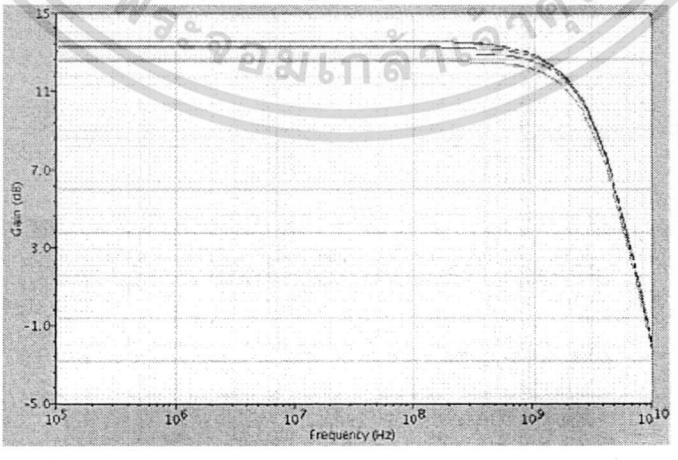
ผลการทดลองจากการจำลองการทำงานของวงจรภายใต้การทำงานที่แรงดันไฟเลี้ยง 1 โวลต์ โดยใช้เทคโนโลยีซีมอส 0.18-μm และแรงดันขีดเริ่มต้นของทรานซิสเตอร์ชนิดเอ็น (NMOS) และชนิดพี (PMOS) มีค่าประมาณ 0.25 โวลต์ และ -0.29 โวลต์ ตามลำดับ ตารางที่ 1 แสดงพารามิเตอร์ และขนาดของทรานซิสเตอร์ที่ใช้ในการจำลองการทำงาน นอกจากนี้ ค่าโหลดต้านทาน R_L ที่เลือกใช้คือ 1 kΩ เพื่อให้ได้แบนด์วิธสูงสุดนั่นคือประมาณ 1.78 GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1 พารามิเตอร์และขนาดของทรานซิสเตอร์ที่ใช้ในการจำลองการทำงานของวงจร VGA ภายใต้แรงดันไฟเลี้ยง 1 โวลต์

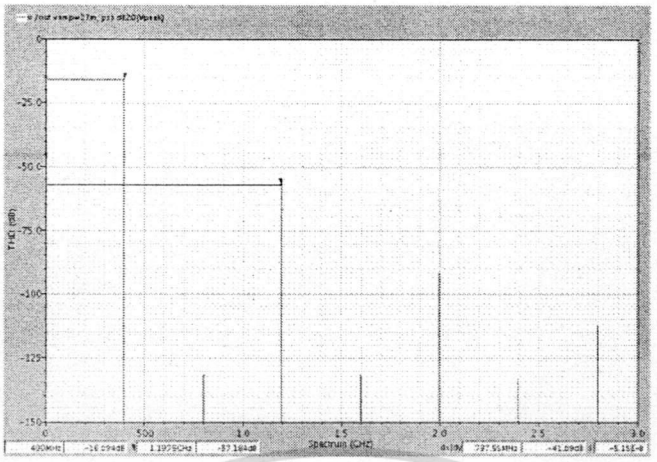
Design parameters	Values
M1a-M1b	1.0μm /0.3μm
M2a-M2b	1.0μm /0.6μm
M3a-M3b	1.0μm /0.8μm
I_B	12μA
I_{SS}	500μA
R_L	1KΩ

รูปที่ 13 แสดงผลตอบสนองทางความถี่ของวงจร VGA และผลรวมการบิดเบือนสัญญาณที่เกิดจากฮาร์มอนิกต่างๆ (Total harmonic distortion :THD) แสดงดังรูปที่ 14 ซึ่งผลการทดลองดังกล่าว ได้จากการใช้ฟังก์ชันของการจำลองการทำงาน ที่เรียกว่า Periodic steady state simulation (PSS) ซึ่งเป็นฟังก์ชันที่มีอยู่ในโปรแกรมที่ใช้จำลองการทำงานของวงจรนั่นคือโปรแกรม Cadence Spectre ในรูปที่ 14 แสดงสเปกตรัมของแต่ละฮาร์โมนิก โดยป้อนความถี่อินพุตที่ 400 MH. ส่วนรูปที่ 15 แสดง THD ที่ขนาดของอินพุตแตกต่างกันโดยจะเห็นว่า ที่ 1% THD ขนาดของอินพุตมีค่าประมาณ 37 มิลลิโวลต์

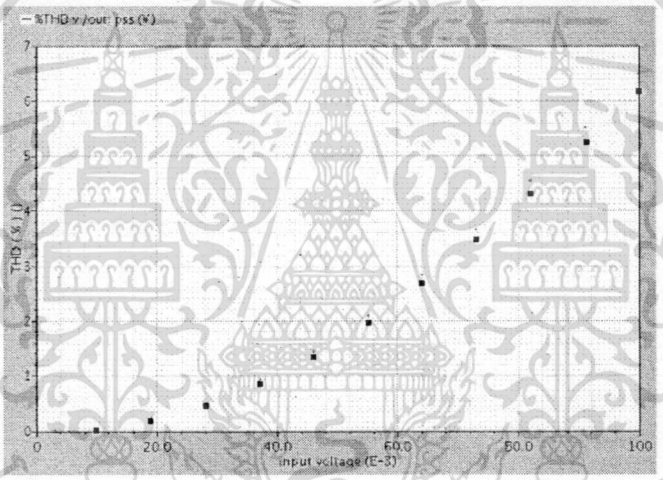


รูปที่ 13 ผลตอบสนองทางความถี่ของวงจร VGA เมื่อ R_s : 1kΩ, 100kΩ, 500kΩ and R_f : 1kΩ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 14 เปรียบเทียบ THD (dB) ระหว่างฮาร์โมนิกที่ 1 กับฮาร์โมนิกที่ 3



รูปที่ 15 THD (%) VS ขนาดของแรงดันอินพุต(mV)

จากผลการทดลองที่ได้กล่าวมา โดยการใช้เทคนิคการป้อนกลับแบบแอกทีฟ เรานำมาเปรียบเทียบกับวงจรอื่นที่ใช้เทคนิคเดียวกันนี้ว่ามีคุณสมบัติเด่นกว่า โดยเปรียบเทียบคุณสมบัติด้วยความสัมพันธ์ที่เรียกว่า figure-of-merit (FOM) [45]ซึ่งเป็นความสัมพันธ์ของอัตราส่วนระหว่างผลคูณของอัตราขยายกับแบนด์วิธต่อกำลังงานที่ใช้ ดังแสดงในสมการที่ (13) และผลการเปรียบเทียบเป็นไปดังตารางที่ 2

$$\begin{aligned} FOM &= 20\log\left(\frac{Gain\cdot Bandwidth(GHz)}{Power(mW)}\right) \\ &= Gain(dB) + 20\log\left(\frac{Bandwidth(GHz)}{Power(mW)}\right) \end{aligned} \tag{13}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ตารางที่ 2 แสดงผลการเปรียบเทียบคุณสมบัติของวงจรที่ออกแบบกับวงจรอื่นโดยใช้เทคนิคเดียวกัน

	This work	[47]	[47]
Process	0.18-μm	0.18-μm	0.18-μm
Supply voltage	1V	1.8V	1.8V
Power consumptions	500 μW	100mW	189mW
DC gain (differential)	13.04dB	50dB	42dB
Bandwidth(-3dB)	1.78GHz	9.4GHz	9GHz
THD	54dB	-	-
FOM	27.83	12.86	15.56

จากตารางที่ 2 จะเห็นว่าวงจร VGA ที่ถูกออกแบบในงานวิจัยนี้ให้ค่า *FOM* สูงสุด นั่นแสดงว่าวงจร VGA นี้ให้ผลเป็นไปตามเป้าหมายที่วางไว้คือ ให้แบนด์วิธ 1.78 GHz และอัตราขยาย 13.04 dB

83859
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

เอกสารอ้างอิง

[1] Ian David O'Donnell, "A Baseband Impulse Ultra-wideband Transceiver Front-end for Low Power Application," PhD Thesis, Electrical Engineering and Computer Sciences, University of California at Berkeley, May, 2006.

[2] N.Cavotta, "Ultra-widebamd: the next wireless panacea," Electronic Design New,October2002 www.edm.com

[3] "UWB whitepapers." http://www.xtremespectrum.com

[4] Ramest Harjani, Jackson Harvey and Robert Sainati, "Analod/RF Layer Issues for UWB Systems," IEEE Proceeding of the 17th International Conference on VLSI Design, 2004.

[5] Lakshmi Narayan Mishra, "Analysis of speech processing strategies for the clarion implant processor," Master Thesis (M.S.E.E), Texas at Dallas, Texas University, December 2000.

[6] Enrico M. Staderini "UWB Radar in Medicine", University of Rome "Tor Vergata", *IEEE AESS Systems Magazine*, January 2002.

[7] Moe Z. and Robert A. Scholtz, "Impulse Radio: How It Works," *IEEE Communications Letters,* Vol. 2, No. 2, February 1998.

[8] Lidy Smini, Carlo Tinella, Didier Helal, Clude Stoecklin, Laurent Chabert, Christophe Devaucelle, "Single-Chip CMOS Pulse Generator for UWB Systems," *IEEE Journal of Solid-State Circuits, Vol. 41, No. 7*, July 2006.

[9] Wentzloff, D.D., Chandrakasan, A.P, "A 3.1-10.6 GHz Ultra-wideband Pulse- Shaping Mixer," Digest of Papers 2005 *IEEE Radio Frequency integrated Circuits (RFIC) Symposium,* 12-14 June 2005 Page(s):83 - 86.

[10] D. D. Wentzloff , A. P. Chandrakasan, "Gaussian Pulse Generators for Subbanded Ultra-Wideband Transmitters," *IEEE Transactions on Microwave Theory and Techniques* , Vol. 54, No. 4, April 2006, pp. 1647-1654.

[11] Hua-Chin Lee, Chia-Hsin Wu, Shen-luan Lui, Chorng-Kuang Wang and Hen-Wai Tsao, "A 15mW 69dB 2Gsamples/s CMOS Analog Front-End for Low-Band UWB Applications," National Taiwan University, Taipei, Taiwan.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[12] Eduard Säckinger and Wilhelm C. Fischer,"A 3-GHz 32-dB CMOS Limiting Amplifier for SONET OC-48 Receivers," *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 12, December 2000.

[13] "UWB Spectrum" http://www.cse.ohio-state.edu

[14] J. J. F. Rijns, "CMOS Low-Distortion High-Frequency Variable-Gain Amplifier," *IEEE Journal of Solid-State Circuits*, Vol. 31, no. 7, pp. 1029-1034, July 1996.

[15] S. Tadjpour, F.Behbahani, and A. A. Abidi, "A CMOS Variable Gain Amplifier for a Wideband Wireless Receiver," Digest of Technical Paper Symposium on VLSI Circuits, pp. 86-89, 1998.

[16] W. C. Song, C. J. Oh, G. H. Cho and H. B. Jung, "High frequency/high dynamic range CMOS VGA," *Electronic Letter,* Vol. 36, no. 13, pp. 1096-1098. , 2000.

[17] P-C. Huang, L-Y. Chiou, C-K. Wang, "A 3.3-V Wideband Exponential Control Variable-Gain-Amplifier," in Proc. IEEE International Symposium on Circuits and Systems, vol. 1, pp. 285-228, 1998.

[18] K. Hadidi, M. Jenabi, J. Sobhi and A. Hasankhaan, "A 300 MHz 18-dB Variable Gain Amplifier," IEEE International Conference on Electronic, Circuits and Systems, vol. 3, pp.373-375, Sept. 1998.

[19] K. Phang, D. A. Johns, "A 1 V 1 mW CMOS Front-End with On-chip Dynamic Gate Biasing for a 75Mb/s Optical Receiver," IEEE Int. Solid-Stage Circuits Conference, pp. 218-220, 2001.

[20] S.-C. Tsou, C.-F. Li, and P.-C. Huang, "A Low-Power CMOS Linear-in-dB Variable Gain Amplifier with Programmable Bandwidth and Stable Group Delay," *IEEE Trans. on Circuits and Systems II,* vol. 53, no. 12, pp. 1436-1440, Dec. 2006.

[21] C.-C. Hsu and J.-T. Wu, "A Highly Linear 125-MHz CMOS Switched-Resistor Programmable-Gain Amplifier," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 10, October 2003.

[22] R. Harjani, "A low-power CMOS VGA for 50 Mb/s disk drive read channels," *IEEE Trans. Circuits Syst. II. Analog Digit. Signal Process.*, vol. 42, pp. :370 – 376, June 1995.

[23] Sang-Soo Lee, Laber, C.A.," A 3.5 in 230 Mbytes read-channel chip set for magneto-optical diskdrives, " *IEEE Trans. VLSI Syst.*, vol. 4, no. 4, pp. 455 - 463, December 1996.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[24] Bryan E. Bloodworth, Patrick P. Siniscalchi, Geert A. De Veirman, Andrija Jezdic, Richard Pierson, and Raj Sundararaman, "A 450-Mb/s Analog Front End for PRML Read Channels," *IEEE J. Solid-State Circuits*, vol. 34, no. 11, pp. 1661 - 1675, November 1999.

[25] C.-C. Hsu and J.-T. Wu, "A Highly Linear 125-MHz CMOS Switched-Resistor Programmable-Gain Amplifier," *IEEE J. Solid-State Circuits*, vol. 38, no. 10, October 2003.

[26] Chia- Hsin Wu, Chang-Shun Liu, and Shen-luan Liu, "A 2GHz CMOS Variable-Gain Amplifier with 50dB Linear-in-Magnitude Controlled Gain Range for10GBase-LX4 Ethernet," *IEEE ISSCC Dig. Tech. Papers*. pp. 484 - 541 Vol.1, Feb. 2004.

[27] Ndjountche. T., Fa-Long Luo, Bobda, C., "A CMOS front-end architecture for hard-disk drive read-channel equalizer," *IEEE ISCAS.*, Vol. 3, pp. 2184 – 2187, May 2005.

[28] Daniel Sun, Andrea Xotta, and Asad. A. Abidi, "A 1 GHz CMOS Analog Front-End for a Generalized PRML Read Channel," *IEEE J. Solid-State Circuits*, vol. 40, no. 11, pp. 2275 - 2285, November 2005.

[29] S.-C. Tsou, C.-F. Li, and P.-C. Huang, "A Low-Power CMOS Linear-in-dB Variable Gain Amplifier with Programmable Bandwidth and Stable Group Delay," *IEEE Trans. on Circuits and Systems II*, vol. 53, no. 12, pp. 1436-1440, Dec. 2006.

[30] A. Thanachayanont and P. Naktongkul, "Low-voltage wideband compact CMOS variable gain amplifier," *Electronics Letters*, vol. 41 No. 2, January 2005.

[31] P. Naktongkul and A. Thanachayanont, "1.5-V 900uW 40-dB CMOS variable gain amplifier," *Proceedings of 2006 IEEE International Symposium on Circuits and Systems*, May 2006.

[32] P. Khumsat; A. Thanachayanont, and S.Sakphrom "A Compact Class-AB CMOS Variable Gain Amplifier" *ECTI International Conference*, May 2007.

[33] Lee, H. D.; Lee, K. A.; Hong, S., "A Wideband CMOS Variable Gain Amplifier With an Exponential Gain Control," *IEEE Trans. Microwave Theory and Techniques*, pp. 1363 – 1373 Vol. 55, June 2007.

[34] B. Razavi, "Design of Integrated Circuits for Optical Communications," International Edition 2003, McGraw-Hill.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[35] S. Galal and B. Razavi, "10-Gb/s limiting amplifier and laser/modu-lator driver in 0.18 um CMOS technology," *IEEE J.Solid-State Circuits*, vol. 38, no. 12, pp. 2138 - 2146, December 2003.

[36] Huei-Yan, Jun-Chau Chien and Liang-Hung Lu, " A 10-Gb/s Inductorless CMOS Limitting Amplifier With Third-Order Interleaving Active Feedback," *IEEE J.Solid-State Circuits*, vol. 42, no. 5, pp. 1111 -1120, May 2007.

[37] Chia-Hsin Wu, Chang-Shun Liu and Shen-luan Liu, "A 2 GHz CMOS Variable-Gain Amplifier with 50dB Linear-in-Magnitude Controlled Gain Range for 10GBase-LX4 Eternet," *IEEE International Solid-State Circuit Conferrence*, February 2004.

[38] P. Pai, A. Brewster and A. Abidi, "A 160-MHz analog front-end IC for EPR4 PRML magnetic storage read channels," *IEEE J. Solid-State Circuits*, vol. 31, no. 11, pp. 1802-1816, November 1996.

[39] Q.-H. Duong, Q. Le, C.-W. Kim and S.-G. Lee, "A 95dB-Linear Low-Power Variable Gain Amplifier," *IEEE Trans. on Circuits and Systems-I: Regular Papers*, vol. 53, no. 8, August 2006.

[40] W. M. C. Sansen and R. G. Meyer, "Distortion in bipolar transistor variable-gain amplifiers," *IEEE J. Solid-State Circuits*, vol. SC-8, pp. 275–282, August 1973.

[41] G. S. and C. J. Persico, "High dynamic range variable-gain amplifier for CDMA wireless applications," in *ISSCC Dig. Tech. Papers*, Feb. 1997, pp.374–375.

[42] B. Gilbert, "The multi-tanh principle: A tutorial overview," *IEEE J. Solid-State Circuits*, vol. 33, pp.2– 17, Jan. 1998.

[43] P. J. G. van Lieshout and R. J. van de Plassehe, "A monolithic wideband variable-gain amplifier with a high gain range and low distortion," in *ISSCC Dig. Tech. Papers*, Feb. 1997, pp.358–359.

[44] P. Pai, A. Brewster, and A. Abidi, "A 160-MHz analog front-end IC for EPR4 PRML magnetic storage read channels," *IEEE J. Solid-State Circuits*, vol. 31, no.11, pp. 1802-1816, Nov. 1996.

[45] Daniel Sun, Andrea Xotta and Asad A. Abidi, "A 1 GHz CMOS Analog Front-End for a Generalized PRML Read Channel," *IEEE J. Solid-State Circuits*, vol. 40, no.11, pp. 2275-2285, Nov. 2005.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[46] Holdenried, C., M.W. Lynch and J.W. Haslett, "Modified CMOS Cherry-Hooper Amplifiers with Source-Follower Feedback in a 0.35um Technology", *presented at the European Solid State Circuits Conference, Portugal, September 2003*, pp. 553-556.

[47] Abbott, J. Plett, C. Rogers, J.W.M. " A 15 GHz, 1.8V, variable-gain, modified Cherry-Hooper amplifier," *Custom Integrated Circuits Conference, 2005. Proceedings of the IEEE 2005*, Sept. 2005 pp. 645- 648

[48] A. Thanachayanont, "A 1.5-V High-Q CMOS Active Inductor for IF/RF Wireless Applications," *Circuits and Systems, 2000. IEEE APCCAS 2000. The 2000 IEEE Asia-Pacific Conference*, April 2000 pp. 654-657

[49] Chia-Hsin Wu, Jieh-Wei Liao, and Shen-luan Liu, "A 1V 4.2mW Fully Integrated 2.5Gb/s CMOS Limiting Amplifier using Folded Active Inductors," Proceedings of 2004 IEEE International Symposium on Circuits and Systems, May 2004.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้