

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

รายงานสรุปการวิจัย

การวิจัยวงจรรวมเพื่อศึกษา ค้นคว้า ออกแบบ และคิดค้นวงจรพื้นฐานในการประมวลผลสัญญาณ

Research on Mixed Signal Processing with emphasizing on VLSI integrated circuit design

คณะผู้วิจัย

หัวหน้าโครงการวิจัย

รศ. ดร. วรพงศ์ ตั้งศรีรัตน์

นักวิจัย

1. ศ. ดร. วัลลภ สุระกำพลธร
2. รศ. ดร. เกียรติศักดิ์ คมวัชร
3. ผศ. ดร. กงศักดิ์ อนันตหิรัญรัตน์

ผู้ช่วยนักวิจัย

1. นายเฉลิมภรณ์ ฟองสมุทร นักศึกษาระดับปริญญาเอก
2. นายอมร จิรเสริอมรกุล นักศึกษาระดับปริญญาเอก
3. นางสาวนิษฐา แก้วแดง นักศึกษาระดับปริญญาเอก
4. นางสาวภัทรา เพียรชอบ นักศึกษาระดับปริญญาโท
5. นายธนวัติ ปิยทัต นักศึกษาระดับปริญญาโท

RCH

TK

๗๘๗A. 65A

เลขหมู่..... ๑ ๒๒๓๕
เลขทะเบียน..... 67399
วัน,เดือน,ปี..... 29 พ.ย. 2549

b..... 1166๕๐๓๘
i.....

ห้องปฏิบัติการวิจัยประมวลผลสัญญาณรวม (Mixed Signal Processing Lab.)

โครงการสำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

งานวิจัยนี้ได้รับทุนสนับสนุนบางส่วนจากสำนักงานกองทุนสนับสนุนการวิจัย (สกว.) ภายใต้โครงการทุนเมธีวิจัยอาวุโส โครงการที่ RTA4680003 จึงขอขอบคุณมา ณ โอกาสนี้ด้วย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทคัดย่อ

โครงการวิจัย การวิจัยวงจรรวมเพื่อศึกษา คั่นคว่ำ ออกแบบ และคิดค้นวงจรพื้นฐานในการประมวลผลสัญญาณ เป็นการดำเนินการเพื่อคั่นคว่ำ คิดค้นและเสนอแนวคิดใหม่ในการออกแบบวงจรอนาล็อก (Analog) สำหรับระบบประมวลผลสัญญาณ โดยเน้นการสร้างเป็นวงจรรวมหรือวงจรรวม (Integrated Circuit) เป็นการดำเนินการวิจัยที่พยายามผลักดันให้ผลงานมีคุณภาพสูง นอกจากนี้ยังเป็นการสร้างกลุ่มวิจัยทางด้านการออกแบบวงจรรวม และส่งเสริมให้เกิดความเชื่อมโยงของงานวิจัยที่สามารถนำไปใช้ในอุตสาหกรรมไมโครอิเล็กทรอนิกส์ได้

Abstract

This project, the Research on Mixed Signal Processing with emphasizing on VLSI integrated circuit design, is researching in the areas of analog and digital signal processing with mainly emphasis in integrated circuit (IC) design. The objectives are to produce high quality research papers, to produce human resources (under graduate and postgraduate students) in the area of integrated circuit design, to form a forum in IC design, to promote research work that can be related with the microelectronics industry and to upgrade human resource for the Microelectronics industry

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

1. บทนำ	5
2. วัตถุประสงค์ของโครงการ	6
3. ระเบียบวิธีวิจัย	6
4. งานวิจัยที่ได้ดำเนินการ	7
4.1 การออกแบบและพัฒนาวงจรอนาล็อกพื้นฐาน	
4.1.1 การวิจัยเพื่อศึกษา ค้นคว้า ออกแบบวงจรแปลงสัญญาณแรงดันเป็นสัญญาณกระแส	
4.1.2 การออกแบบวงจรสายพานกระแสยุคที่สอง (CCII) และวงจรสายพานแรงดัน	
4.1.3 การออกแบบวงจร Four Terminal Floating Nullors (FTFNs)	
4.1.4 การออกแบบวงจร CDBAs	
4.2 การออกแบบและพัฒนาวงจรร้านวอนาล็อก และวงจรรวมของฟังก์ชันแบบโหมตกระแส	
4.2.1 การออกแบบวงจรคูณ/หาร	
4.2.2 การคิดค้นเพื่อพัฒนาออกแบบวงจรรขยายสัญญาณกระแสที่ออกแบบโดยใช้เทคโนโลยี ซีมอส	
4.2.3 การสังเคราะห์ตัวกรอง โหมตกระแสหลายฟังก์ชันและวงจรรสร้างความถี่โดยใช้อุปกรณ์ แอคทีฟ เช่น OTA, FTFN, CCII, OA หรือ CDBA	
5. อภิปรายและวิจารณ์ ผลการวิจัย ที่ได้ทั้งหมด	9
5.1 ความก้าวหน้าของงานวิจัยในส่วนที่นำเสนอไว้	
5. สรุปและเสนอแนะเกี่ยวกับการวิจัยในขั้นต่อไป ตลอดจนประโยชน์ในทาง ประยุกต์ของผลการวิจัยที่ได้	9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. บทนำ

เนื่องจากในปัจจุบันเทคโนโลยีของวงจรรวมมีความสำคัญกับเศรษฐกิจและอุตสาหกรรมในประเทศไทย ประเทศไทยได้เริ่มส่งผลิตภัณฑ์ไอพีเอ็ล็กทรอนิกส์เป็นสินค้าออกมานานพอสมควรแล้ว และมีมูลค่าการส่งออกถึงกว่า 1 ล้านล้านบาทในแต่ละปี ซึ่งก็ยังคงนับเป็นสัดส่วนที่น้อยมากเมื่อเทียบกับมูลค่ารวมของตลาดอิเล็กทรอนิกส์ทั่วโลก แต่รายได้หลักของประเทศไทยยังมาจากส่วนของแรงงานการทำบรรจุภัณฑ์ซึ่งถือเป็นขั้นตอนสุดท้ายของการสร้างวงจรรวม โดยที่การนำชิ้นส่วนสำเร็จรูปมาประกอบขึ้นเป็นผลิตภัณฑ์นับเป็นอุตสาหกรรมส่วนปลายน้ำเท่านั้น จากความก้าวหน้าทางเทคโนโลยีและการแข่งขันในตลาดโลกที่นับวันจะเข้มข้นขึ้น ประกอบกับค่าแรงงานของไทยที่เพิ่มสูงขึ้น แต่มูลค่าเพิ่มของผลิตภัณฑ์ที่ประกอบขึ้นเหล่านี้ลดลงไปเรื่อยๆ ทำให้ความสนใจในการลงทุนจากบริษัทยักษ์ใหญ่ข้ามชาติจึงมุ่งเป้าไปยังประเทศที่มีค่าแรงถูกกว่า เช่น ประเทศจีน เป็นต้น บริษัทอิเล็กทรอนิกส์ในประเทศไทยหลายแห่งจึงเริ่มหันมาให้ความสำคัญกับการออกแบบไอซีเองเพื่อเพิ่มมูลค่าของผลิตภัณฑ์ให้เป็นทรัพย์สินทางปัญญาที่มีมูลค่าสูง และดึงดูดเงินลงทุนจากต่างชาติให้เข้ามาสู่ประเทศมากขึ้น อย่างไรก็ตามเนื่องจากการออกแบบวงจรรวมเป็นอุตสาหกรรมที่ต้องใช้เทคโนโลยีขั้นสูงและยังใหม่สำหรับเมืองไทย จึงทำให้เกิดปัญหาขาดแคลนนักออกแบบวงจรรวมที่มีคุณภาพซึ่งกำลังเป็นที่ต้องการของตลาด

การเรียนการสอนทางการออกแบบวงจรรวมในประเทศไทย ยังพบว่าอยู่ในวงแคบไม่แพร่หลายมากนัก เช่นเดียวกับการส่งเสริมงานวิจัยและพัฒนาทางด้านนี้ก็มีข้อจำกัดอยู่มากทั้งทางด้านเงินทุนและบุคลากร ทั้งที่การวิจัยและคิดค้นการออกแบบวงจรรวมนับว่าเป็นประโยชน์อย่างยิ่งทั้งในเชิงการพัฒนาความรู้พื้นฐานทางด้านวิศวกรรม ด้านอิเล็กทรอนิกส์ และด้านการประมวลผลสัญญาณ รวมถึงในเชิงการวิจัยประยุกต์เพื่อพัฒนาไปสู่เทคโนโลยีใหม่ของการผลิตอุปกรณ์อำนวยความสะดวกต่างๆ ตลอดจนเครื่องมือวัดทางด้านวิทยาศาสตร์เทคโนโลยี และเครื่องมือวัดทางอุตสาหกรรมใหม่ นอกจากนี้การติดตามให้เท่าทันกับการเปลี่ยนแปลงอย่างรวดเร็วของเทคโนโลยีทางไมโครอิเล็กทรอนิกส์นักวิจัยจำเป็นต้องได้รับการสนับสนุนให้ทำการวิจัยอย่างเข้มข้นและต่อเนื่องด้วย

การพัฒนาการออกแบบวงจรรวมเหล่านี้ ต้องได้รับความทุ่มเททั้งทางด้านงบประมาณ เพราะว่าเครื่องมือในการออกแบบวงจรรวมที่ได้มาตรฐานนั้นมีค่าใช้จ่ายสูงมาก อีกทั้งยังต้องได้รับความทุ่มเทจากบุคลากรนักวิจัยออกแบบ ที่จะต้องอุทิศแรงกายแรงใจในการคิดค้นวงจรประสิทธิภาพสูงต่างๆ ภายใต้ข้อจำกัดมากมาย ซึ่งขณะนี้กำลังเป็นปัญหาสำคัญเนื่องจากปัจจุบันประเทศไทยยังขาดอุตสาหกรรมการผลิตวงจรรวม ทำให้ขาดแรงจูงใจที่จะดึงบุคลากรให้หันไปหลเข้าสู่สาขาวิชานี้ ทำให้มีการเรียนการสอนและการพัฒนาวิจัย จำกัดตัวอยู่ในวงแคบเท่านั้น

2. วัตถุประสงค์ของโครงการ

1. พัฒนาองค์ความรู้ และติดตามเทคโนโลยีสมัยใหม่ ทางด้านการออกแบบวงจรรวมสำหรับระบบประมวลผลสัญญาณ คัดค้นวงจรพื้นฐานหลัก ให้เหมาะสมกับเทคโนโลยีวงจรรวมที่มีอยู่ มุ่งวิจัย และพัฒนาการศึกษา ค้นคว้า และออกแบบ โครงสร้างวงจรรีเลย์ทรอนิกส์ เพื่อการประมวลผลสัญญาณทั้งที่อยู่ในรูปสัญญาณเชิงอนาล็อก (Analog signal) และสัญญาณเชิงดิจิทัล (Digital signal)
2. มุ่งสร้างบุคลากรที่มีคุณภาพ และเชี่ยวชาญทางด้านการออกแบบวงจรรวมเพื่อเป็นกำลังสำคัญในการพัฒนาประเทศไทยทางด้านอุตสาหกรรมอิเล็กทรอนิกส์
3. สร้างเครือข่ายนักวิจัย เพื่อรองรับการขยายตัวของอุตสาหกรรมอิเล็กทรอนิกส์ภายในประเทศไทย

3. ระเบียบวิธีวิจัย

การออกแบบวงจรอนาล็อก

1. กำหนดคุณสมบัติของวงจรที่ต้องการออกแบบ
2. ศึกษาถึงหลักการพื้นฐานเพื่อพัฒนางจรเฉพาะแบบใหม่ที่เหมาะสมกับความต้องการ
3. การจำลองการทำงานของวงจรที่ได้ออกแบบขึ้นด้วย โปรแกรมคอมพิวเตอร์
4. ทำการปรับแต่งให้วงจรมีความถูกต้องเที่ยงตรงยิ่งขึ้น
5. เขียนแผนภาพวงจร(layout)
6. จำลองการทำงานของวงจรอีกครั้งหนึ่งเพื่อตรวจสอบตัวแปรทางกายภาพที่เกิดขึ้นเพิ่มเติมขึ้นมาจากวงจรที่ได้ออกแบบไว้ในตอนแรก
7. เข้าสู่กระบวนการผลิตวงจรรวมในโรงงานต่อไป
8. ทดสอบประสิทธิภาพด้วยชุดเครื่องมือวัดที่ได้มาตรฐาน เพื่อระบุคุณสมบัติและข้อจำกัดที่แท้จริงของ วงจรรวม รวมทั้งศึกษาความแตกต่างระหว่างวงจรที่ออกแบบไว้ในขั้นแรกกับวงจรรวมที่ผลิตแล้ว เพื่อใช้เป็นข้อมูลสำหรับปรับปรุงเทคนิคการออกแบบวงจรรวมในครั้งต่อไป

4. งานวิจัยที่ได้ดำเนินการ

ตาม โครงการ : การวิจัยวงจรรวมเพื่อศึกษา ค้นคว้า ออกแบบ และคิดค้นวงจรพื้นฐานในการประมวลผลสัญญาณ (Research on Mixed Signal Processing with emphasizing on VLSI integrated circuit design) ได้เสนอการดำเนินการวิจัยในด้านการวิจัยและพัฒนาเทคนิคการออกแบบวงจรรวมอนาล็อก (Analog Integrated Circuit) ในช่วงวันที่ 1 ตุลาคม 2547 ถึงวันที่ 31 กันยายน 2548 ได้ดำเนินการวิจัยสำเร็จในระดับหนึ่ง ตามรายละเอียดดังต่อไปนี้

4.1 การออกแบบและพัฒนางจรอนาล็อกพื้นฐาน (The Design and Development of Analog Circuit Building Blocks) เป็นการออกแบบวงจรที่เป็นบล็อกวงจรรวมซึ่งเป็นอุปกรณ์หลักที่สามารถนำไปออกแบบเป็นวงจรคำนวณอนาล็อกแบบต่างๆ ที่สร้างขึ้นด้วยไบโพลาร์เทคโนโลยีและมอสเทคโนโลยี ในด้านนี้มีผู้ร่วมทำการวิจัยคือ ศ.ดร.วัลลภ สุระกำพลธร รศ.ดร.เกียรติศักดิ์ คมวิษระ รศ.ดร.วรพงษ์ ตั้งศรีรัตน์ นายอมร จิรเสรีอมรกุล น.ส.ชนิษฐา แก้วแดง และ น.ส.ภัทรา เพียรชอบ โดยได้ทำการวิจัย 4 หัวข้อย่อย ดังนี้คือ

4.1.1 การวิจัยเพื่อศึกษา ค้นคว้า ออกแบบวงจรแปลงสัญญาณแรงดันเป็นสัญญาณกระแส (On The Design of Integrable Voltage-to-Current (V/I) Transducer) ในหัวข้อนี้เป็นการคิดค้นเพื่อพัฒนาออกแบบวงจรที่ใช้ในการเปลี่ยนแรงดันเป็นกระแส (V/I transducer) เช่น OTA (Operational Transconductance Amplifier) และ Transconductor (gm) เป็นต้น ให้มีประสิทธิภาพมากยิ่งขึ้นรวมไปถึงการนำ V/I Transducer ที่ได้ออกแบบขึ้นมาประยุกต์ใช้งานได้อย่างกว้างขวางมากขึ้น

4.1.2 การออกแบบวงจรสายพานกระแสยุคที่สอง (CCII) และวงจรสายพานแรงดัน (On the Design of Second Generation Current Conveyors (CCII) and Voltage Conveyors) เป็นการศึกษาเพื่อพัฒนางจรสายพานกระแสยุคที่สองและวงจรสายพานแรงดัน เพื่อให้มีคุณสมบัติพื้นฐานของวงจรดียิ่งขึ้น และได้รับการตอบรับให้นำเสนอในการประชุมวิชาการระดับนานาชาติที่ จำนวน 2 บทความ ดังนี้

- 1 P. Pienchob, K. Kumwachara and W. Surakamponorn , “Multi-Output CCII for Realization of Current Conveyor” The 2005 Electrical Engineering/Electronics, Computer, Telecommunications, and Information Technology (ECTI) International Conference , May 12-13, 2005, Pattaya, Thailand, pp.657-660.
- 2 P. Pienchob, K. Kumwachara and W. Surakamponorn, “An Improved CMOS Multi-Output Second Generation Current Conveyor” The International Conference on Robotics, Vision, Information and Signal Processing, July 20-22, 2005, Penang, Malaysia, pp.25-28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 การออกแบบวงจร Four Terminal Floating Nullors (FTFNs) (On the design of four terminal floating nullors (FTFNs)) เป็นการศึกษาเพื่อพัฒนาและออกแบบวงจร FTFN ให้มีประสิทธิภาพและความแม่นยำที่ดียิ่งขึ้น โดยเฉพาะกับการสร้างเป็นซีมอสเทคโนโลยี นอกจากนี้ยังมีการขยายคุณสมบัติของ FTFN ให้สามารถประยุกต์ได้อย่างกว้างขวางมากขึ้น

4.1.4 การออกแบบวงจร CDBAs (On the Design of Current Differencing Buffered Amplifiers (CDBAs)) งานวิจัยในหัวข้อนี้เป็นการศึกษาเพื่อพัฒนาและออกแบบวงจร CDBA ซึ่งเป็นวงจรพื้นฐานอีกวงจรหนึ่ง เพื่อให้สามารถทำงานด้วยประสิทธิภาพที่ดี โดยจะเน้นการทำงานที่ระดับแรงดันไฟเลี้ยงต่ำ และความถี่สูงโดยใช้ซีมอสเทคโนโลยี ตลอดจนการนำ CDBA ไปประยุกต์ใช้งานในการออกแบบวงจรประมวลผลสัญญาณความถี่สูง

4.2 การออกแบบและพัฒนาวงจรคำนวณอนาล็อก และวงจรรวมของฟังก์ชันแบบโหมดกระแส (The Design and Development of Analog Computation Circuits and Integrable Current-Mode Transfer Function) ในหัวข้อนี้เป็นการคิดค้นและออกแบบวงจรรวมของการคำนวณทางอนาล็อกแบบต่างๆ รวมถึงวงจรรวมของฟังก์ชันแบบโหมดกระแส ซึ่งเป็นวงจรพื้นฐานที่สำคัญเป็นอย่างมากในระบบเครื่องมือวัดและระบบสื่อสารในหัวข้อนี้มีผู้ร่วมดำเนินการวิจัยได้แก่ ศ.ดร.วัลลภ สุระกำพลธร รศ.ดร.วรวงศ์ ตั้งศรีรัตน์ อ.ชัยวัฒน์ จงกุลสถิตชัย อ.บุญชัย บุญชู นายเฉลิมภักดิ์ ฟองสมุทร นายอมร จิรเสรีอมรกุล และ น.ส. ชนิษฐา แก้วแดง โดยสามารถแบ่งเป็น 2 ข้อย่อย ได้แก่

4.2.1 การออกแบบวงจรคูณ/หาร (On The Design of Current-Mode Analog Multiplier /Divider Circuits) หัวข้อย่อยนี้เป็นการวิจัยเพื่อออกแบบวงจรคูณ/วงจรรหาร ถือเป็นวงจรการประมวลผลสัญญาณที่สำคัญที่ใช้ในวงจรของเครื่องมือวัด

4.2.2 การคิดค้นเพื่อพัฒนาออกแบบวงจขยายสัญญาณกระแสที่ออกแบบโดยใช้เทคโนโลยีซีมอส (A Design of CMOS Based Current Amplifier) เป็นการเสนอแนวคิดในการออกแบบวงจขยายสัญญาณกระแสแบบซีมอส

4.2.3 การสังเคราะห์ตัวกรองโหมดกระแสหลายฟังก์ชันและวงจรรวมที่โดยใช้อุปกรณ์แอกทีฟ เช่น OTA, FTFN, CCII, OA หรือ CDBA (On the Realization of Current-Mode Multifunctional Filter Filter Using OTA, FTFN, CCII, OA or CDBA) งานวิจัยนี้เป็นความพยายามในการออกแบบวงจรกรองความถี่ที่มีความสามารถในการสังเคราะห์ฟังก์ชันก่ายโอนได้หลายฟังก์ชันภายในวงจรเดียวกัน โดยใช้อุปกรณ์แอกทีฟน้อยปรับแต่งวงจรง่ายและมีความเป็นเชิงเส้นสูง สามารถมีบทความที่ได้รับการตอบรับให้นำเสนอในการประชุมวิชาการระดับนานาชาติ จำนวน 1 บทความ ความหมายเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 1 A. Jiraseree-amornkun, W. Tangsrirat and W. Surakamponorn "Tunable Elliptic Filters using Multi-Output Current Controlled Conveyors" Analog and Digital Techniques in Electrical Engineering (TENCON 2004), November 21-24, 2004, Chiang Mai, Thailand, pp.229-232.

5. อภิปรายและวิจารณ์ ผลการวิจัย

การดำเนินการวิจัย เป็นไปตามผลที่ตั้งไว้พอสมควร ซึ่งจะเห็นได้จาก การที่มีผลงานวิจัยได้รับการเผยแพร่ในงานประชุมวิชาการระดับนานาชาติ

6. สรุปและเสนอแนะเกี่ยวกับการวิจัยในขั้นต่อไป ตลอดจนประโยชน์ในทางประยุกต์ของผลการวิจัยที่ได้

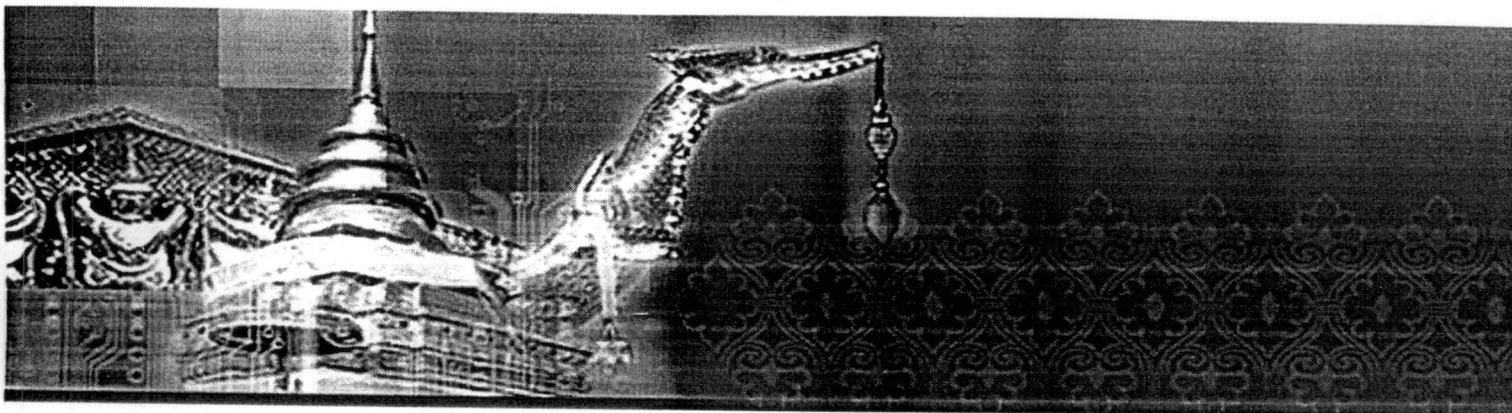
จากรายงานผลการดำเนินการวิจัยจะเห็นว่าโครงการวิจัยย่อยที่เสนอไว้มีความก้าวหน้า มีแนวคิดในการพัฒนาและออกแบบงานวิจัยมีแนวโน้มที่ดี อย่างไรก็ตามงานวิจัยเหล่านี้จำเป็นต้องมีการพัฒนา ปรับปรุงเพิ่มเติม วิเคราะห์ และสรุปรวม เพื่อเสนอเป็นบทความวิจัย ตีพิมพ์เผยแพร่ในวารสารระดับนานาชาติต่อไป นอกจากนี้ยังเป็นการสร้างกลุ่มนักวิจัยในการออกแบบวงจรรวม และเป็นการส่งเสริมให้เกิดความเชื่อมโยงของงานวิจัยที่สามารถนำไปใช้ในอุตสาหกรรมอิเล็กทรอนิกส์ได้

เอกสารอ้างอิง

- [1] A. B. Grebene, (Ed.) *Analog Integrated Circuits*, IEEE Press, New York, 1978.
- [2] Robert G. Meyer, (Ed.) *Integrated Circuit Operational Amplifiers*, IEEE Press, New York, 1978.
- [3] P. R. Gray and R. G. Meyer, *Analysis and design of analog integrated circuits*, Wiley, New York, 1993.
- [4] R. Gregorian and G.C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, Wiley, New York, 1986.
- [5] C. Toumazou, F.J. Lidgley, and D.G. Haigh, (Dds.) *Analog IC Design : The Current-Mode Approach*, Peter Peregrinus, London, 1990.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TENCON 2004

Conference Proceedings
Analog and Digital Techniques in Electrical Engineering

21 – 24 November 2004, Chiang Mai, THAILAND

Organizer: IEEE Thailand Section

Sponsored by: IEEE Region 10

Venue: Lotus Hotel Pang Suan Kaew

IEEE Catalog Number: 04CH37582C

ISBN: 0-7803-8561-6

TUNABLE ELLIPTIC FILTERS USING MULTI-OUTPUT CURRENT CONTROLLED CONVEYORS

Amorn Jiraseree-amornkun, Worapong Tangsrirat and Wanlop Surakampontrorn

Faculty of Engineering and Research Center for Communication and Information Technology
King Mongkut's Institute of Technology Ladkrabang, THAILAND

ABSTRACT

The circuit topologies are proposed for realizing the continuous time current-mode ladder filter of any order. The derived technique is based on the attractive features of the leapfrog simulation implementing using only multi-output second generation current controlled conveyor (MCCCII) and grounded capacitors that lead to simple structure, easy to design and suitable for IC fabrication. An example of the third-order elliptic low-pass filter which retains a minimum requirement of passive and active elements, as well as, possess the advantage of electronically tunable in cut-off frequency has been introduced. Moreover, this method can also be implemented by adding floating capacitors to the relative all-pole filter. Simulation results are provided to compare against the prototype passive RLC filter.

1. INTRODUCTION

Double terminated passive RLC ladder filters have received well acceptance on their inherent advantage over active filter in terms of insensibility to component tolerances. Many methods are developed to extract this benefit from the prototype passive filter using the op-amp-based RC-active and OTA-C-based circuits [1]. Among these procedures, the leapfrog structure seem to have being more popular and welcome than the synthetic elements replacement techniques due to it share all the low sensitivity nature and low component spread of the prototype RLC filter. Traditionally, the simulation is based on modeling all circuit equations as voltage signals [1], however, interest in current-mode signal processing has been growing due to the fact that it possesses many good properties i.e. retain low impedance internal node; therefore, achieve larger bandwidth, require low voltage swing that suit for low supply voltage operation, and perform summing of current signal at a circuit node result in simplicity structure. Consequently, many suggestions of current-mode leapfrog ladder filter had been published employing multiple output OTAs [2] and CCIIs [3] as the active building blocks. All of them are established from simulating the operation of the ladder by mean of realizing the transfer function, which require a lot of active and passive elements and sometime the sensitivity may not necessitate being low.

In recent, linear transformation is acquired to realized active ladder filters with good results [4], but this method requires many math equations and the utilized frequency is exactly fixed by determined passive elements. On the other hand, the implementation of leapfrog filter using current differential buffered amplifiers or CDBAs [5], which perform high frequency and low voltage supply operation, can simplify the signal flow graph of leapfrog filter and then realize each element one by one, hence the low sensitivity basis is promised. Unfortunately, several floating resistors are needed for voltage to current conversion and frequency also can't be tuned. Moreover, it has found hard time in implementing transmission zero.

This paper follows the idea of realizing the voltage-current relationships of each element corresponding to the prototype RLC filters one by one. Current controlled conveyor is chosen to function as a V-to-I converter cell regenerating all voltage parameter into current form. This proposed scheme possesses many advantages. Firstly, the structure is very simple and easy to design including realization of the transmission zero. No any external resistor is required and all capacitors are grounded, which can safe area in case of fabrication. Moreover, the cut-off frequency can be tuned electronically by adjusting the bias current of MCCCIs that is useful in redeeming when the values of passive devices are deviated; including changing the system's characteristic is also very comfortable.

2. PRINCIPLE OF LEAPFROG FILTER

Consider the general ladder structure in figure 1. Here we focus on the realizing of the doubly terminated RLC filter. The characteristic of this structure can be expressed as following:

$$\begin{aligned} I_1 &= I_S - \frac{V_1}{R_S} - I_2, \\ V_1 &= Z_1 I_1, \\ I_2 &= Y_2 (V_1 - V_3), \\ &\vdots \\ \text{and} \\ I_{n-1} &= Y_{n-1} (V_{n-2} - V_n), \\ V_n &= Z_n (I_{n-1} - I_o) \end{aligned} \quad (1)$$

where Z_i and Y_i are the impedance and admittance, respectively.

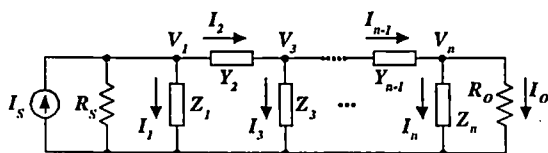


Fig. 1. General doubly terminated ladder network.

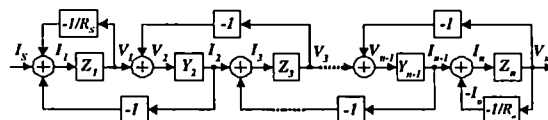


Fig. 2. Block diagram redrawn from figure 1.

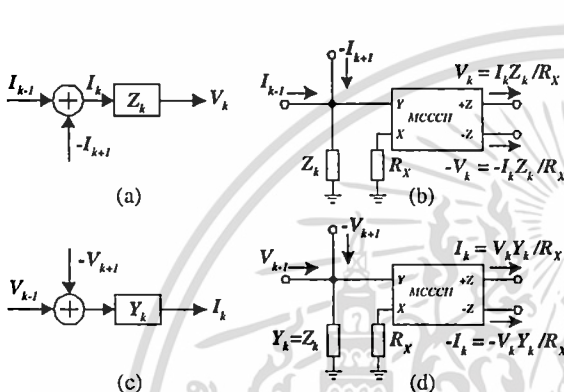
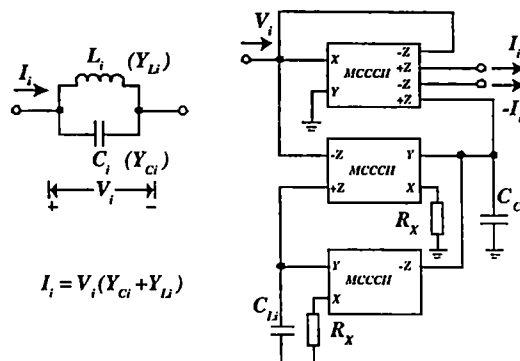


Fig. 3. Basic blocks and the realization using MCCCIs.

3. MCCCII-BASED STRUCTURE

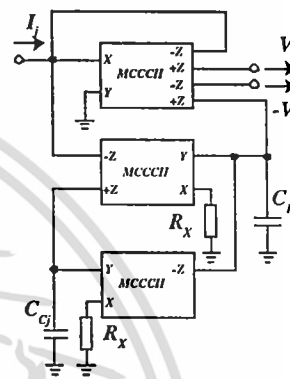
From above equation, fig. 1 can be represented with block diagram in form of leapfrog structure as shown in figure 2. It is clearly seen that the diagram comprises of 2 operations, current to voltage and voltage to current implication, as redrawn in fig. 3(a) and 3(c). Then if we convert the variables to be processed in only one type, either voltage or current, the execution would be simpler. Transforming all voltage to its current counterpart using MCCCIs will let these two operations to be implemented using the same circuit as seen in fig. 3(b) and 3(d) that lead to ease of design. Since after the transformation, all variables are related to R_X , therefore, altering on R_X will effect to the characteristic of the filter. Fortunately, MCCCII has an intrinsic resistance at port X, which can be controlled by its bias current that brings about electronically tune ability.

Useful examples, which are employing this technique, can be found in literature in form of ladder low-pass and band-pass filter [6]. For completion, we have proposed the remaining missing blocks in implementing the finite transmission zero here. The parallel LC in branch and series LC in shunt tree are sketched in fig. 4(a) and 4(c), respectively. Their correspondent MCCCII-based blocks are shown in fig. 4(b) and 4(d), which obtain the voltage-current relationship as equation (2) and (3). The simple structure is still promised as well as the tunable characteristic through the resis-



$$I_i = V_i(Y_{Ci} + Y_{Li})$$

(a)



$$V_j = I_j(Z_{Cj} + Z_{Lj})$$

(c)

(d)

Fig. 4. Proposed blocks using MCCCIs.

tors at port X. It is worth noting that just one additional MCCCII is needed from the previous series LC in branch and parallel LC in shunt arm [6].

$$I_i = V_i(sR_X C_{Ci} + 1/sR_X C_{Li}) \quad (2)$$

$$V_j = I_j(1/sR_X C_{Cj} + sR_X C_{Lj}) \quad (3)$$

4. MCCCII CIRCUIT DESIGN

Second generation current conveyors (CCII) have found useful applications especially in current-mode world. Based on a complementary translinear loop, the current conveyor will be possible to operate at high

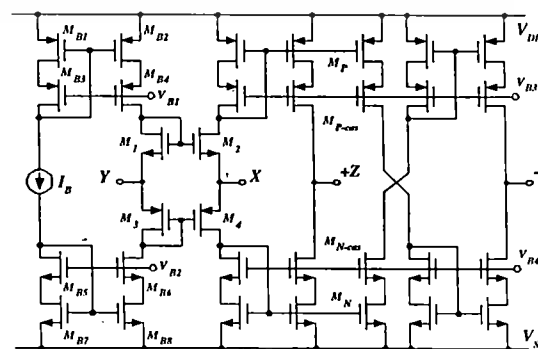


Fig. 5. CMOS implementation of MCCCII.

frequency in class AB. In addition, the translinear current conveyor has a structure as simple as basic OTA but take less power consumption [6]. Despite this, it has only one output terminal, so only one current signal is available only once for each signal feed back. Therefore, in multi-loop feedback path topology like leapfrog, multi-output characteristic seems to play an important role [3][4][6].

Although bipolar technology provides higher gain, wider linearity and frequency bandwidth, CMOS technology have beaten in almost all area of applications when the low power consumption, cost effective and suitability for implementing the mixed analog/digital circuit, are concerned. Accordingly, the CMOS translinear MCCCII has come in our attention and its schematic is shown in figure 5, which the ports relation can be described by the matrix equation in equation (4).

$$\begin{bmatrix} I_Y \\ V_X \\ I_{+Z} \\ I_{-Z} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 1 & R_X & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & -1 & 0 & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_{+Z} \\ V_{-Z} \end{bmatrix} \quad (4)$$

where $R_X = (4\sqrt{KI_B})^{-1}$ is an intrinsic small signal resistance of the equivalent voltage follower cell and $K = 0.5(\mu C_{OX})(W/L)$ of transistor $M_1 - M_4$, which have to be matched for both NMOS and PMOS. Obviously, it is possible to control R_X by varying the bias current I_B . The multi-output topology can be easily implemented by adding the further output transistors to the port +Z and -Z as required.

5. SIMULATION RESULTS

The performance of the proposed filter is verified through HSPICE circuit simulation based on AMI 0.5- μm standard CMOS process technology. The W/L ratios of CMOS transistors are listed in table 1. The bias current is set to $I_B = 50 \mu\text{A}$ under the voltage supply of $\pm V = \pm 2.5 \text{ V}$. This configuration leads to open-loop transconductance gain (G_m) of 0.734 mA/V and 183 MHz -3 dB cut-off bandwidth when using the MCCCII as a transconductance cell.

Table1: W/L area of MOS in MCCCII circuit

Transistors	W/L	Transistors	W/L
M_1, M_2	5/0.5	M_3, M_4	18.5/0.5
M_{B1}, M_{B2}	90/2	M_{B3}, M_{B4}	90/0.5
M_{B5}, M_{B6}	30/2	M_{B7}, M_{B8}	30/0.5
M_P	30/1	M_{P-cas}	60/0.5
M_N	10/1	M_{N-cas}	20/0.5

To picture out the efficiency and flexibility of the proposed filter technique, a current-mode third-order RLC elliptic low-pass filter showing in fig. 6 has been selected and yield

$$\frac{I_o(s)}{I_s(s)} = \frac{s^2 C_2 L_2 + 1}{s^3 R L_2 (C_1 C_2 + C_2 C_3 + C_3 C_1) + s^2 L_2 (C_1 + 2C_2 + C_3) + s(C_1 R + C_3 R + L_2/R) + 2} \quad (5)$$

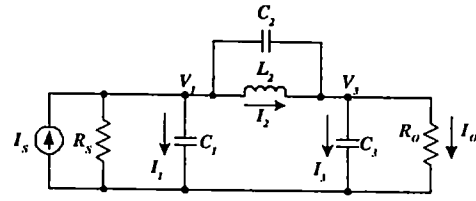


Fig. 6. Prototype current-mode 3rd-order elliptic low-pass RLC ladder filter.

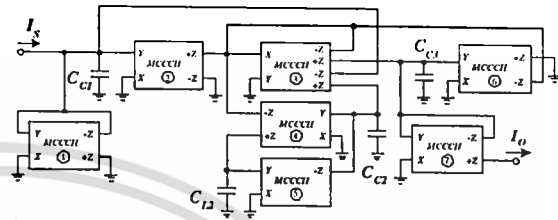


Fig. 7. Synthesized elliptic filter using MCCCII and only ground capacitors.

where $R = R_S = R_O$ are the terminated resistances and chosen to be 1Ω in prototype RLC filter. The filter has been designed with a half-power frequency ω_{-3dB} of $2\pi(5 \text{ MHz})$. Firstly, the proposed method using only MCCCII and grounded capacitors is applied and turn into the complete circuit in fig. 7. The minimum MCCCII and grounded capacitors are used without any external resistor. The overall transfer function of proposed filter is

$$\frac{I_o(s)}{I_s(s)} = \frac{s^2 R_x^2 C_{C2} C_{L2} + 1}{s^3 R_x^2 C_{L2} (C_{C1} C_{C2} + C_{C2} C_{C3} + C_{C3} C_{C1}) + s^2 R_x^2 C_{L2} (C_{C1} + 2C_{C2} + C_{C3}) + s(C_{C1} R_x + C_{C3} R_x + C_{L2}) + 2} \quad (6)$$

Even the terminated resistors, R_S and R_O , are also implementing using MCCCII and equal to R_X of the current conveyors. This is not only the attempt to eliminate the passive components, it is the necessary key for tuning cut-off frequency feature. Furthermore, this composition has several high impedance output ports, which allow to be easily cascaded without any additional matching circuits.

After scaling by dividing all original passive device values with MCCCII's intrinsic resistance R_X (or $1/G_m$), the corresponding capacitances become $C_{C1} = C_{C3} = 28.106 \text{ pF}$, $C_{L2} = 22.485 \text{ pF}$ and $C_{C2} = 4.71 \text{ pF}$. The simulated frequency response of the designed circuit and prototype RLC filter are compared. Test of electronic tuning ability by varying bias current to $6.25 \mu\text{A}$, $50 \mu\text{A}$ and $400 \mu\text{A}$ is also performed and shown together in figure 9. From the results we can see the well agreement between the proposed structure and the passive prototype before signals have reached the deviation at frequency beyond 100 MHz. This is due to the frequency limitation of MCCCII itself, which can be improved later.

Because this technique derives each element with one-by-one replacement concept. We can separate the

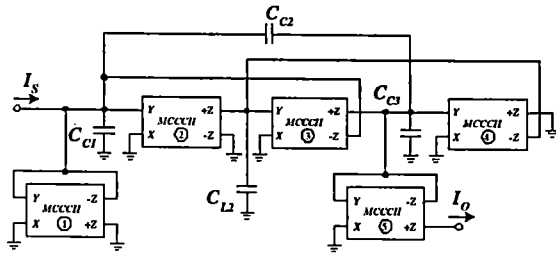


Fig. 8. Synthesized elliptic filter using MCCCII with a floating capacitor.

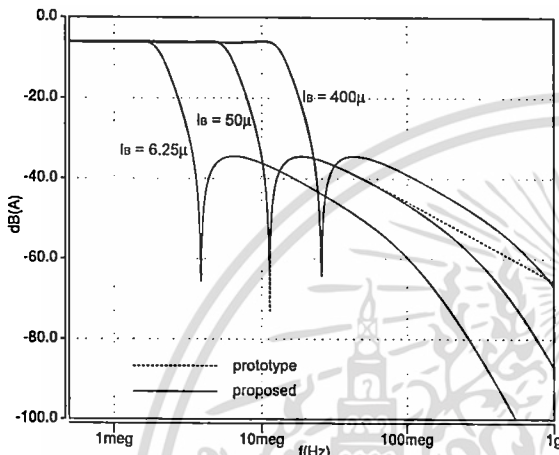


Fig. 9. Simulated frequency response of fig. 7

floating capacitor C_2 from the passive filter figure 6 and then realize the canonical MCCCII-based low-pass ladder filter first [6], afterward, adding the capacitor C_2 to the synthesized circuit at corresponding node will give result as complete circuit in figure 8 with the transfer function of

$$\frac{I_o(s)}{I_s(s)} = \frac{s^2 R_x^2 C_{C2} C_{L2} + 1}{s^3 R_x^3 C_{L2} (C_{C1} C_{C2} + C_{C2} C_{C3} + C_{C3} C_{C1}) + s^2 R_x^2 C_{L2} (C_{C1} + 2C_{C2} + C_{C3}) + s R_x (C_{C1} + C_{C3} + C_{L2}) + 2} \quad (7)$$

The simulation outcome in figure 10 shows the even better performance. This structure is very attractive when the floating capacitor is allowed.

6. CONCLUSIONS

A method for the synthesis of leapfrog ladder filter using multi-output current controlled conveyors is presented. The design strategy is very simple and covers all type of precedent passive LC ladder filter. This strategy requires the minimum passive and active components. The characteristic frequency can be tuned electronically by adjusting the bias current of current controlled conveyors, which is very helpful in compensating unmatched components as well as varying the characteristic without changing any device. Besides using only MCCCII and all grounded capacitors, the high frequency elliptic filter can also be efficiently re-

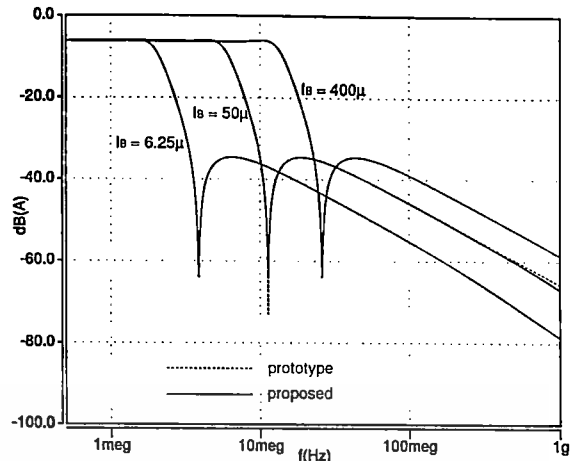


Fig. 10. Simulated frequency response of fig. 8

alized by adding floating capacitors to the relative all-pole filter. Third-order elliptic low-pass filter is derived as an example. HSPICE simulation results give a good agreement with the theoretical expectation.

7. ACKNOWLEDGEMENT

This work is partly funded by the Thailand Research Fund (TRF) under the Senior Research Scholar Program grant number RTA4680003 and financial support from the Thailand Research Fund through the Royal Golden Jubilee Ph.D. Program (Grant No. PHD/0039/2545) to Mr. Amorn Jiraseree-amornkun and Prof. Dr. Wanlop Surakamponorn is acknowledged.

8. REFERENCES

- [1] R. Schaumann, and M.E. Van Valkenberg, *Design of Analog Filters*, Oxford University Press, New York, 2001.
- [2] J. Ramirez-Angulo, and E. Sánchez-Sinencio, "High Frequency Compensated Current-Mode Ladder Filters Using Multiple Output OTAs," *IEEE Trans. Circuits Syst. II*, vol. 41, no. 9, pp. 581-586, Sep. 1994.
- [3] J. Wu, and E. El-Masry, "Current-Mode Ladder Filters using Multiple Output Current Conveyors," *IEE Proc., Part G*, vol. 143, no. 4, pp. 218-222, Aug. 1996.
- [4] Y.S. Hwang, P.T. Hung, W. Chen, and S.I. Liu, "CCII-based linear transformation elliptic filters," *Int. J. Electronics*, vol. 89, no. 2, pp. 123-133, Feb. 2002.
- [5] W. Tangsrirat, W. Surakamponorn, and N. Fujii, "Realization of Leapfrog Filters using Current Differential Buffered Amplifiers," *IEICE Tran. Fundamental*, vol. E86-A, no. 2, pp. 318-326, Feb. 2003.
- [6] A. Jiraseree-amornkun, N. Fujii, and W. Surakamponorn, "Realization of Electronically Tunable Ladder Filters using Multi-output Current Controlled Conveyors," *Proc. ISCAS 2003*, vol. 1, pp. I-541 - I-544, May 2003.

เอกสารนี้เป็นลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ECTI-CON 2005

The 2005 ECTI International Conference



ECTI

Association

Proceedings of the 2005 ECTI International Conference on Telecommunications, Systems, Security, Networks and Applications (TNSA) will be published by IEEE Press.

May 2-5, 2005

Asia Pattaya Beach Hotel, Pattaya, Chonburi, Thailand



Multi-Output CCII for Realization of Current Conveyors

Patra Pienchob, Kiattisak Kumwachara, and Wanlop Surakamponorn

Faculty of Engineering and Research Center for Communication and Information Technology
King Mongkut's Institute of Technology Ladkrabang, Bangkok, 10520, Thailand
Email: S6060517@kmitl.ac.th, kkkiatti@kmitl.ac.th, kswanlop@kmitl.ac.th
Phone:(662)739-1362, Fax:(662)739-2398

ABSTRACT

A multi-output second generation current conveyor (MOCCII), that can be used to realized first, second and third generations current conveyors, is proposed. The MOCCII consists of a CMOS differential stage for the voltage input, push-pull stage and the improved cascode current mirrors for the current output. Feedback techniques are proposed in order to provide a voltage gain of 0.991, a current gain of 0.992 and low impedance at the current input node of about 1 ohm, with ± 2.5 supply voltage.

Keywords: current conveyor, current mode signal processing, cascode current mirror, differential amplifier

1. INTRODUCTION

A current conveyor is an active circuit element that very useful in analog domain, which can widely used to implement significant number of high performance signal processing functions. The first generation current conveyor (CCI) and the second generation current conveyor (CCII) was introduced by sedra and smith in 1968 and 1970 [1,2], respectively. Since the introduction, the conveyors have been shown to be a very versatile and important building block used for realize, for examples, amplifiers, integrators, negative impedance converters, voltage to current and current to voltage converters and filters. Later, in 1995, a third generation current conveyor (CCIII) was introduced as a new active element by Fabre[3] and Piovaccari[4]. This new active element can be considered as a current controlled current source with unity gain. It provides the advantage of taking out the current flowing through a floating branch of a circuit which can easily be utilized in the realization of various immittance functions. Some application examples using CCIII have been reported in technical literature [5]-[6]. It should be noted that each type of the conveyors has its own limitation on the applications and on realization. In addition, most of the proposed current conveyor realization methods have been concentrated on realizing each individual type only. In the absence of commercially available integrated circuit current conveyor, if a building block that can implement the first, the second and the third generation current conveyor in the same circuit is available then clearly this is an attractive feature.

2. BASIC PRINCIPLE

Generally, a second generation current conveyor (CCII) is an analog device which provides voltage input at node Y, a current input and voltage output at node X, and a current output at node Z. It is characterized in terms of the voltage following between nodes Y and X and the current following between node X and Z.

In this paper we modify the CCII to provide both positive output currents and negative output currents, called as multi-output second generation current conveyor (MOCCII). The MOCCII can be modified to function as the three types of the current conveyors as shown in figure 1.

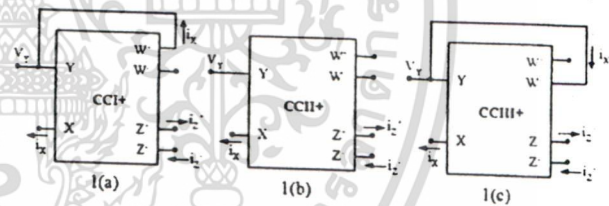


Fig. 1: The modification of MOCCII to function as (a) MOCCII+ (b) MOCCII+ (c) MOCCIII+

$$\begin{bmatrix} i_r \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_r \\ i_x \\ V_z \end{bmatrix} \quad , \quad CCI \quad (1)$$

$$\begin{bmatrix} i_r \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_r \\ i_x \\ V_z \end{bmatrix} \quad , \quad CCII \quad (2)$$

$$\begin{bmatrix} i_r \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & -1 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_r \\ i_x \\ V_z \end{bmatrix} \quad , \quad CCIII \quad (3)$$

As shown in figure1(a), by connecting the port W⁺ to the port Y, the MOCCII is function as the multi-output first generation current conveyor. The characteristic can be expressed as in equation (1). If the port Z⁺ or the port Z⁻ is used as the port Z of the conveyor, then it is functioned as the CCI⁺ or CCI⁻, respectively. Similarly,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาใดๆของเอกสารทุกครั้งที่มีการนำไปใช้

figure 1(b) and 1(c) show the schematic diagram of the multi-output second generation current conveyor (MOCCII) and the multi-output third generation current conveyor (MOCCIII), where their characteristics can be described by the matrix equations (2) and (3), respectively.

3. CIRCUIT DESCRIPTION

3.1 The multi-output second generation current conveyor (MOCCII)

The proposed MOCCII is shown in figure 2. In this structure both voltage and current feedback techniques are applied in order to reduce the input resistance at port X and further improve an error voltage and current transfer. The current i_x is approximately zero because the input impedance at the gate of the MOSFET is very high. The voltage follower between Y and X, consists of the input differential and the push pull stage form the unity gain feedback, forces the voltage at port X to follow the voltage at port Y or $V_X \cong V_Y$. The voltage transfer function is given by

$$\frac{V_x}{V_r} = \frac{1}{1 + \frac{1}{A_{v1}}} \cong \frac{1}{1 + \left(\frac{g_{d2A} + g_{d1A}}{g_{m2A}} \right) \left(\frac{g_{n1} + g_{m2}}{g_{m2}} \right)} \quad (4)$$

A_{v1} is the gain of the differential stage (M1A-M4A) multiply by the gain of the push pull stage (M1-M4), where g_{R1} equals to $1/R1$, g_d and g_m denote the drain conductance and the transconductance of the transistors, respectively.

Consider if V_{in} is positive, there is a small signal current i_x flow out of port X. The current i_x is transfer from port X to port Z and Z through the current amplifier stage and the improved cascode current mirror. The current feedback, from the current amplifier stage (M1B-M4B) and the positive current output, is used to improve the accuracy of the current transfer and can be expressed as equations (5.1) and (5.2)

$$\frac{i_{z-}}{i_x} = \frac{1}{1 + \frac{1}{A_{i1} \left(\frac{g_{m7} g_{m21}}{g_{m7} g_{m19}} \right)}} \quad (5.1)$$

$$\frac{i_{z-}}{i_x} = \frac{1}{1 + \frac{1}{A_{i1} \left(\frac{g_{m14} g_{m30} \cdot g_{m11} g_{m23}}{g_{m14} g_{m26} \cdot g_{m7} g_{m19}} \right)}} \quad (5.2)$$

when

$$A_{i1} = \frac{i_{z+}}{i_x} \Big|_{open} = \frac{g_{m2B}}{g_{m1B}} = \frac{g_{m4B}}{g_{m3B}} \quad (6)$$

where A_{i1} is the gain of the current amplifier (M1B-M4B) and $A_{i1} \gg 1$. It is clearly seen that the output signal current at port Z' (i_{z+}) and port Z (i_{z-}) are equal to i_x ,

which i_{z+} is in the same direction and i_{z-} is in the opposite direction with respect to the direction of i_x . For V_{in} is negative, current i_x will flow into port X.

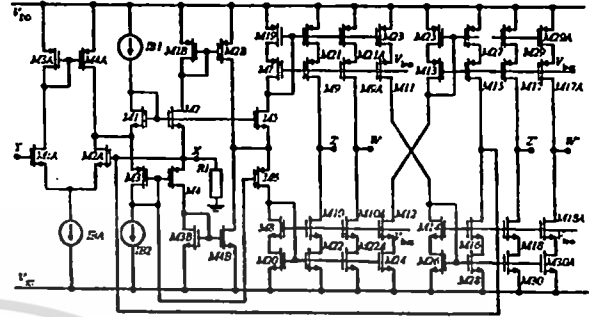


Fig. 2: MOCCII circuit diagram

The terminal resistance of the node X (r_{X-}) can be reduced by the open loop gain A_{v1} and A_{i1} . The result can be expressed as

$$r_{X-} = \frac{\left(\frac{1}{g_{m5} + g_{m6}} \right)}{A_{i1} A_{v1}} \Omega \quad (7)$$

In this realization, to increase the circuit output resistance, which is approximately equal to the output resistance of the current mirror in parallel, the improved cascode current mirror is used [7].

CCI and CCIII can be modified from MOCCII by connecting the port W^+ to the port Y and the port W^- to the port Z, respectively. The current transfer from port X to port W as can be expressed as equation (8.1) and (8.2)

$$\frac{i_{W-}}{i_x} = \frac{1}{1 + \frac{1}{A_{i1} \left(\frac{g_{m14} g_{m30A} \cdot g_{m11} g_{m23}}{g_{m14} g_{m26} \cdot g_{m7} g_{m19}} \right)}} \quad (8.1)$$

$$\frac{i_{W+}}{i_x} = \frac{1}{1 + \frac{1}{A_{i1} \left(\frac{g_{m9A} g_{m21A}}{g_{m7} g_{m19}} \right)}} \quad (8.2)$$

3.2 Application examples of MOCCII

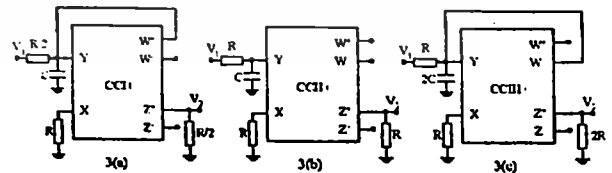


Fig. 3: First order low-pass filters using (a) MOCCI+ (b) MOCCII+ (c) MOCCIII+

In order to demonstrate the usefulness of the proposed GCC circuit, the application example as the first

order low-pass filter using a MOCCI, MOCCII and MOCCIII are shown in the figures 3(a), 3(b) and 3(c), respectively. The filters use three resistors and only one capacitor. In all cases, the voltage transfer functions can be expressed as

$$\frac{V_2}{V_1} = \frac{1}{(1 + sCR)} \quad (9)$$

4. EXPERIMENTAL AND SIMULATION RESULTS

The characteristics of the current conveyor in figure 2 were studied through the simulation results using PSPICE, with transistor model for 0.7 μm AMIS CMOS process. The transistor dimensions are listed in Table 1.

Table 1: Transistor Dimensions

Transistors	Width (μm)	Length (μm)
M1A, M2A	50	1
M3A, M4A	3	1
M1	10	1
M2, M3, M5	30	1
M4, M6	90	1
M2B	300	1
M4B	100	1
M1B, M7, M9, M9A, M11, M13, M15, M17, M17A, M19, M21, M21A, M23, M25, M27, M29, M29A	7	1
M3B, M8, M10, M10A, M12, M14, M16, M18, M18A, M20, M22, M22A, M24, M26, M28, M30, M30A	2	1

Table 2: Summary of the simulation results

Parameters	Results
Technology	0.7 μm AMIS CMOS process
Supply Voltage	± 2.5 V or higher
Power dissipation	12 mW
Impedance at terminal x	1 Ω
Voltage gain (V_x/V_y)	0.991
Current gain ($i_z/i_x, i_z/i_y$)	0.992, 0.994
Voltage dynamic range	-1.4 V to 1.5 V
Bandwidth (V_x/V_y)	270 MHz
Bandwidth (i_x/V_x)	265 MHz
Bandwidth (i_z/i_x)	230 MHz
Bandwidth (i_z/i_y)	250 MHz

Table 2 shows the summary of the simulations results. The bias current I_1 is set to 150 μA , I_2 and I_3 are set to 10 μA .

Figure 4 shows the large signal voltage transfer characteristic between V_x and V_y . The Voltage dynamic range is from -1.4V to 1.5V. The DC current transfer characteristics from port X to port Z' and Z is illustrated in figure 5. A good current following behavior can be seen over the current range when vary input current at port X from -100 μA to 100 μA .

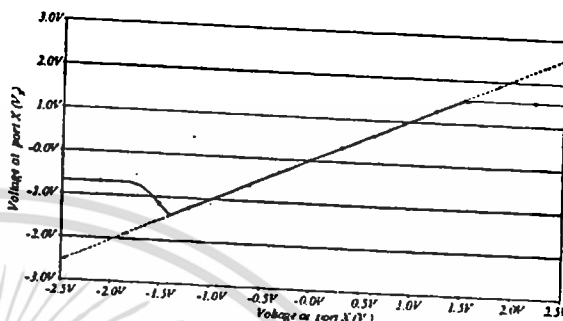


Fig. 4: The DC voltage transfer characteristics

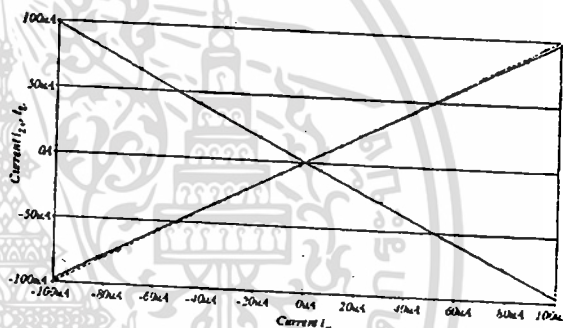


Fig. 5: The DC current transfer characteristics

For the high frequency response, the major high frequency limitation is due to the parasitic capacitances at port Z', Z and X. Figure 6, 7 and 8 show the frequency characteristics of the proposed circuit.

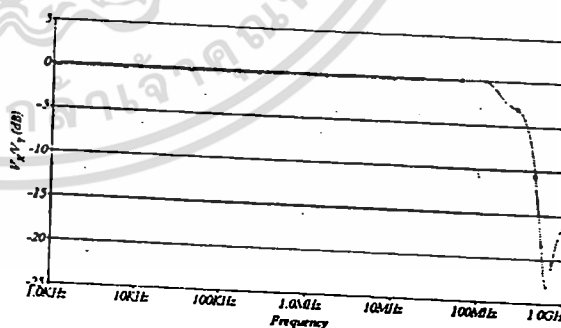


Fig. 6: The frequency characteristics of the voltage transfer

The frequency characteristic of the voltage transfer function is shown in figure 6. The simulation result shows good voltage transfer over a wide frequency range operation is about 270 MHz. The current gain of the circuit is shown in figure 7, where the frequency of

operation of i_z/i_x and i_z/i_y are observed to be at 230 MHz and 250 MHz, respectively.

Finally, for the current-voltage characteristic at port X against frequency, the input impedance (Z_{in}) at port X is illustrated in figure 8 approximated 1.5Ω at low frequency.

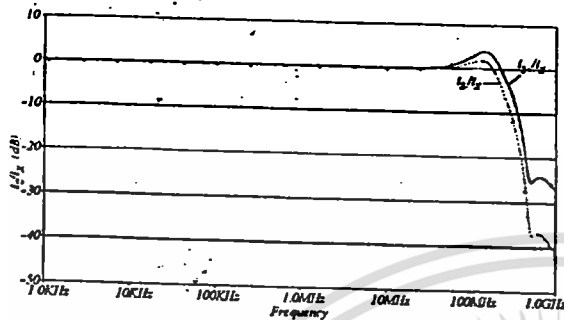


Fig. 7: The frequency characteristics of current transfer

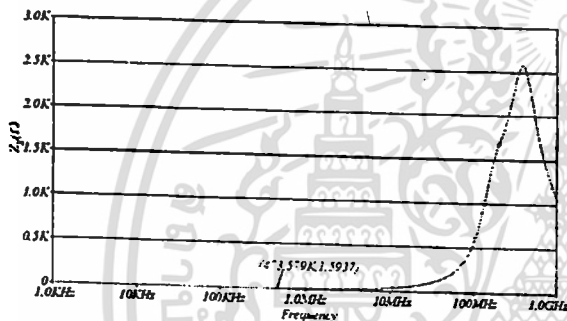


Fig. 8: Input characteristic at port X

Figure 9 shows the large signal current transfer characteristic between i_y and i_x when connecting the port W to the port Y for the MOCCI and connecting the port W to the port Y for the MOCCIII

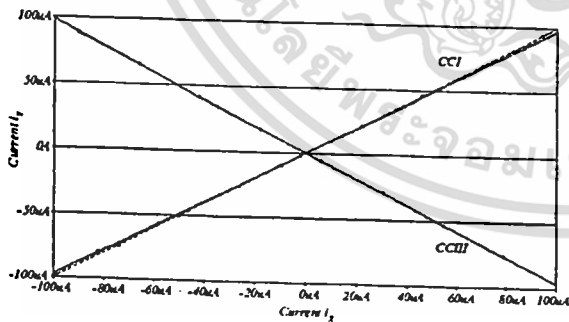


Fig. 9: The DC current transfer between i_y and i_x of MOCCI and MOCCIII characteristics

The first order low-pass filter in fig. 3(a), 3(b) and 3(c) were design for $f_0 = 1\text{kHz}$. The design values are $C = 0.1\mu\text{F}$ and $R = 1.59 \text{ k}\Omega$. The gain plot of the simulation circuit is shown in fig. 10 which closed agreement with theory predicted value by the equation (9).

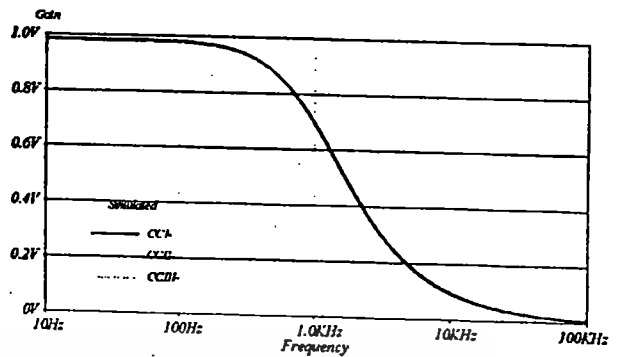


Fig. 10: Plots of the magnitude responses of figure 3 against frequency.

5. CONCLUSION

We have developed A multi-output second generation current conveyor (MOCCII), that can be used to realized first, second and third generations current conveyors. The MOCCII is presenting low voltage offset, low impedance current input and wideband signal processing by using the voltage feedback and current sensing techniques. The simulation results through PSPICE are used to confirm the high efficiency working.

6. ACKNOWLEDGEMENT

This work is partly funded by the Thailand Research Fund (TRF), under the senior Research Scholar Program grant number RTA4680003.

7. REFERENCES

- [1] K.C. Smith, and A. Sedra, "The current conveyor : A new circuit building block," Proc. IEEE, vol.56, pp. 1368-1369, 1968.
- [2] A. Sedra, and K.C. Smith, "A second generation current conveyor and its applications," IEEE Trans., vol.17, pp. 132-134, 1970.
- [3] A. Fabre, "Third generation current conveyor : A new helpful active element," Electronics Letters, vol. 31, pp. 338-339, 1995.
- [4] A. Piovaccari, "CMOS integrated third generation current conveyor," Electronics Letters, vol. 31, pp. 1228-1229, 1995.
- [5] H.Y. Wang, and C.T. Lee, "Systematic synthesis of R-L and C-D immittances using CCIII," International Journal of Electronics, vol.87, pp.293-301, 2000.
- [6] S.I. Liu, and C.Y. Yang, "Higher order immittance function synthesis CCIII," Electronics Letters, vol. 32, pp. 2295-2296, 1996.
- [7] E. Bruun and P. Shah, " Dynamic Range of Low-Voltage Cascode Current Mirrors," IEEE Proc. ISCAS, pp.1328-1331, 1995.

ECTI-CON 2005

The 2005 ECTI International Conference



ECTI Association

May 2-5, 2005
Asia Pattaya Beach Hotel, Pattaya, Chonburi, Thailand



A Low-Voltage Temperature-Compensated Exponential Amplifier using only NPN Transistors .

C. Jonkustidchai, C. Fongsamut, K. Kumwachara and W. Surakampontrorn

The Faculty of Engineering and The Research Center for Communication and Information Technology(ReCCIT)
King Mongkut's Institute of Technology Ladkrabang, Bangkok, 10520, Thailand
Email: chawatt_j@yahoo.com, kfchaler@kmitl.ac.th, kkiatti@kmitl.ac.th and kswanlop@kmitl.ac.th

ABSTRACT

This paper presents a simple circuit design technique for realizing a low-voltage temperature compensated current-mode exponential amplifier using only NPN transistors. The circuit is composed of a current source dependent of temperature, a translinear-based multiplier/divider circuit, and a current mode exponential amplifier circuit. The circuit can operate for a low-level power supply voltage at 2V. The simulation results obtained from the PSPICE program are employed to verify the theoretical prediction. The exponential amplifier demonstrates good characteristic performance and temperature stability.

Keywords: Exponential Amplifier, Current Mode, Temperature Compensated, Translinear, Logarithmic Amplifier .

1. INTRODUCTION

An exponential amplifier is usually employed in the electronic systems, which need to handle wide dynamic ranges of signals, such as, a wide-band array radar, a sonar application, an one of the important building blocks in a variable gain amplifier (VGA)[1-2] and instrumentation applications. The basic principle for realizing the exponential amplifier is usually built by using semiconductor diodes or transistors with operational amplifier. The classical problem with this transistor configuration is that the performance of the amplifier depends on temperature [3]. Therefore, there has been a strong interest to develop a temperature compensation scheme. Recently, there is strong interest in current-mode exponential circuit, where the applications can be found in the literature [4]. However, one of the disadvantages of this amplifier is the temperature, which is strongly dependent. The purpose of this paper is to propose a low-voltage current-mode temperature compensated exponential amplifier. The proposed circuit employs only NPN transistors, and is suitable for integrated circuit. The PSPICE simulation shows a quite good operation of the circuit.

2. CIRCUIT DESCRIPTION

2.1 Low-voltage Bipolar Translinear-based Temperature Dependent Exponential Amplifier

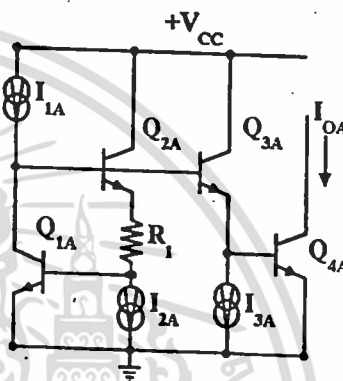


Fig.1: Temperature Dependent Exponential Amplifier Circuit

In the figure 1 shows the basic circuit obtained by inserting only one resistor R_1 into the translinear circuit [5], where I_{1A} , I_{2A} and I_{3A} are the external bias currents of the transistor Q_{1A} , Q_{2A} and Q_{3A} , respectively. We have the following relation

$$V_{BE1A} + I_{2A}R_1 + V_{BE2A} = V_{BE3A} + V_{BE4A} \quad (1)$$

The output current I_{OA} is the current flow into Q_{4A} , where V_{BE} is the base-emitter voltage, we get

$$V_T \ln \frac{I_{1A}}{I_S} + I_{2A}R_1 + V_T \ln \frac{I_{2A}}{I_S} = V_T \ln \frac{I_{3A}}{I_S} + V_T \ln \frac{I_{OA}}{I_S} \quad (2)$$

where I_S and V_T are the saturation current and the thermal voltage of the transistor, respectively. Assuming that the size of all transistors is same. Thus, equation (2) becomes,

$$I_{2A}R_1 = V_T \ln \frac{I_{3A}I_{OA}}{I_{1A}I_{2A}} \quad (3)$$

The circuit that realizes from the above function, is shown in Figure 1. Letting $I_{2A} = I_{3A}$, the emitter DC current of the transistors Q_{2A} and Q_{3A} becomes same. Thus we can

directly connect the base of Q_{2A} to the emitter of Q_{2A} and we can delete of Q_{3A} and I_{3A} . The equation (3) becomes,

$$I_{2A}R_1 = V_T \ln \frac{I_{OA}}{I_{1A}} \quad (4)$$

Thus, the output current I_{OA} is given by.

$$I_{OA} = I_{1A} e^{\frac{I_{2A}R_1}{V_T}} \quad (5)$$

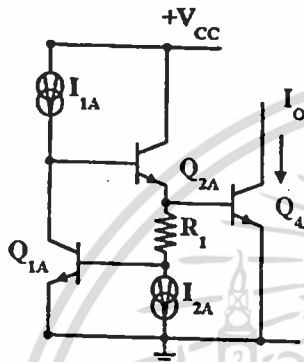


Fig.2: Temperature Dependent Exponential Amplifier with Reducing of Q_{3A} and I_{3A}

From the Figure 2, we find that another one of disadvantages of the exponential amplifier is strong temperature, which is dependent on the output current I_{OA} . The next section, we will introduce the temperature compensated exponential amplifier.

2.2 Low-voltage Bipolar Translinear-based Temperature Compensated Exponential Amplifier

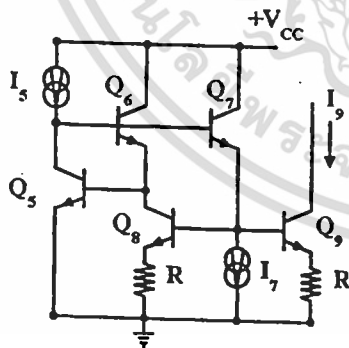


Fig.3: A Current Source Dependent of Temperature

Figure 3. Show a circuit of a low-voltage current source dependent of temperature, which is show form circuit in the logarithmic amplifier proposed in reference [6]. Assuming that the dimensions of all transistors are same and selecting two resistors are R. Thus, we can

realize a current source dependent of temperature as follows,

$$I_9 = \frac{V_T}{R} \ln \frac{I_5}{I_7} \quad (6)$$

where we have selected $I_5/I_7=e$, then can be written as

$$I_9 = \frac{V_T}{R} \quad (7)$$

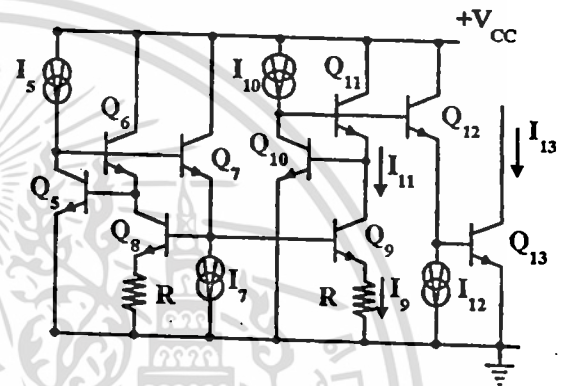


Fig.4: A practical of the Current Source Dependent of Temperature

In the figure 4 is a practical realization of the current source dependent of temperature where the output transistor of Q_9 is directly connected to input of the next stage for translinear circuit cell of Q_{10} to Q_{13} . We will use as temperature-compensated circuit next time, at the transistor Q_{10} to Q_{13} , we obtain

$$I_{13} = \frac{I_{10}I_{11}}{I_{12}} \quad (8)$$

The transistor Q_9 , which is the output transistor of the first stage of current source dependent of temperature, behaves as the input transistor of the second stage Q_{10} to Q_{13} . Substituting equation(7) into equation(8), where $I_9=I_{11}$, we obtain the output current of

$$I_{13} = \frac{I_{10}}{I_{12}} \left(\frac{V_T}{R} \right) \quad (9)$$

The schematic diagram of the proposed circuit for a low-voltage bipolar translinear-based temperature compensated exponential amplifier is shown in Figure 5. The circuit consists of a basic circuit in Figure 2, which is

directly connected to the current source dependent of temperature in Figure 4. Substituting current I_3 from equation (9) into the current I_{2A} from equation (5), where $R_1=R$.

$$I_{OA} = I_{1A} e^{I_{10}} \quad (10)$$

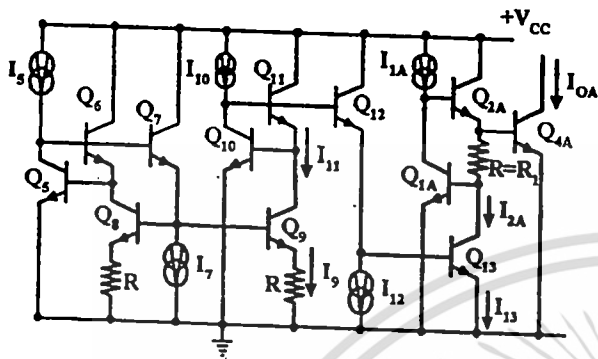


Fig.5: Temperature Compensated Exponential Amplifier Circuit using Only NPN Transistors

Now, the output current I_{OA} from equation (10) that the circuit should also be relatively of the temperature compensated in circuit of Figure 5. Since the circuit can be operated on current mode that has a capability of low power supply voltage of $2V_{BE} + V_{CEsat} + RI \approx 1.8V$ Where I is the current of R . Thus a 2V power supply will be enough and the circuit attractive feature, as the circuit can be employed to implement only NPN transistor action.

3. SIMULATION RESULTS

To verify the theoretical design, the proposed low-voltage bipolar translinear-based temperature compensated exponential amplifier was simulated to confirm the characteristic of the circuits using the PSPICE program. We use the NPN transistors 2N3904 model obtained from the PSPICE library. The simulation results are shown in figure 6 for various values the power supply used is +2V and $R=260\Omega$. The bias currents I_3 and I_7 are chosen to be $272\mu A$ and $100\mu A$, respectively, to give a value of ratio $I_3/I_7=e$. The bias currents I_{1A} and I_{12} are set to $100\mu A$ and the current I_{10} is input current signal.

Figure 6 shows the simulated and calculated DC transfer characteristic of the proposed exponential amplifier for the input signal current I_{10} , which is varied from 0 to $300\mu A$.

It can be seen that the resulting characteristic is precisely relate to the exponential function is good agreement with theoretical analysis with the error less than 0.5%. The simulation results shown in figure 7 exhibit the values of the output current against temperature for the case of uncompensated and compensated exponential amplifier of figure 2 and figure 5 for I_{2A} and I_{10} are equal to $100\mu A$, respectively. By varying the temperature $-40^\circ C$ to

$100^\circ C$, it is readily seen that the temperature performance of the compensation circuit is much better than the uncompensated circuit. The sensitivity of circuit with temperature of the uncompensated and compensated circuits are approximately equal to 0.99 and 0.03, respectively.

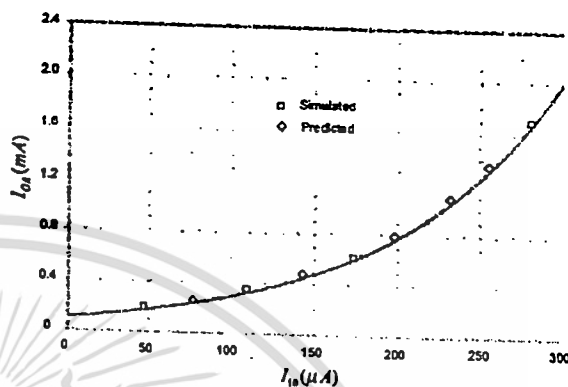


Fig.6: DC Transfer Characteristic of Exponential Amplifier for figure 5

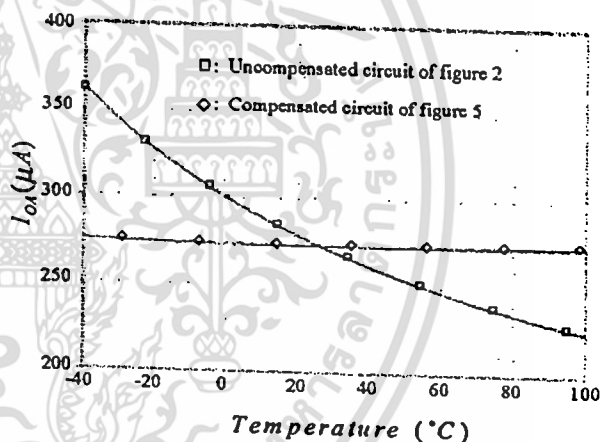


Fig.7: Variation of the Output Currents I_{OA} against Temperature of Fig.2 and Fig 5.

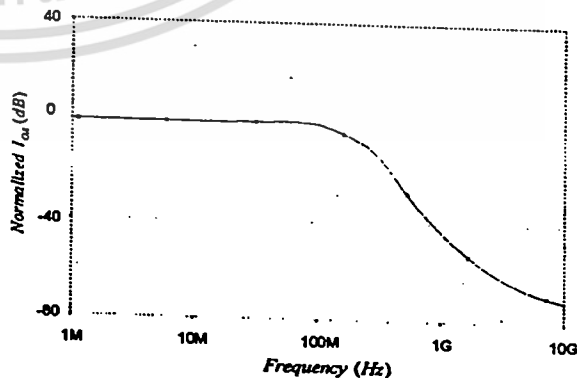


Fig.8: Frequency Characteristic of Exponential Amplifier for figure 5

The figure 8 and 9 show the frequency and phase response of the output current I_{OA} of the current-mode temperature compensated exponential amplifier of figure 5, respectively.

It is clearly shown that the circuit can be used up to frequency around 160 MHz at phase shift approximately to 90 degree

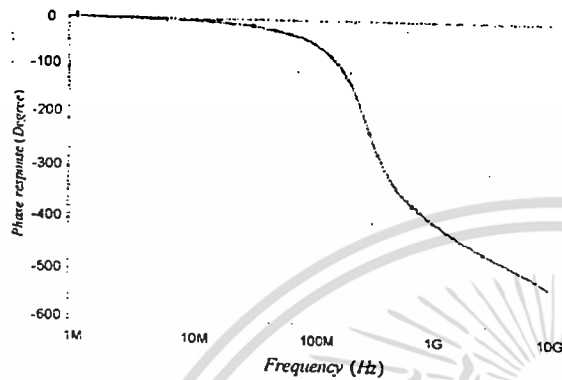


Fig.9 :Phase Response of Exponential Amplifier for figure 5

4. CONCLUSION

We have proposed a low-voltage temperature compensated exponential amplifier using only NPN transistors that can operate in the current mode and at a power supply voltage as low as 2.0 volts or less. The special features of the proposed circuit are the insensitive of temperature and the suitable structure for IC fabrication, the circuit attractive feature, as the circuit can be employed to implement only NPN transistor action. Demonstrated simulation resulted confirmed the circuit performance.

5. ACKNOWLEDGEMENT

This work is partly funded by the Thailand Research Fund (TRF) under the Senior Research Scholar Program, grant number RTA4680003. The support provided by the Japan International Cooperation Agency (JICA) is also acknowledged.

6. REFERENCES

- [1] A.Motamed, C.Hwang and M. Ismail, "A low-voltage low-power wide range CMOS variable gain amplifier ", IEEE Trans. Circuit Syst.II, Analog Digit. Signal Process. , vol.45, pp.880-890,1988.
- [2] K.M. Abdelfattah and A.M. soliman, "Variable gain amplifier based on a new approximation method to realize the exponential function", IEEE Trans. on circuits and systems, vol.49, no.9, pp.1348-1354, 2002.
- [3] F. Sergio, *Design with operational amplifier and analog integrated circuits*, Mcgraw-Hill, New York, pp. 526-555, 1997.

[4] C. Toumazou, F. J. Lidgley and D. G. Haigh, *Analogue IC Design: the Current-Mode Approach* (London: Peter Peregrinus).

[5] E. Seevinck, *Analysis and synthesis of translinear integrated circuits*, Elsevier Science Publisher, Amsterdam, 1986.

[6] K. Kumwatchara and N. Fujii, "Low-voltage current mode power factor function generator", *IEICE Trans. Fundamentals*, vol. E83-A, no. 2, pp. 1-7, 2000.



UNIVERSITI SAINS MALAYSIA

School of Electrical & Electronic Engineering,
Engineering Campus,
Universiti Sains Malaysia
Seri Ampangan, 14300 Nibong Tebal
PENANG MALAYSIA

ROVISP
2005

20 - 22 July
2005

*Proceedings of the International Conference
on Robotics, Vision, Information and
Signal Processing*

PENANG
Malaysia

ISBN 983-3391-15-X



<http://ee.eng.usm.my>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

An Improved CMOS Multi-Output Second Generation Current Conveyor

Patra Pienchob, Kiattisak Kumwachara, Wanlop Surakampontrorn

Faculty of Engineering and Research Center for Communication and Information Technology
King Mongkut's Institute of Technology Ladkrabang, Bangkok, 10520, Thailand
Email: S6060517@kmitl.ac.th, kkkiatti@kmitl.ac.th, kswanlop@kmitl.ac.th

Abstract

In this paper, A multi-output second generation current conveyor (MOCCII) is developed for using CMOS technology. The MOCCII, as active circuit element, consists of a CMOS differential stage for the voltage input, push-pull stage and the improved cascode current mirrors for the current output. The feedback techniques provide the exact voltage following action, the exact current following action and the low impedance at the current input node about 1 ohm with ± 2.5 supply voltage.

Keywords:

current conveyor, current-mode signal processing, voltage follower, current follower, current feedback

Introduction

A second generation current conveyor (CCII) is one of the most versatile current-mode building block which developed and introduced by A. Sedra and K.C. Smith in 1970 [1]. It is widely used by analog designers especially in applications of signal processing and active network synthesis[2]. However, in some applications, a multi-output CCII or MOCCII which can produce both CCII+ and CCII- is required [3-5]. Much research has been interested in designing of multiple-input single-output and single-input multiple-output current-mode applications due to their convenience and versatility. The block diagram of the MOCCII is shown in figure 1. The characteristic can be expressed as in equation (1)

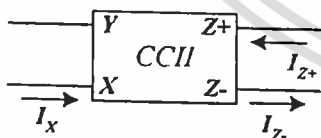


Figure 1- Multi-Output CCII

$$\begin{bmatrix} i_y \\ V_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ i_x \\ V_z \end{bmatrix} \quad (1)$$

MOCCII is consists of a voltage follower (between port Y and X) and a current follower (between port X and Z). The main features of MOCCII are low gain errors, high linearity and wide frequency response. In addition, low internal

resistance at port X is usually required. The non zero input impedance will limit the DC accuracy and modified the frequency response. Various methods for improving the performance of CCII have been proposed. Voltage follower method[6-7] consists of a feedback stabilized voltage follower employing high open loop amplification, which dc offset (between V_Y and V_X) and impedance at port X are eliminated[8]. Current follower method[9], negative parallel current feedback can be applied to port X, is used in order to reduce its current input impedance. In this paper, a very promising technique to implement MOCCII consists of a feedback-stabilized voltage and current are used. These techniques employ a high open-loop amplification in order to reduce the DC offset and to reduce the input resistance of MOCCII.

Circuit Description

The multi-output second generation current conveyor (MOCCII)

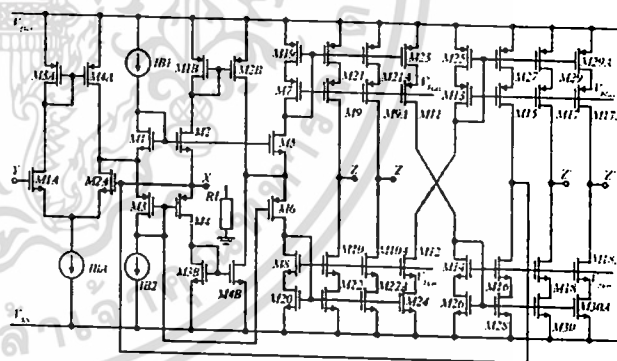


Figure 2- MOCCII circuit diagram

The proposed MOCCII is shown in figure 2. In this structure both voltage and current feedback techniques are applied in order to reduce the input resistance at port X and further improve an error voltage and current transfer. The input of differential pair allows to have a high impedance at port Y, given by the gate of a MOS transistor. The voltage follower between Y and X, consists of the input differential and the push pull stage form the unity gain feedback, forces the voltage at port X to follow the voltage at port Y or $V_X \cong V_Y$. The voltage transfer function is given in equation(2)

When A_{v1} is the gain of the differential pair stage (M1A-M4A) multiply by the gain of the push-pull stage (M1-M4), where g_{R1} equals to $1/R_1$, g_d and g_m denote the

drain conductance and the transconductance of the transistors, respectively.

$$\frac{V_X}{V_Y} = \frac{1}{1 + \frac{1}{A_{V1}}} = \frac{1}{1 + \left(\frac{g_{d2A} + g_{d4A}}{g_{m2A}} \right) \left(\frac{g_{R1} + g_{m2}}{g_{m2}} \right)} \quad (2)$$

Consider if V_{in} is positive, there is a small signal current i_x flow out of port X. The current i_x is transfer from port X to port Z^+ and Z through the current amplifier stage and the improved cascode current mirror. The current feedback, from the current amplifier stage (M1B-M4B) and the positive current mirror output, is used to improve the accuracy of the current transfer and can be expressed as equations (3.1) and (3.2)

$$\frac{i_{Z-}}{i_x} = \frac{1}{1 + \frac{1}{A_{i1} \left(\frac{g_{m9}g_{m21}}{g_{m7}g_{m19}} \right)}} \quad (3.1)$$

$$\frac{i_{Z+}}{i_x} = \frac{1}{1 + \frac{1}{A_{i1} \left(\frac{g_{m18}g_{m30} \cdot g_{m11}g_{m23}}{g_{m14}g_{m26} \cdot g_{m7}g_{m19}} \right)}} \quad (3.2)$$

when

$$A_{i1} = \frac{i_{Z+}}{i_x} \Big|_{open} = \frac{g_{m2B}}{g_{m1B}} = \frac{g_{m4B}}{g_{m3B}} \quad (4)$$

where A_{i1} is the gain of the current amplifier (M1B-M4B) and $A_{i1} \gg 1$. It is clearly seen that the output signal current at port Z^+ (i_{Z+}) and port Z (i_{Z-}) are equal to i_x , which i_{Z+} is in the same direction and i_{Z-} is in the opposite direction with respect to the direction of i_x . For V_{in} is negative, current i_x will flow into port X.

By applied both negative voltage and current feedback in the circuits in figure 2, the terminal resistance of the node X (r_x) can be reduced by the open loop gain A_{V1} and A_{i1} . The result can be expressed as

$$r_x = \frac{\left(\frac{1}{g_{m5} + g_{m6}} \right)}{A_{i1}A_{V1}} \Omega \quad (5)$$

In this realization, to increase the circuit output resistance, the improved cascode current mirror is used [10]. The output impedance at terminal Z is approximately equal to the output resistance of the regular cascode current mirror in parallel.

Current-mode universal filter

MOCCII are proved to be very useful active elements in the

current-mode filter. The current-mode universal filter structure is used to confirm the practical validity of the proposed CCII circuit is shown in figure3 [11]. By using MOCCII, It realize second-order lowpass(LP), bandpass(BP), highpass(HP), bandstop(BS) and allpass(AP) filter responses without any passive component matching conditions. The filter requires a minimum passive element, has very low passive and active sensitivity and produces the filters responses at high impedance outputs.

The transfer functions of the circuit are given as

$$\frac{I_{LP}}{I_{in}} = \frac{1/C_1C_2R_1R_2}{D(s)} \quad (6.1)$$

$$\frac{I_{BP}}{I_{in}} = \frac{s/C_1R_3}{D(s)} \quad (6.2)$$

$$\frac{I_{HP}}{I_{in}} = \frac{s^2}{D(s)} \quad (6.3)$$

$$\frac{I_{BS}}{I_{in}} = \frac{s^2 + (1/C_1C_2R_1R_2)}{D(s)} \quad (6.4)$$

$$\frac{I_{AP}}{I_{in}} = \frac{-s^2 + (s/C_1R_3) - (1/C_1C_2R_1R_2)}{D(s)} \quad (6.5)$$

where

$$D(s) = s^2 + \frac{s}{C_1R_3} + \frac{1}{C_1C_2R_1R_2} \quad (7)$$

The natural angular frequency and the quality factor of the circuit are

$$\omega_0 = \frac{1}{\sqrt{C_1C_2R_1R_2}}, Q = R_3 \sqrt{\frac{C_1}{C_2R_1R_2}} \quad (8)$$

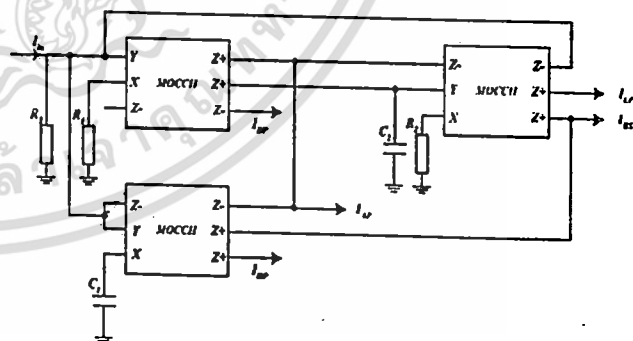


Figure 3- The current-mode universal filter

Simulation Results

The characteristics of the current conveyor in figure 2 were studied through the simulation results using PSPICE, with transistor model for 0.7 μ m AMIS CMOS process. The transistor dimensions are listed in Table1. Table2 shows the summary of the simulations results. The bias current I_{BA} is set to 150 μ A, I_{B1} and I_{B2} are set to 15 μ A.

เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่นิยมนำไปเผยแพร่โดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1- Transistor Dimensions

Transistors	Width (μm)	Length (μm)
M1A, M2A	50	1
M3A, M4A	3	1
M1	10	1
M2, M3, M5	30	1
M4, M6	90	1
M2B	300	1
M4B	100	1
M1B, M7, M9, M9A, M11, M13, M15, M17, M17A, M19, M21, M21A, M23, M25, M27, M29, M29A	7	1
M3B, M8, M10, M10A, M12, M14, M16, M18, M18A, M20, M22, M22A, M24, M26, M28, M30, M30A	2	1

Table 2 - Summary of the simulation results

Parameters	Results
Technology	0.7 μm AMIS CMOS process
Supply Voltage	± 2.5 V or higher
Power dissipation	12 mW
Impedance at terminal X (r_x)	1 Ω
Voltage gain (V_x/V_y)	0.991
Current gain ($i_{z^+}/i_x, i_z/i_x$)	0.992, 0.994
Voltage dynamic range	-1.4 V to 1.5 V
Bandwidth (V_x/V_y)	270 MHz
Bandwidth (i_x/V_y)	265 MHz
Bandwidth (i_{z^+}/i_x)	230 MHz
Bandwidth (i_z/i_x)	250 MHz

Figure 4 shows the large signal voltage transfer characteristic between V_x and V_y . The Voltage dynamic range is from -1.4V to 1.5V. The DC current transfer characteristics from port X to port Z^+ and Z^- is illustrated in

figure 5. A good current following behavior can be seen over the current range when vary input current at port X from -100 μA to 100 μA .

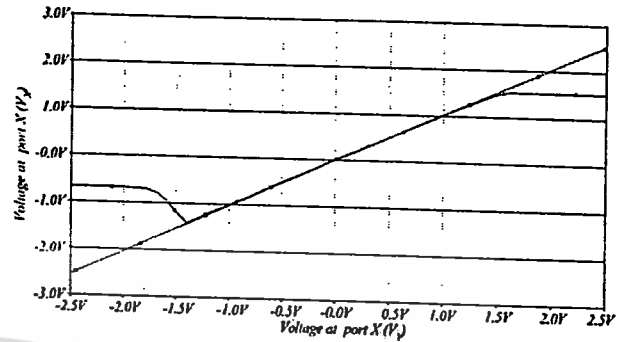


Figure 4 - The DC voltage transfer characteristics

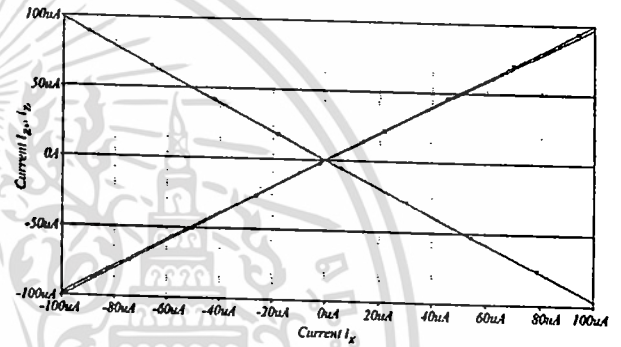


Figure 5 - The DC current transfer characteristics

For the high frequency response, the major high frequency limitation is due to the parasitic capacitances at port Z^+ , Z^- and X. Figure 6, 7 and 8 show the frequency characteristics of the proposed circuit.

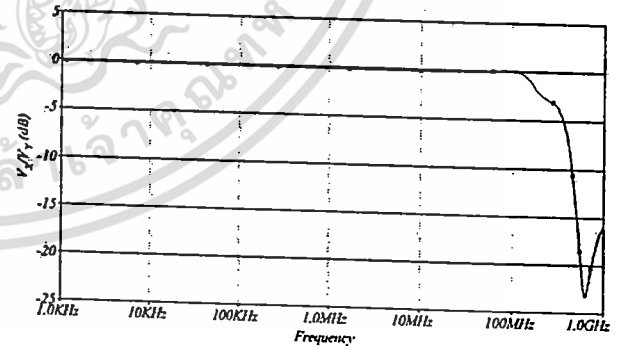


Figure 6 - The frequency characteristics of the voltage transfer

The frequency characteristic of the voltage transfer function is shown in figure 6. The simulation result shows good voltage transfer over a wide frequency range operation is about 270 MHz. The current gain of the circuit is shown in figure 7, where the frequency of operation of i_{z^+}/i_x and i_z/i_x are observed to be at 230 MHz and 250 MHz, respectively.

Finally, for the current-voltage characteristic at port X

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าวิจัย

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

against frequency, the input impedance (r_x) at port X is illustrated in figure 8 approximated 1.5Ω at low frequency.

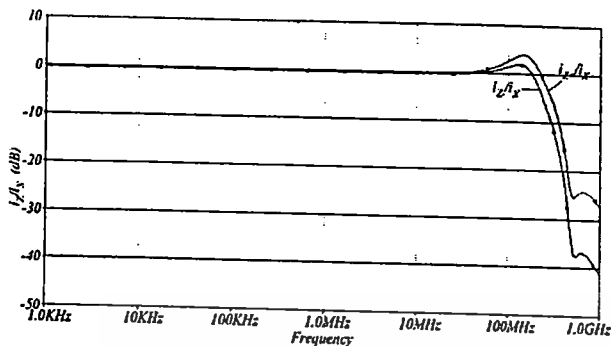


Figure 7 - The frequency characteristics of current transfer

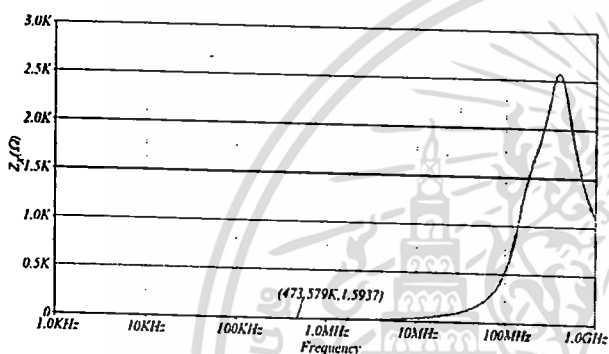


Figure 8 - Input characteristic at port X

The universal filter in figure 3 is designed with natural frequency of $f_0 = 112.5\text{kHz}$ by choosing the passive component values as follows: $C1 = C2 = 100\text{pF}$, $R1 = R3 = 10\text{k}\Omega$ and $R2 = 20\text{k}\Omega$. The simulated responses are shown in Figure 9

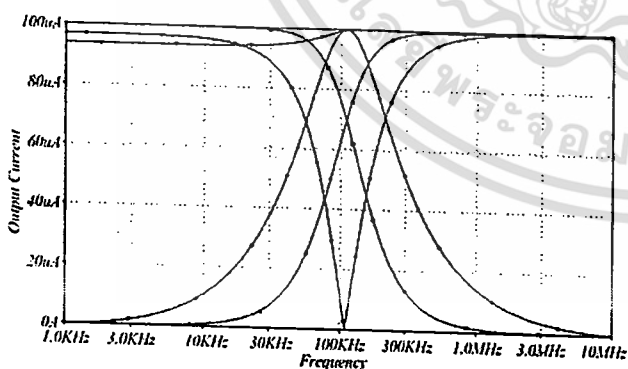


Figure 9 - MOCCII as a basic block in a current-mode universal filter

Conclusion

A realization of multi-output current conveyor (MOCCII)

has been presented. The MOCCII offers a low input resistance due to the feedback techniques. The voltage and current transfer also improved. The application as a current mode filter demonstrates the usefulness of the MOCCII.

Acknowledgment

This work is funded by the Thailand Research Fund (TRF), under the senior Research Scholar Program grant number RTA4680003.

References

- [1] Sedra, A.; and Smith, K.C. 1970. A Second-Generation Current Conveyor and Its Applications. *IEEE Transaction on Circuits and Systems* 17(1): 132-134.
- [2] Sedra, A.; Roberts, G.; and Gohh, F. 1990. The current conveyor: history, progress and new results. *IEE Proceedings -G Circuits, Devices and Systems* 137(2): 78-87.
- [3] Soliman, A. M. 1995. Current-Mode Universal filter *Electronics Letters* 31(17): 1420-1421.
- [4] Wang, Hung-Yu; and Lee, Ching-Ting. 2001. Versatile Insensitive Current-Mode Universal Biquad Implementation Using Current Conveyors. *IEEE Transaction on Circuits and Systems* 48(4): 409-413.
- [5] Toker, A.; Ozogus, S.; and Cicekoglu, O. 2000. A New Current-Mode Multifunction Filter with Minimum Components Using Dual-Output Current Conveyors. *IEICE Transaction Fundamental* E83-A(11): 2382-2384.
- [6] Palmisano, G.; and Palumbo, G. 1995. A simple CMOS CCII+. *International Journal of Circuit Theory and Applications* 23(6): 599-603.
- [7] Wojtyna, R. 1995. CMOS current conveyor for $\pm 3\text{V}$ supply operation. *Analog Integrated Circuits & Signal Processing* 7(2): 91-101.
- [8] Cheng, M.C.H. and Toumazou, C. 1993. 3V MOS current conveyor cell for VLSI technology. *Electronics Letters* 29(3): 317-318.
- [9] Bruun, E. 1994. CMOS Current Conveyors. *ISCAS'94 Tutorials*.
- [10] Bruun, E.; and Shah, P. 1995. Dynamic Range of Low-Voltage Cascode Current Mirrors. *IEEE International Symposium on Circuits and Systems* 2(28): 1328-1331.
- [11] Toker, A.; and ÖZÖĞÜZ, S. 2000. Insensitive current-mode universal filter using dual output current conveyors. *International Journal of Electronics* 87(6): 667-674.



UNIVERSITI SAINS MALAYSIA

School of Electrical & Electronic Engineering,
Engineering Campus
Universiti Sains Malaysia
Seni Ampangan, 14300 Nibong Tebal
PENANG, MALAYSIA

ROVISP 2005

20 - 22 July
2005

Proceedings of the International Conference
on Robotics, Vision, Information and
Signal Processing

PENANG
Malaysia

ISBN 983-3391-15-X



<http://ee-eng.usm.my>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A Novel CCII-Based Second-Order Sinusoidal RC Oscillator

Chalermpan Fongsamut, Kongsak Anuntahirunrat, Wanlop Surakampontrorn

Faculty of Engineering and Research Center for Communication and Information Technology (ReCCIT),

King Mongkut's Institute of Technology Ladkrabang (KMITL),
Chalongkrung Road, Ladkrabang District, Bangkok 10520, THAILAND

Tel: +662-3264224, Fax: +662-7392398

Email: kfchaler@kmitl.ac.th, kakongsa@kmitl.ac.th, and kswanlop@kmitl.ac.th

Abstract

In this paper, a novel CCII-based second-order sinusoidal RC oscillator using the state variable approach is presented. The oscillator circuit consists of two CCII+s, two capacitors and two resistors. All the capacitors are grounded. The proposed oscillator provides the following advantageous features: controllable oscillation frequency through a grounded resistor; easily converted into a voltage-control-oscillator, suitable for very low-frequency oscillation, low passive sensitivities and good frequency stability. The results show that the SPICE simulation and experimental results appear to be in appropriate agreement with the presented theory.

Keywords:

Oscillator, SRCO, Voltage-Control-Oscillator, CCII and Grounded Capacitor

Introduction

Sinusoidal oscillators have a wide range of applications in telecommunication, control systems, signal processing and measurement systems. Second generation current conveyor (CCII) plays an crucial role in the analog integrated circuit design because of providing advantages such as large band width, high linearity, wide dynamic range, simple circuitry and low power consumption [1-2]. Many active-RC oscillator circuits have been reported using a variety of building blocks, such as op-amps [3], several kinds of current conveyors (CC) [4-5, 10-11], current feedback operational amplifiers (CFOA) [6], four terminal floating nullor (FTFN) [7], and so on. The realization of single resistance controlled oscillators is highly desirable for the oscillators whose frequency of oscillation can be independently tuned by a grounded resistor. When this grounded resistor is replaced by a JFET, a voltage-controlled oscillator can be realized [8]. Moreover, it is attractive for monolithic integration of use grounded capacitors [9].

In this paper, we propose the state variable method for realization of CCII-based grounded-capacitor single resistance controlled oscillator using two CCII+s, and a minimum of four passive elements. Its oscillation frequency can be independently controlled by a single grounded resistor without affecting the condition of oscillation. Though the proposed circuit uses the same numbers of active and passive components as the previous literature [12-15],

the new oscillator circuit has not been found in the previous literature.

Circuit configuration

The second-order oscillator, which is derived by the state variable approach, can be described by the following state equation in matrix form:

$$\begin{bmatrix} \frac{dv_1}{dt} \\ \frac{dv_2}{dt} \end{bmatrix} = \begin{bmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} \quad (1)$$

From the above, the characteristic equation can be given by

$$s^2 - (a_{11} + a_{22})s + (a_{11}a_{22} - a_{12}a_{21}) = 0 \quad (2)$$

Therefore, the condition of oscillation (C_0) and frequency of oscillation (F_0) are expressed as

$$C_0: a_{11} + a_{22} = 0 \quad (3)$$

and

$$F_0: \omega_0 = \sqrt{a_{11}a_{22} - a_{12}a_{21}} \quad (4)$$

The symbolic representation of a CCII+ as an active building block is shown in figure 1. The terminal properties of the CCII+ can be defined by the hybrid matrix

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (5)$$

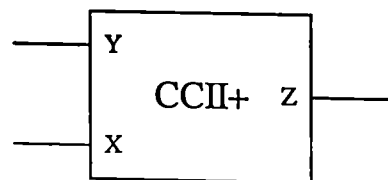


Figure 1- Symbol of CCII+.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาตจากทางผู้จัดทำ

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Consider a proposed oscillator circuit, which has two CCII+s, two capacitors and two resistors as shown in figure 2.

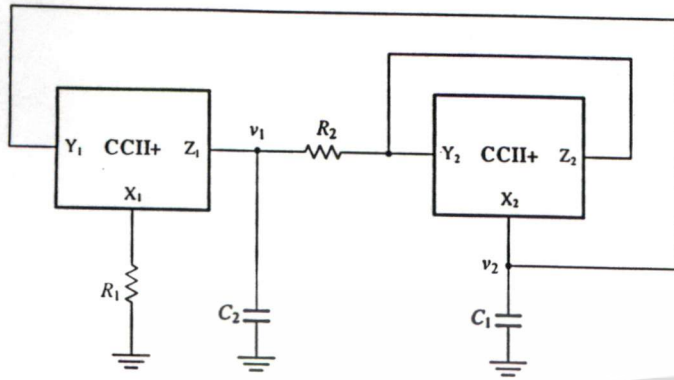


Figure 2- A novel CCII+ base oscillator.

Assuming as ideal CCII+, routine state equation analysis yields the matrix form

$$\begin{bmatrix} \frac{dv_1}{dt} \\ \frac{dv_2}{dt} \end{bmatrix} = \begin{bmatrix} -\frac{1}{C_2 R_2} & \frac{1}{C_2} \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \\ \frac{1}{C_1 R_2} & -\frac{1}{C_1 R_2} \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} \quad (6)$$

From the eqn. (5), the corresponding C_0 and F_0 of oscillator would be

$$C_0: C_1 = C_2 \quad (7)$$

and

$$F_0: \omega_0 = \frac{1}{\sqrt{C_1 C_2 R_1 R_2}} \quad (8)$$

It may be noted that the C_0 can be adjusted through the grounded capacitor C_1 (or/and C_2) and the F_0 can be independently varied through a grounded resistor R_1 (or the floating resistor R_2) without affecting the C_0 . The control of the F_0 through a grounded resistor can be easily converted into voltage control of oscillation frequencies by replacing resistor by a FET used as a voltage variable resistor.

Sensitivity and frequency stability consideration

The relative sensitivity of the oscillation frequency ω_0 with respect to parameter x is given as

$$S_x^{\omega_0} = \frac{\partial \ln \omega_0}{\partial \ln x} \quad (9)$$

From the proposed oscillator, the sensitivities of the oscillation frequency due to variations in the resistance and capacitance values can be evaluated as

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_{C_1}^{\omega_0} = S_{C_2}^{\omega_0} = S_{R_1}^{\omega_0} = S_{R_2}^{\omega_0} = -\frac{1}{2} \quad (10)$$

It should be noted that the proposed circuit has attractive performance with passive sensitivities less than unity

The classical frequency stability factor S_F is defined as

$$S_F = \left. \frac{d\phi(u)}{du} \right|_{u=1} \quad (11)$$

where $u = \omega/\omega_0$ and $\phi(u)$ represents the phase function of the open loop transfer function of circuit. The proposed circuit S_F can be found to be

$$S_F = 2\sqrt{n} \quad (12)$$

where $C_1 = C_2 = C$, $R_2 = R$ and $R_1 = R/n$ for this oscillator. This oscillator can have good frequency stability by choosing the larger value of ratio n .

Effects of CCII non-idealities

The matrix representation given with eqn.(5) is valid only for the ideal case. The current conveyor non-idealities can be modeled as follows: $i_y=0$, $v_x=\beta v_y$ and $i_z=\alpha i_x$, where $\beta = 1 - \epsilon_v$, $\alpha = 1 - \epsilon_i$, ϵ_v and ϵ_i denote the voltage and current tracking error of the CCII+, respectively ($|\epsilon_v| \ll 1$, $|\epsilon_i| \ll 1$). Taking these errors into account the terminal relations of the CCII+ for non-ideal case, re-analysis of the proposed circuit shows that the oscillation condition and oscillation frequency became

$$C_1 = \frac{C_2}{\alpha_2 \beta_2} \quad (13)$$

and

$$\omega_0 = \frac{\sqrt{\alpha_1 \beta_1}}{\sqrt{\alpha_2 C_1 C_2 R_1 R_2}} \quad (14)$$

where β_1 , β_2 , α_1 and α_2 are the non-ideal voltage transfers and current transfers of CCII₁ and CCII₂, respectively. This means that due to the non-ideal characteristic of the CCII, the C_0 and F_0 are deviated from the ideal case of by the factor $1/\alpha_2 \beta_2$ and $\sqrt{\alpha_1 \beta_1 / \alpha_2}$, respectively.

Its active sensitivities can be express as

$$S_{\beta_1}^{\omega_0} = S_{\alpha_1}^{\omega_0} = -S_{\alpha_2}^{\omega_0} = \frac{1}{2} \quad (15)$$

$$S_{\beta_2}^{\omega_0} = 0 \quad (16)$$

It is clearly observed from equation (15) and (16) that the active sensitivities are low.

Simulation and experimental results

To verify the performance of the proposed oscillator, the SPICE simulation of the figure 2 has been performed. The CCII+ was obtained by using library AD844 of Analog Devices from the SPICE simulation program. Figure 3 shows the simulated output waveform obtained with $R_1=R_2=1k\Omega$, $C_1=11nF$, $C_2=10nF$ and the dc power supply voltages of $\pm 5V$. From the simulation, it is seen that the oscillation frequency f_0 is 15.05kHz. The output waveform of the oscillator is illustrated in figure 4.

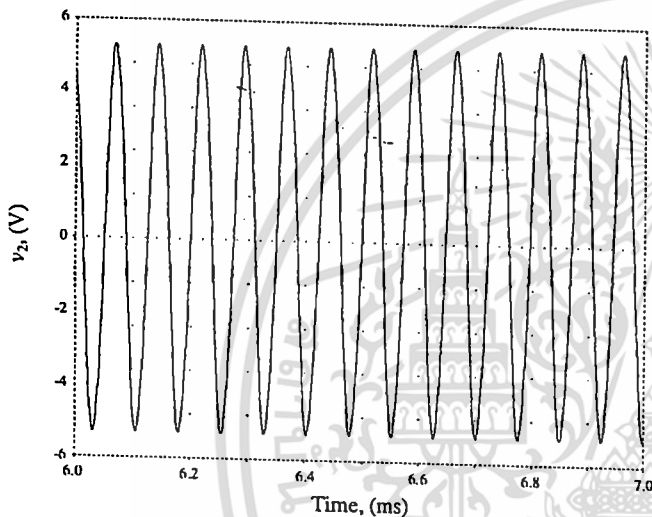


Figure 3 - Simulated output waveform of the oscillator with $R_1=R_2=1k\Omega$, $C_1=11nF$ and $C_2=10nF$.

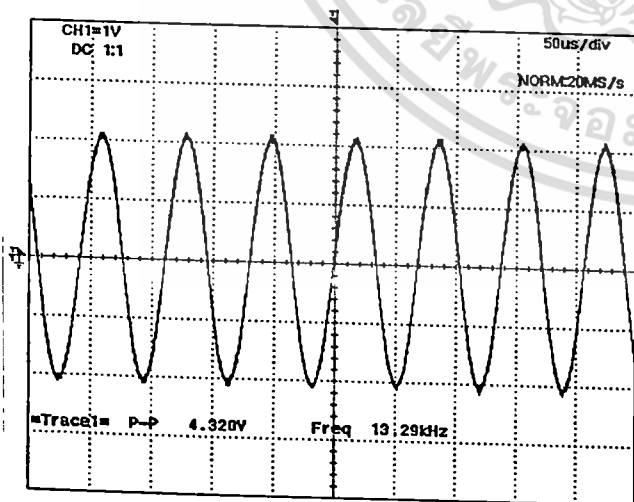


Figure 4 - Experimental output waveform of circuit with $R_1=R_2=1k\Omega$, $C_1=11nF$ and $C_2=10nF$.

The variability of oscillation frequency with the values of the resistor R_1 , $R_2=1k\Omega$, $C_1=11nF$, and $C_2=10nF$, where R_1 was varied from 200Ω to $5k\Omega$ is demonstrated in figure 5. Experimental results confirm the theoretical analysis.

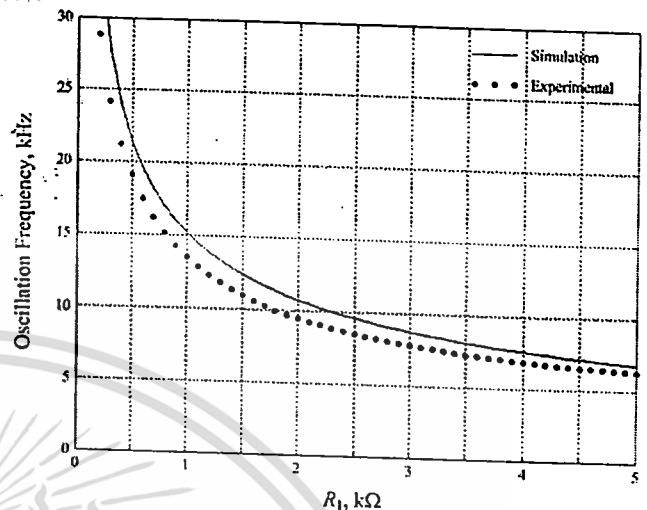


Figure 5 - Comparison between simulation and experimental results of oscillator.

Conclusion

A new CCII-based second-order sinusoidal RC oscillator has been presented. The circuit employs two CCII+s, two grounded capacitors, and two resistors. The use of grounded capacitors is beneficial to IC implementation. Its oscillation frequency can be adjusted by tuning a grounded resistor and/or a floating resistor without disturbing the condition of oscillation. In addition, the effect of non-idealities of the circuit has been considered. The workability of the proposed circuit has been confirmed by simulation and experimental results.

Acknowledgments

This work is funded by the Thailand Research Fund (TRF) through the Senior Research Scholar Program, grant number RTA4680003. The financial support from the Thailand Research Fund through the Royal Golden Jubilee Ph.D. Program (grant number PHD/0088/2545) to Chalermpan Fongsamut and Wanlop Surakamponorn is also acknowledged.

References

- [1] Sedra, A., and Smith, K. C. 1970. A Second Generation Current Conveyor and Its Applications. *IEEE Trans. on Circuits and Systems* 17(1): 132-134.
- [2] Toumazou, C., Lidgey, F. J., and Haigh, D. G. eds. 1990. *Analog IC Design: The Current-Mode Approach*. London: Peter Peregrinus Ltd.
- [3] Franco, S. 1988. *Design with Operational Amplifiers and Analog Integrated Circuits*. New York: McGraw-Hill.

- [4] Abuelma'atti, M. F., Al-Fhumaiz, A. A., and Khan, M. H. 1995. Novel CCII-Based Single-Element-Controlled Oscillators Employing Grounded Resistors and Capacitors. *International Journal of Electronics* 78(6): 1107-1112.
- [5] Abuelma'atti, M. F., and Al-Fhumaiz, A. A. 1996. Novel CCI-Based Single-Element-Controlled Oscillators Employing Grounded Resistors and Capacitors. *IEEE Trans. Circuits and Syst. I: Fund. Theory and App.* 43(2): 153-155.
- [6] Martinez, P. A., Saabadell, J., and Aldea, C. 1997. Grounded Resistor Controlled Sinusoidal Oscillator using CFOAs. *Electronics Letters* 33(5): 346-448.
- [7] Hou, C. L., Yean, R., and Chang, C. K. 1996. Single-element Controlled Oscillators using Single FTFN. *Electronics Letters* 32(22): 2032-2033.
- [8] Nay, K., and Budak, A. 1983. A Voltage-Controlled Resistance with Wide Dynamic Range and Low Distortion. *IEEE Trans. on Circuits and Systems* 30(10): 770-772.
- [9] Bhusan, M., and Newcom, R. W. 1967. Grounding of Capacitors in Integrated Circuits. *Electronics Letters* 3(4): 148-149.
- [10] Nandi, R., and Nandi, S. 1982. Insensitive Minimal-RC Sinewave Generators with Single Resistor Control. *IEEE Circuits and Systems Magazine*: 11-13.
- [11] Bhaskar, D. R., and Senani, R. 1993. New Current-Conveyor-Based Single-Resistance-Controlled/Voltage-Controlled Oscillator Employing Grounded Capacitors. *Electronics Letters* 29(7): 612-614.
- [12] Nandi, R. 1982. Novel Grounded-Capacitor Ideal FDNR and Oscillator using Current Conveyors. *Electronics Letters* 18(3): 145-146.
- [13] Nandi, R. 1986. Precise Insensitive Tunable RC-Oscillator Realization using Current Conveyors. *Proceeding of the Institution of Electrical Engineers Pt G* 133(3): 129-132.
- [14] Horng, J. W., Chang, C. W., and Lee, M. H. 1997. Single-Element-Controlled Sinusoidal Oscillators using CCII's. *International Journal of Electronics* 83(6): 831-836.
- [15] Horng, J. W. 2001. A Sinusoidal Oscillator using Current-Controlled Current Conveyors. *International Journal of Electronics* 88(6): 659-664.