สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

รายงานการวิจัย

การออกแบบและสร้างอุปกรณ์ทางตรรกแบบซีมอส

Design and Fabrication of CMOS Bistable Logic elements

คณะผู้วิจัย

1. รศ.ดร. สมเกียรติ ศุภเดช
2. นาย เติมพงษ์ เพ็ชรกูล

สถานที่ทำการวิจัย

ศูนย์วิจัยอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
โทร. 3267980

ได้รับทุนสนับสนุนจาก สำนักงานคณะกรรมการวิจัยแห่งชาติ
ปีงบประมาณ 2536

RCH
TK
7874.65
ส232ร

เลขหมู่.....
เลขทะเบียน 32231
วัน, เดือน, ปี 11 มี.ค. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1 บทนำ 1

1.1 สิ่งประดิษฐ์สารกึ่งตัวนำประเภทซีมอส 1

1.2 วัตถุประสงค์ของงานวิจัย 2

บทที่ 2 ทฤษฎี 3

2.1 ระบบมอส 3

2.2 แรงดันขีดเริ่ม 4

2.3 การประมาณช่องทางเดินกระแสแบบลาด 7

2.4 คุณสมบัติกระแสและแรงดันของมอสเฟต 8

2.6 แบบจำลองมอสทรานซิสเตอร์ในการจำลองแบบด้วย
โปรแกรม pspice 16

2.7 โครงสร้างซีมอส 20

บทที่ 3 การออกแบบวงจรรวมดิจิตอลสองสถานะ 21

3.1 กฎการออกแบบ 21

3.2 การออกแบบวงจรสองสถานะ 23

บทที่ 4 การออกแบบกระบวนการสร้าง 28

4.1 กระบวนการสร้างซีมอส 28

บทที่ 5 การทดลองและผลการทดลอง 39

5.1 การหาค่าตัวแปรในการจำลองแบบและผลการจำลองแบบ 39

5.2 การศึกษาคุณสมบัติทางสวิชชิ่งของวงจรฟลิปฟลอป 40

บทที่ 6 สรุปและวิจารณ์ 50

เอกสารอ้างอิง 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 สิ่งประดิษฐ์สารกึ่งตัวนำประเภทซีมอส

เนื่องจากเทคโนโลยีของมอสเป็นเทคโนโลยีที่เหมาะสมในการสร้างวงจรรวมใน เทคโนโลยียังแบ่งออกได้เป็น เทคโนโลยีแบบ PMOS เทคโนโลยีแบบ NMOS และเทคโนโลยีแบบ CMOS

เทคโนโลยีแบบ PMOS ไม่ค่อยเป็นที่นิยมทั้งที่เป็นเทคโนโลยีแบบมอสเริ่มแรก ทั้งนี้เพราะเนื่องจากให้ค่าความเร็วช้ากว่าเทคโนโลยีแบบ NMOS เนื่องจากใช้โฮลเป็นพาหะ ดังนั้นเทคโนโลยีแบบ NMOS จึงเป็นที่นิยมและแพร่หลายในวงจรรวม แต่อย่างไรก็ตามได้มีผู้คิดโครงสร้างการทำงานที่เอาทั้ง PMOS และ NMOS มาทำงานร่วมกันเรียกเทคโนโลยีว่าเทคโนโลยีแบบ CMOS ซึ่งเป็นชื่อย่อมาจาก Complementary MOS

ในวงจรทางดิจิตอล การนำเอาเอ็นมอสและพีมอสมาทำงานร่วมกัน ทำให้เกิดผลดีบางอย่างเช่น ในขณะที่วงจรอยู่ในสถานะคงที่หรือแรงดันไม่มีการเปลี่ยนแปลง วงจร CMOS จะใช้พลังงานน้อยมาก คือ ในส่วนที่เกิดจากกระแสรั่วไหลเท่านั้น (Leakage current) และจะใช้พลังงานเพียงในช่วงการเปลี่ยนสถานะระหว่างสถานะสูงและต่ำในช่วงเวลาสั้นๆ เท่านั้น ซึ่งใน NMOS กรณีที่อยู่ในลักษณะคงที่บางสถานะก็จะมีกระแสไหลในวงจร ทำให้ต้องสิ้นเปลืองพลังงาน

ผลของการสิ้นเปลืองพลังงานของ NMOS จะมีความสำคัญมาก เมื่อจำนวนของทรานซิสเตอร์มีความหนาแน่นมาก จะทำให้การกระจายพลังงานต่อพื้นที่มีค่ามาก และจะทำให้เกิดความร้อนสูง ทำให้วงจรทำงานผิดพลาด ซึ่งวงจรแบบ CMOS สามารถแก้ปัญหาตรงนี้ได้

นอกจากผลดีในเรื่องพลังงานแล้ว วงจร CMOS ยังให้เอาท์พุทที่ดีคืออยู่ระหว่างแรงดันไฟเลี้ยง V_{DD} และแรงดันอ้างอิง อันเป็นข้อที่เหนือกว่า NMOS ซึ่งจะต้องสูญเสียในส่วนของค่าศักดาตกคร่อมในส่วนแรงดันขีดเริ่ม

สำหรับข้อเสียของ CMOS ก็คือ ขั้นตอนในการสร้างจะยุ่งยากกว่า และในวงจรเดียวกันวงจรแบบ CMOS จะใช้จำนวนทรานซิสเตอร์มากกว่าวงจรแบบ NMOS แต่อย่างไรก็ตาม ในเทคโนโลยีการสร้างที่ทันสมัยในปัจจุบัน ซึ่งสามารถสร้างทรานซิสเตอร์ได้หนาแน่นมาก

1.2 วัตถุประสงค์ของงานวิจัย

งานวิจัยครั้งนี้มีจุดประสงค์ เพื่อสร้างและออกแบบวงจรสองสถานะ ซึ่งเป็นงานวิจัยที่ต่อเนื่อง จากงานวิจัยก่อนหน้านี้ โดยเป็นการพัฒนาวงจรรวมให้มีขนาดต่อหน่วยใหญ่ขึ้น และมีรายละเอียดเพิ่มมากขึ้น โดยเน้นถึงการออกแบบ และควบคุมคุณสมบัติของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในงานวิจัยครั้งนี้ วงจรรวมสองสถานะที่นำมาศึกษา จะมีอยู่ 3 ชนิด คือ วงจร RS ฟลิปฟลอป แบบแนนด์เกท วงจร RS ฟลิปฟลอป แบบนอร์เกท และวงจร D ฟลิปฟลอป สาเหตุที่เลือกฟลิปฟลอปทั้งสามชนิด เพราะว่าเป็นโครงสร้างที่ง่าย และเป็นการนำเอาพื้นฐานของงานวิจัยก่อนหน้านี้มาพัฒนาเพิ่มมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

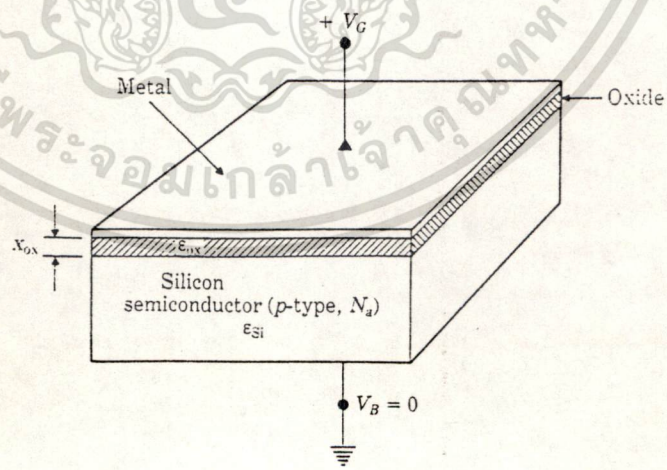
ทฤษฎี

2.1 ระบบมอส

มอส (MOS) เป็นชื่อย่อมาจาก Metal Oxide Semiconductor มีโครงสร้างประกอบด้วยสารต่างชนิดกันซ้อนกันเป็นชั้น คือ โลหะ (Metal) ออกไซด์ (Oxide) และสารกึ่งตัวนำ (Semiconductor) โดยที่ชั้นของโลหะอยู่ชั้นบน ชั้นออกไซด์อยู่ตรงกลาง และสารกึ่งตัวนำอยู่ล่างสุด ดังแสดงในรูปที่ 2.1-1 จากรูป ในส่วนที่เป็นสารกึ่งตัวนำเป็นซิลิกอนผลึกเดี่ยวชนิดพี (Single Crystal p-type Silicon) ได้จากการเติมสารเจือผู้รับ (Acceptor) มีความเข้มข้น N_a ทางด้านล่างของแผ่นเวเฟอร์เคลือบด้วยโลหะ (เช่นทองคำ) เมื่อเป็นชั้นฐานรอง (Substrate) หรือเนื้อสาร (Bulk) ซึ่งอาจจะไบอัสด้วยค่าแรงดัน V_B แต่ในกรณีรูปที่ 2.1-1 เราให้ค่า V_B เป็นศักดาอ้างอิง และค่าความเข้มข้นของพาหะส่วนมาก และพาหะส่วนน้อยที่อุณหภูมิห้องมีค่าประมาณ

$$p_{po} \simeq N_a \qquad n_{po} \simeq \frac{n_i^2}{N_a}, \tag{2.1-1}$$

โดยที่ตัวห้อย 0 แทนสภาวะที่สมดุลย์ และ n_i เป็นความหนาแน่นของพาหะของสารอินทรินซิค (Intrinsic) ซึ่งขึ้นกับค่าอุณหภูมิ และส่วนบนของสารกึ่งตัวนำที่เป็นรอยต่อระหว่าง สารกึ่งตัวนำกับออกไซด์จะเรียกว่า "บริเวณผิว"



รูปที่ 2.1-1 แสดงระบบมอสพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชั้นออกไซด์ที่ใช้ในซิลิกอนเทคโนโลยี คือ ซิลิกอนไดออกไซด์ (SiO_2) ชั้นออกไซด์ถูกสร้างโดยผ่านก๊าซออกซิเจนจำนวนมากไปยังผิวของแผ่นเวเฟอร์ (wafer) ที่อุณหภูมิที่กำหนดไว้

สำหรับส่วนบนเป็นชั้นโลหะซึ่งมีหน้าที่เป็นขั้วไฟฟ้าของออกไซด์ ในที่นี้จะใช้อลูมิเนียมเป็นขั้วโลหะ และสร้างได้จากการแพร่ในสูญญากาศ (Evapolation)

ในการจัดเรียงตามโครงสร้างดังกล่าวจะเห็นได้ว่า มีลักษณะเหมือนกับโครงสร้างของค่าตัวเก็บประจุ โดยมีค่าตัวเก็บประจุที่เกทเกิดขึ้น เพราะว่ามีฉนวนออกไซด์คั่นกลางอยู่ระหว่างขั้วเกทและสารกึ่งตัวนำ เราสามารถหาค่าตัวเก็บประจุที่เกทออกไซด์ต่อหน่วยพื้นที่ได้ และถ้า ε_{ox} คือค่า เพอมิทิวิตี้ (permitivity) ของออกไซด์

$$C_{ox} = \frac{\varepsilon_{ox}}{x_{ox}} \text{ [F/cm}^2\text{]}, \tag{2.1-2}$$

โดยที่ X_{ox} คือ ความหนาของออกไซด์ และถ้าเกทออกไซด์มีพื้นที่ A ตารางเซนติเมตร เราจะได้ความจุไฟฟ้าของส่วนเกททั้งหมดเป็น

$$C_g = C_{ox}A \text{ [F]}. \tag{2.1-3}$$

2.2 แรงดันขีดเริ่ม

ค่าแรงดันขีดเริ่ม คือ ค่าแรงดันน้อยที่สุดที่ต้องการทำให้บริเวณผิวของสารกึ่งตัวนำในระบบมอสเป็นชั้นกลับจากสารกึ่งตัวนำชนิดเดิม ทำให้เกิดส่วนของรอยต่อ พี-เอ็น ในลักษณะแบบขั้นบันได (step junction) ซึ่งบริเวณส่วนปลอดพาหะ x_d เราสามารถหาได้จากสมการรอยต่อแบบขั้นบันไดข้างเดียว (one side step juntion)

$$x_{dm} = \sqrt{\frac{2\varepsilon_{Si}}{qN_a}(2|\phi_F|)}, \tag{2.2-1}$$

ϕ_s = ค่าศักดาไฟฟ้าสถิตที่ผิวของสารกึ่งตัวนำ

ϕ_F = ค่าศักดาไฟฟ้าสถิตในสภาวะสมดุลย์ของสารกึ่งตัวนำ

ε_{si} = ค่าเพอมิทิวิตี้ของซิลิกอน (Silicon permitivity)

ค่าประจุในส่วนดีพลีชั่น (bulk depletion charge) ต่อหน่วยพื้นที่คือ

$$Q_{B0} = -qN_a x_d \text{ [C/cm}^2\text{]}, \tag{2.2-2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไขของค่าแรงดันขีดเริ่มจะต้องเหนี่ยวนำให้เกิดชั้นกลับดังนี้ $\phi_s = \phi_F$ จะได้ว่า

$$V_{T0}^{\text{ideal}} = V_{\text{ox}} + 2|\phi_F|. \tag{2.2-3}$$

ซึ่งค่าเทอมแรกคือ ค่าแรงดันตกคร่อมออกไซด์ที่เกิดจากประจุในเนื้อสาร เทอมที่สองคือ ค่าแรงดันที่ทำให้เกิดสภาวะชั้นกลับและค่าประจุที่ผิว เราสมมติให้ประจุในชั้นกลับมีค่าน้อยกว่าประจุในส่วนดีพลีชั่นมาก ๆ $Q_1 << Q_{BO}$ ดังนั้น $Q_s = Q_{BO}$ เราจะได้

$$V_{T0}^{\text{ideal}} = \frac{\sqrt{2q\varepsilon_{\text{Si}}N_a(2|\phi_F|)}}{C_{\text{ox}}} + 2|\phi_F|. \tag{2.2-4}$$

ค่านี้เป็นค่าทางอุดมคติ แต่ในความเป็นจริงแล้วเราจะมีเทอมที่เพิ่มเข้าไปอีก และเมื่อรวมเทอมนี้เข้าไปจะได้ว่า

$$V_{T0} = V_{FB} + \frac{\sqrt{2q\varepsilon_{\text{Si}}N_a(2|\phi_F|)}}{C_{\text{ox}}} + 2|\phi_F|, \tag{2.2-5}$$

โดย V_{FB} เราเรียกว่า flatband voltage ได้มาจากการวิเคราะห์แผนภาพ แถบพลังงานในระบบมอส และค่าประจุแปลกปลอมที่บริเวณผิวและออกไซด์

$$V_{FB} = \Phi_{GS} - \frac{1}{C_{\text{ox}}}(Q_{\text{ox}} + Q_{ss}). \tag{2.2-6}$$

ϕ คือ ค่าความแตกต่างของฟังก์ชั่นงาน (work fuction) ระหว่างเกทกับฐานรอง Q_{ox} และ Q_{ss} คือ ค่าประจุในออกไซด์และที่รอยต่อระหว่าง Si และ SiO_2

สมการ (2.2-3) เป็นสมการแรงดันขีดเริ่มในกรณีที่ $V_B = 0$ ซึ่งในการใช้งานบางครั้งจะมีการไบอัสย้อนกลับที่ฐานรอง ดังนั้นถ้าทำให้ค่าประจุมีค่าเปลี่ยนไป

$$Q_B = -\sqrt{2q\varepsilon_{\text{Si}}N_a(2|\phi_F| + V_B)}. \tag{2.2-7}$$

การเปลี่ยนแปลงของค่าแรงดันขีดเริ่มคำนวณได้โดย

$$\begin{aligned}\Delta V_T &= V_T - V_{T0} \\ &= \frac{\sqrt{2q\varepsilon_{\text{Si}}N_a}}{C_{\text{ox}}}(\sqrt{2|\phi_F| + V_B} - \sqrt{2|\phi_F|}),\end{aligned} \tag{2.2-8}$$

ซึ่ง V_T คือ แรงดันขีดเริ่มที่มีการไบอัสย้อนกลับที่ฐานรอง และจัดรูปสมการ (2.2-6) ใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_T = V_{T0} + \gamma(\sqrt{2|\phi_F| + V_B} - \sqrt{2|\phi_F|}), \qquad (2.2\text{-}9)$$

โดย

$$\gamma = \frac{\sqrt{2q\varepsilon_{Si}N_a}}{C_{ox}} [V^{1/2}] \qquad (2.2\text{-}10)$$

และเรียกค่านี้ว่า ค่าสัมประสิทธิ์การไบอัสที่ฐานรอง (body bias coefficieent) และประจุที่ชั้นกลับตอนนี้มีค่า

$$Q_I = -C_{ox}(V_G - V_T), \qquad (2.2\text{-}11)$$

จากที่กล่าวมาทั้งหมดเราพิจารณาในกรณีที่สารกึ่งตัวนำเป็นชนิดพี (p-type) ซึ่งเป็นพื้นฐานในการสร้างมอสทรานซิสเตอร์ สำหรับในกรณีที่มอสทรานซิสเตอร์ฐานรองเป็นชนิดเอ็น เราสามารถหาค่าแรงดันขีดเริ่มได้ในทำนองเดียวกัน เพียงแต่เครื่องหมายของเทอมในสมการจะเปลี่ยนแปลงไปบ้าง ซึ่งตารางที่ 2.1 ได้สรุปเครื่องหมายของสมการแรงดันขีดเริ่มของเอ็นมอสและพีมอสไว้ให้

ตารางที่ 2.1 แสดงเครื่องหมายในสมการแรงดันขีดเริ่ม

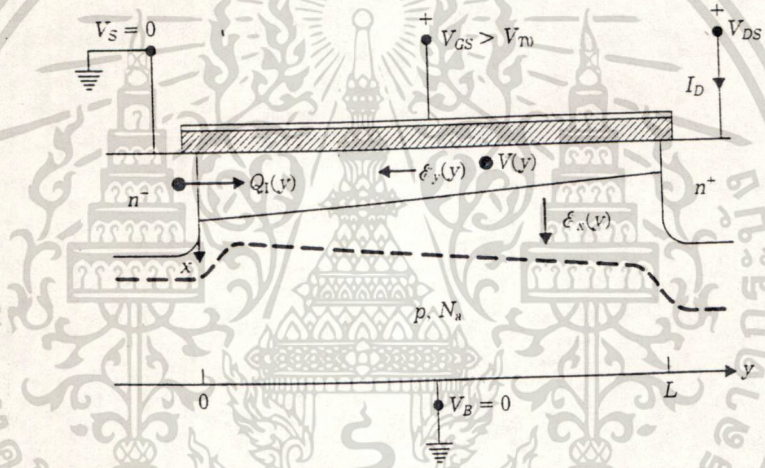
PARAMETER	NMOS	PMOS
Substrate	p-type	n-type
ϕ_{GC}		
Metal gate	-	-
n^+ Si gate	-	-
p^+ Si gate	+	+
ϕ_F	-	+
Q_{BO}, Q_B	-	+
Q_{ox}	+	+
γ	+	-
X_d, C_{ox}	+	+
V_{SB}	+	-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การประมาณช่องทางเดินกระแสแบบลาด

เพื่อลดปัญหายุ่งยากในการวิเคราะห์ เราจำเป็นต้องมีการประมาณทั้งคุณสมบัติของสนามไฟฟ้าและช่องทางเดิน เพราะว่าในความเป็นจริง ปัญหาจะมีทั้งหมด 3 มิติ ซึ่งมีความซับซ้อน เพื่อให้ง่ายเราจะพิจารณาเป็นการประมาณช่องทางเดินกระแสแบบลาด (gradual channel approximation) ซึ่งจะลดปัญหาให้เหลือกระแสไหลใน 1 มิติ แต่ถึงอย่างไรก็ให้แนวโน้มเดียวกันจากการวัด และสมการนี้จะใช้ได้ในอุปกรณ์ขนาดใหญ่ ไม่สามารถใช้ได้โดยตรงกับมอสเฟทขนาดเล็ก เช่น VLSI ชิฟ โดยไม่มีการปรับแก้ไข แต่ถึงอย่างไรสมการที่ใช้นี้ก็ยังพอเพียงในการวิเคราะห์ และการออกแบบในระดับพื้นฐานเริ่มต้น และมีความถูกต้องพอเพียง

รูปที่ 2.3-1 แสดงภาคตัดขวางมอสเฟต ภายใต้เงื่อนไขการประมาณช่องทางเดิน



รูปที่ 2.3-1 แสดงส่วนทางเรขาคณิตที่ใช้ในการประมาณช่องทางเดินกระแสแบบลาด

กระแสแบบลาด ค่าแรงดันไบอัส $V_s = 0 = V_B$ แกน x มีค่าเป็นบวก เมื่อเข้าไปในฐานรองระยะ y ขนานกับผิว และความยาวช่องทางเดินมีค่า y = 0 ถึง y = w V_{GS} มีค่ามากกว่า V_{TO} เพื่อทำให้เกิดชั้นกลับทำให้มอสเฟทที่ช่องทางเดินเกิดขึ้น สนามไฟฟ้าช่องทางเดินที่เกิดจาก V_{DS} คือ $\mathcal{E}_y(y)$ แรงดันที่ช่องทางเดิน คือ V(y)

$$\mathcal{E}_y(y) = -\frac{dV(y)}{dy}$$

เงื่อนไขขอบเขตแรงดันช่องทางเดิน คือ

$$V(y = 0) = V_S = 0, \qquad V(y = L) = V_{DS}. \tag{2.3-1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สนามไฟฟ้าในช่องทางเดินกระแสมีทิศพุ่งไปทาง -y และการประมาณแบบ GCA สนามไฟฟ้าในแนวแกน y จะเป็นตัวที่ทำให้อิเลคตรอนพุ่งจากขั้วซอสมาเดรน ทำให้เกิดกระแส I_D ไหล

สำหรับรูปร่างช่องทางเดินกระแสจะมีลักษณะลาดจากด้านซอสไปด้านเดรน แสดงในรูปที่ 2.3-1 ซึ่งเกิดจากสนามไฟฟ้าในแนวแกน x ε_x (y) และความลึกของส่วนดีพลีชั่นทางด้านซอสจะมากกว่าด้านเดรน ทั้งนี้เป็นผลจากค่าแรงดันตามแนวช่องทางเดินกระแส V(y) เราสามารถหาค่าความลึกของส่วนดีพลีชั่นได้

$$x_{dm}(y) \simeq \sqrt{\frac{2\varepsilon_{Si}}{qN_a}[2|\phi_F| + V(y)]}. \tag{2.3-2}$$

ความหนาแน่นประจุที่ชั้นกลับ $Q_I(y)[C/cm^2]$ ที่ขอบของซอสซึ่งมีค่าแรงดันช่องทางเดินเป็นศูนย์ มีค่า

$$Q_I(y=0) = -C_{ox}[V_{GS} - V_{T0}]. \tag{2.3-3}$$

ดังนั้นประจุที่ตำแหน่งใด ๆ ของช่องทางเดินกระแสเป็น

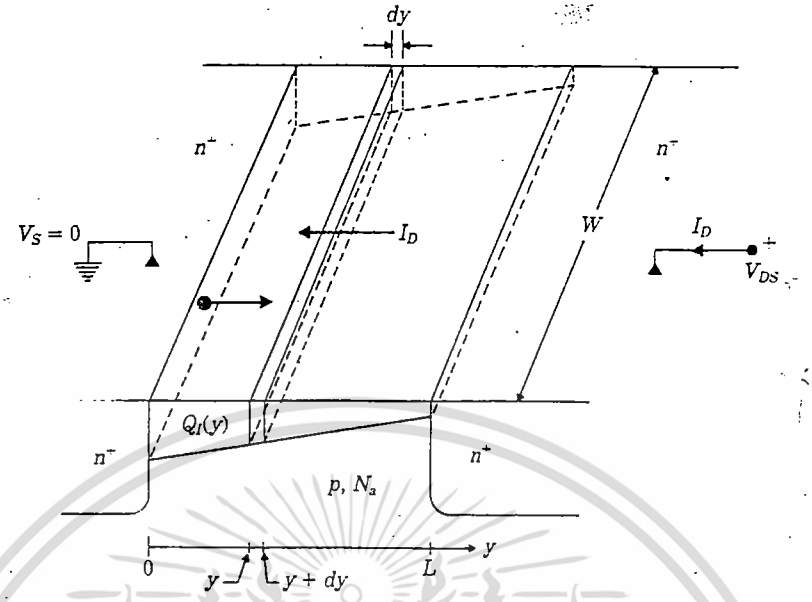
$$Q_I(y) = -C_{ox}[V_{GS} - V_{T0} - V(y)] \tag{2.3-4}$$

2.4 คุณสมบัติกระแสและแรงดันของมอสเฟต

การวิเคราะห์หาความสัมพันธ์ของกระแสและแรงดันในตอนนี้ จะนำเอาการประมาณแบบ GCA มาใช้ในการวิเคราะห์ ซึ่งจะได้ความสัมพันธ์ระหว่างกระแสและแรงดันอย่างง่าย ซึ่งจะนำไปใช้เป็นสมการในการออกแบบต่อ ๆ ไป โดยมีไบอัสพิจารณารูปที่ 2.4-1 ซึ่งเป็นรูปมอสเฟตที่ได้จากการสมมติฐานการประมาณแบบ GCA โดยพิจารณาที่ค่าความต้านทานในช่วงสั้น ๆ dy

$$dR = -\frac{dy}{\mu_n W Q_I(y)}[\Omega], \tag{2.4-1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4-1 แสดงสัดส่วนทางเรขาคณิตที่ใช้ในการวิเคราะห์ปริมาณกระแส

μ_n คือ ค่าความคล่องตัวที่ผิว (surface mobility) ซึ่งมีค่าแตกต่างกับค่าความคล่องตัวที่เนื้อสาร (bulk mobility) ค่าแรงดันตกคร่อม dy ตามความยาวช่องทางเดิน dy คือ

$$dV = I_D\, dR = -\frac{I_D\, dy}{\mu_n W Q_I(y)}. \tag{2.4-2}$$

จัดเทอมใหม่ และอินทิเกรทตลอดแนวช่องทางเดิน

$$I_D \int_0^L dy = -\mu_n W \int_0^{V_{DS}} Q_I(V)\, dV. \tag{2.4-3}$$

แทนค่า Q_1 จาก (2.4-4) ในตอนที่แล้ว

$$I_D = (\mu_n C_{ox})\left(\frac{W}{L}\right)\int_0^{V_{DS}} (V_{GS} - V_{T0} - V)\, dV. \tag{2.4-4}$$

เพื่อให้ง่ายต่อการอินทิเกรท โดยสมมติให้ V_{T0} เป็นค่าคงที่ตลอดช่องทางเดินซึ่งค่าของ V_{TO} นั้นอยู่กับความหนาแน่นประจุในดีพลีชั่น ค่าแรงดันตกคร่อมช่องทางเดิน V(y) และจากการสมมติแทนค่าจะได้

$$I_D = k'\left(\frac{W}{L}\right)\left[(V_{GS} - V_{T0})V_{DS} - \frac{1}{2}V_{DS}^2\right], \tag{2.4-5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งค่า process transconductance พารามิเตอร์ k มีค่าเป็น

$$k' = \mu_n C_{ox} \ [A/V^2] \tag{2.4-6}$$

ดังนั้นเราเขียนสมการให้สะดวกขึ้นเป็น

$$I_D = \frac{\beta}{2}[2(V_{GS} - V_{T0})V_{DS} - V_{DS}^2] \tag{2.4-7}$$

โดยที่ค่า β คือ ค่าทรานคอนดัคแตนซ์ของอุปกรณ์

$$\beta = k'\left(\frac{W}{L}\right) \ [A/V^2]. \tag{2.4-8}$$

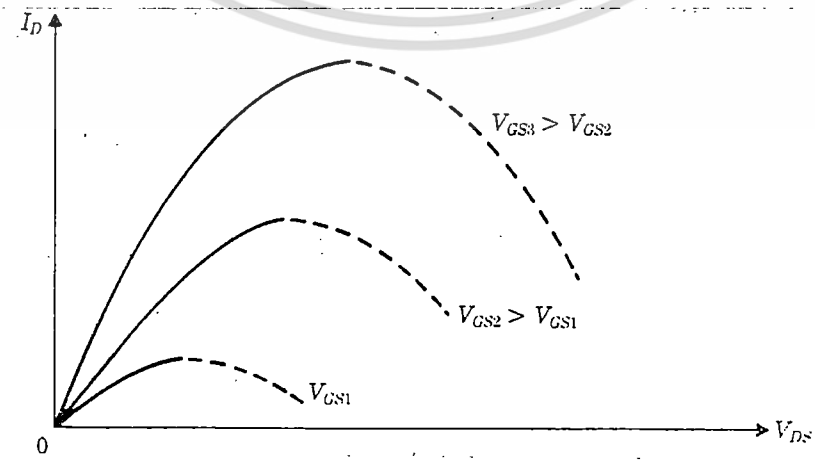
สมการที่ (2.4-7) เป็นสมการกระแสในช่วงไม่อิ่มตัว ซึ่งค่ากระแสจะเป็นฟังก์ชั่น V_{GS} และ V_{DS} V_{GS} และ V_{DS} เมื่อนำสมการมาพลอทระหว่าง V_{DS} และ I_D ที่ค่า V_G คงที่ต่าง ๆ เราจะได้กราฟดังรูปที่ 2.4-2 ซึ่งมีลักษณะเป็นพาลาโบล่า โดยตอนแรกค่า I_D จะแปรผันตรงกับค่า V_{DS} จนถึงจุดสูงสุด ซึ่งทำให้เราอาจเรียกช่วงการทำงานนี้ว่า ช่วงเชิงเส้นและเมื่อเลยช่วงจุดสูงสุดลักษณะกราฟจะโค้งลงตามเส้นประ แต่จากการวัดค่ากระแสในมอสเฟต ระยะเส้นประในกราฟจะเป็นค่าคงที่ ที่ค่าสูงสุดโดยไม่ขึ้นกับ V_{DS}

จุดสูงสุดใน I_D จึงเป็นเส้นแบ่งเขตโหมดการทำงานช่วงอิ่มตัว ค่าแรงดันอิ่มตัว $V_{DS,sat}$ ซึ่งจะเป็นตัวกำหนดจุดเริ่มต้นเข้าสู่การทำงานช่วงอิ่มตัว เราสามารถหาได้จากการหาค่ากระแสสูงสุด

$$\frac{\partial I_D}{\partial V_{DS}} = 0 = \beta(V_{GS} - V_{T0} - V_{DS}). \tag{2.4-9}$$

โดยที่แทนค่า V_{DS}

$$V_{DS,sat} = V_{GS} - V_{T0} \tag{2.4-10}$$



รูปที่ 2.4-2 ความสัมพันธ์ระหว่าง I_D กับ V_{DS} ในช่วงการทำงานที่ไม่อิ่มตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะสังเกตว่า V_{DS} ขึ้นอยู่กับค่า V_{GS} สมการกระแสอิ่มตัวมอสเฟตคงที่

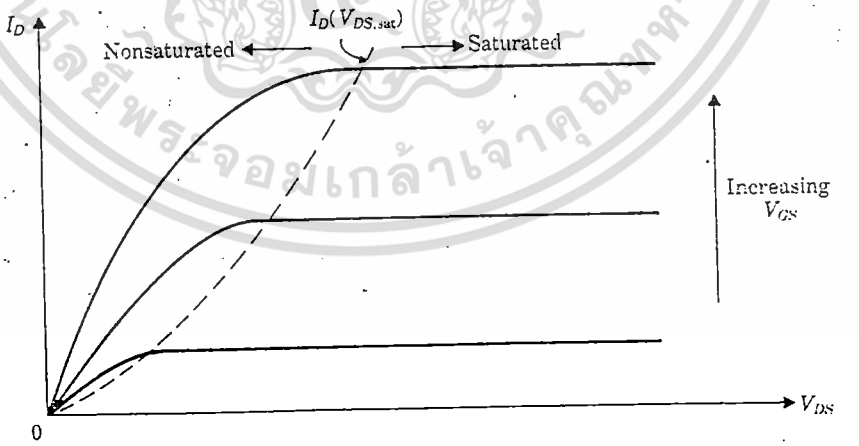
$$I_{D,\text{sat}} = I_D(V_{DS} = V_{DS,\text{sat}}) = \frac{\beta}{2}(V_{GS} - V_{T0})^2. \qquad (2.4\text{-}11)$$

ดังนั้น เมื่อนำสมการกระแสช่วงไม่อิ่มตัวและช่วงอิ่มตัวมาพลอท เราจะได้ความสัมพันธ์ของกระแสและแรงดัน ดังในรูปที่ 2.4-3 บริเวณเส้นประที่เป็นพาราโบล่า แสดงจุดแบ่งเขตระหว่างช่วงไม่อิ่มตัวและช่วงอิ่มตัว กระแสเดรนของมอสทรานซิสเตอร์ในช่วงอิ่มตัวในความเป็นจริงอาจจะไม่ขึ้นกับค่า V_{DS} อย่างสมบูรณ์ เพราะว่าช่วงดีพลีชั่นที่เดรนมีความกว้างมากขึ้น เมื่อ V_{DS} เพิ่มขึ้น ทำให้ระยะ L ของช่องทางเดินกระแสลดลง ซึ่งมีส่วนสำคัญต่อค่าสนามไฟฟ้าสถิตคัปปลิ้ง ระหว่างเดรนและประจุเคลื่อนที่ในช่องทางเดิน เมื่อเพิ่มค่าแรงดันที่เดรน ก็จะเพิ่มประจุ Q_1 ซึ่งมีค่ามากกว่าสมการที่ (2.3-4) ซึ่งจะทำให้ค่ากระแสเดรนที่มีค่าเพิ่มมากขึ้น เมื่อแรงดันเพิ่มขึ้น และสมการกระแสประมาณได้เป็น

$$I_D \simeq \frac{\beta}{2}(V_{GS} - V_{T0})^2[1 + \lambda V_{DS}]. \qquad (2.4\text{-}12)$$

ซึ่งมีค่า λ คือค่า channel-length modulation ซึ่งค่านี้มีค่าอยู่ในช่วง 0.1-0.01 V^{-1} และรูปที่ 2.4-4 แสดงผลของแชลแนลมอดดูเลชั่นที่เกิดในช่วงอิ่มตัว

จากที่กล่าวมาทั้งหมด เราพิจารณาค่ากระแสที่ขณะไม่ได้ให้แรงดันย้อนกลับที่ฐานรอง $V_B = 0$ สำหรับในกรณีที่มีแรงดันย้อนกลับที่ฐานรอง เราก็จะได้สมการกระแสที่คล้ายกันเพียงแต่ค่า V_{TO} จะเปลี่ยนไปเป็น V_T ดังในสมการ (2.2-7) ดังนั้นเราสามารถสรุปสมการในกรณีที่มีค่า $V_B \neq 0$ เป็นกรณีทั่วไป



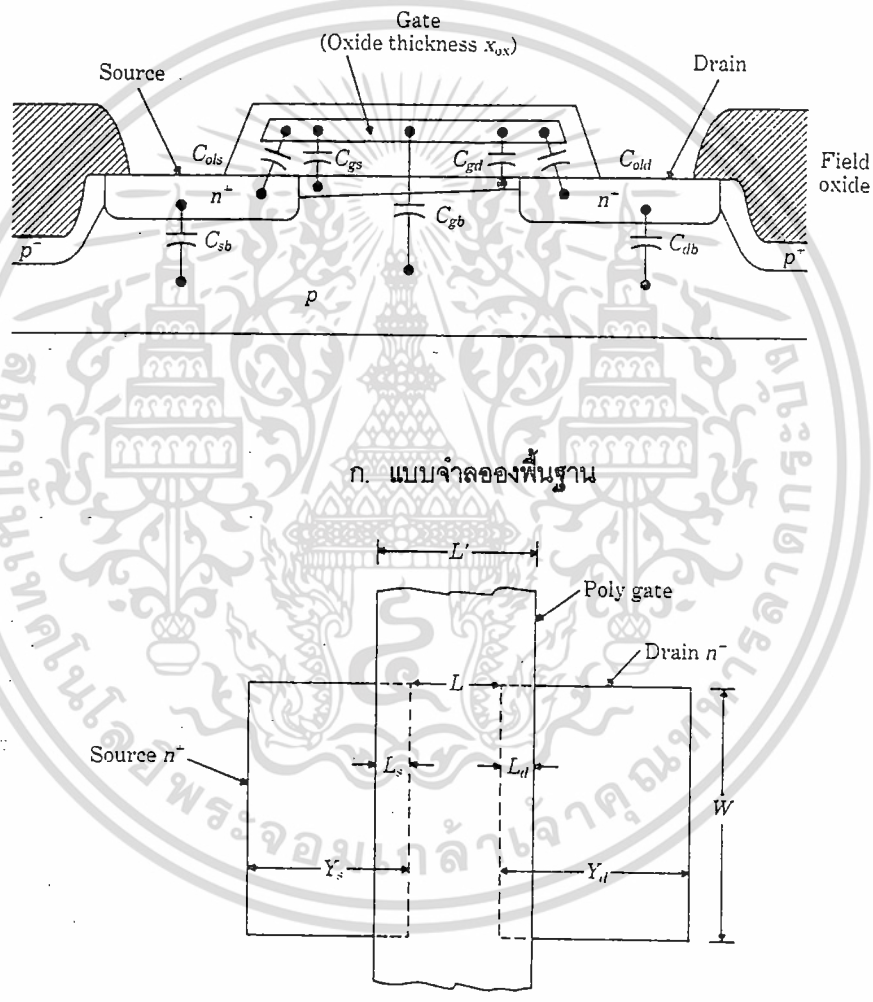
รูปที่ 2.4-3 คุณสมบัติกระแสและแรงดันของมอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงให้เห็นค่าตัวเก็บประจุในโครงสร้างทางฟิสิกส์ ส่วนรูปที่ 2.5-1 ข แสดงรูปคำนวณแสดงส่วนทางเรขาคณิตที่จำเป็นในการคำนวณ

พิจารณาค่าตัวเก็บประจุสองตัวแรก C_{ols} และ C_{old} เป็นตัวเก็บประจุไฟฟ้าในส่วนซ้อนกัน เกิดจากค่าความยาวของอะลูมิเนียมเกทมีค่า L

$$L' = L_s + L + L_D \qquad (2.5\text{-}1)$$



ข. รูปสัดส่วนทางเรขาคณิตด้านบน

รูปที่ 2.5-1 แบบจำลองตัวเก็บประจุในมอสเฟต

L คือ ค่าความยาวจริงของช่องทางเดินกระแส L_s และ L_d คือ ค่าระยะซ้อนกันระหว่างเกท-ซอสและเกท-เดรน ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_{ols} = C_{ox}WL_s, \quad C_{old} = C_{ox}WL_d, \tag{2.5-2}$$

ซึ่ง

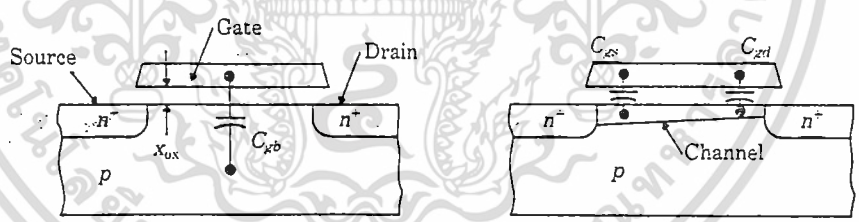
$$C_{ox} = \frac{\varepsilon_{ox}}{x_{ox}} \tag{2.5-3}$$

ต่อมาพิจารณา C_{gs}, C_{gd} และ C_{gb} ในรูป 2.6-1 ก C_{gs} คือ ค่าตัวเก็บประจุเกทกับช่องทางเดินระหว่างเกทกับซอส C_{gd} คือ ค่าตัวเก็บประจุเกท-เดรน และ C_{gb} คือ ค่าตัวเก็บประจุระหว่างเกทกับเนื้อสารที่เกิดจากช่วงปลอดพาหะ ค่าตัวเก็บประจุสามารถที่จะอธิบายให้เข้าใจด้วยการทำงาน 3 ช่วง ของมอสเฟต ดังแสดงในรูปที่ 2.5-2 และความสัมพันธ์ค่าตัวเก็บประจุทั้งสามที่ขึ้นอยู่กับค่าแรงดัน V_{GS} เมื่อพลอทเทียบกันในช่วงการทำงานของมอสเฟตแสดงได้ดังรูปที่ 2.5-3

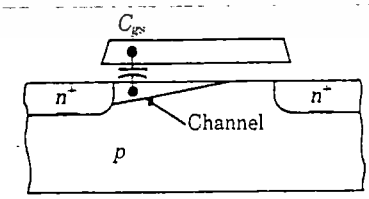
เราสามารสรุปค่าตัวเก็บประจุในช่วงการทำงานของมอสเฟตช่วงต่าง ๆ โดยขึ้นกับฟังก์ชั่น V_{DS} ดังนี้

ก) ช่วงคัทออฟ

$$C_{gb} \simeq C_{ox}WL$$
$$C_{gs} \simeq 0$$
$$C_{gd} \simeq 0$$



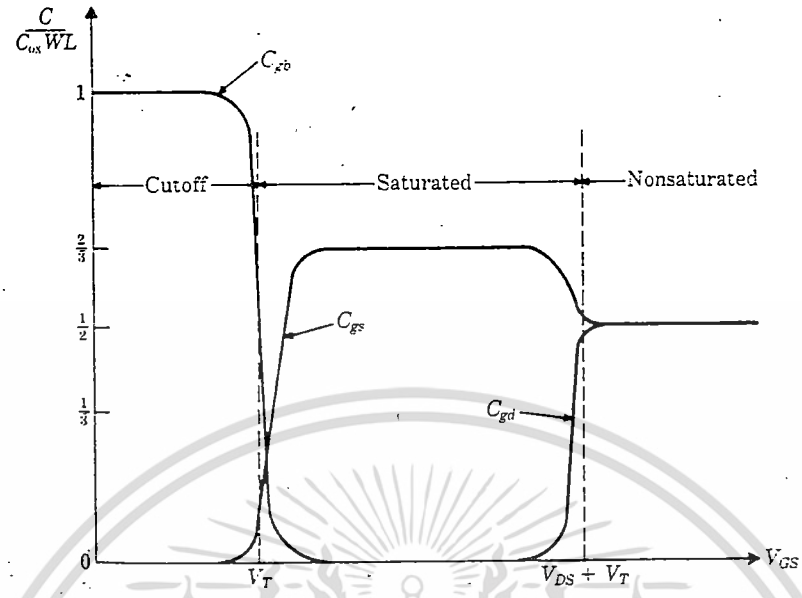
ก. คัทออฟ ข. ไม่อิ่มตัว



ค. อิ่มตัว

รูปที่ 2.5-2 แสดงค่าตัวเก็บประจุที่เกทของมอสเฟตในช่วงการทำงานต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.5-3 ค่าตัวเก็บประจุที่เกทกับความสัมพันธ์แรงดันเกท-ซอส

ข) ช่วงไม่อิ่มตัว

$$C_{gb} \simeq 0$$

$$C_{gs} \simeq \frac{1}{2} C_{ox} WL \left(1 + \frac{V_{DS}}{3V_{DS,sat}}\right)$$

$$C_{gd} \simeq \frac{1}{2} C_{ox} WL \left(1 - \frac{V_{DS}}{V_{DS,sat}}\right)$$

ค) ช่วงอิ่มตัว

$$C_{gb} \simeq 0$$

$$C_{gs} \simeq \frac{2}{3} C_{ox} WL$$

$$C_{gd} \simeq 0$$

ดังนั้นสรุปได้ว่าค่าตัวเก็บประจุในส่วนออกไซด์

$$C_G = C_{ox} WL',$$

$$C_{GS} = C_{ols} + C_{gs},$$

$$C_{GD} = C_{old} + C_{gd}.$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับค่าตัวเก็บประจุอีกสองตัวคือ C_{sb} และ C_{db} เป็นตัวเก็บประจุที่เกิดจากส่วนดีพลีชั่นในรอยต่อ พี-เอ็น เพื่อให้ชัดเจนยิ่งขึ้น รูปที่ 2.5-4 แสดงส่วนขยายส่วนเดรนหรือซอส n^+ ในสารกึ่งตัวนำชนิดพี ค่าตัวเก็บประจุในส่วนนี้ คือส่วนที่เป็นพื้นที่ด้านล่าง และส่วนข้าง ๆ ของส่วนเดรน, ซอส

ค่าตัวเก็บประจุดีพลีชั่นต่อหน่วยพื้นที่มีค่า

$$C = \frac{C_{j0}}{\left(1 + \frac{V_r}{\phi_o}\right)^{1/2}}, \tag{2.5-3}$$

V_r คือ ค่าไบอัสย้อนกลับ

ให้ค่าความเข้มข้นในส่วน p และ n เป็น N_a และ N_d

$$\phi_o = \left(\frac{kT}{q}\right) \ln\left(\frac{N_d N_a}{n_i^2}\right); \tag{2.5-4}$$

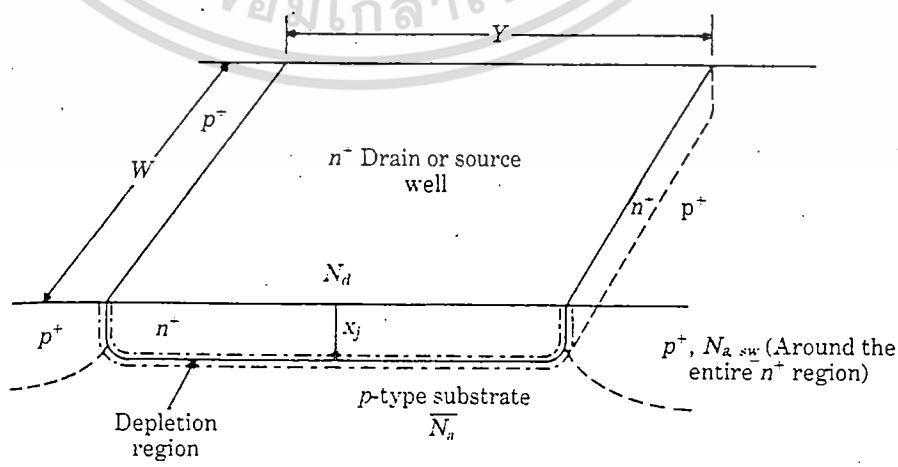
ค่า C_{jo} เป็นค่าตัวเก็บประจุที่ไบอัสเป็นศูนย์ $(V_r = 0)$ คำนวณได้โดย

$$C_{j0} = \sqrt{\frac{q\varepsilon_{Si}}{2\left(\frac{1}{N_a} + \frac{1}{N_d}\right)\phi_o}}. \tag{2.5-5}$$

ตัวเก็บประจุรวมทั้งหมด

$$C_T = C_{j0} WY + C_{jsw}\ell \tag{2.5-6}$$

X_j คือ ค่าผลึกของส่วน n^+, 1 คือ ความยาวโดยรอบของส่วนทั้ง 1 = 2W + 2Y



รูปที่ 2.5-4 แสดงส่วนขยายเดรนหรือซอส n^+ สำหรับการคำนวณค่าตัวเก็บประจุช่วงปลอดพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 แบบจำลองมอสทรานซิสเตอร์ในการจำลองแบบด้วยโปรแกรม PSPICE

การใช้คอมพิวเตอร์ช่วยในการจำลองแบบสามารถช่วยในการวิเคราะห์คุณสมบัติของวงจรต่าง ๆ ที่เราต้องการ และจะมีความสำคัญอย่างยิ่งในวงจรที่มีขนาดใหญ่และซับซ้อน ในการจำลองแบบจะใกล้เคียงความเป็นจริงเท่าใด ขึ้นอยู่กับแบบจำลองว่ามีความละเอียดมากน้อยเพียงใด ซึ่งในการจำลองแบบได้เลือกใช้โปรแกรม PSPICE ซึ่งเป็นที่นิยมและยอมรับกันโดยทั่วไปโดยโปรแกรม PSPICE มีแบบจำลอง 3 ระดับ ระดับ 1 เป็นแบบจำลองอย่างง่าย และพอเพียงสำหรับการตรวจสอบคุณสมบัติเบื้องต้นของวงจรที่ประกอบด้วยมอส แบบจำลองระดับ 1 แสดงให้ดังรูปที่ 2.6-1

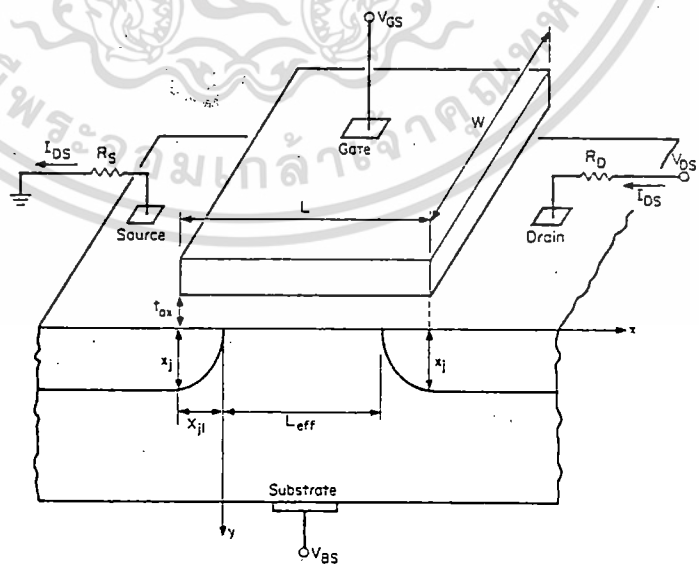
คุณสมบัติทางไฟตรงของมอสเฟต ถูกกำหนดจากค่าตัวแปรทางไฟฟ้าของอุปกรณ์ที่สำคัญคือ VTO, KP, LAMBDA, PHI และ GAMMA ส่วนคุณสมบัติทางสวิทชิ่งขึ้นอยู่กับค่าตัวเก็บประจุในโครงสร้าง ค่าตัวเก็บประจุคงที่ CGSO, CGDO และ CGBO คือ ค่าตัวเก็บประจุในส่วนซ้อนกันระหว่างเกท-ซอส, เกท-เดรน และเกทกับเนื้อสาร ส่วนค่าตัวเก็บประจุดีพลีชั่นที่ไม่เป็นเชิงเส้น คือ CBD, CBS, CJ, Cjsw, MJ, MJsw และ Pb ซึ่งความหมายของค่าตัวแปรเหล่านี้สรุปได้ดังตารางที่ 2.6-1

สมการกระแสที่ใช้ในโปรแกรมที่ระดับ 1 สรุปได้ดังนี้

ช่วงเชิงเส้น

$$V_{GS} > V_{TH} \qquad V_{DS} < V_{GS} - V_{TH}:$$

$$I_{DS} = KP\frac{W}{L - 2X_{jl}}\left(V_{GS} - V_{TH} - \frac{V_{DS}}{2}\right)V_{DS}(1 + \lambda V_{DS}) \qquad (2.6\text{-}1)$$



รูปที่ 2.6-1 แสดงแบบจำลองมอสเฟตในการจำลองแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ตารางที่ 2.6-1 แสดงค่าตัวแปรในการจำลองแบบ PSPICE

Symbol	Name	Parameter	Units	Default	Example
	LEVEL	Model index		1	
V_{TO}	VTO	Zero-bias threshold Voltage	V	0.0	1.0
k	KP	Transconductance parameter	A/V^2	2.0E-5	3.1E-5
γ	GAMMA	Bulk threshold parameter	$V^{1/2}$	0.0	0.37
$2\|\phi\|$	PHI	Surface potential	V	0.6	0.65
λ	LAMBDA	Channel-length modulation	V^{-1}	0.0	0.02
C_{db}	CBD	Zero-bias B-D junction capacitance	F	0.0	2.0E-14
C_{sb}	CBS	Zero-bias B-S Junction capacitance	F	0.0	2.0E-14
ϕ_o	PB	Bulk junction potential	V	0.8	0.87
C_{jo}	CJ	Zero-bias bulk junction bottom capacitance per square meter of junction area	F/m^2	0.0	2.0E-4
t_{ox}	TOX	Oxide thickness	m	1.0E-7	1.0E-7
N_A or N_D	NSUB	Substrate doping	cm^{-3}	0.0	4.0E15
Q_{ss}/q	NSS	Surface state density	cm^{-2}	0.0	1.0E10
X_j	XJ	Metallurgical junction depth	m	0.0	1.0E-6
L_D	LD	Lateral diffusion	m	0.0	0.8E-6
μ	UO	Surface mobility	$cm^2/V.s$	600	700

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

32231

ซึ่ง $X_j l$ เป็นค่าระยะแพร่ด้านข้าง

$$V_{TH} = V_{T0} + \gamma(\sqrt{2\phi_p - V_{BS}} - \sqrt{2\phi_p}) \quad (2.6\text{-}2)$$

ซึ่ง V_{TO} คือ ค่าแรงดันขีดเริ่มเมื่อ $V_{BS} = 0$

ช่วงอิ่มตัว

$$V_{GS} > V_{TH} \qquad V_{DS} > V_{GS} - V_{TH}:$$

$$I_{DS} = \frac{KP}{2}\frac{W}{L - 2X_{jl}}(V_{GS} - V_{TH})^2(1 + \lambda V_{DS}) \quad (2.6\text{-}3)$$

W และ L คือ ค่าความกว้างและความยาวช่องทางเดิน และค่าความยาวช่องทางเดินจริง L_{eff}

$$L_{eff} = L - 2X_{jl} \quad (2.6\text{-}4)$$

ค่าตัวแปรที่ประกอบในสมการที่สำคัญ มีค่าดังนี้

$$KP = \mu C'_{ox} \quad (2.6\text{-}5)$$

$$\gamma = \frac{\sqrt{2\epsilon_s q N_A}}{C'_{ox}} \quad (2.6\text{-}6)$$

$$2\phi_p = 2\frac{kT}{q}\ln\frac{N_A}{n_i} \quad (2.6\text{-}7)$$

$$C'_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2.6\text{-}8)$$

ค่าตัวเก็บประจุที่เกท

ช่วงแอคคอมมูเลชั่น $V_{GS} < V_{on} - 2\phi_p$:

$$C_{GB} = C_{ox} + C_{GBO}L_{eff} \quad (2.6\text{-}9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_{GS} = C_{GSO}W \tag{2.6-10}$$

$$C_{GD} = C_{GDO}W \tag{2.6-11}$$

ช่วงดีพลีชั่น $V_{on} - 2\phi_p < V_{GS} < V_{on}$:

$$C_{GB} = C_{ox}\frac{V_{on} - V_{GS}}{2\phi_p} + C_{GBO}L_{eff} \tag{2.6-12}$$

$$C_{GS} = \tfrac{2}{3}C_{ox}\left(\frac{V_{on} - V_{GS}}{2\phi_p} + 1\right) + C_{GSO}W \tag{2.6-13}$$

$$C_{GD} = C_{GDO}W \tag{2.6-14}$$

ช่วงอิ่มตัว

$V_{on} < V_{GS} < V_{on} + V_{DS}$:

$$C_{GB} = C_{GBO}L_{eff} \tag{2.6-15}$$

$$C_{GS} = \tfrac{2}{3}C_{ox} + C_{GSO}W \tag{2.6-16}$$

$$C_{GD} = C_{GDO}W \tag{2.6-17}$$

ช่วงเชิงเส้น

$V_{GS} > V_{on} + V_{DS}$:

$$C_{GB} = C_{GBO}L_{eff} \tag{2.6-18}$$

$$C_{GS} = C_{ox}\left\{1 - \left[\frac{V_{GS} - V_{DS} - V_{on}}{2(V_{GS} - V_{on}) - V_{DS}}\right]^2\right\} + C_{GSO}W \tag{2.6-19}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

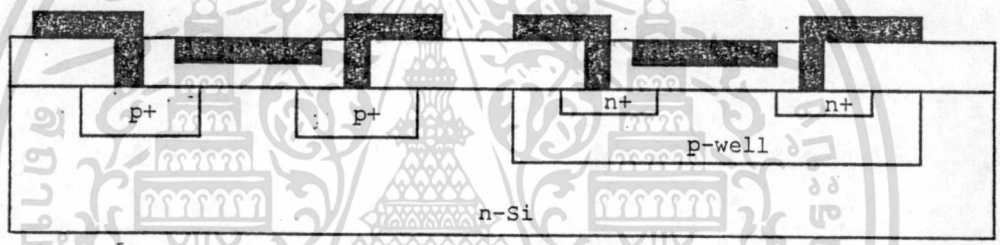
$$C_{GD} = C_{ox}\left\{1 - \left[\frac{V_{GS} - V_{on}}{2(V_{GS} - V_{on}) - V_{DS}}\right]^2\right\} + C_{GDO}W \qquad (2.6\text{-}20)$$

$$C_{ox} = C'_{ox}WL_{eff}$$

2.7 โครงสร้างซีมอส

ซีมอส (CMOS) เป็นชื่อย่อมาจาก Complementary Metal Oxide Semiconductor ซึ่งจะเป็นมอสทรานซิสเตอร์ที่อยู่กับแบบเป็นคู่ หรือทำงานเป็นคู่

โครงสร้างของซีมอสแสดงได้ดังรูปที่ 2.7.1 จากรูปโครงสร้างจะประกอบด้วยมอสเฟตสองตัว คือ เอ็นมอสและพีมอส โดยพีมอสจะสร้างอยู่บนฐานรองชนิดเอ็น ส่วนเอ็นมอสสร้างอยู่ในสารเจือชนิด P ซึ่งมีลักษณะการแพร่ให้เป็นบ่อแยกจากฐานรองชนิดเอ็น ซึ่งทั้งเอ็นมอสและพีมอสจะต่อกันแล้วแต่ลักษณะของวงจรที่ออกแบบ ซึ่งโครงสร้างในลักษณะนี้ก็จะทำให้ได้ลักษณะคุณสมบัติเฉพาะ หรือพิเศษบางประการที่แตกต่างไปจากโครงสร้างแบบเดี่ยวของ เอ็นมอสและพีมอส



รูปที่ 2.7-1 แสดงโครงสร้างซีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบวงจรรวมดิจิตอลตรรกสองสถานะ

ในบทนี้จะกล่าวถึงการออกแบบวงจรรวมดิจิตอลตรรกสองสถานะแบบซีมอส โดยเน้นคุณสมบัติทางสวิชชิ่ง ผลของค่าตัวแปรจะถูกออกแบบโดยค่าสมการกระแสและลวดลายวงจรก็จะดำเนินตามกฎการออกแบบของเทคโนโลยี

3.1 กฎการออกแบบ

กฎการออกแบบคือ ชุดของข้อกำหนดสำหรับลวดลายของมาส์ก (mask) ซึ่งจะมีข้อมูลเกี่ยวกับรูปร่างทางเรขาคณิต อย่างเช่น ค่าความกว้างที่สุดในลวดลาย ค่าระยะห่างที่น้อยที่สุดสำหรับในแต่ละมาส์ก กฎการออกแบบจะเป็นแนวทางสำหรับในการออกแบบลวดลายของวงจรรวมซึ่งข้อมูลต่าง ๆ เหล่านี้ได้มาจากการวิเคราะห์ที่ได้จากกระบวนการสร้าง ในกระบวนการสร้างหรือเทคโนโลยีที่แตกต่างกันก็จะมีกฎการออกแบบที่แตกต่างกัน สำหรับกฎการออกแบบในที่นี้ได้จากเทคโนโลยีการสร้างซีมอสในบทที่ 4 รูปที่ 3.1-1 แสดงตัวอย่างของลวดลายด้านบนของซีมอสทรานซิสเตอร์ แสดงให้เห็นส่วนของชั้นต่าง ๆ ตามเส้นที่แตกต่างกัน และสำหรับกฎการออกแบบของซีมอสสรุปได้ดังในตารางที่ 3.1 ซึ่งจะใช้ในการออกแบบลวดลายวงจรทั้งหมดในตอนต่อ ๆ ไป

ตารางที่ 3.1

กฎการออกแบบซีมอส

ก) มาส์กพื้นที่ส่วนทรานซิสเตอร์	
1) ค่าในส่วนที่แพร่สารเจือเล็กที่สุด	40 x 20 μm
2) ค่าน้อยที่สุดระหว่างพื้นที่การแพร่สารเจือ	20 μm
ข) มาส์กเกท	
1) พื้นที่เล็กสุด	20 x 40 μm
2) ระยะระหว่างเกทในกรณีที่มีเกทหลายเกท	10 μm
3) ค่าซ้อนกันในส่วนเกท	10 μm
ค) มาส์กคอนแทค	
1) พื้นที่น้อยที่สุด	20 x 20 μm
2) ระยะห่างระหว่างขอบคอนแทคกับขอบของบริเวณแพร่สารเจือ	20 μm
3) ระยะห่างระหว่างขอบคอนแทคกับเกท	20 μm
ง) มาส์กอลูมิเนียม	
1) ค่าความกว้างน้อยสุด	40 μm
2) ค่าระยะห่างน้อยสุดระหว่างอลูมิเนียมกับอลูมิเนียม	10 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.1-1 ตัวอย่างลวดลายด้านหน้ามัสก์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) ค่าระยะน้อยที่สุดของอลูมิเนียมซ้อนกับคอมแทค 10 μm

จ) มาส์กการแพร่ป่อแยก

1) ระยะน้อยที่สุดระหว่างขอบป่อแยกชนิดเอ็นกับ p^+ 20 μm

2) ระยะน้อยที่สุดจากขอบป่อแยกกับ p^+ ข้างนอก 20 μm

3) ระยะน้อยที่สุดจากขอบป่อแยกกับ n^+ ข้างนอก 20 μm

4) ระยะน้อยที่สุดจากขอบป่อแยกชนิดพีกับ n^+ 20 μm

5) ระยะน้อยที่สุดระหว่างขอบป่อแยกกับขอบป่อแยก 20 μm

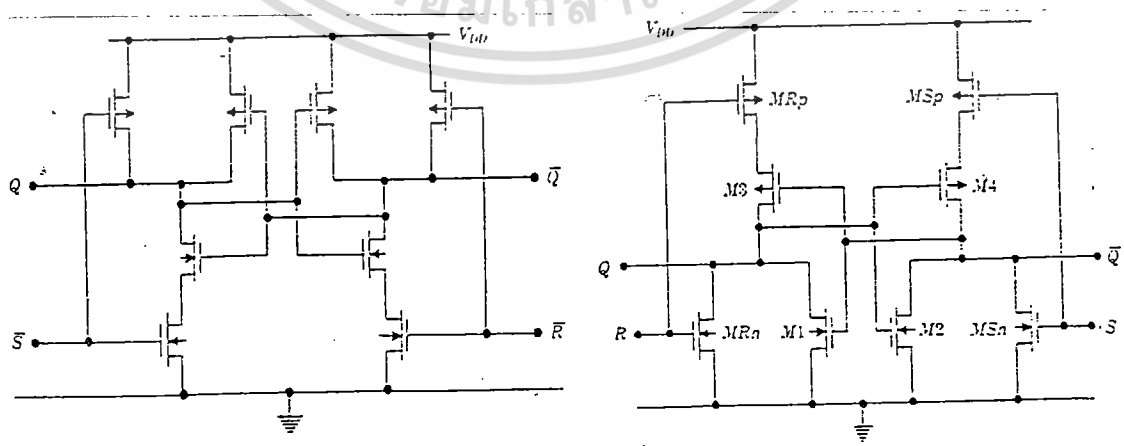
3.2 การออกแบบวงจรสองสถานะ

วงจรสองสถานะ (bistable) หรือที่นิยมเรียกว่า ฟลิป-ฟลอป (Flip-Flop) เป็นวงจรที่มีความสำคัญมากสำหรับจดจำสัญญาณที่มีสถานะคงที่อยู่สองสถานะ ซึ่งเป็นพื้นฐานของอุปกรณ์หน่วยความจำสัญญาณ วงจรสองสถานะที่จะทำการศึกษานี้จะขอกล่าวถึงวงจร RS ฟลิปฟลอป และวงจร D ฟลิปฟลอป เนื่องจากลักษณะของวงจรง่ายต่อการออกแบบ

วงจร RS ฟลิปฟลอปประกอบด้วยวงจรเกท คือ แนนด์หรือนอร์เกทประกอบกันสองตัว ซึ่งโดยทั่วไปวงจรซีมอสมักจะมีจำนวนพีมอสเท่ากับเอ็นมอส โดยจะผลัดกันทำงาน รูปที่ 3.2-1 แสดงวงจรฟลิปฟลอปแบบต่าง ๆ

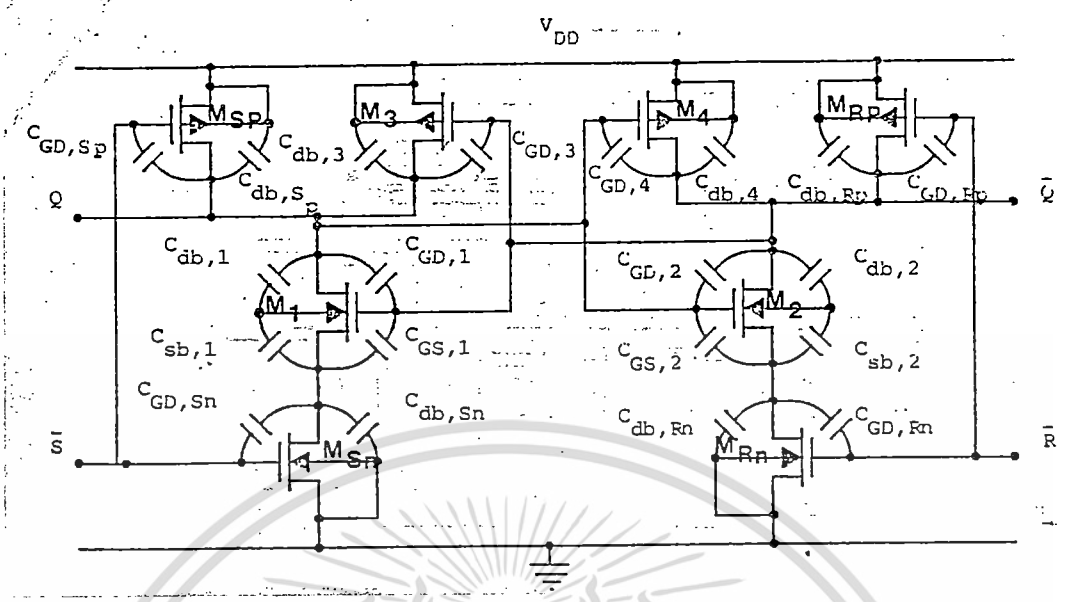
การออกแบบคุณสมบัติทางไฟตรงของวงจรฟลิปฟลอป เราอาศัยหลักการออกแบบคุณสมบัติทางไฟตรงของวงจรแนนด์ และนอร์เกท เพราะว่าวงจร RS ฟลิปฟลอปประกอบด้วยแนนด์และนอร์เกท สำหรับคุณสมบัติทางสวิชชิ่งซึ่งเราสามารถแสดงค่าตัวเก็บประจุในโครงสร้างได้ดังรูปที่ 3.2-2 และ 3.2-3 ซึ่งเป็นของวงจรฟลิปฟลอปแบบเกท เราสามารถสรุปค่าตัวเก็บประจุรวมของ RS ฟลิปฟลอปแบบแนนด์ และนอร์ได้ดังสมการ 3.2-1 และ 3.2-2

$$C_{out} = C_{GD,Sn} + C_{GD,Rn} + C_{GS1} + C_{GS2} + C_{GD2} + C_{GD,Sp} + C_{GD,Rp} + K(V_{OL},V_{OH}) [C_{db,Sn} + C_{db,Rn} + C_{sb1} + C_{db1} + C_{sb2} + C_{db2} + C_{db3} + C_{db,Sp} + C_{db4}] + C_{line} \quad (3.2\text{-}1)$$

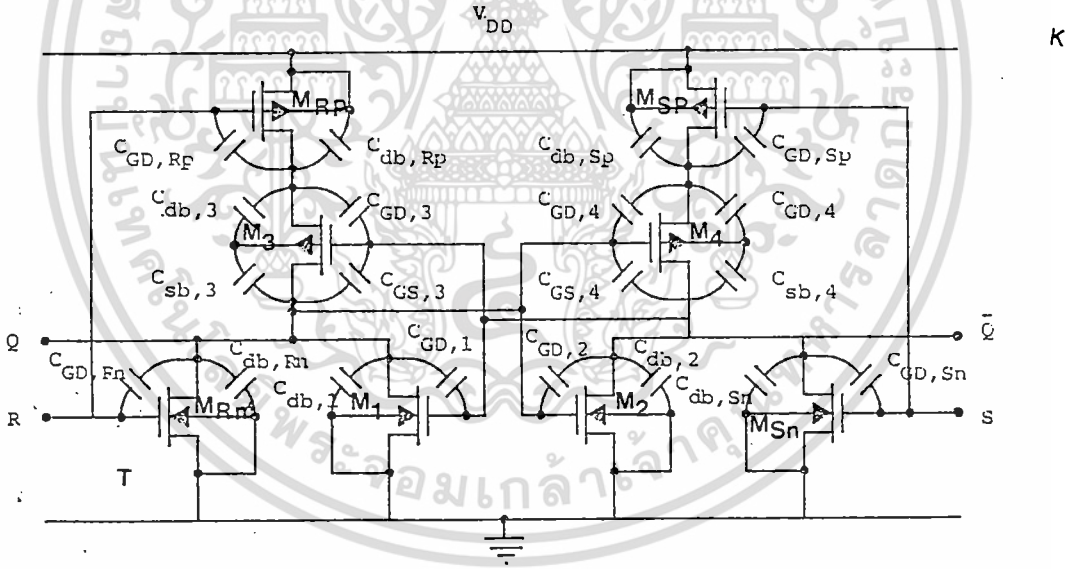


รูปที่ 3.2-1 แสดงวงจร RS ฟลิปฟลอปแบบวงจรเกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

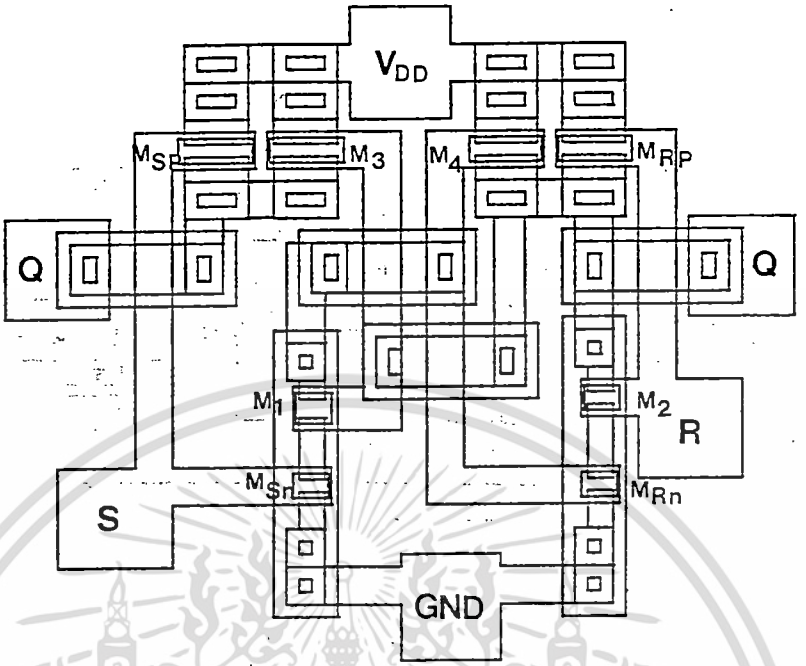


รูปที่ 3.2-2 แสดงค่าตัวเก็บประจุในวงจร RS ฟลิปฟลอปแบบแนนด์

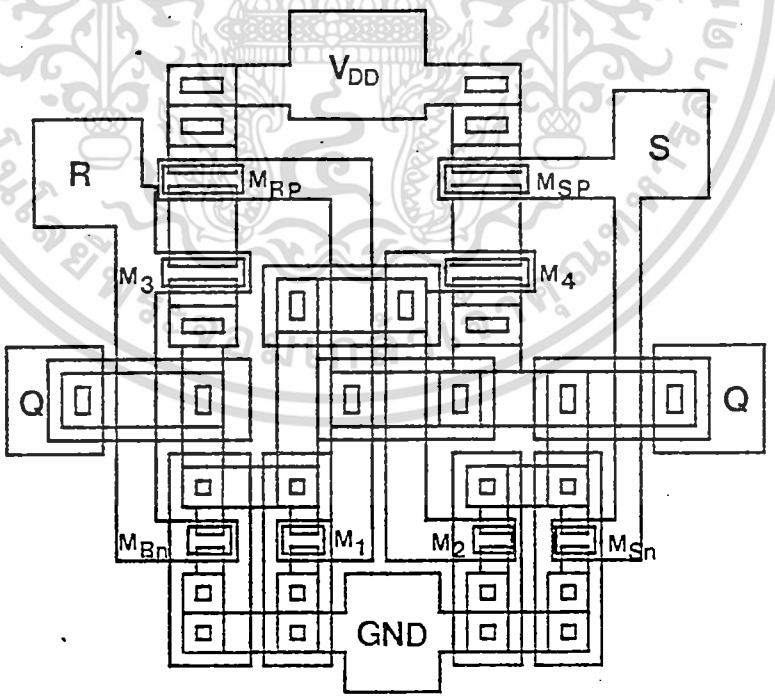


รูปที่ 3.2-3 แสดงค่าตัวเก็บประจุวงจร RS ฟลิปฟลอปแบบนอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2-4 แสดงลวดลายมาส์กวงจร RS ฟลิปฟลอปแบบแนนด์

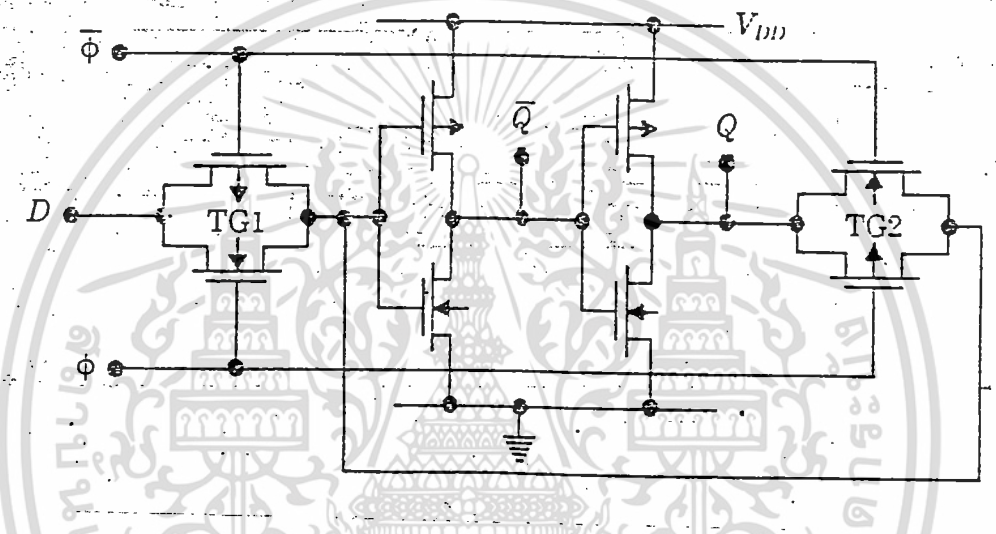


รูปที่ 3.2-5 แสดงลวดลายมาส์กวงจร RS ฟลิปฟลอปแบบนอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลของค่าตัวเก็บประจุรวมวงจร RS ฟลิปฟลอปแบบนอร์แสดงได้ดังสมการที่ 3.2-2

$$C_{out} = C_{GD,Rn} + C_{GD,Sn} + C_{GD1} + C_{GD2} + C_{GD4} + C_{GS4} + C_{GD3} + C_{GS3} + C_{GD,Rp} + C_{GD,Sp} + K(V_{oL},V_{oH})[C_{db1} + C_{db,Rn} + C_{db2} + C_{db,Sn} + C_{sb3} + C_{sb4} + C_{db3} , C_{db4} + C_{db,Rp} + C_{db,Sp}] + C_{line} \quad (3.2\text{-}2)$$

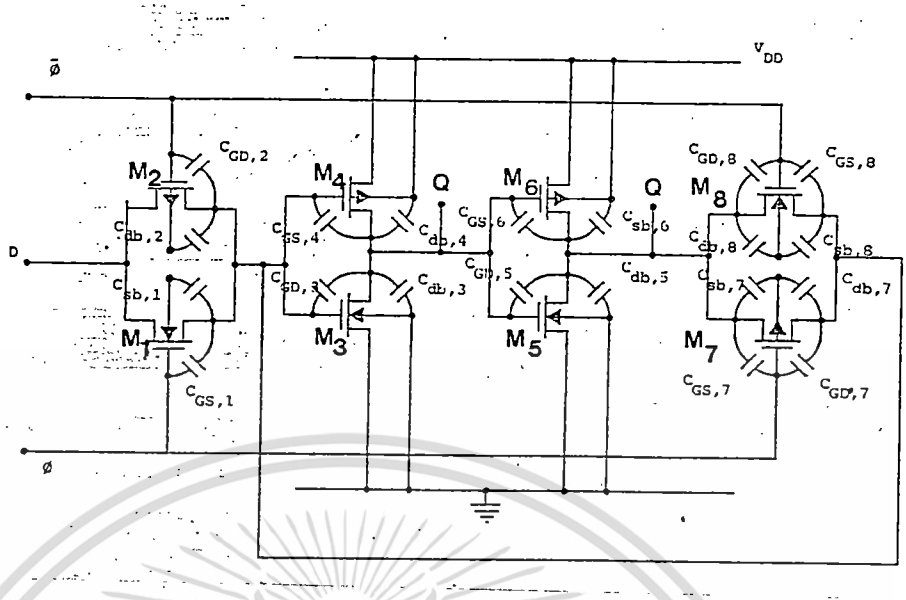


รูปที่ 3.2-6 แสดงวงจร D ฟลิปฟลอป

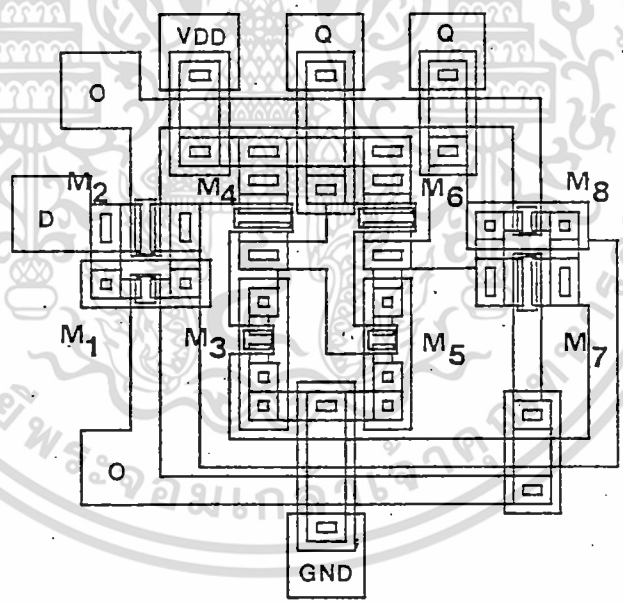
สำหรับวงจร D ฟลิปฟลอปที่ออกแบบรูปวงจรแสดงได้ดังรูปที่ 3.2-6 จากวงจรจะเห็นว่าประกอบด้วยทรานมิสชั่นเกทสองตัวและอินเวอร์เตอร์สองตัว ดังนั้นในการออกแบบคุณสมบัติทางไฟตรงเราอาศัยหลักการออกแบบเช่นเดียวกับ วงจรทรานมิสชั่นเกทและอินเวอร์เตอร์ สำหรับคุณสมบัติทางสวิชชิ่งสามารถแสดงได้ดังรูปที่ 3.2-7 ซึ่งเราสามารถหาค่าตัวเก็บประจุรวมและมีค่าดังแสดงในสมการ 3.2-3

$$C_{out} = C_{GS1} + C_{GD2} + C_{GD3} + C_{GS4} + C_{GD5} + C_{GS6} + C_{GD8} + C_{GS8} + C_{GS7} + C_{GD7} + K(V_{oL},V_{oH})[C_{sb7} + C_{db2} + C_{db3} C_{db4} + C_{sb6} + C_{db5} + C_{db8} + C_{sb7} + C_{sb8} + C_{db7}] + C_{line} \quad (3.2\text{-}3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2-7 แสดงค่าตัวเก็บประจุวงจร D ฟลิปฟลอป



รูปที่ 3.2-8 แสดงตัวอย่างลวดลายมาส์กวงจร D ฟลิปฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบกระบวนการสร้าง

วงจรรวมซีมอสที่ได้ออกแบบไว้ในบทที่ 3 สามารถที่จะสร้างได้จากเทคโนโลยีการสร้างวงจรรวมซึ่งมีอยู่หลายระดับในแต่ละระดับของเทคโนโลยีการสร้างวงจรรวมแม้จะแตกต่างกันในรายละเอียด แต่กระบวนการสร้างมาตรฐานยังคงคล้ายกัน ในรายงานฉบับนี้จะได้กล่าวถึงเทคโนโลยีการออกแบบและสร้างวงจรรวมโดยใช้อุปกรณ์และเครื่องมือพื้นฐานที่ห้องปฏิบัติการโซลิดสเตทศูนย์วิจัยอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง โดยกระบวนการที่ใช้จะใช้การแพร่สารเจือด้วยความร้อนและส่วนเกทเป็นโลหะอลูมิเนียมดังมีรายละเอียดที่จะกล่าวต่อไป

4. กระบวนการสร้างวงจรรวมซีมอส

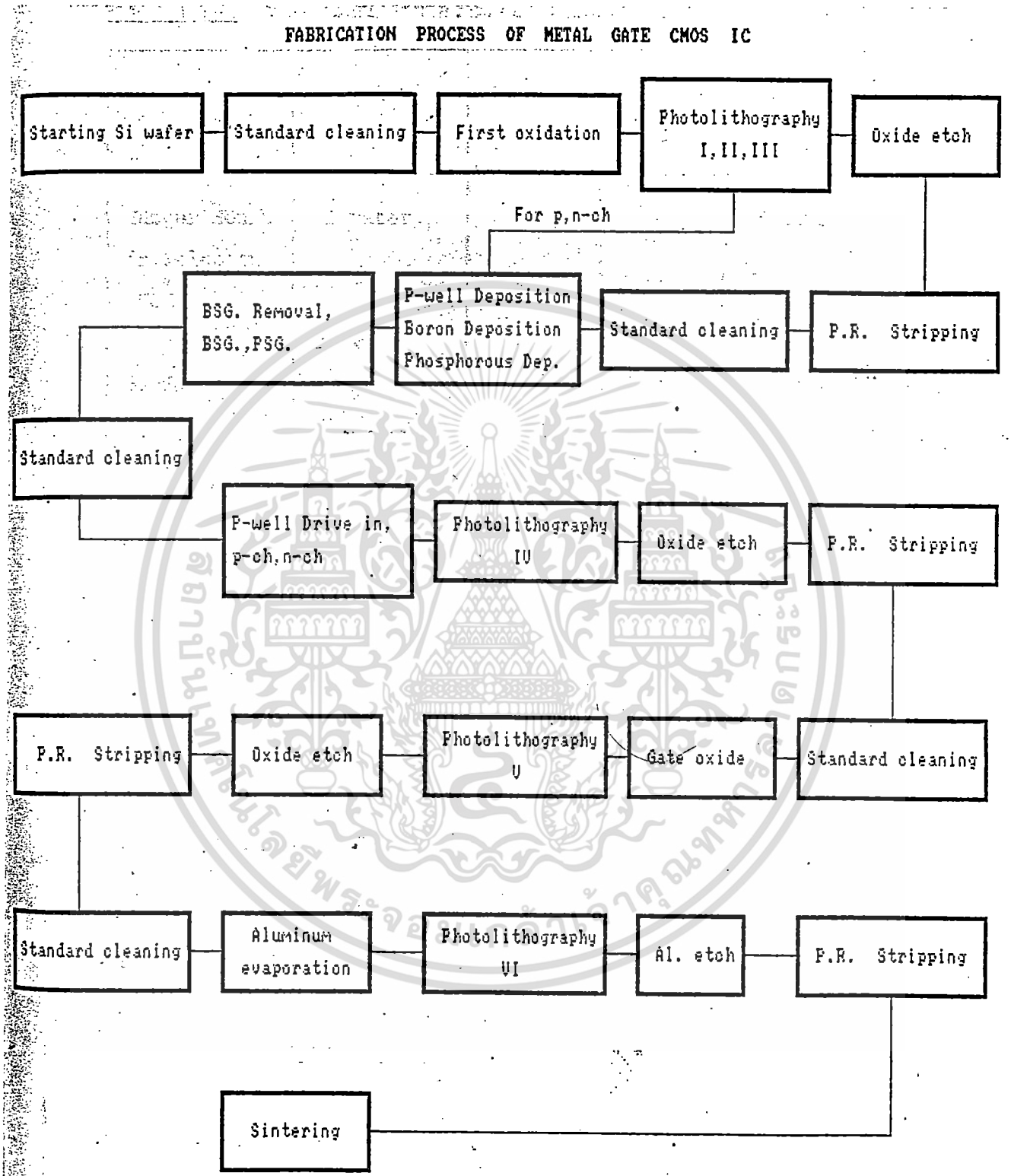
กระบวนการสร้างวงจรรวมซีมอสที่จะกล่าวต่อไปนี้ เป็นกระบวนการที่ได้ออกแบบและปรับปรุงมาแล้วหลายครั้ง ในที่สุดได้กระบวนการสร้างมาตรฐานโดยกระบวนการสร้างวงจรรวมแบบ CMOS มีแผนผังดังแสดงในรูปที่ 4.1

ลำดับขั้นตอนกระบวนการสร้างวงจรรวมซีมอสแบ่งได้เป็นขั้นตอนย่อย ๆ ได้ 41 ขั้นตอน ดังมีรายละเอียดตามลำดับขั้นตอนดังนี้

1. แผ่นผลึกซิลิกอนเริ่มต้น
   - แผ่นผลึกเดี่ยวชนิดเอ็น ระนาบ <100>
   - ค่าพิกัดความต้านทาน 4-6 $\Omega - cm$
   - ขนาดความหนาของแผ่นผลึกประมาณ 180 μm
2. การทำความสะอาดผิวแผ่นผลึกเริ่มต้น

การทำความสะอาดผิวหน้าเป็นการล้างสิ่งเจือปน สารแขวนลอย คราบไขมันรวมทั้งซิลิกอนไดออกไซด์ที่เกิดที่ผิว เพื่อให้แผ่นสะอาดพร้อมที่จะนำไปสร้างต่อไป ขั้นตอนการทำความสะอาดผิวเริ่มต้นแสดงได้ดังตารางที่ 4-1 โดยขั้นตอนทุกขั้นตอนที่มีการทำความสะอาดด้วยน้ำจะต้องเป็นน้ำ DI (Deionization Water)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.1 สรุปขั้นตอนกระบวนการสร้างซีมอส

ตารางที่ 4-1 แสดงขั้นตอนการทำความสะอาดผิวแผ่นผลึกเบื้องต้น

Process	Detail	Gas rate (cc/min)	Temp (°C)	Time	Note
Supper Sonic in Solution (SSS)	DI water	–	–	5 mins.	
	DI water	–	–	–	Rinse
Surface cleaning	HNO_3	–	hot	10 mins.	Boil
	DI water	–	–		Rinse
	DI water	–	hot	5 mins.	Boil
	DI water	–	hot	5 mins.	Boil
	DI water	–	–	–	Rinse
	Dry	N_2	–	–	Blow
	Tri chlo.	–	hot	5 mins.	Boil
Super Sonic in Solution <SSS>	Acetone	–	–	2-3 mins.	
	DI water	–	–	–	Rinse
Slice etching	HF 5%	–	–	15 sec	
	DI water	–	–	–	Rinse
	Dry	N_2	–	–	Blow

3. กระบวนการออกซิเดชั่นครั้งแรก

การสร้างออกไซด์ในขั้นตอนนี้เพื่อเป็นส่วนป้องกันในการแพร่สารเจือ โดยจะใช้การออกซิเดชั่นทั้งแบบแห้งและชื้นผสมกัน ซึ่งขั้นตอนการออกซิเดชั่นแสดงได้ดังตารางที่ 4-2 สำหรับความหนาที่ได้ไม่น้อยกว่า 5000A°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4-2 แสดงขั้นตอนกระบวนการออกซิเดชั่นครั้งแรก

Process	Detail	Gas rate (cc/min)	Temp (°C)	Time	Note
Oxidation	Dry	O_2 1200	1150	180 mins.	
	Wet	O_2 1000	1150	60 mins.	H_2O 85-90°C
	Dry	O_2 1200	1150	60 mins.	

4. กระบวนการโฟโต้ลิโทกราฟฟี่ มาร์ก 1

เป็นกระบวนการพิมพ์ลวดลายบนแผ่นผลึกซิลิกอน เพื่อเปิดช่องของชั้นซิลิกอนไดออกไซด์ออก สำหรับการแพร่ส่วนของ P-well ในขั้นตอนนี้ใช้กระจกมาร์ก 1 โดยการเคลือบน้ำยาไวแสงชนิดลบ ที่นิยมใช้กันมากได้แก่ way coat ลงบนแผ่นผลึกซิลิกอนด้วยอุปกรณ์ที่เรียกว่า spinner แล้วนำไปอบให้แห้ง จึงนำไปทำการพิมพ์ภาพด้วยต้นแบบกระจกมาร์กที่ 1 สำหรับรายละเอียดของกระบวนการโฟโต้ลิโทกราฟฟีแสดงได้ดังตารางที่ 4.3

ตารางที่ 4-3 แสดงขั้นตอนการโฟโต้ลิโทกราฟฟี

Process	Detail	Gas rate (cc/min)	Temp (°C)	Time	Note
Photolithography	Spin (500 rpm)	–	25	30 sec	Way coat
	Pre bake	–	95	30 mins.	
	Expose	–	–	10 sec	Mask 1
Develop	Xylean	–	–	90 sec	2 times
	Isopropyl Alcho.	–	–	30 sec	3 times
	DI water	–	–	–	Rinse
	Dry	N_2	–	–	Rinse
Back coating	Back coating	–	–	–	Way coat
	Post-bake	–	95	30 mins.	–

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. การใช้สารละลายเคมีสกัดชั้นออกไซด์ (oxide etching)

การสกัดชั้นออกไซด์ ในบริเวณที่ไม่มีน้ำยาไวแสงปกคลุมอยู่ โดยใช้สารละลาย Buffer ซึ่งมีส่วนผสมของ HF : NH_4 F = 1 : 6 มีอัตราการกัดชั้นออกไซด์ประมาณ 1000 $A°$/ นาที สำหรับขั้นตอนการสกัดชั้นออกไซด์ แสดงดังตาราง 4-4

ตารางที่ 4-4 แสดงขั้นตอนการสกัดชั้นออกไซด์

Process	Detail	Gas rate (cc/min)	Temp (°C)	Time	Note
Etching	Buffer	–	–	6 min	1000A°/min

6. การลอกน้ำยาไวแสง

สารไวแสงที่ถูกแสง และยังคงค้างอยู่บนแผ่นผลึกซิลิกอน สามารถลอกทิ้งได้โดยการนำไปต้มกรดซัลฟูริก (H_2SO_4) รายละเอียดแสดงได้ดังตารางที่ 4-5

ตารางที่ 4-5 แสดงขั้นตอนการลอกน้ำยาไวแสง

Process	Detail	Gas rate (cc/min)	Temp (°C)	Time	Note
Photoresist	H_2SO_4	–	hot	5 mins.	2 time
	DI water	–	–	–	Rinse
	DI water	–	hot	5 mims.	boil
	DI water	–	hot	5 mins.	boil
	DI water	–	–	–	Rinse
	Dry	N_2	–	–	blow

7. การทำความสะอาดผิวหน้า

เมื่อขจัดคราบไขมันจากน้ำยาไวแสงที่ตกค้างอยู่มีรายละเอียดดังตารางที่ 4-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4-8 แสดงขั้นตอนการลอกชั้น Boron glass

Process	Detail	Gas rate (cc/min)	Temp (°C)	Time	Note
Boron glass removal	HF 5%	–	–	10 sec	
	DI water	–	–	–	Rinse

10. ทำความสะอาด

เป็นการทำความสะอาดผิวหน้าก่อนที่จะทำการ drive in และสร้างออกไซด์ปกคลุมผิว ขั้นตอนนี้เหมือนขั้นตอนที่ (7)

11. กระบวนการ P-well drive in/Reoxidation

เป็นขั้นตอนขับลึกให้สารเจือแพร่ลงไปในผิวซิลิกอนเพิ่มมากขึ้น พร้อมทั้งสร้างออกไซด์ปกคลุมผิวหน้าทั้งหมด มีรายละเอียดดังตารางที่ 4-9

ตารางที่ 4-9 แสดงขั้นตอนกระบวนการ p-well in/Reoxidation

Process	Detail	Gas rate (cc/min)	Temp (°C)	Time	Note
Drive in	Drive in	O_2 1000 N_2 1000	1050 1050	8 hrs 6 hrs	

12. กระบวนการโฟโต้ลิโทกราฟฟี มาร์ก 2

ใช้กระจกมาร์กที่ 2 เป็นต้นแบบสำหรับการเปิดชั้นออกไซด์ เมื่อแพร่ส่วนเดรนและซอสของพีมอสทรานซิสเตอร์ ซึ่งรายละเอียดกระบวนการนี้เหมือนกับหัวข้อที่ (4)

13. การสกัดชั้นออกไซด์

14. การลอกชั้นสารไวแสง

15. การทำความสะอาดผิวหน้า

16. กระบวนการ Boron deposition

มีรายละเอียดดังตารางที่ 4-10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4-10 แสดงขั้นตอนกระบวนการ Boron deposition

Process	Detail	Gas rate (cc/min)	Temp (°C)	Time	Note
Boron Activation	Activate BN	O_2 1000	970	30 mins.	
	Stabilize	N_2 700	970	20 mins.	
Boron Deposition	Deposition	N_2 700 O_2 1000	970	30 mins.	

17. การลอกชั้น Boron glass

18. ทำความสะอาดผิวผลึก

19. กระบวนการ Drive in/Reoxidation

มีรายละเอียดดังตารางที่ 4-11

ตารางที่ 4-11 แสดงขั้นตอนกระบวนการ Drive in/Reoxidation

Process	Detail	Gas rate (cc/min)	Temp (°C)	Time	Note
Drive in	Drive in	O_2 1000	1000	30 mins.	
	Wet oxidation	O_2 1000	1000	30 mins.	H_2O 85-90°C
		O_2 1000	1000	30 mins.	

20. กระบวนการโฟโต้ลิโทกราฟฟี มาร์ก 3

ใช้กระจกมาร์กที่ 3 เป็นต้นแบบสำหรับการเปิดชั้นออกไซด์ เพื่อแพร่ส่วนเดรนและซอสของเอ็นมอสทรานซิสเตอร์

21. การสกัดชั้นออกไซด์

22. การลอกชั้นสารไวแสง

23. การทำความสะอาดผิวหน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

24. กระบวนการ Phosphorus deposition

เป็นการแพร่สารเจือในส่วนเดรน-ซอส ของเอ็นมอสทรานซิสเตอร์ มีรายละเอียดดังตารางที่ 4-12

ตารางที่ 4-12 แสดงขั้นตอนกระบวนการ Phosphorus deposition

Process	Detail	Gas rate (cc/min)	Temp (°C)	Time	Note
Stabilization	Stabilization	N_2 600	1000	15 mins.	
Deposition	Deposition	N_2 600	1000	12 mins.	

25. การลอกชั้น Phosphorus glass

26. การทำความสะอาดผิว

27. กระบวนการ Drive-in/Reoxidation

เพื่อการขับอะตอมสารเจือให้แพร่ลึกลงไป มีรายละเอียดดังตารางที่ 4-13

ตารางที่ 4-13 แสดงขั้นตอนกระบวนการ Drive in/Reoxidation ฟอสฟอรัส

Process	Detail	Gas rate (cc/min)	Temp (°C)	Time	Note
Drive in	Drive in	O_2 1200	1000	15 mins	
		O_2 1000	1000	20 mins	H_2O 85-90°C
		O_2 1200	1000	15 mins	

28. กระบวนการโฟโต้ลิโทกราฟฟี่ มาร์ก 4

ใช้กระจกมาร์กที่ 4 เป็นต้นแบบสำหรับเปิดชั้นออกไซด์ บริเวณส่วนเกทเพื่อสร้างชั้นออกไซด์

29. การสกัดชั้นออกไซด์

30. การลอดชั้นไวแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

31. การทำความสะอาดผิว

32. การสร้างชั้นเกทออกไซด์

มีรายละเอียดดังตารางที่ 4.14

ตารางที่ 4-14 แสดงขั้นตอนกระบวนการสร้างเกทออกไซด์

Process	Detail	Gas rate (cc/min)	Temp (°C)	Time	Note
Oxidation	Dry	O_2 1000	980	50 mins.	
annealing	Dry	O_2 1000	980	10 mins.	

33. กระบวนการโฟโต้ลิโทกราฟฟี่ มาร์ก 5

ใช้กระจกมาร์กที่ 5 เป็นต้นแบบในการเปิดชั้นออกไซด์ บริเวณส่วนขั้วสัมผัส

34. การลอกชั้นไวแสง

35. การลอกชั้นไวแสง

36. การทำความสะอาดผิวผลึก

37. การเคลือบชั้นอะลูมิเนียมในสูญญากาศ

โดยใช้อุปกรณ์ Vaccum evapolator ทำการเคลือบแผ่นผลึกด้วยชั้นของอะลูมิเนียมหนาประมาณ 1 ไมครอน

38. กระบวนการโฟโต้ลิโทกราฟฟี่ มาร์ก 6

ใช้กระจกมาร์ก 6 เป็นต้นแบบสำหรับการสกัดส่วนของอะลูมิเนียมที่ไม่ต้องการออก ขั้นตอนนี้ใช้น้ำยาไวแสงชนิดบวกคือ Az และใช้สารละลาย Az developer ในการล้าง

39. การสกัดชั้นอะลูมิเนียม

สารละลายที่ใช้ละลายชั้นอะลูมิเนียมได้แก่ สารละลายผสมซึ่งมีกรดฟอสฟอริคเป็นหลัก จุ่มแผ่นผลึกที่ผ่านขั้นตอนที่ 38 ลงในสารละลายนี้ ซึ่งมีอุณหภูมิราว 50°c เป็นเวลา 1-2 นาที

40. การลอกชั้นสารไวแสงชนิดบวก

จุ่มแผ่นผลึกลงใน Acetone ประมาณ 1 นาที แล้วล้างด้วยน้ำบริสุทธิ์ เป็นเวลาประมาณ 1-2 นาที

41. กระบวนการ Sintering

ทำการ Sintering เพื่อให้ได้ส่วนสัมผัสที่เป็นโอห์มิค โดยการทิ้งแผ่นผลึกไว้ในบรรยากาศไนโตรเจน ดังมีรายละเอียดดังตารางที่ 4-15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4-15 แสดงขั้นตอนการ Sintering

Process	Detail	Gas rate (cc/min)	Temp (°C)	Time	Note
Sintering	Sintering	N_2 1000	480	12 mins	

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การทดลองและผลการทดลอง

จากทฤษฎีที่ได้ทำการศึกษา เพื่อที่จะออกแบบวงจรดิจิตอลสองสถานะแบบซีมอสโดยเราได้สมการที่ใช้ในการออกแบบคุณสมบัติทางไฟตรงของวงจรต่าง ๆ และการแสดงส่วนตัวเก็บประจุในวงจรต่าง ๆ มีผลต่อคุณสมบัติทางสวิชชิ่ง และได้ทำการออกแบบกระบวนการสร้าง ปรับปรุงจนสรุปเป็นกระบวนการสร้างซีมอสมาตรฐานในห้องปฏิบัติการณ์ เราจะเริ่มนำเอาวงจรที่ออกแบบมาสร้างด้วยกระบวนการสร้างมาตรฐานและศึกษาคุณสมบัติของวงจรดิจิตอลสองสถานะแบบซีมอสที่สร้างได้นั้น โดยเราจะแบ่งหัวข้อทำการทดลองและศึกษาดังที่จะได้กล่าวต่อไปนี้

5.1 การหาค่าตัวแปรในการจำลองแบบและผลการจำลองแบบ

การทำการจำลองแบบ คุณสมบัติกระแสและแรงดันของเอ็นมอสและพีมอส โดยการนำค่าพารามิเตอร์ที่วัดได้บางตัวมาเป็นค่าพารามิเตอร์ที่ใช้ในการจำลองแบบในการจำลองแบบเราใช้โปรแกรม PSPICE ช่วยเพื่อที่จะตรวจดูผลการทดลองและเปรียบเทียบกับทางทฤษฎี

สำหรับค่าตัวแปรทางภายภาพ ที่ใช้ในการจำลองแบบสามารถสรุปได้ดังตารางที่ 5-1

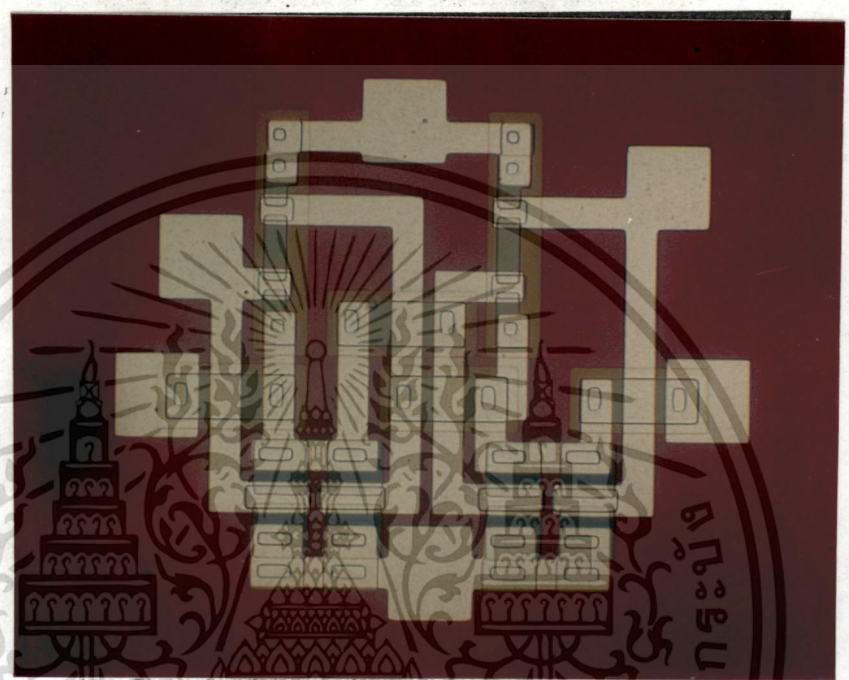
ตารางที่ 5-1 แสดงค่าตัวแปรทางกายภาพ

Symbol	Name	Units	PMOS	NMOS
V_{TO}	VTO	V	-1.2	1.7
K'	KP	A/V^2	1.1E-5	2.25E-5
γ	GAMMA	$V^{1/2}$	0.62	2.42
$2\lvert\phi_F\rvert$	PHI	V^{-1}	0.62	0.76
t_{ox}	TOX	m	7.6E-8	7.6E-8
N_A or N_D	NSUB	cm^{-3}	2.5E15	3.74E16
C_{jo}	CJ	F/m^2	5.79E-9	2.3E-8
	CGSO	F/m^2	4.6E-8	4.6E-8
	CGDO	F/m^2	4.6E-8	4.6E-8
	CGBO	F/m^2	4.6E-8	4.6E-8
X_j	XJ	m	1.0E-6	1.0E-6
μ_n,μ_p	VO	$cm^2/V.s$	230	580
C_{ox}	COX	F/m^2	5.24E-9	5.24E-9

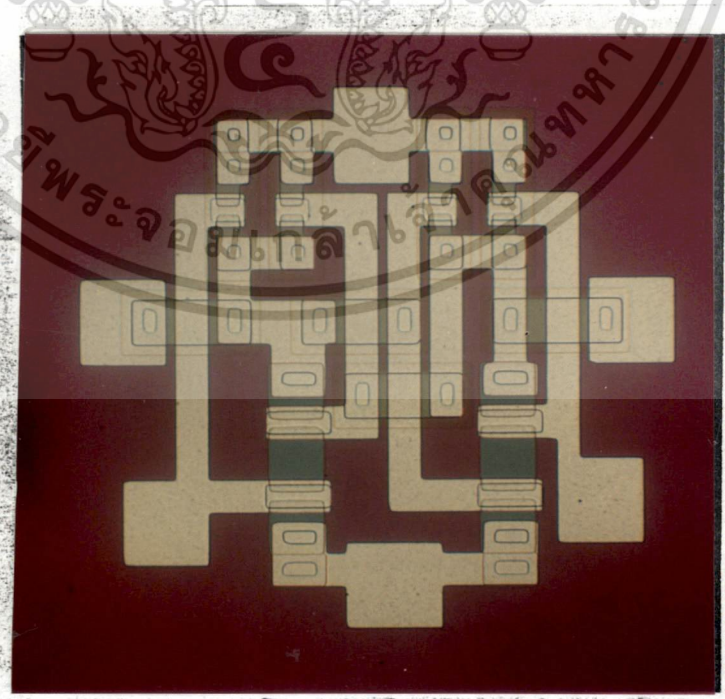
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 การศึกษาคุณสมบัติทางสวิชชิ่งของวงจรฟลิปฟลอป

วงจรฟลิปฟลอปที่ทำการศึกษานั้น เราทำการศึกษาวงจร RS ฟลิปฟลอป และวงจร D ฟลิปฟลอป วงจร RS ฟลิปฟลอปเรานำเอาวงจรแนนด์เกท และนอร์เกทมาประกอบกัน สำหรับค่าอัตราส่วน $(W/L)_p/(W/L)_n$ ในวงจรทั้งสองคือ (100/20)(40/20) รูปภาพถ่ายด้านบนของวงจรแสดงได้ ดังรูปที่ 5.2-1, 5.2-2 และ 5.2-3

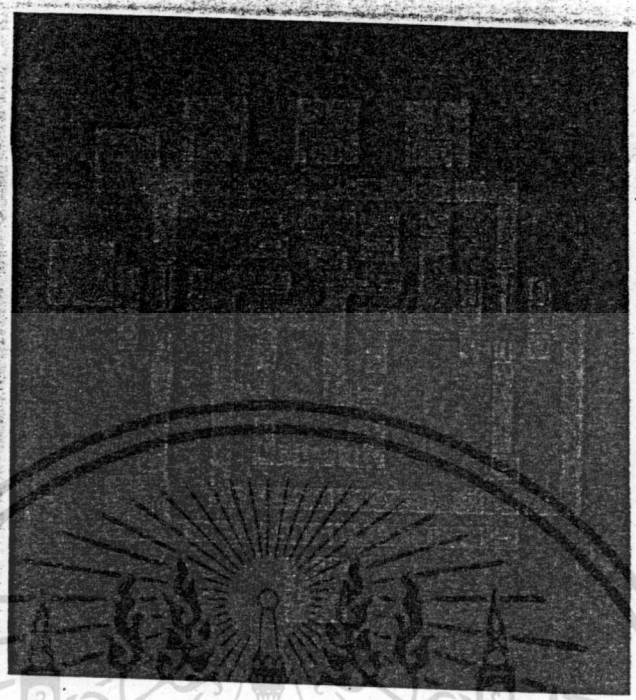


รูปที่ 5.2-1 ภาพถ่ายด้านบนวงจร RS ฟิลปฟลอปแบบแนนด์



รูปที่ 5.2-2 แสดงภาพถ่ายด้านบนวงจร RS ฟลิปฟอลปแบบนอร์เกท

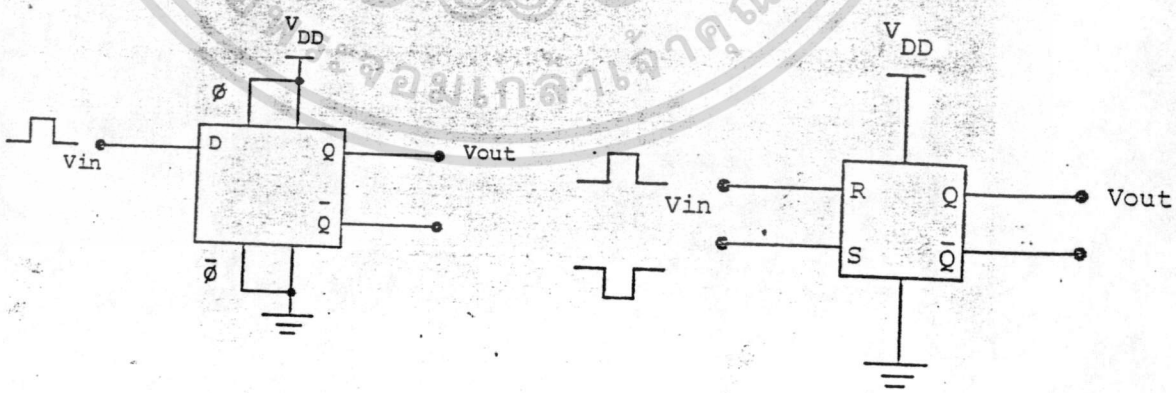
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2-3 แสดงภาพถ่านด้านบนวงจร D ฟลิปฟอลป

<u>การทดลองและผลการทดลอง</u>

วงจร RS FF เราใช้วงจรการวัดคุณสมบัติดังรูปที่ 5.2-4 โดยขาที่ RS จะมีลักษณะที่ตรงข้ามตลอดเวลา จะทำให้เอาท์พุทมีค่าเป็นสัญญาณสี่เหลี่ยมสูงต่ำ ผลของการวัดคุณสมบัติ แสดงได้ดังรูปที่ 5.2-5



ก. วงจร RS ฟลิปฟลอป ข. วงจร D ฟลิปฟลอป

รูปที่ 5.2-4 แสดงวงจรที่ใช้วัดคุณสมบัติสวิชชิ่งวงจรฟลิปฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RS FF แบบนอร์เกท

C_g = 1.02E-11 F/μm^2

C_f = 2.56E-11 F/μm^2

C_{NMOS} = 9.56E-11 F/μm^2

C_{PMOS} = 3.19E-12 F/μm^2

C_{out} = 4.65E-11 F/μm^2

D FF

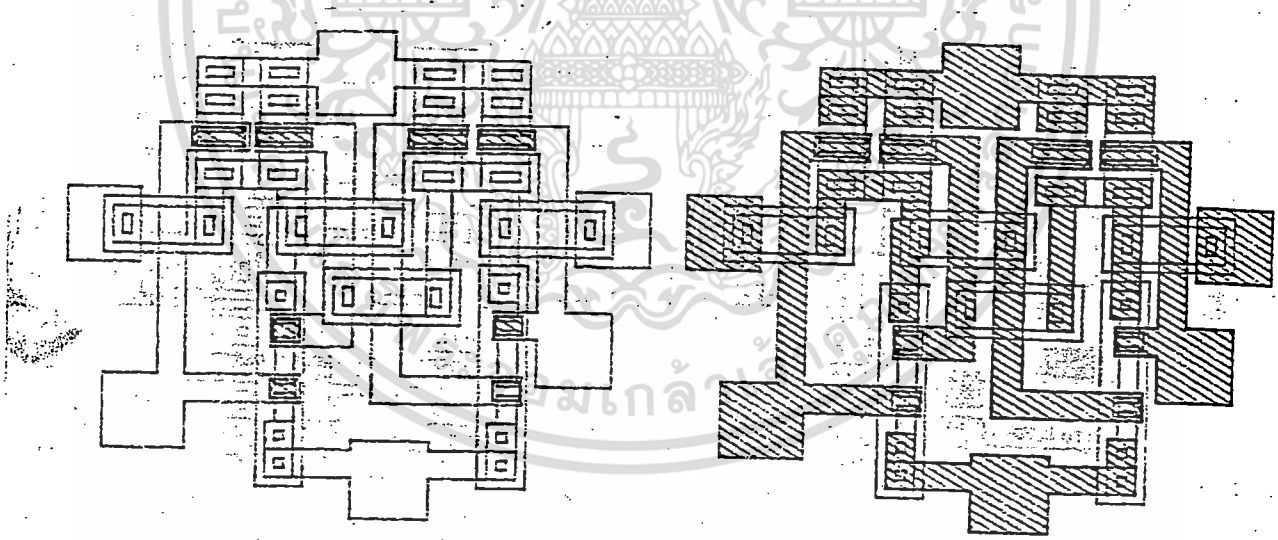
C_g = 1.03E-11 F/μm^2

C_f = 3.06E-11 F/μm^2

C_{NMOS} = 9.56E-12 F/μm^2

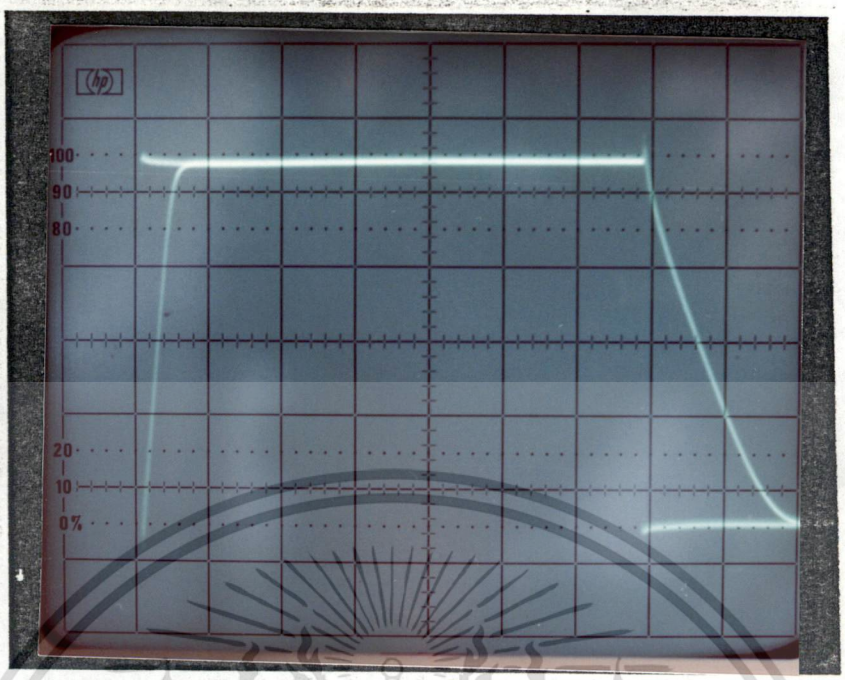
C_{PMOS} = 4.56E-12 F/μm^2

C_{out} = 5.52E-11 F/μm^2

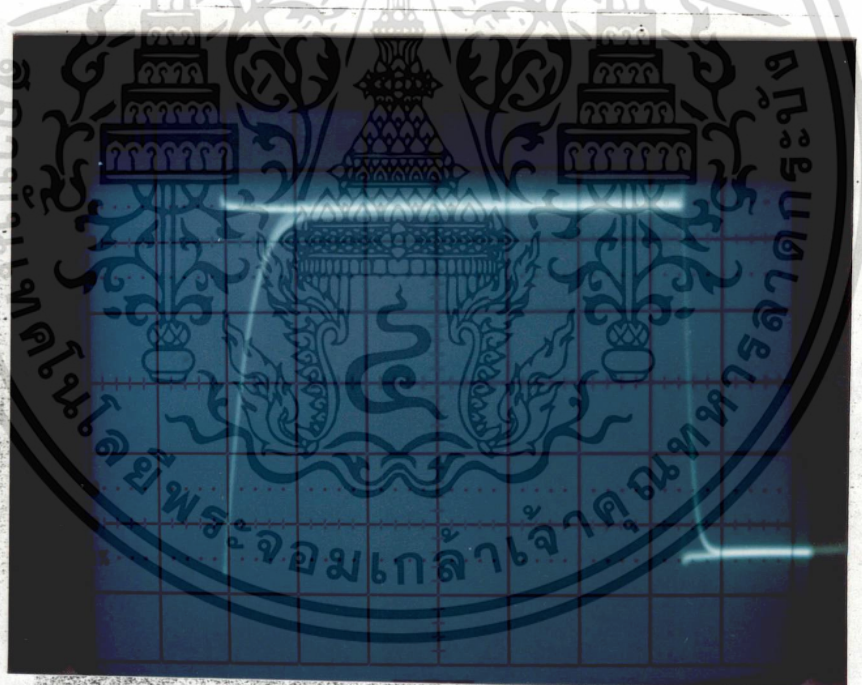


ก. พื้นที่ส่วนเกท ข. พื้นที่ส่วนอลูมิเนียม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2-5 แสดงผลคุณสมบัติสวิชชิ่งวงจร RS ฟลิปฟลอปแบบแนนด์



รูปที่ 5.2-6 แสดงผลคุณสมบัติสวิชชิ่ง RS ฟลิปฟลอป

จากผลการทดลองเราสามารถสรุปคุณสมบัติการสวิชชิ่งได้ดังนี้

	RS NAND	RS NOR
t_r =	1.8 μs	6 μs
t_f =	7.5 μs	2 μs

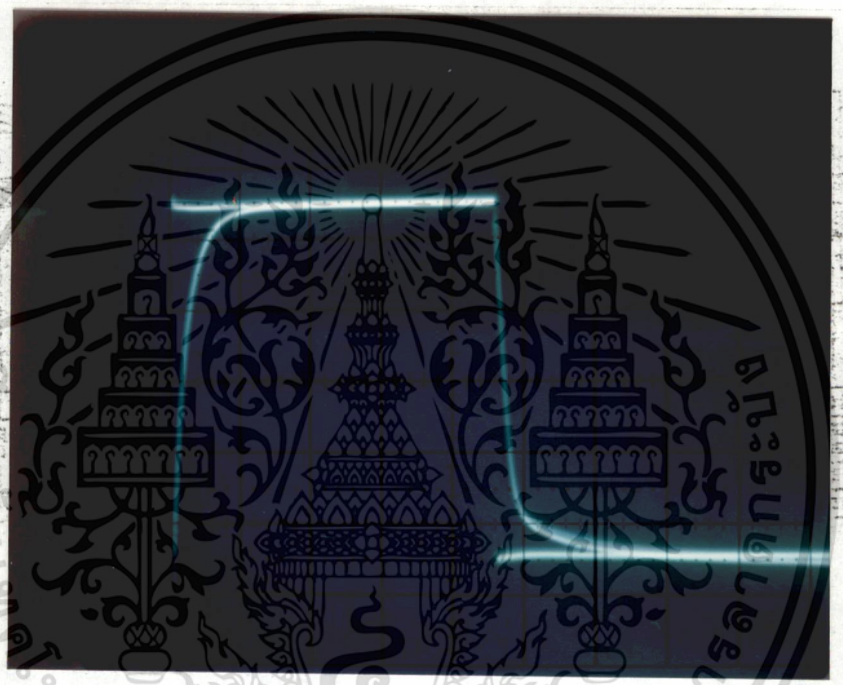
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร D FF เราใช้วงจรการวัดคุณสมบัติดังรูปที่ 5.2-4 ข โดยที่ ϕ และ ϕ เราให้ไฟ 5 โวลท์ และศูนย์โวลท์ จากเราป้อนสัญญาณสี่เหลี่ยมที่อินพุท และวัดสัญญาณอินพุทเทียบกับเอาท์พุธ รูปของผลการทดลองแสดงได้ดังรูปที่ 5.2-7

จากการทดลองเราสามารถสรุปคุณสมบัติทางสวิชชิ่ง ได้ดังนี้

$$t_r = 4\mu s$$

$$t_f = 8\mu s$$



รูปที่ 5.2-7 แสดงผลคุณสมบัติสวิชชิ่งวงจร D ฟลิปฟลอป

ผลการทดลอง

ผลของการจำลองแบบเราหาค่า C_{out} ของแต่ละวงจร โดยรูปที่ 5.2-8 และ 5.2-9 ส่วนพื้นที่ตัวเก็บประจุในส่วนต่าง ๆ ของวงจร RS FF ทั้งสองแบบและรูปที่ 5.2-10 แสดงส่วนพื้นที่ของตัวเก็บประจุในส่วนของ D FF ซึ่งสามารถสรุปได้ดังนี้

RS FF แบบแนนด์เกท

C_g = 1.02E-11 F/μm^2

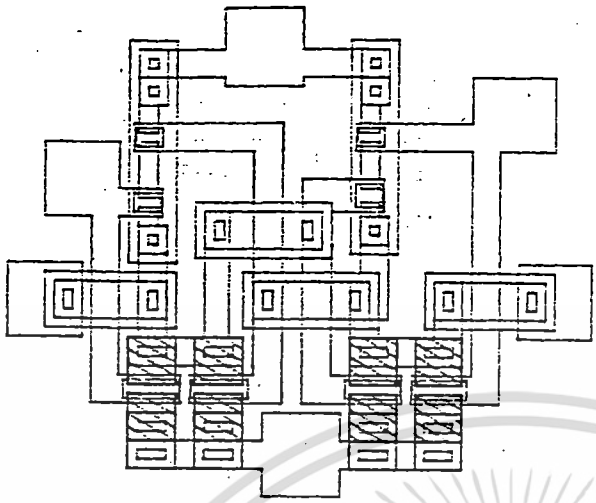
C_f = 2.54E-11 F/μm^2

C_{NMOS} = 5.88E-12 F/μm^2

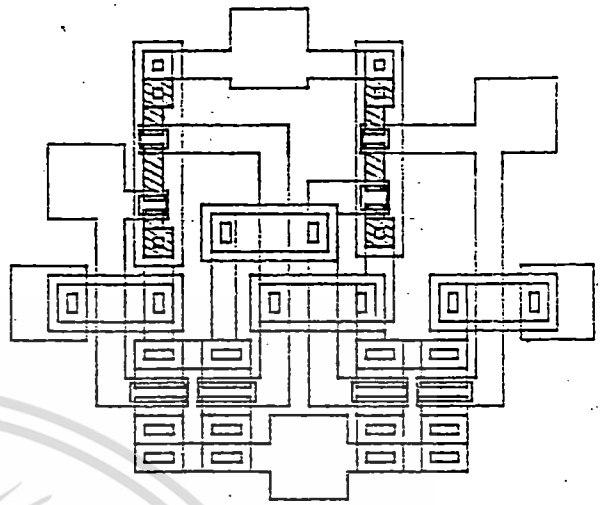
C_{PMOS} = 4.56E-12 F/μm^2

C_{out} = 4.60E-11 F/μm^2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

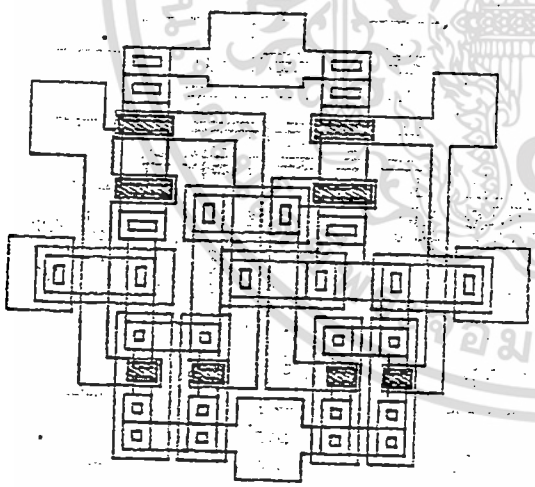


ค. พื้นที่ NMOS

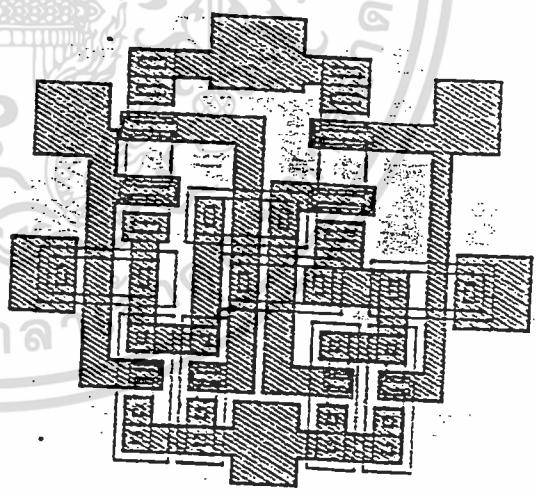


ง. พื้นที่ PMOS

รูปที่ 5.2-8 แสดงพื้นที่ตัวเก็บประจุวงจร RS ฟลิปฟอลป

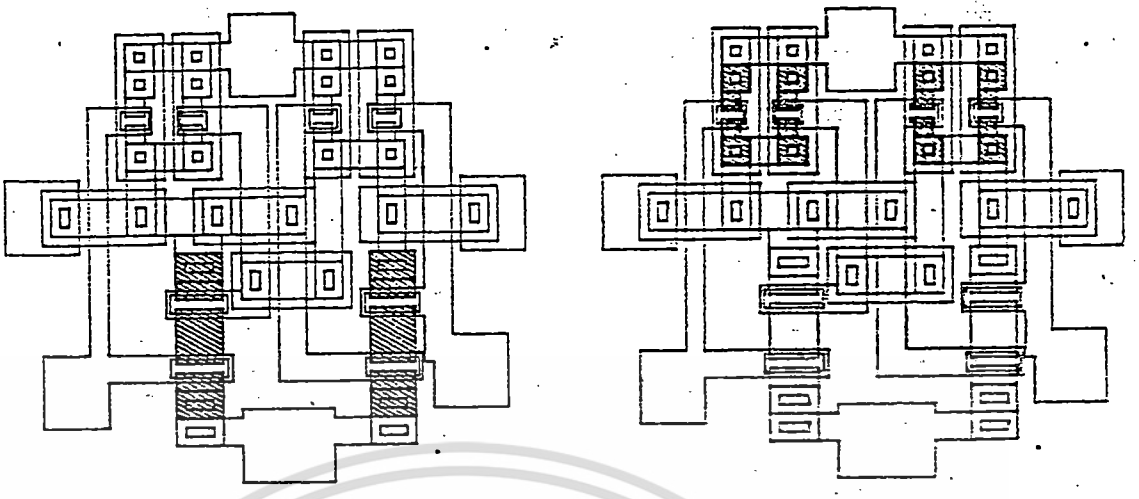


ก. พื้นที่ส่วนเกท



ข. พื้นที่ส่วนอลูมิเนียม

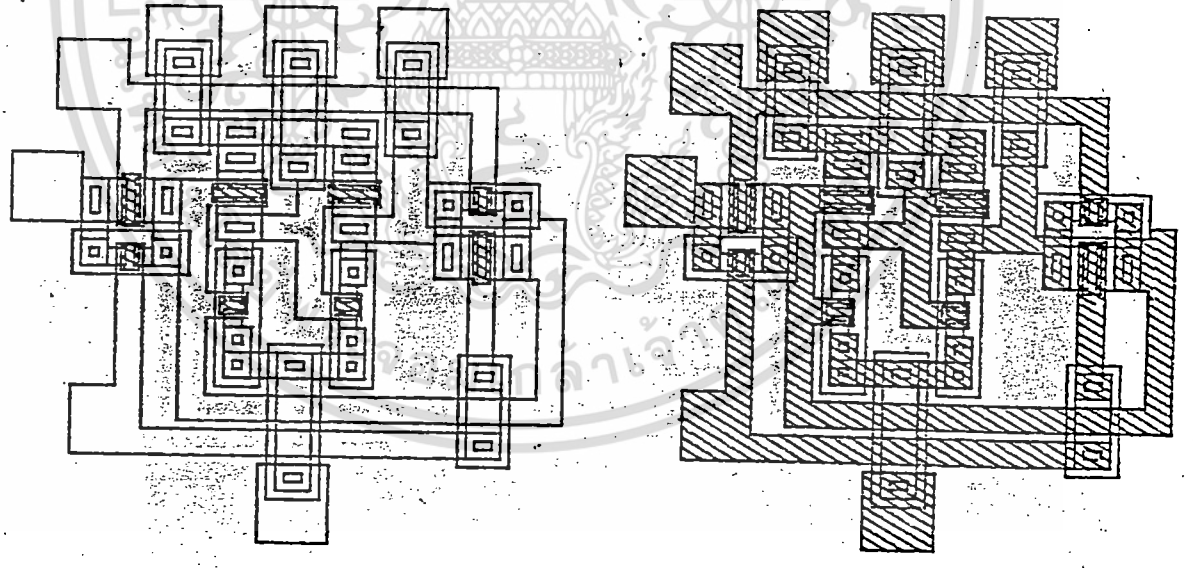
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ค. พื้นที่ NMOS

ง. พื้นที่ PMOS

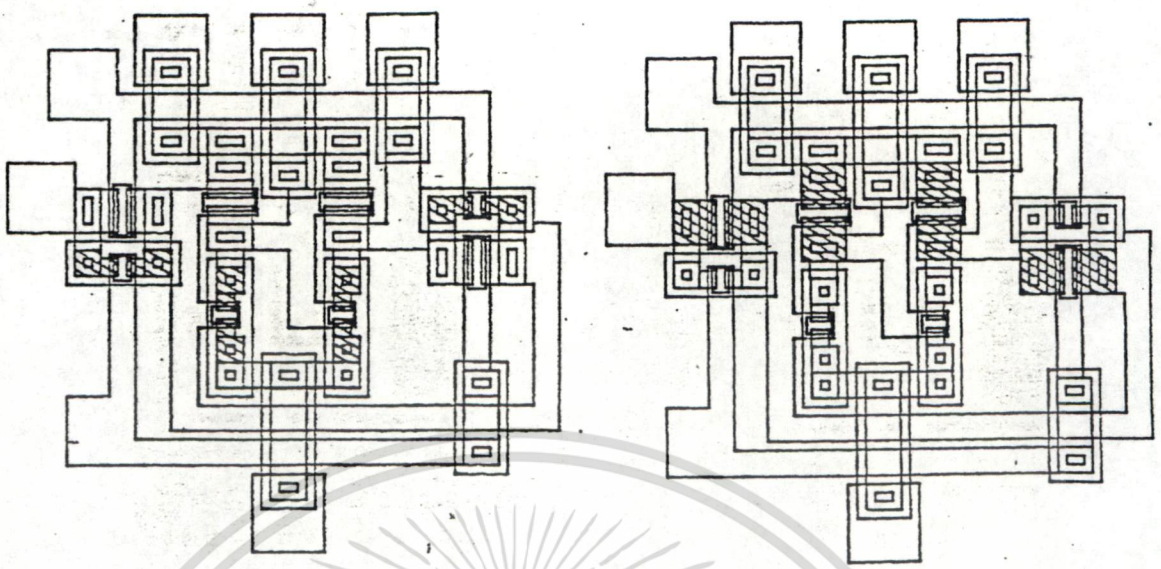
รูปที่ 5.2-9 แสดงพื้นที่ตัวเก็บประจุวงจร RS ฟลิปฟลอปแบบนอร์



ก. พื้นที่ส่วนเกท

ข. พื้นที่ส่วนอลูมิเนียม

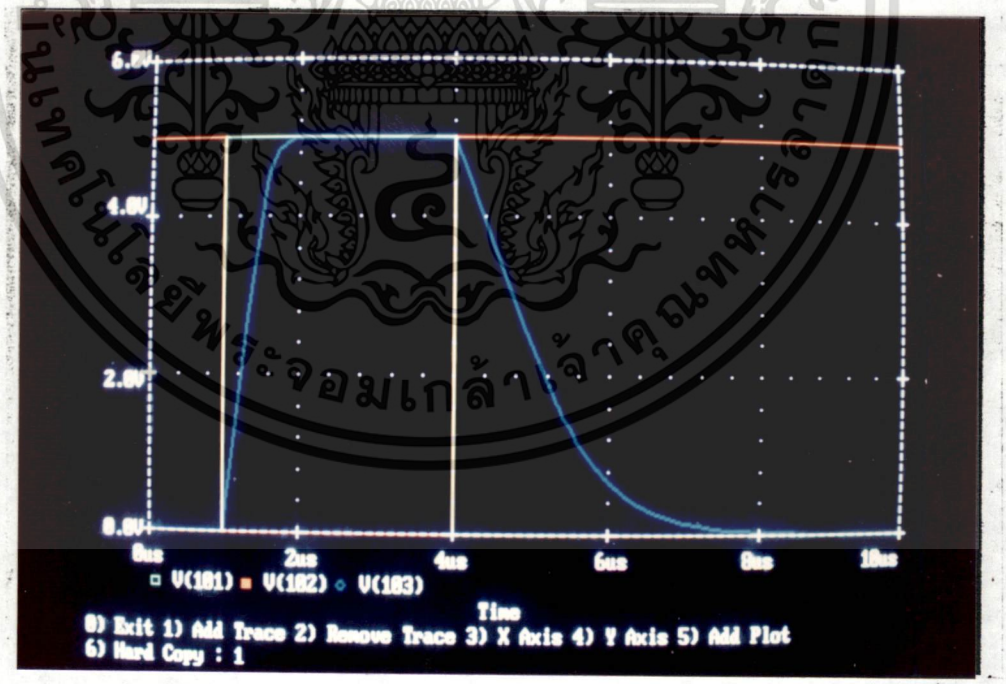
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ค. พื้นที่ NMOS

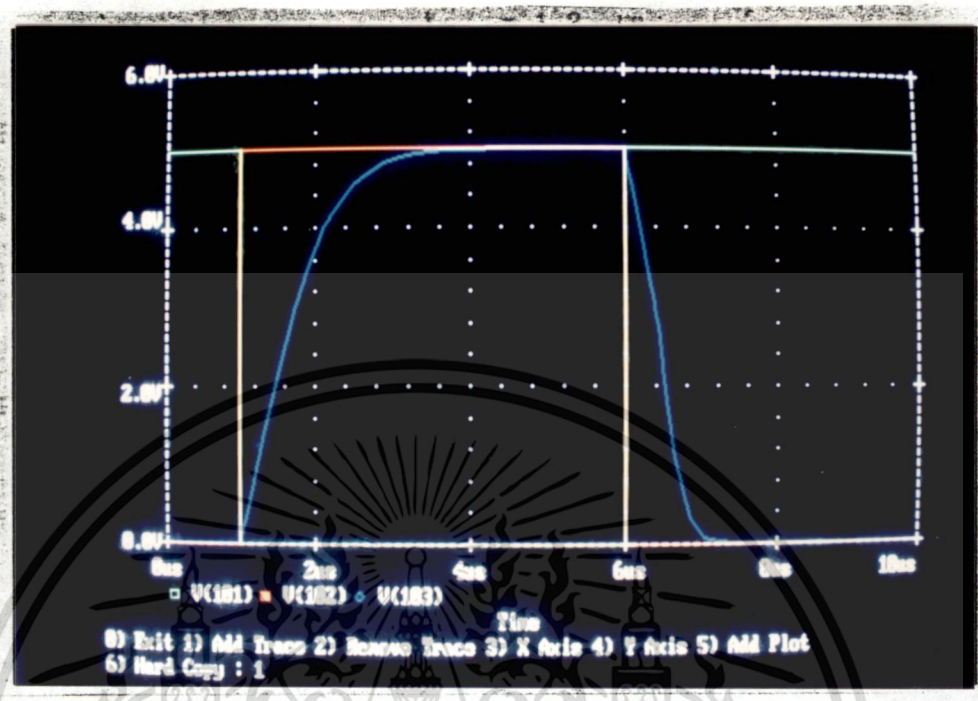
ง. พื้นที่ PMOS

รูปที่ 5.2-10 แสดงพื้นที่ตัวเก็บประจุวงจร D ฟลิปฟลอป

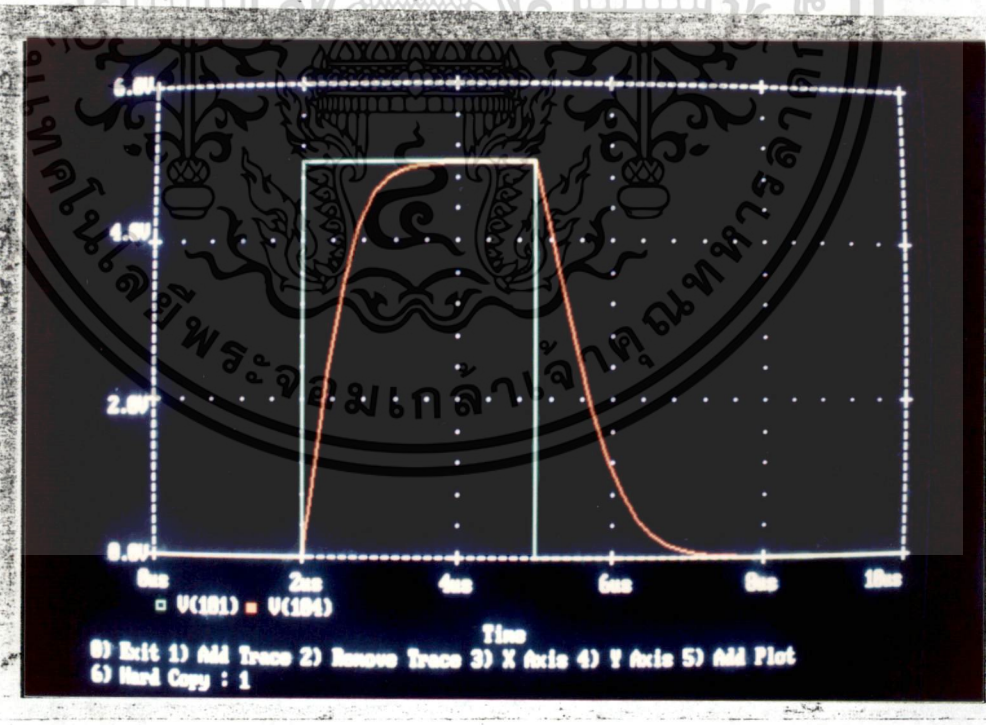


รูปที่ 5.2-11 แสดงผลการจำลองแบบคุณสมบัติสวิชชิ่งวงจร RS ฟลิปฟลอปแบบแนนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2-12 แสดงผลการจำลองแบบคุณสมบัติสวิชชิ่งวงจร RS ฟลิปฟลอปแบบนอร์



รูปที่ 5.2-13 แสดงผลการจำลองแบบคุณสมบัติสวิชชิ่งวงจร D ฟลิปฟลอป

เราสามารถสรุปค่าคุณสมบัติทางสวิชชิ่งของวงจรฟลิปฟลอปได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RS FF แบบแนนด์เกท

t_r = 0.2 μs

t_f = 1.2 μs

RS FF แบบนอร์เกท

t_r = 0.7 μs

t_f = 0.3 μs

D FF

t_r = 0.8 μs

t_p = 1.2 μs

ค่าที่ได้จากการวัดมีค่ามากกว่าการจำลองแบบประมาณ 4 เท่า ในวงจร RS ฟลิปฟลอป และประมาณ 6 เท่า ในวงจร D ฟลิปฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปและวิจารณ์

คุณสมบัติการสวิชชิ่ง ในการศึกษาคุณสมบัติการสวิชชิ่ง ผลของการทดลองที่ได้มีแนวโน้มที่เป็นไปตามทฤษฎี เพราะว่าจากการเปรียบเทียบค่า tr, tf กับการจำลองแบบจะให้ลักษณะที่เหมือนกันในแต่ละวงจร ถึงแม้ว่าวงจรรวมพื้นฐานที่สร้างมาได้จะมีค่า tr, tf ที่มากก็ตาม แต่เป็นเพราะเทคโนโลยีการสร้างที่ใช้มีค่าความยาวช่องทางเดินกระแสเล็กสุด 20 μm และค่าความกว้างช่องทางเดินกระแสเล็กสุด 40 μm ซึ่งถือว่ามีขนาดใหญ่ ประกอบกับพื้นที่ส่วนใหญ่ของวงจรจะเป็นพื้นที่ในส่วนอลูมิเนียมมากที่สุด ดังนั้นจะทำให้ค่าคุณสมบัติสวิชชิ่งมีค่าไม่ดีมีค่ามาก แต่ก็เป็นที่น่าพอใจในระดับเทคโนโลยีการสร้างที่ใช้ ผลของการจำลองแบบเปรียบเทียบจะเห็นว่ามีค่าความแตกต่างประมาณ 5-10 เท่า ซึ่งก็ยังถือว่ามีค่าไม่มาก ทั้งนี้เพราะคุณสมบัติสวิชชิ่ง ซึ่งเป็นสิ่งที่ละเอียดอ่อน และมีความซับซ้อนอยู่มาก ในการจำลองแบบที่เราใช้ เราได้จากการคำนวณพื้นที่ค่าตัวเก็บประจุในส่วนต่าง ๆ ของลวดลายวงจรโดยตัวเก็บประจุรอยต่อพี-เอ็น ที่ใช้ในการคำนวณ เพื่อการจำลองแบบเราใช้ค่าเฉลี่ย ซึ่งค่าตัวเก็บประจุรอยต่อ พี-เอ็น ในความเป็นจริงจะไม่คงที่ มีค่าเปลี่ยนแปลงตามค่าแรงดัน นอกจากนี้ค่าความหนาออกไซด์ในส่วนต่าง ๆ จะไม่คงที่เพราะได้ผ่านกระบวนการโฟโต้ลิโทกราฟฟี่หลายครั้ง และรูปวงจรในการคำนวณเราใช้รูปวงจรอย่างง่าย คือ เป็นวงจรที่นำเอาค่าตัวเก็บประจุรวม C_{out} มาต่อเป็นโหลดอินเวอร์เตอร์ ซึ่งการประมาณเช่นนี้ยังไม่ถูกต้องตามความเป็นจริง แต่อย่างไรก็ตามจะเห็นว่าค่าความแตกต่างอยู่ในระดับที่น่าพอใจ สำหรับการใช้การจำลองแบบเบื้องต้นเพื่อดูแนวโน้ม และเป็นวิธีที่ง่ายและสะดวก ในระดับวงจรรวมในระดับพื้นฐานที่ยังไม่มีความซับซ้อน วงจรสองสถานะ RS ฟลิปฟลอป และ D ฟลิปฟลอป ซึ่งได้จากการประกอบกันของวงจรพื้นฐาน แนนด์ นอร์ ให้ผลคุณสมบัติทางสวิชชิ่งก็เป็นที่น่าพอใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. John P. Uyemura, Fundamentals of MOS Digital Integrated' Circuits, Addison-Wesley Publishing Company, 1988.

2. David A. Hodges and Horace G. Jackson, Analysis and Design of Digital Integrated Circuits, McGraw-Hill, Inc., 1988.

3. Masakazu Shoji, CMOS Digital Circuit Technology, Prentice Hall, Inc., 1988

4. Yamuis P. Tsividis, Operation and Modeling of the MOS Transistor, McGraw-Hill, Inc., 1988

5. Randall L. Geiger, Phillip E. Allen and Noed R. Strader, VLSI Design Techniques for Analog and Digital Circuits, McGraw-Hill, Inc., 1990

6. เติมพงษ์ เพ็ชรกูล, วีระ เพ็งจันทร์, วิสุทธิ์ ฐิติรุ่งเรือง และ สมเกียรติ ศุภเดช, การออกแบบคุณสมบัติทางไฟตรงของวงจรเกทพื้นฐานแบบซีมอส"การประชุมวิชาการ ทางวิศวกรรมไฟฟ้า 9 สถาบันอุดมศึกษา ครั้งที่ 14, พ.ศ. 2534

7. เติมพงษ์ เพ็ชรกูล, วิสุทธิ์ ฐิติรุ่งเรือง และสมเกียรติ ศุภเดช, "การออกแบบเพื่อควบคุมคุณสมบัติการส่งผ่านสัญญาณแรงดันของอินเวอร์เตอร์แบบซีมอส",การประชุมวิชาการทางวิศวกรรมไฟฟ้า 9 สถาบันอุดมศึกษา ครั้งที่ 13, พ.ศ. 2533

8. สมศักดิ์ ชุมช่วย, กฤษดา วรรณโชติ และสมเกียรติ ศุภเดช "การสร้างอุปกรณ์ซีมอสโดยเทคนิคการแพร่สารเจือ", การประชุมวิชาการทางวิศวกรรมไฟฟ้า 9 สถาบันอุดมศึกษา ครั้งที่ 11, พ.ศ. 2531

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้