

รายงานการวิจัย

การพัฒนาโครงสร้างเกตอะเรย์แบบคอมพลิเมนต์ารีมอยซ์

Development of CMOIS Gate Array

คณะผู้วิจัย

1. นายจิรวัดน์ ปานกลาง (หัวหน้าโครงการ)
2. ผศ. ดร. วิสุมิ ฐิติรุ่งเรือง (ผู้ร่วมวิจัย)
3. นายอัมพร โพธิ์ไย (ผู้ช่วยนักวิจัย)

สถานที่ทำการวิจัย

ศูนย์วิจัยอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ได้รับการสนับสนุนจาก

สำนักงานคณะกรรมการวิจัยแห่งชาติ
ปีงบประมาณ 2538

RCH
TK
7874.65
๑512๗

เลขหมู่.....
เลขทะเบียน.....32250

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาและเพื่อประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงแหล่งที่มาของเอกสารนำไปใช้
วัน, เดือน, ปี 1.1.1.ศ.ป. 2542

สารบัญ

	หน้า
บทคัดย่อ	I
ABSTRACT	II
คำนำ	III
บทที่ 1 ทราานซิสเตอร์โครงสร้างแบบ CMOIS	1
1.1 โครงสร้างของทราานซิสเตอร์แบบ CMOIS	1
1.2 การทำงานของทราานซิสเตอร์โครงสร้างแบบ CMOIS	1
1.3 ข้อดีของทราานซิสเตอร์โครงสร้างแบบ CMOIS	3
1.4 การสร้างทราานซิสเตอร์โครงสร้างแบบ CMOIS	4
1.5 แบบจำลองทราานซิสเตอร์โครงสร้างแบบ MOIS	7
1.5.1 แบบจำลองทางไฟตรงของทราานซิสเตอร์โครงสร้างแบบ MOIS	7
1.5.2 แบบจำลองทางไฟสลบของทราานซิสเตอร์โครงสร้างแบบ MOIS	8
บทที่ 2 เกทอะเรย์ (GATE ARRAY)	11
2.1 การเลือกเทคโนโลยีการผลิต GATE ARRAY	11
2.2 สถาปัตยกรรมในการออกแบบ GATE ARRAY	13
2.3 ส่วนประกอบของวงจรมাত্রาฐานในระบบ GATE ARRAY	19
2.3.1 วงจรมাত্রาฐานรับสัญญาณขาเข้า	19
2.3.2 วงจรมাত্রาฐานส่งสัญญาณขาออก	20
2.3.3 วงจรมাত্রาฐานการทำงานตามฟังก์ชันต่าง ๆ	21
2.4 กำลังงานสูญเสียในวงจร GATE ARRAY	22
บทที่ 3 การออกแบบและสร้างวงจรมাত্রาฐานที่มีโครงสร้างแบบ CMOIS	26
3.1 การออกแบบวงจรมাত্রาฐานรับสัญญาณขาเข้า	26
3.1.1 การออกแบบวงจรับสัญญาณขาเข้าแบบสัญญาณขาออกของวงจรถับ เฟสกับสัญญาณขาเข้า	26
3.1.2 การออกแบบวงจรับสัญญาณขาเข้าแบบสัญญาณขาออกของวงจรถับ กลับเฟสกับสัญญาณขาเข้า	28
3.2 การออกแบบวงจรมাত্রาฐานส่งสัญญาณขาออก	29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1	การออกแบบวงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า	30
3.2.2	การออกแบบวงจรเชื่อมแรงดันระหว่างระบบ CMOIS กับระบบ TTL แบบกลับเฟส และไม่กลับเฟสกับสัญญาณขาเข้า	32
3.3	การออกแบบวงจรมาตรฐานการทำงาน	34
3.3.1	การออกแบบวงจรทางตรรกพื้นฐาน	34
3.3.1.1	วงจร NOR เกทแบบ 4-input	34
3.3.1.2	วงจร NAND เกทแบบ 4-input	37
3.3.1.3	วงจร INVERTER	40
3.3.1.4	วงจร Ex-OR เกท	41
3.3.2	การออกแบบวงจรทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกา	46
3.3.2.1	วงจร D-FLIP/FLOP	46
3.3.2.2	วงจร RS FLIP/FLOP	49
3.3.2.3	วงจร Transmission เกทแบบ 2-input	52
บทที่ 4	การทดลองและผลการทดลอง	57
4.1	การทดลองและผลการทดลอง วัตพารามิเตอร์ของแบบจำลองทางไม่ตรงของทรานซิสเตอร์ โครงสร้างแบบ MOIS	57
4.2	การทดลองและผลการทดลอง วัตพารามิเตอร์ของแบบจำลองทางไม่กลับของทรานซิสเตอร์ โครงสร้างแบบ MOIS	63
4.3	การทดลองและผลการทดลอง วัตกระแสขาเข้าของวงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า	69
4.4	การทดลองและผลการทดลอง วัตกระแสขาออกของวงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า	70
4.5	การทดลองและผลการทดลอง วัตการเชื่อมต่อแรงดันระหว่างระบบ CMOIS กับระบบ TTL ของวงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า	71
4.6	การทดลองและผลการทดลอง วัตการตอบสนองต่อสัญญาณชั่วคราว	72
4.6.1	วงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า	73
4.6.2	วงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า	74
4.6.3	วงจรทางตรรกพื้นฐาน	76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.4	วงจรถูกตรรกที่ควบคุมด้วยสัญญาณนาฬิกา	78
4.7	การทดลองและผลการทดลอง วัดกำลังสูญเสียของวงจร	81
4.7.1	วงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า	82
4.7.2	วงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า	83
4.7.3	วงจรถูกตรรกพื้นฐาน	85
4.7.4	วงจรถูกตรรกที่ควบคุมด้วยสัญญาณนาฬิกา	86
บทที่ 5	สรุปและวิจารณ์	88
	กิตติกรรมประกาศ	93
	เอกสารอ้างอิง	94
ภาคผนวก ก	การวิเคราะห์ช่วงเวลาในการเปลี่ยนสถานะของวงจรเกต	96
ภาคผนวก ข	สัญลักษณ์	104



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพัฒนาโครงสร้างเกทอะเรย์แบบคอมพลีเมนต์อาร์มีมอส

Development of CMOIS Gate Array

บทคัดย่อ

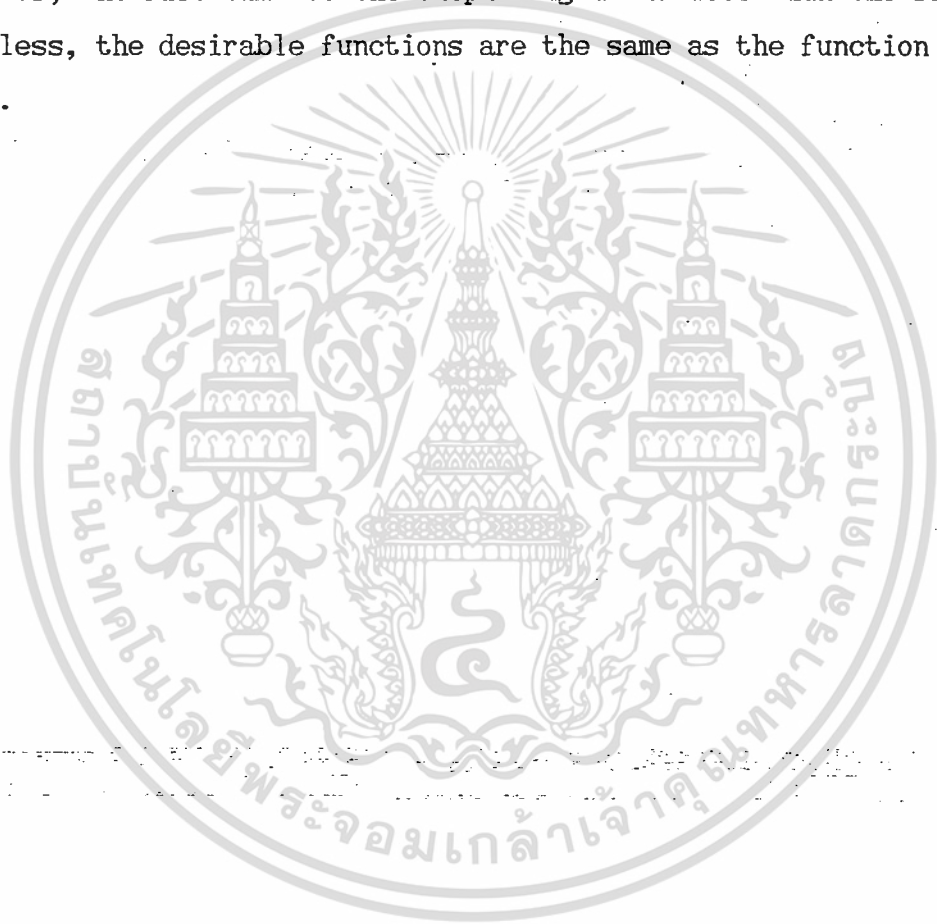
การออกแบบวงจรมাত্রาฐานสำหรับการประยุกต์ใช้งานในด้านต่าง ตามฟังก์ชันทางตรรกะของวงจรที่ต้องการ สามารถทำได้ดีด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS เนื่องจากคูลงตัวของทรานซิสเตอร์ โครงสร้างนี้สามารถออกแบบให้ประหยัดพื้นที่บนแผ่นผลึกซิลิกอน ได้มากกว่าทรานซิสเตอร์โครงสร้างแบบ CMOS ไม่น้อยกว่า 12.5 เปอร์เซ็นต์ ในขณะที่การทำงานของวงจรมีลักษณะเหมือนกัน กลุ่มวงจรมাত্রาฐานที่ใช้ในการออกแบบวงจรถะเรย์ส่วนใหญ่ แบ่งออกเป็น 3 กลุ่มคือ กลุ่มที่ 1 ประกอบด้วยวงจรรับสัญญาณขาเข้าซึ่งเป็นกลุ่มวงจรที่ออกแบบให้สามารถรับสัญญาณขาเข้าที่ส่งมาจากวงจรมานอก แล้วทำการขับสัญญาณดังกล่าวแก่วงจรมานอกต่อไป ทั้งในรูปแบบเฟสและไมกลับเฟสสัญญาณขาเข้า กลุ่มที่ 2 ประกอบด้วยวงจรส่งสัญญาณออกจากระบบเพื่อขับวงจรมานอกต่อไป กลุ่มสุดท้าย คือกลุ่มวงจรที่ใช้ในการทำงานเพื่อตอบสนองฟังก์ชันตามที่ต้องการ วงจรทั้งสามกลุ่มนี้ถูกออกแบบและสร้างด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS ด้วยวิธีการออกแบบในลักษณะไม่สมมาตร แล้วทำการทดสอบคุณสมบัติในการใช้งานและการทำงานของวงจรมตามฟังก์ชันที่ต้องการในด้านต่าง ๆ ซึ่งพบว่าวงจรมাত্রาฐานที่ออกแบบและสร้างด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS นี้มีการทำงานที่ค่าแรงดัน 4 ถึง 15 โวลต์ และลักษณะการตอบสนองต่อสัญญาณชั่วคราวของวงจรที่สร้างขึ้นตรงข้ามกับคุณสมบัติของวงจรรวมชนิดเดียวกันที่มีโครงสร้างแบบ CMOS กล่าวคือ วงจรที่สร้างขึ้นจะใช้เวลาในการเปลี่ยนแปลงสถานะจากสถานะต่ำไปสู่สถานะสูง (t_r) น้อยกว่าการเปลี่ยนแปลงจากสถานะสูงไปยังสถานะต่ำ (t_f) อย่างไรก็ตาม สถานะของฟังก์ชันในการทำงานยังคงมีลักษณะ เช่นเดียวกับวงจรรวมที่มีโครงสร้างทรานซิสเตอร์แบบ CMOS

Abstract

It is better to design the standard cell circuit which is developed to be a desirable logic function with the CMOIS structure transistor. Because of this structure of transistor uses smaller area on the silicon wafer than the CMOS transistor design more than 12.5 % with the same circuit operation. The general standard cell circuits in gate array design consist of three sections. The first is the input circuits which use to receive the input signal and drive it to the internal circuits in the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

form of inverting or noninverting output signal. The second is the output driver circuits which rise to drive the output signal of the internal circuit to the next state with the suitable voltage and current. And the last is the operation circuits which use to fit the desirable function of the designer. All of them are designed and fabricated with the nonsymmetrical design of CMOIS transistor. Then its performance, as the transient response, the sink and source current, the output voltage, and the operation functions are measured. The experimental results show that the circuit can be operated between 4 to 15 volts. The transient response characteristics of the circuits are opposite with the CMOS circuits. In other words, the rise time of the output signal is less than the fall time. Nevertheless, the desirable functions are the same as the function of CMOS circuits.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะของวงจรถ่ายทอดทรานซิสเตอร์โครงสร้างแบบ CMOIS สามารถทำงานได้ดี และมีแนวโน้มถึงความเป็นไปได้ที่จะพัฒนาทรานซิสเตอร์แบบนี้ เข้าแทนที่ทรานซิสเตอร์โครงสร้างแบบ CMOS ที่มีความเป็นไปได้ค่อนข้างสูงคือวงจรรวมทางตรรก เพราะเมื่อทำการออกแบบวงจรถ่ายทอดทรานซิสเตอร์ด้วยเทคโนโลยีการออกแบบ เช่นเดียวกับทำการออกแบบวงจรถ่ายทอดทรานซิสเตอร์แบบ CMOS แล้วปรากฏว่า วงจรถ่ายทอดด้วยทรานซิสเตอร์แบบ CMOIS สามารถประหยัดพื้นที่บนแผ่นผลึกซิลิกอนได้มากกว่าวงจรถ่ายทอดด้วยทรานซิสเตอร์โครงสร้างแบบ CMOS ถึง 12.5 เปอร์เซ็นต์ โดยที่ประสิทธิภาพในการทำงานของฟังก์ชันทางลอจิกยังคงมีลักษณะเช่นเดียวกัน ดังนั้นการออกแบบและดำเนินการสร้างวงจรรวมมาตรฐานที่ถูกใช้งานอยู่เป็นประจำทางตรรก แล้วทำการเก็บข้อมูลของประสิทธิภาพของวงจรถ่ายทอดในด้านต่าง ๆ เอาไว้เพื่อเป็นประโยชน์ในการหาความเป็นไปได้ในการผลิตวงจรรวมขนาดใหญ่ต่อไป จึงน่าสนใจที่จะดำเนินการงานวิจัยเป็นอย่างมาก การกระทำเช่นนี้เรียกว่า "การออกแบบวงจรรวมมาตรฐานของการผลิตเกตอะเรย์ (GATE ARRAY)"

หลักการของการออกแบบวงจรถ่ายทอดทรานซิสเตอร์ทุก ๆ ไป มีอยู่มากมายหลายชนิดขึ้นกับจุดประสงค์ในการใช้งานวงจรถ่ายทอด แต่ในวิทยานิพนธ์ฉบับนี้ได้ทำการออกแบบวงจรถ่ายทอดทรานซิสเตอร์ของเกตอะเรย์ ด้วยวิธีการออกแบบที่สามารถแทนที่วงจรถ่ายทอดที่สร้างขึ้นดังกล่าวในวงจรถ่ายทอดทรานซิสเตอร์แบบ CMOS ได้ดี ดังนั้นผลงานวิจัยในวิทยานิพนธ์ฉบับนี้จึง เป็นแนวทางที่ดีแก่ผู้ที่สนใจ และต้องการทราบรายละเอียดของการพัฒนาทรานซิสเตอร์โครงสร้าง CMOIS เป็นวงจรรวมอื่น ๆ ต่อไป โดยรายละเอียดของเนื้อหาในวิทยานิพนธ์สามารถสรุปเป็นบทได้ดังนี้คือ

บทที่ 1 กล่าวถึงลักษณะของทรานซิสเตอร์โครงสร้างแบบ CMOIS พร้อมทั้งอธิบายข้อดีและข้อเสียของโครงสร้างทรานซิสเตอร์ชนิดนี้ รวมทั้งอธิบายถึงการทำงานของทรานซิสเตอร์ในสภาวะต่าง ๆ ของการใช้งาน และวงจรถ่ายทอดทรานซิสเตอร์เพื่อใช้เป็นพื้นฐานในการอธิบายพฤติกรรมทางไฟฟ้าของวงจรถ่ายทอดอย่างง่าย ๆ ไว้ด้วย พร้อมทั้งอธิบายวิธีการสร้างทรานซิสเตอร์โครงสร้างนี้ที่ดีที่สุด

บทที่ 2 กล่าวถึงหลักการของการเลือกวงจรถ่ายทอดที่เหมาะสมกับการออกแบบด้วยเกตอะเรย์ รวมทั้งเทคโนโลยีของการออกแบบวงจรถ่ายทอดแบบต่าง ๆ และสรุปวิธีการออกแบบที่ดีที่สุดเพื่อนำมาใช้กับทรานซิสเตอร์โครงสร้าง CMOIS ที่สามารถแข่งขันกับทรานซิสเตอร์โครงสร้างแบบ CMOS ได้ดี นอกจากนี้ยังอธิบายถึงกลุ่มของวงจรถ่ายทอดที่ประกอบกันขึ้นเป็นวงจรรวมขนาดใหญ่ ที่นิยมถูกเลือกมาใช้ในการออกแบบวงจรถ่ายทอดทางตรรกทุก ๆ ไป รวมทั้งวิเคราะห์พลังงานสูญเสียของวงจรถ่ายทอดที่ถูกทำการออกแบบด้วยทรานซิสเตอร์โครงสร้าง CMOIS ด้วย

บทที่ 3 กล่าวถึงการออกแบบวงจรถ่ายทอดต่าง ๆ ที่ถูกเลือกเป็นตัวแทนของวงจรถ่ายทอดหลักในการออกแบบวงจรรวมแบบเกตอะเรย์ พร้อมทั้งอธิบายพฤติกรรมทางไฟฟ้าของวงจรถ่ายทอดที่ถูกออกแบบด้วยวิธีการออกแบบที่เลือกแล้ว โดยแบ่งวงจรถ่ายทอดต่าง ๆ ออกเป็นกลุ่ม ๆ ดังที่เคยอธิบายไว้ในบทที่ 2

บทที่ 4 จะเป็นการนำเสนอข้อมูลของวงจรพื้นฐานของการออกแบบเกออะเรย์ทั้งหมด ในด้านต่าง ๆ ของพฤติกรรมทางไฟฟ้า เช่นการตอบสนองต่อสัญญาณชั่วคราว (Transient Response) กำลังงานสูญเสียของวงจร (Power Dissipation) เป็นต้น พร้อมทั้งนำเสนอข้อมูลที่ประกอบขึ้นเป็นแบบจำลองทรานซิสเตอร์โครงสร้างแบบ CMOIS ซึ่งประกอบด้วยทรานซิสเตอร์ชนิด NMOIS และทรานซิสเตอร์ชนิด PMOIS อยู่ร่วมบนฐานรองเดียวกัน

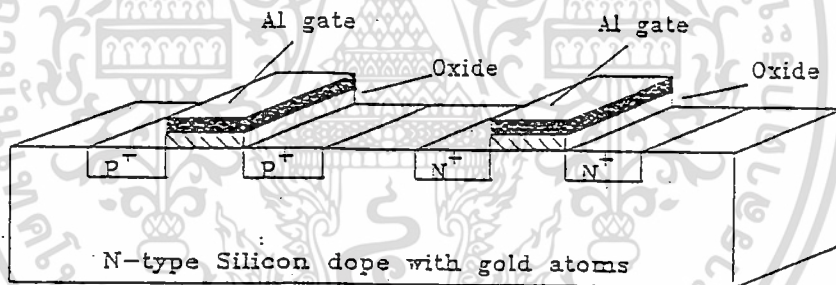
บทที่ 5 เป็นการสรุปข้อมูลทั้งหมดของงานวิจัยในแง่ต่าง ๆ คือ ความเป็นไปได้ในการพัฒนาทรานซิสเตอร์โครงสร้างนี้ต่อไปในอนาคต และทำการสรุปความถูกต้องของแบบจำลองที่สร้างขึ้นว่าสามารถเชื่อถือได้เพียงใด เพื่อเป็นประโยชน์ในการพัฒนาทรานซิสเตอร์โครงสร้างแบบ CMOIS ต่อไป



ทรานซิสเตอร์โครงสร้างแบบ CMOIS

1.1 โครงสร้างของทรานซิสเตอร์แบบ CMOIS

ทรานซิสเตอร์โครงสร้างแบบ CMOIS เกิดขึ้นครั้งแรกในห้องปฏิบัติการวิจัยสารกึ่งตัวนำ ของศูนย์วิจัยสารกึ่งตัวนำอิเล็กทรอนิกส์คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง[2] เป็นทรานซิสเตอร์ที่มีคุณสมบัติในการทำงานเช่นเดียวกับทรานซิสเตอร์โครงสร้างแบบ CMOS แต่มีลักษณะของโครงสร้างที่ดีกว่าดังรูปที่ 1.1.1 กล่าวคือ ทรานซิสเตอร์โครงสร้างแบบ CMOIS ใช้ฐานรอง (substrate) ที่ใช้ในการสร้างทรานซิสเตอร์ชนิดเอ็น (NMOIS) และทรานซิสเตอร์ชนิดพี (PMOIS) เป็นแผ่นผลึกซิลิกอนชนิดเอ็นระนาบ <100> ที่มีค่าพิกัดความต้านทานที่เหมาะสมค่าหนึ่งแล้วทำการเติมอะตอมของทองคำลงไปบนแผ่นผลึก ด้วยวิธีการเคลือบโลหะทองคำที่ด้านหลังของแผ่นผลึกจากนั้นทำการขัปลิกทองคำด้วยความร้อน เพื่อให้อะตอมของทองคำกระจายตัว อย่างสม่ำเสมอทั่วทั้งแผ่นผลึก แผ่นผลึกซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำเรียบร้อยแล้วจะมีคุณสมบัติเปลี่ยนแปลงไป โดยระดับพลังงานเฟอร์มิของอิเล็กตรอนในแผ่นผลึกจะอยู่ที่ระดับ 0.62 อิเล็กตรอนโวลต์ เทียบกับระดับพลังงานของวาเลนซ์อิเล็กตรอน



รูปที่ 1.1-1 แสดง โครงสร้างภาพตัดขวางของทรานซิสเตอร์แบบ CMOIS

เมื่อระดับพลังงานเฟอร์มิของอิเล็กตรอนอยู่ที่ระดับ 0.62 อิเล็กตรอนโวลต์ แล้ว แผ่นผลึกจะมีคุณสมบัติเสมือนเป็นสารกึ่งตัวนำริสท์ (เนื่องจากสารกึ่งตัวนำริสท์จะมีค่าระดับพลังงานเฟอร์มิที่ระดับ 0.56 อิเล็กตรอนโวลต์เทียบกับระดับพลังงานวาเลนซ์อิเล็กตรอน) ดังนั้นระดับพลังงานของแผ่นผลึกจึงแตกต่างจาก ระดับพลังงานของสารกึ่งตัวนำชนิดเอ็น และสารกึ่งตัวนำชนิดพี ดังนั้นการสร้างทรานซิสเตอร์ชนิดเอ็น (NMOIS) และทรานซิสเตอร์ชนิดพี (PMOIS) จึงสามารถสร้างได้โดยทรานซิสเตอร์ชนิดใดชนิดหนึ่ง ไม่จำเป็นต้องสร้างบ่อเพื่อแยกชนิดของทรานซิสเตอร์ออกจากบ่อแยก

1.2 การทำงานของทรานซิสเตอร์โครงสร้างแบบ CMOIS

จากรูปภาพตัดขวางของทรานซิสเตอร์โครงสร้างแบบ CMOIS ในรูปที่ 1.1-1 จะพบว่าโดยโครง

สร้างแล้วทรานซิสเตอร์แบบ CMOIS จะมีลักษณะคล้ายคลึงกับทรานซิสเตอร์แบบ CMOS มาก ดังนั้นในการทำงานของทรานซิสเตอร์โครงสร้างแบบ CMOIS จึงมีลักษณะเดียวกันกับทรานซิสเตอร์โครงสร้างแบบ CMOS กล่าวคือสามารถใช้สนามไฟฟ้าในการควบคุมอัตราการไหลของกระแสได้ และเพื่อความสะดวกในการอธิบายการทำงาน เราจะใช้ชื่อต่าง ๆ ของทรานซิสเตอร์แบบ CMOS ในทรานซิสเตอร์แบบ CMOIS เช่นเดียวกันคือ

- ก. ขั้วเกต คือขั้วที่ใช้ในการควบคุมการเกิดชั้นกลับ เพื่อกำเนิดช่องทางเดินกระแส
- ข. ขั้วเดรน คือขั้วที่ใช้ในการปล่อยประจุพาหะออกสู่วงจรอื่น ๆ ซึ่งส่วนใหญ่จะได้รับการจ่ายศักดาไฟฟ้าแบบย้อนกลับ (reward bias)
- ค. ขั้วซอส คือขั้วที่ใช้ในการจ่ายประจุพาหะ ส่วนใหญ่ขั้วซอสจะเป็นขั้วที่ได้รับการจ่ายศักดาไฟฟ้าแบบตรง (forward bias)

ดังนั้นการทำงานของทรานซิสเตอร์โครงสร้างแบบ CMOIS จึงสามารถอธิบายได้เช่นเดียวกับทรานซิสเตอร์โครงสร้างแบบ CMOS คือ

1. ช่วงทรานซิสเตอร์ไม่ทำงาน

เกิดขึ้นเมื่อศักดาไฟฟ้าที่ปรากฏที่ขั้วเกตมีค่าต่ำกว่าศักดาขีดเริ่มของทรานซิสเตอร์ ดังนั้นบริเวณช่องทางเดินกระแสจึงไม่เกิดชั้นกลับที่ใช้ในการนำกระแสขึ้น ทรานซิสเตอร์จึงไม่มีกระแสไหลผ่านจากขั้วเดรนไปยังขั้วซอส

2. ช่วงทรานซิสเตอร์ทำงานแบบเชิงเส้น

เกิดขึ้นเมื่อค่าแรงดันที่ปรากฏที่ขั้วเกตของทรานซิสเตอร์มีค่ามากกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ แต่ผลต่างระหว่างค่าแรงดันที่ปรากฏที่ขั้วเกต กับค่าแรงดันขีดเริ่มยังมีค่าน้อยกว่าค่าแรงดันที่ตกคร่อมขั้วเดรนและซอสของทรานซิสเตอร์ การไหลของกระแสช่วงนี้จะแปรผันตรงกับค่าของแรงดันเดรนซอสที่เพิ่มขึ้น ดังนั้นจึงเรียกการทำงานช่วงนี้ของทรานซิสเตอร์ว่าช่วงเชิงเส้น มีสมการการไหลของกระแสเดรนเป็นไปดังสมการที่ (1.2-1)

$$I_{DS} = \beta/2 [2(V_G - V_T)V_{DS} - V_{DS}^2] \quad (1.2-1)$$

เมื่อ $\beta = \mu(\epsilon_o \epsilon_{ox} / T_{ox})(W/L)$

ค่าความนำในภาวะนำกระแส (G_m) สามารถหาได้โดยการหาอัตราการเปลี่ยนแปลงของกระแสเดรนเทียบกับค่าแรงดันเดรนซอส ดังสมการที่ (1.2-2)

$$G_m = \beta(V_{GS} - V_T - V_{DS}) \quad (1.2-2)$$

3. ช่วงทรานซิสเตอร์ทำงานแบบอิ่มตัว

เกิดขึ้นเมื่อค่าแรงดันที่ปรากฏที่ขั้วเกตมีค่าสูงกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ แต่กรณีนี้ผลต่างของค่าแรงดันขั้วเกตกับค่าแรงดันขีดเริ่มมีค่าสูงกว่าค่าแรงดันที่ตกคร่อมขั้วเดรนและซอสของทรานซิสเตอร์ การไหลของกระแสเดรนซอสจะมีค่าคงที่ไม่ขึ้นกับค่าแรงดันเดรนซอสที่จ่ายแก่ทรานซิสเตอร์ ความสัมพันธ์ระหว่างค่ากระแสเดรนกับค่าแรงดันต่าง ๆ เป็นไปดังสมการที่ (1.2-3)

$$I_{DS} = \beta/2 (V_G - V_T)^2 \quad (1.2-3)$$

ค่าความนำในช่วงการทำงานของทรานซิสเตอร์แบบอิ่มตัว ($G_m(\text{sat})$) สามารถหาได้โดยหาอัตรา การเปลี่ยนแปลงของกระแสเดรนเทียบกับค่าแรงดันเกตที่เปลี่ยนแปลงไป ได้ความสัมพันธ์ดังสมการที่ (1.2-4)

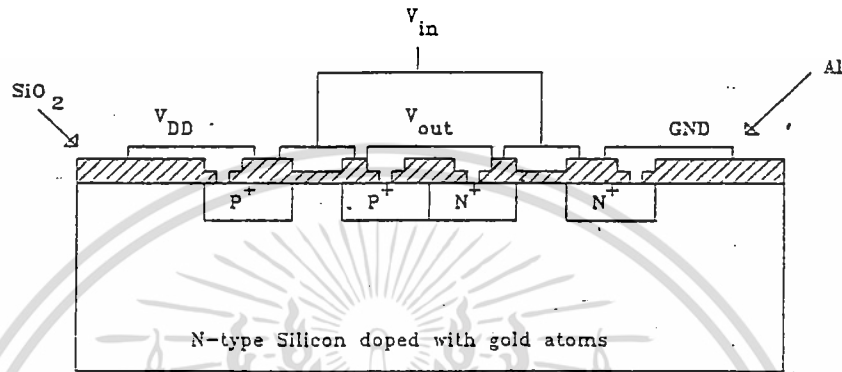
$$G_{m(\text{sat})} = \beta(V_{GS} - V_T) \quad (1.2-4)$$

จากหลักการการทำงานของทรานซิสเตอร์แบบ CMOIS ดังกล่าวข้างต้นจะพบว่าเหมือนการทำงานของทรานซิสเตอร์แบบ CMOS ที่รู้จักกันดีในปัจจุบัน สิ่งที่แตกต่างกันระหว่างทรานซิสเตอร์ทั้งสองชนิดนี้คือการแบ่งขั้วของทรานซิสเตอร์แบบ CMOS ค่อนข้างแน่นอน กล่าวคือขั้วซอสของทรานซิสเตอร์แบบ CMOS จะต่อเชื่อมกับฐานรองที่ใช้ในการสร้างทรานซิสเตอร์ชนิดนั้น แต่ทรานซิสเตอร์โครงสร้างแบบ CMOS ไม่สามารถกระทำได้เช่นเดียวกับทรานซิสเตอร์โครงสร้างแบบ CMOIS เนื่องจากฐานรองของทรานซิสเตอร์ชนิดเอ็น (NMOIS) และทรานซิสเตอร์ชนิดพี (PMOIS) คือฐานรองอันเดียวกัน ดังนั้นถ้าทำการต่อเชื่อมขั้วซอสของทรานซิสเตอร์ทั้งสองเข้ากับฐานรอง จะทำให้ทรานซิสเตอร์ทั้งสองชนิดหมดประสิทธิภาพในการทำงานลง ทำให้วงจรไม่เกิดการ ทำงานตามฟังก์ชันที่ต้องการได้ ดังนั้นการแบ่งขั้วของทรานซิสเตอร์โครงสร้างแบบ CMOIS จึงคิดเฉพาะศักดาไบอัสแก่ขั้วของทรานซิสเตอร์เป็นสำคัญ กล่าวคือขั้วซอสของทรานซิสเตอร์คือขั้วที่ได้รับการไบอัสแบบตรง และขั้วเดรนของทรานซิสเตอร์คือขั้วที่ได้รับการไบอัสย้อนกลับเท่านั้น

1.3 ข้อดีของทรานซิสเตอร์โครงสร้างแบบ CMOIS

เนื่องจากทรานซิสเตอร์โครงสร้างแบบ CMOIS มีลักษณะการทำงานเช่นเดียวกับทรานซิสเตอร์โครงสร้างแบบ CMOS ดังนั้นข้อดีต่าง ๆ ในการทำงานของทรานซิสเตอร์โครงสร้างแบบ CMOIS จึงเหมือนกับข้อดีของทรานซิสเตอร์โครงสร้างแบบ CMOS คือ มีค่าความต้านทานขาเข้าสู่ วงจรกิน

พลังงานในการทำงานต่ำ และสร้างได้ง่ายกว่าทรานซิสเตอร์แบบไบโพลาร์ นอกจากนี้ทรานซิสเตอร์โครงสร้างแบบ CMOIS สามารถสร้างได้โดยไม่ต้องใช้บ่อแยก ในการแยกทรานซิสเตอร์สองชนิดออกจากกัน ดังนั้นพื้นที่บนแผ่นผลึกขนาดเดียวกันสามารถที่จะสร้างทรานซิสเตอร์แบบ CMOIS ได้จำนวนมากกว่าทรานซิสเตอร์แบบ CMOS นอกจากนี้ในกรณีที่ทรานซิสเตอร์ชนิดพี (PMOIS) ในวงจรต่อเชื่อมอยู่กับทรานซิสเตอร์ชนิดเอ็น (NMOIS) สามารถออกแบบให้ทรานซิสเตอร์ทั้งสองอยู่ชิดติดกันได้ ในบริเวณจุดเชื่อมต่อดังรูปที่ 1.3-1 ทำให้พื้นที่บนแผ่นผลึกซิลิกอนมีประโยชน์มากกว่า และสามารถใช้ประโยชน์ได้อย่างเต็มที่



รูปที่ 1.3-1 แสดงการออกแบบภาพตัดขวางของทรานซิสเตอร์แบบ CMOIS ที่ทรานซิสเตอร์ชนิดเอ็นต่อเชื่อมกับทรานซิสเตอร์ชนิดพี

ด้วยเหตุที่ทรานซิสเตอร์แบบ CMOIS สามารถสร้างได้โดยไม่ต้องมีบ่อแยก ดังนั้นทรานซิสเตอร์โครงสร้างแบบ CMOIS จึงไม่เกิดปรากฏการณ์การแผ่ของทรานซิสเตอร์แบบไบโพลาร์ในโครงสร้าง ซึ่งเกิดขึ้นกับทรานซิสเตอร์โครงสร้างแบบ CMOS และเป็นสาเหตุให้ทรานซิสเตอร์โครงสร้างแบบ CMOS เกิดการพังทลาย

จากข้อดีดังกล่าวข้างต้นจะพบว่า การพัฒนาทรานซิสเตอร์โครงสร้างแบบ CMOIS เป็นวงจรรวม จึงเป็นแนวทางที่น่าศึกษาและวิจัยถึงความเป็นไปได้ในการผลิตเพื่ออุตสาหกรรมต่อไป

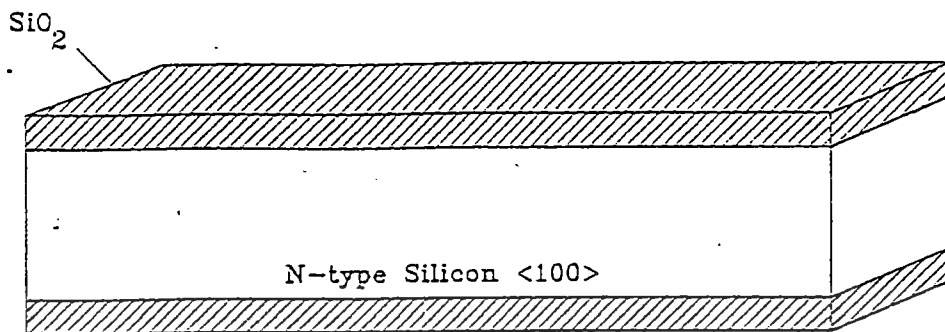
1.4 การสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS

การสร้างสิ่งประดิษฐ์สารกึ่งตัวนำโครงสร้างแบบ CMOIS เป็นกระบวนการสร้างที่ได้จากการวิจัยและสรุปว่าเป็นกระบวนการสร้างที่เหมาะสมที่สุดสำหรับการสร้างสิ่งประดิษฐ์ประเภทนี้ โดยมีขั้นตอนดังต่อไปนี้

ขั้นตอนที่ 1

เลือกแผ่นผลึกซิลิกอนขนาดนิกิตความต้านทาน 5 โอห์ม-เซนติเมตร ระบาย <100> ทำความสะอาดผิวหน้าด้วยกรดไนตริกเพื่อ กำจัดโลหะที่ผิวหน้าแผ่นซิลิกอน และละลายไขมันด้วยน้ำยา ไตรคลอโรเอธิลีน และล้างน้ำยา ไตรคลอโรเอธิลีนด้วยน้ำยาอะซีโตน และน้ำบริสุทธิ์ไม่มีไอออน จากนั้นสร้างชั้นฉนวนซิลิกอน

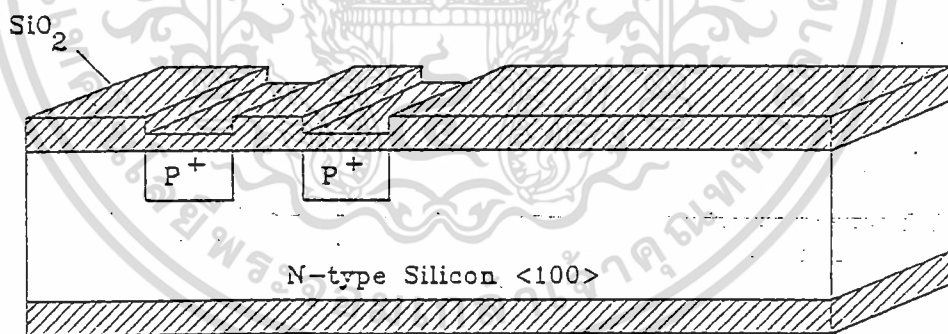
ไดออกไซด์ปกคลุมผิวแผ่นซิลิกอน ได้ค่าความหนาของชั้นฉนวนซิลิกอน ไดออกไซด์ 10000 อังสตรอม แสดงดังรูปที่ 1.4-1



รูปที่ 1.4-1 แสดงแผ่นผลึกซิลิกอนที่ทำความสะอาดผิวและสร้างชั้นฉนวนซิลิกอน ไดออกไซด์ปกคลุม

ขั้นตอนที่ 2

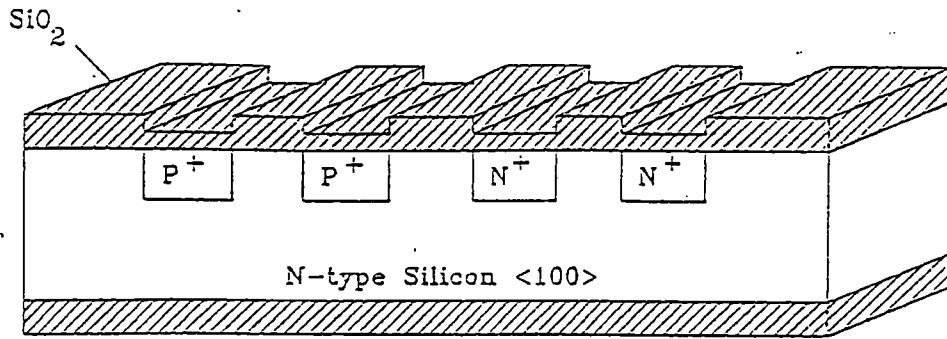
เปิดชั้นฉนวนซิลิกอน ไดออกไซด์และแพร่สารเจือโบรอน (P^+) เพื่อสร้างขั้วซอสและเดรนของทรานซิสเตอร์ชนิด PMOIS ด้วยกระบวนการแพร่สารเจือด้วยความร้อน ที่อุณหภูมิ 1000 องศาเซลเซียส เป็นเวลา 30 นาที จากนั้นทำการขับลึงพร้อมทั้งสร้างชั้นฉนวนซิลิกอน ไดออกไซด์ที่อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลา 40 นาที ได้ความหนา 3000 อังสตรอม แสดงดังรูปที่ 1.4-2



รูปที่ 1.4-2 แสดงขั้วซอสและเดรนของทรานซิสเตอร์ชนิด PMOIS

ขั้นตอนที่ 3

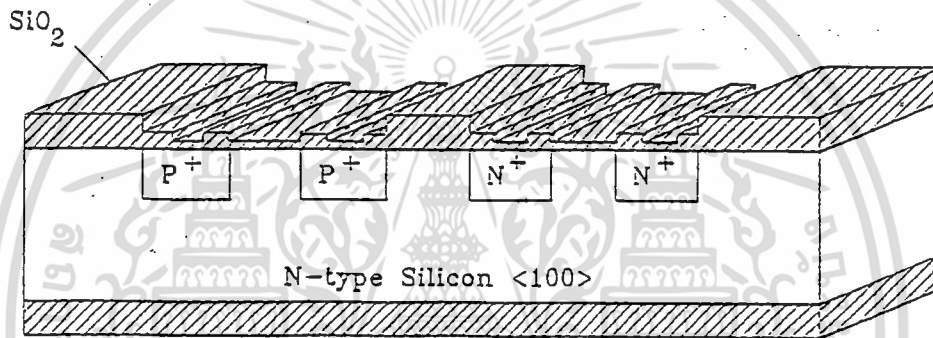
เปิดชั้นฉนวนซิลิกอนไดออกไซด์ และแพร่สารเจือฟอสฟอรัส (N^+) เพื่อสร้างขั้วซอสและเดรนของทรานซิสเตอร์ชนิด NMOIS ด้วยกระบวนการแพร่สารเจือด้วยความร้อน ที่อุณหภูมิ 1000 องศาเซลเซียส เป็นเวลานาน 40 นาที จากนั้นทำการขับลึงพร้อมทั้งสร้างชั้นฉนวนซิลิกอน ไดออกไซด์ที่อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลา 40 นาที ได้ความหนา 1300 อังสตรอม แสดงดังรูปที่ 1.4-3



รูปที่ 1.4-3 แสดงข้าวซอสและเดรนของทรานซิสเตอร์ชนิด NMOIS

ขั้นตอนที่ 4

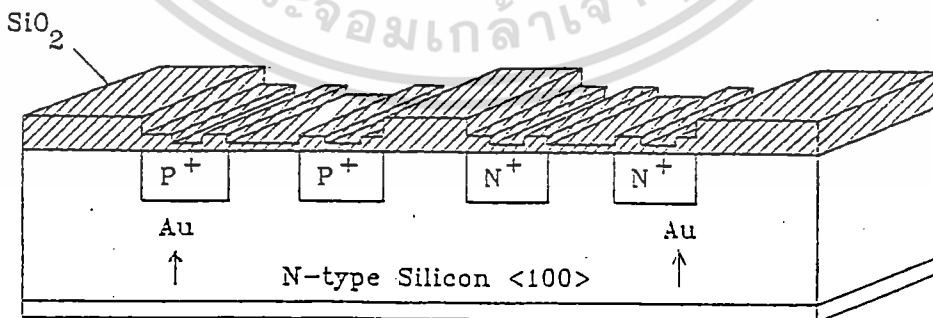
เปิดชั้นฉนวนซิลิกอน ไดออกไซด์บริเวณช่องทางเดินกระแสของทรานซิสเตอร์แต่ละชนิด แล้วสร้างชั้นฉนวนชั้นใหม่เป็นส่วนเกตออกไซด์ให้ความหนาประมาณ 700 อังสตรอม ที่อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลา 20 นาที แสดงดังรูปที่ 1.4-4



รูปที่ 1.4-4 แสดงชั้นฉนวนซิลิกอน ไดออกไซด์ที่เป็นส่วนเกตออกไซด์

ขั้นตอนที่ 5

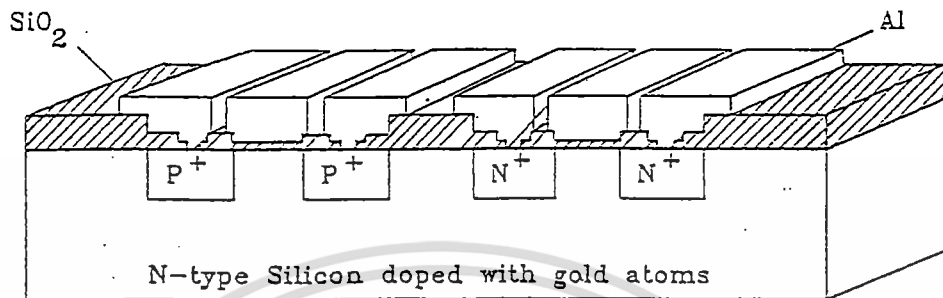
เปิดชั้นฉนวนซิลิกอน ไดออกไซด์ที่ผิวของฐานรองทั้งหมด แล้วเคลือบผิวด้วยโลหะทองคำ โดยใช้เครื่องเคลือบโลหะในสูญญากาศ จากนั้นซับลิททองคำที่อุณหภูมิ 1100 องศาเซลเซียส เป็นเวลา 90 นาที จะทำให้ฐานรองที่ใช้ในการสร้างทรานซิสเตอร์เปลี่ยนแปลงคุณสมบัติ ซึ่งแสดงดังรูปที่ 1.4-5



รูปที่ 1.4-5 แสดงลักษณะการแพร่สารเจือทองคำเข้าไปในฐานรองของทรานซิสเตอร์

ขั้นตอนที่ 6

เปิดชั้นฉนวนซิลิกอน ไดออกไซด์บริเวณหัวขอสและเตรนของทรานซิสเตอร์แต่ละตัว แล้วเคลือบโลหะอลูมิเนียมที่ผิวหน้าด้วยเครื่องเคลือบโลหะในสุญญากาศ และกัดอลูมิเนียมเป็นลวดลายวงจรตามที่ได้ออกแบบไว้ แล้วทำการร่อนแผ่นซิลิกอนเพื่อให้รอยสัมผัสต่าง ๆ สนิทกันมากขึ้น แสดงดังรูปที่ 1.4-6



รูปที่ 1.4-6 แสดงโครงสร้างทรานซิสเตอร์แบบ CMOS ที่สร้างเสร็จแล้ว

หลังจากผ่านกระบวนการสร้างทรานซิสเตอร์ตามวงจรที่ได้ออกแบบไว้เรียบร้อยแล้ว จึงนำชิ้นงานนี้ไปทดสอบคุณสมบัติทางไฟฟ้า ตามชนิดของแต่ละวงจรถัดไป

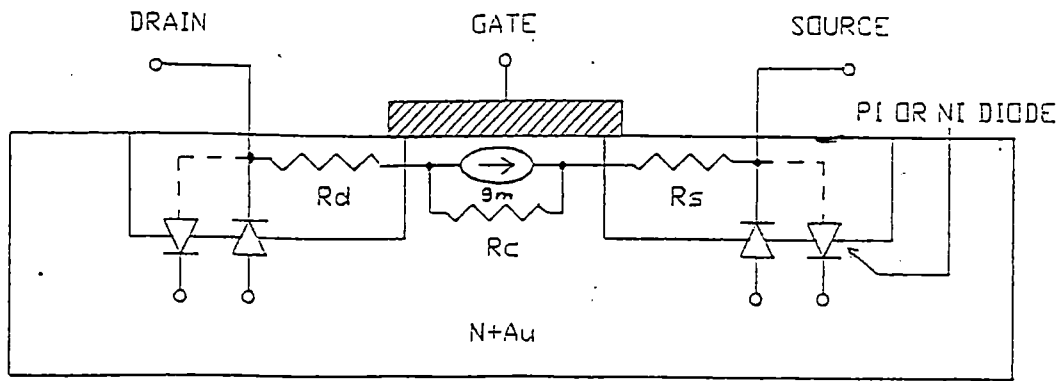
1.5 แบบจำลองทรานซิสเตอร์โครงสร้างแบบ MOIS

แบบจำลองของทรานซิสเตอร์ โดยทั่วไป จะใช้เป็นตัวแทนของทรานซิสเตอร์ในการคำนวณการตอบสนองของวงจรในทางไฟฟ้า ในด้านต่าง ๆ เช่น ค่าความต่างศักย์ขาออกของวงจร ค่าความต้านทานขาเข้าและขาออกของวงจร การตอบสนองต่อสัญญาณชั่วคราวของวงจร เป็นต้น ดังนั้นการกำหนดรูปแบบที่แน่นอนของวงจรจำลอง เพื่อเป็นตัวแทนของทรานซิสเตอร์ในการหาการตอบสนองของวงจรจึงเป็นประโยชน์อย่างยิ่งแก่นักออกแบบวงจร เพื่อใช้ประโยชน์ในการคำนวณวงจรก่อนทำการสร้างวงจรจริง ในหัวข้อนี้จะทำการเสนอแบบจำลองของทรานซิสเตอร์โครงสร้างแบบ MOIS เพื่อใช้เป็นตัวแทนในการออกแบบวงจรที่ต้องการต่อไป

1.5.1 แบบจำลองทางไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS

แบบจำลองทางไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS คือตัวแทนของทรานซิสเตอร์แบบ MOIS ที่ใช้ในการคำนวณพฤติกรรมทางไฟตรงของวงจรที่ประกอบด้วยทรานซิสเตอร์แบบนี้ ดังนั้นตัวแทนของทรานซิสเตอร์จะประกอบด้วย อุปกรณ์ที่ตอบสนองต่อสัญญาณไฟตรงเท่านั้น

พิจารณารูปภาพตัดขวาง และตัวแทนของแบบจำลองที่แฝงอยู่ใน โครงสร้างทรานซิสเตอร์แบบ MOIS ดังรูปที่ 1.5-1

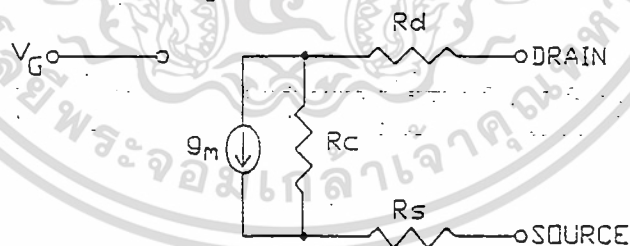


รูปที่ 1.5-1 แสดงภาพตัดขวางของทรานซิสเตอร์แบบ MOIS พร้อมทั้งแสดงส่วนประกอบของแบบจำลองที่ฝังอยู่ในโครงสร้างของทรานซิสเตอร์

จากรูปที่ 1.5-1 จะพบว่า ส่วนประกอบของแบบจำลองทางไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS จะประกอบด้วย

1. ค่าความต้านทานที่เกิดจากการออกแบบขั้วเดรนและขั้วซอสของทรานซิสเตอร์ (R_d และ R_s)
2. แหล่งกำเนิดกระแสที่ถูกควบคุมด้วยค่าแรงดันเกต และแรงดันตกคร่อมขั้วเดรนและขั้วซอส ซึ่งมีค่าความต้านทานภายใน (R_c) ต่อขนานอยู่
3. ไดโอดที่เกิดจากรอยต่อขั้วเดรนและขั้วซอสของทรานซิสเตอร์กับฐานรอง (ซึ่งเป็นสารกึ่งตัวนำบริสุทธิ์)

จากส่วนประกอบทั้งหมดนี้จะพบว่าอุปกรณ์ทุกอย่างที่กล่าวถึงทั้ง 3 ข้อ จะเป็นตัวแทนของแบบจำลองทางไฟตรงของทรานซิสเตอร์แบบ MOIS ยกเว้นไดโอด ซึ่งเกิดจากรอยต่อขั้วเดรนและขั้วซอสของทรานซิสเตอร์กับฐานรองเท่านั้น ซึ่งไม่มีผลกระทบต่อแบบจำลอง เนื่องจากฐานรองที่ใช้ในการสร้างทรานซิสเตอร์แบบ CMOIS ไม่สามารถต่อกับศักดาไฟเลี้ยงหรือลงกราวด์ได้ ดังนั้นจึงสรุปวงจรซึ่งเป็นตัวแทนของทรานซิสเตอร์แบบ MOIS ได้ดังรูปที่ 1.5-2



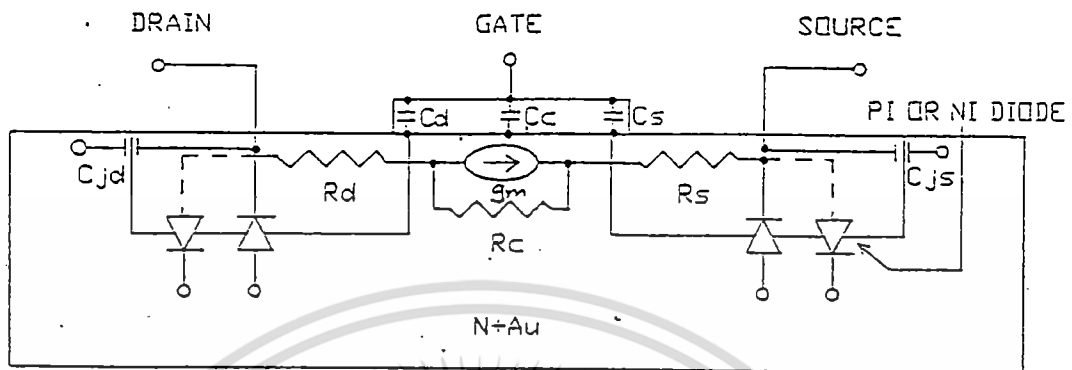
รูปที่ 1.5-2 แสดงแบบจำลองทางไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS

1.5.2 แบบจำลองทางไฟสลับของทรานซิสเตอร์โครงสร้างแบบ MOIS

ในทำนองเดียวกันกับแบบจำลองไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS คือแบบจำลองทางไฟสลับของทรานซิสเตอร์โครงสร้างแบบ MOIS จะใช้เป็นตัวแทนของทรานซิสเตอร์ในการคำนวณพฤติกรรมทางไฟฟ้าของวงจร ดังนั้นอุปกรณ์ประกอบรวมเพื่อเป็นตัวแทนของแบบจำลองจะมีลักษณะ

คล้ายคลึงกับแบบจำลองทางไฟตรงของทรานซิสเตอร์ แล้วเพิ่มส่วนประกอบที่ตอบสนองต่อสัญญาณไฟสลับเข้าไปในวงจร ที่แฝงอยู่ตามโครงสร้างของทรานซิสเตอร์

พิจารณารูปภาพตัดขวางของทรานซิสเตอร์ และอุปกรณ์ที่ตอบสนองต่อสัญญาณไฟสลับที่แฝงอยู่ในโครงสร้างของทรานซิสเตอร์ดังรูปที่ 1.5-3

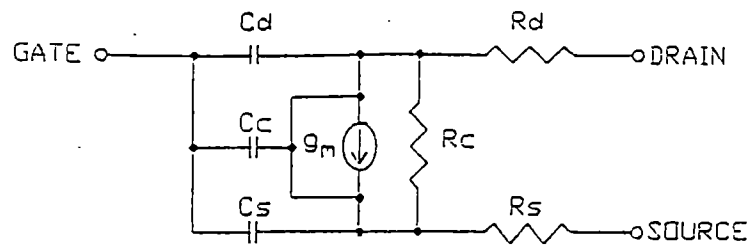


รูปที่ 1.5-3 แสดงภาพตัดขวางของทรานซิสเตอร์แบบ MOIS พร้อมส่วนประกอบของแบบจำลองทางไฟสลับที่แฝงอยู่ในโครงสร้างทรานซิสเตอร์แบบ MOIS

จากรูปที่ 1.5-3 พบว่าส่วนประกอบหลักของแบบจำลองยังมีลักษณะเดียวกันกับแบบจำลองทางไฟตรงของทรานซิสเตอร์ โครงสร้างแบบ MOIS ส่วนประกอบที่เพิ่มเข้ามาคือตัวเก็บประจุที่แฝงอยู่ในโครงสร้างคือ

1. C_D และ C_S คือค่าความจุไฟฟ้าที่เกิดจากการออกแบบขั้วเกตเกิน ไปบนขั้วเดรน และขั้วซอส (GATE OVERLAP DESIGN) โดยทั่ว ๆ ไปแล้วส่วนเกินในแต่ละด้านจะมีค่าเท่ากัน ดังนั้น ค่าความจุไฟฟ้า C_D และ C_S ส่วนใหญ่จะมีค่าเท่ากัน
2. C_C คือค่าความจุไฟฟ้าที่เกิดจากขั้วเกตกระทำต่อฐานรองบริเวณช่องทางเดินกระแสของทรานซิสเตอร์
3. C_{jD} และ C_{jS} คือค่าความจุไฟฟ้าที่เกิดจากรอยต่อของขั้วเดรนและขั้วซอสของทรานซิสเตอร์กับฐานรองของทรานซิสเตอร์ ซึ่งสามารถพิจารณาได้ว่าเป็นค่าความจุไฟฟ้าในช่วงต้นลิ้นชั้นของไดโอดบริเวณรอยต่อของขั้วเดรนและซอส

อุปกรณ์ทั้งหมดในรูปที่ 1.5-3 จะเป็นตัวแทนของทรานซิสเตอร์โครงสร้างแบบ MOIS ในการพิจารณาพฤติกรรมทางไฟฟ้าของวงจร ยกเว้นไดโอดและค่าความจุไฟฟ้า C_{jD} และ C_{jS} ซึ่งเกิดจากรอยต่อสารกึ่งตัวนำขั้วเดรนและซอสของทรานซิสเตอร์ที่กระทำต่อฐานรองเท่านั้น ที่ไม่มีผลต่อพฤติกรรมทางไฟฟ้าของวงจร ด้วยเหตุผลเดียวกันกับแบบจำลองทางไฟตรงของทรานซิสเตอร์แบบ MOIS ที่ได้กล่าวไว้แล้วในหัวข้อที่ 1.5-1 ดังนั้นแบบจำลองทางไฟสลับของทรานซิสเตอร์แบบ MOIS จึงสามารถสรุปเป็นวงจรได้ดังรูปที่ 1.5-4



รูปที่ 1.5-4 แสดงแบบจำลองทางไฟสลับของทรานซิสเตอร์แบบ MOIS



บทที่ 2

เกตอะเรย์

(GATE ARRAY)

เกตอะเรย์คือวงจรรวมชนิดหนึ่ง ที่ผู้ผลิตวงจรรวมต้องการตอบสนองความต้องการของนักออกแบบวงจรรวมรายย่อยในการออกแบบวงจรรวมเพื่อใช้งานในด้านต่าง ๆ โดยเฉพาะ และผู้ออกแบบต้องการปิดความลับของวงจรรวม โดยไม่ต้องการให้วงจรรวมที่ออกแบบไว้ถูกเลียนแบบได้โดยง่าย เพื่อตอบสนองความต้องการในด้านดังกล่าวนี้บริษัทผู้ผลิตวงจรรวมต่าง ๆ จึงทำการออกแบบวงจรรวมของตนเองที่มีฟังก์ชันการทำงานที่แน่นอน และเป็นวงจรรวมพื้นฐานของการออกแบบวงจรรวมขนาดใหญ่ จากนั้นทำการเสนอคุณสมบัติของวงจรรวมพื้นฐานดังกล่าว แก่นักออกแบบวงจรรวมรายย่อย เพื่อให้แก่นักออกแบบวงจรรวมรายย่อยได้ทำการออกแบบวงจรรวมให้เป็นไปตามฟังก์ชันที่ตนเองคิดไว้ แล้วส่งวงจรรวมที่ออกแบบไว้แก่นักผู้ผลิตวงจรรวม เพื่อผลิตวงจรรวมขนาดใหญ่ที่มีฟังก์ชันที่ถูกต้องตามความต้องการของนักออกแบบวงจรรวมรายย่อยต่อไป

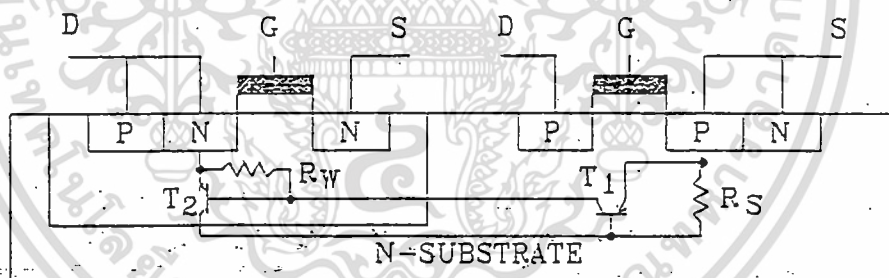
วงจรรวมพื้นฐานของเกตอะเรย์ที่ผู้ผลิตวงจรรวมทำการเสนอคุณสมบัติแก่นักออกแบบวงจรรวมรายย่อยส่วนใหญ่จะเป็นวงจรรวมที่ใช้งานทางตรรกะเป็นส่วนมากเนื่องจาก เป็นวงจรรวมที่มีความสำคัญกับคิกตาไฟฟ้าที่แน่นอนเพียงไม่กี่ค่าเท่านั้นจึงทำให้ง่ายในการผลิตกว่าการสร้างวงจรรวมเชิงเส้นทั่วไป แต่อย่างไรก็ดีความลับของอุปกรณ์ต่าง ๆ ที่ประกอบขึ้นเป็นวงจรรวมพื้นฐานของเกตอะเรย์ เป็นสิ่งที่บริษัทผู้ผลิตวงจรรวมต่าง ๆ ยังปิดเป็นความลับของบริษัทไว้ไม่เปิดเผยแก่นักออกแบบวงจรรวมทั่วไป ดังนั้นประสิทธิภาพของวงจรรวมเกตอะเรย์ของแต่ละบริษัทผู้ผลิตวงจรรวมแต่ละรายจึงแตกต่างกันในรายละเอียดปลีกย่อย ในด้านต่าง ๆ เช่นความถี่สูงสุดที่ใช้งานวงจรรวมได้ค่าคิกตาไฟฟ้าที่สามารถใช้งานได้ดีที่สุด เป็นต้น ดังนั้นการดำเนินงานวิจัยเพื่อพิจารณาค่าคุณสมบัติของอุปกรณ์ที่ประกอบขึ้นเป็นวงจรรวมพื้นฐานของการออกแบบเกตอะเรย์จึงเป็นสิ่งที่น่าสนใจ และหากสามารถพัฒนาการผลิตจนสามารถตอบสนองแก่นักออกแบบวงจรรวมรายย่อยในประเทศได้แล้ว จะทำให้งานทางด้านวิศวกรรมอิเล็กทรอนิกส์ในประเทศไทยมีการพัฒนาตัวเองอย่างต่อเนื่องทัดเทียมกับอรรถประเทศ

2.1 การเลือกเทคโนโลยีการผลิต GATE ARRAY

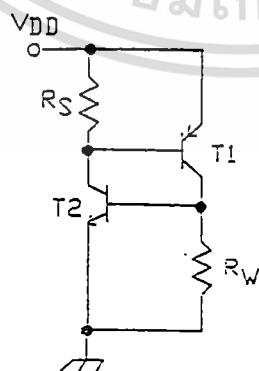
ผู้ผลิตวงจรรวมแบบเกตอะเรย์ส่วนใหญ่ ต้องการออกแบบวงจรรวมพื้นฐานของตนเองให้สามารถใช้งานได้กว้างขวางมากที่สุดเท่าที่จะทำได้ เช่น สามารถใช้งานได้ในทุกอุณหภูมิสิ่งแวดล้อม สามารถใช้งานได้กับระดับคิกตาไฟฟ้าต่ำ ๆ จนถึงค่าสูงสุดที่มากที่สุดที่จะทนได้มีการตอบสนองความถี่ที่สูงที่สุด เป็นต้น ดังนั้นเทคโนโลยีในการผลิตวงจรรวมพื้นฐานของเกตอะเรย์ส่วนใหญ่ จึงเลือกทรานซิสเตอร์

โครงสร้างแบบ CMOS ในการผลิต เนื่องจากเป็นทรานซิสเตอร์โครงสร้างที่ดีที่สุดที่รู้จักกันดีในปัจจุบัน เนื่องจากข้อดีในด้านต่าง ๆ ของทรานซิสเตอร์แบบนี้ เช่น สามารถใช้งานได้ที่แรงดันไม่เลี้ยงในช่วง 3-15 โวลต์ ไม่เกิดปรากฏการณ์การวิ่งหนีของความร้อน (thermal runaway) เป็นต้น การสร้างเกตอะเรย์ด้วยเทคโนโลยีของไบโพลาร์ทรานซิสเตอร์ ในปัจจุบันยังคงมีอยู่ด้วยเหตุผลที่ไบโพลาร์ทรานซิสเตอร์สามารถตอบสนองความถี่ได้ดีกว่าทรานซิสเตอร์โครงสร้างแบบ MOS ดังนั้นเกตอะเรย์โครงสร้างแบบไบโพลาร์ทรานซิสเตอร์จึงยังคงมีอยู่ในกลุ่มผู้ใช้งานที่ต้องการวงจรที่ตอบสนองความถี่ได้สูง ๆ โดยยอมสูญเสียกำลังงานในการทำงานมากกว่าการใช้เกตอะเรย์โครงสร้างแบบ CMOS

จากที่กล่าวมาแล้วในบทที่ 1 ว่าทรานซิสเตอร์โครงสร้างแบบ CMOIS มีลักษณะโครงสร้าง และการทำงานในด้านต่าง ๆ ที่คล้ายคลึงกับทรานซิสเตอร์โครงสร้างแบบ CMOS แต่มีจุดเด่นที่เหนือกว่าหลายประการ ที่ทำให้ผู้วิจัยพบว่าเป็นทรานซิสเตอร์ที่เหมาะสมอย่างยิ่ง ในการพัฒนาเป็นวงจรรพื้นฐานของการออกแบบเกตอะเรย์ เพราะนอกจากจะมีโครงสร้างที่เหมาะสมแล้ว ยังมีจุดเด่นที่เป็นโครงสร้างที่สามารถแก้จุดบกพร่องของทรานซิสเตอร์แบบ CMOS ได้ดี เช่น การผลิตจะใช้ขั้นตอนที่ยุงยากน้อยกว่า และที่สำคัญที่สุด คือทรานซิสเตอร์โครงสร้างแบบ CMOIS จะไม่เกิดปรากฏการณ์แล็ชอัป[latch up] ดังรูปที่ 2.1-1 ซึ่งเป็นการเกิดปรากฏการณ์การแผ่งของไบโพลาร์ทรานซิสเตอร์ในโครงสร้างทรานซิสเตอร์แบบ CMOS เป็นต้น ดังนั้นการควบคุมคุณสมบัติของวงจรถูกเกตอะเรย์ที่มีโครงสร้างแบบ CMOIS จึงเป็นสิ่งที่น่าสนใจที่จะศึกษาและดำเนินการวิจัย เพื่อตอบสนองความต้องการแก่นักออกแบบ และใช้เทคโนโลยีในการผลิตแบบนี้แทนที่เทคโนโลยีของ CMOS ที่มีอยู่ในปัจจุบัน



CROSS SECTION



EQUIVALENT CIRCUIT

รูปที่ 2.1-1 แสดงการเกิดปรากฏการณ์ LATCH UP ในทรานซิสเตอร์โครงสร้างแบบ CMOS

สิ่งที่ผู้ผลิตวงจรรวมแบบเกตอะเรย์ต้องการอีกสิ่งหนึ่งนอกจากประสิทธิภาพที่ดีของวงจรถ้วนแล้วคือ ต้นทุนในการดำเนินการผลิตควรจะต่ำที่สุด เพื่อกำไรสูงสุด สิ่งนี้ยิ่งตอบสนองได้ดีด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS เนื่องจากเป็นทรานซิสเตอร์ที่ออกแบบง่าย และใช้พื้นที่บนแผ่นผลึกซิลิกอนน้อยกว่าทรานซิสเตอร์โครงสร้างแบบ CMOS ถึงร้อยละ 12.5 ในขณะที่ทรานซิสเตอร์แบบ CMOS ก็เป็นทรานซิสเตอร์ที่สามารถออกแบบให้ใช้พื้นที่บนแผ่นผลึกซิลิกอนน้อยกว่าทรานซิสเตอร์แบบไบโพลาร์อยู่แล้ว (โดยที่ฟังก์ชันของการทำงานยังคงเท่ากัน) ดังนั้นทรานซิสเตอร์โครงสร้างแบบ CMOIS จึงสามารถตอบสนองความต้องการของทั้งผู้ออกแบบวงจรรายย่อยและผู้ผลิตวงจรรายใหญ่ได้เป็นอย่างดี

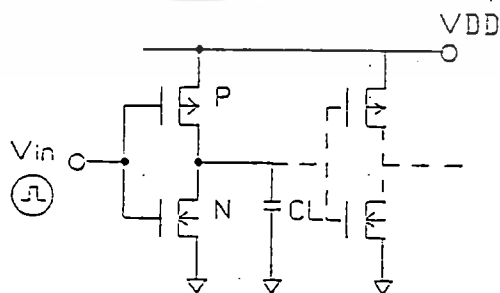
2.2 สถาปัตยกรรมในการออกแบบเกตอะเรย์

คุณสมบัติต่าง ๆ ของวงจรรวมในปัจจุบันนี้ นอกจากขึ้นอยู่กับเทคโนโลยีในการผลิตแล้ว ยังขึ้นกับความสามารถของวิศวกรในการจัดวางตำแหน่งต่าง ๆ ของส่วนประกอบในวงจรรวมที่ดีที่สุด เมื่อจุดประสงค์เพื่อหลีกเลี่ยงพฤติกรรมแฝงในด้านต่าง ๆ เช่น พฤติกรรมตัวเก็บประจุที่แฝงอยู่ในวงจรรวม หรือพฤติกรรมของความเหนียวน้ำที่เกิดขึ้นเนื่องจากการออกแบบเป็นต้น สิ่งต่าง ๆ เหล่านี้ล้วนเป็นสิ่งที่ทำให้ประสิทธิภาพและคุณสมบัติของวงจรรวมที่ออกแบบไว้เปลี่ยนแปลงไป ดังนั้นสถาปัตยกรรมในการออกแบบที่ดีจะทำให้ฟังก์ชันการทำงานของวงจรรวมเป็นไปอย่างถูกต้องและตอบสนองความต้องการแก่นักออกแบบและผู้ใช้วงจรรวมต่อไป

นอกเหนือจากการวางตำแหน่งของอุปกรณ์ต่าง ๆ ดังที่กล่าวข้างต้นแล้ว การออกแบบทรานซิสเตอร์แต่ละตัวในวงจรรวมพื้นฐานของเกตอะเรย์ ยังมีหลักการออกแบบที่เฉพาะเจาะจง โดยแบ่งการออกแบบออกเป็น 2 ชนิดคือ

1. การออกแบบสมมาตร (Symmetric Design)

การออกแบบสมมาตรคือการออกแบบวงจรรวมด้วยทรานซิสเตอร์ที่สามารถทำให้ค่าเวลาในการเปลี่ยนสถานะของวงจรรวมทั้งขาขึ้นและขาลงมีค่าเท่ากัน เมื่อทำการพิจารณาวงจรรวมในรูปที่ 2.2-1 ซึ่งประกอบด้วยทรานซิสเตอร์ชนิด NMOIS และทรานซิสเตอร์ชนิด PMOIS ประกอบกันขึ้นเป็นวงจรรวมอินเวอร์เตอร์ ซึ่งเป็นวงจรรวมที่นิยมใช้ในภาคสุดท้ายของวงจรรวมพื้นฐานเกือบทุกวงจรรวม



รูปที่ 2.2-1 แสดงวงจรรวมอินเวอร์เตอร์โครงสร้างแบบ CMOIS

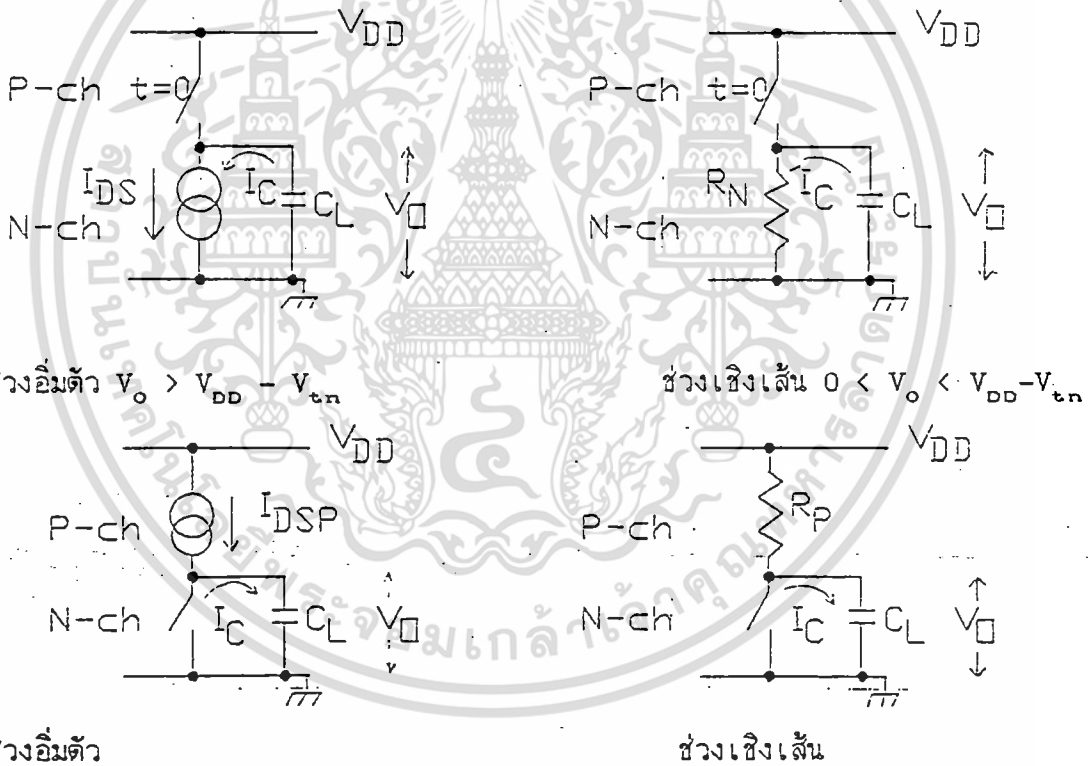
ก่อนที่จะกล่าวถึงวิธีการวิเคราะห์ค่าเวลาในการสวิตของวงจร ขอกล่าวถึงช่วงเวลาที่ใช้ในการเปลี่ยนสถานะของวงจรมาก่อน ช่วงเวลาดังกล่าวประกอบด้วย

t_r (Rise time) คือช่วงเวลาที่สถานะของวงจรเปลี่ยนจากแรงดัน 10% ของแรงดันไฟเลี้ยงสูงสุด 90% ของแรงดันไฟเลี้ยง

t_f (Fall time) คือช่วงเวลาที่สถานะของวงจรเปลี่ยนจากค่าแรงดัน 90% ของแรงดันไฟเลี้ยงสูงสุด 10% ของแรงดันไฟเลี้ยง

ในการวิเคราะห์ห้วงจรเพื่อหาค่าของช่วงเวลาดังกล่าว จะใช้วงจรมีเหมือนที่สามารถแทนวงจรมินิเวอ์เตอร์ดังในรูปที่ 2.2-1 ได้ วงจรมีเหมือนดังกล่าวเป็นไปดังรูปที่ 2.2-2

จากรูปที่ 2.2-2 จะพบว่าค่าเวลาในการสวิตของวงจรจะขึ้นอยู่กับค่าเวลาที่ใช้ในการประจุตัวเก็บประจุ และค่าเวลาที่ใช้ในการคายประจุของตัวเก็บประจุ ซึ่งต่ออยู่ที่ขาแรงดันขาออกของวงจร ซึ่งเป็นตัวเก็บประจุที่แทนภาคสัญญาณขาเข้าของวงจรในสถานะถัดไป วิธีการวิเคราะห์จะกระทำโดยจ่ายสัญญาณนาฬิกาแก่วงจรมินิเวอ์เตอร์แล้วทำการวิเคราะห์สถานะของแรงดันขาออกต่อไป

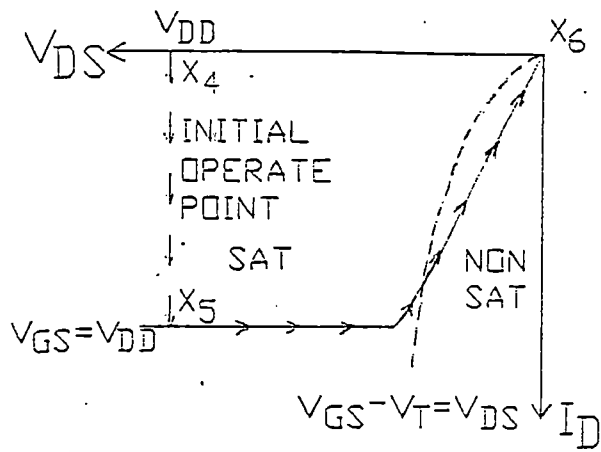


รูปที่ 2.2-2 แสดงวงจรมีเหมือนของวงจรมินิเวอ์เตอร์ขณะกำลังเปลี่ยนสถานะ

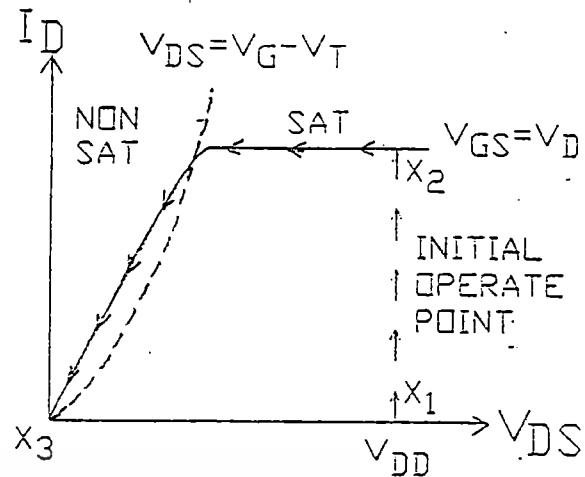
ก. จากสถานะสูง ไปสถานะต่ำ

ข. จากสถานะต่ำ ไปสถานะสูง

การนิยามวงจรมีเหมือนออกเป็นช่วงการทำงานในช่วงอิมิตัวและเชิงเส้นเนื่องจากขณะที่ทรานซิสเตอร์ทั้งสองกำลังเปลี่ยนสถานะจะมีสมการเส้นไหลดเป็นไปดังรูปที่ 2.2-3



ก. PMOS



ข. NMOS

รูปที่ 2.2-3 แสดงสมการเส้นโหลดของทรานซิสเตอร์ทั้งสองขณะกำลังเปลี่ยนสถานะ

พิจารณาช่วงเวลาเปลี่ยนสถานะจากสถานะสูงไปสถานะต่ำ (t_{f1})

พิจารณารูปที่ 2.2-2 ก. และเส้นโหลดในรูปที่ 2.2-3 ข. จะพบว่าเมื่อค่าแรงดันเปลี่ยนแปลงจาก 0 โวลต์ไปสู่ค่าแรงดัน V_{DD} ในตอนแรกทรานซิสเตอร์ชนิด NMOS กำลังหยุดนำกระแสอยู่ และตัวเก็บประจุ C_L มีประจุอยู่เต็มและมีค่าแรงดันตกคร่อม V_{DD} จุดทำงานของวงจรจะเริ่มต้นที่จุด X_1 และเมื่อค่าแรงดันขาเข้าเปลี่ยนแปลงจาก 0 โวลต์ ไปสู่แรงดัน V_{DD} แบบขั้น (step function) สมการเส้นโหลดจะเปลี่ยนแปลงไปยังจุด X_2 และ X_3 ตามลำดับ ดังนั้นค่าแรงดันขาออกของวงจรจะเปลี่ยนแปลงไปตามการทำงานของทรานซิสเตอร์ทั้ง 2 ช่วงคือ

1. t_{f1} จะแทนช่วงเวลาการเปลี่ยนแปลงเวลาจากช่วงที่ค่าแรงดันในตัวเก็บประจุ (V_o) เปลี่ยนจาก $0.9V_{DD}$ จนถึงจุด $(V_{DD} - V_{TN})$
2. t_{f2} จะแทนช่วงเวลาที่ค่าแรงดันตกคร่อมตัวเก็บประจุเปลี่ยนแปลงจาก $(V_{DD} - V_{TN})$ ถึงจุด $0.1V_{DD}$

พิจารณาค่าเวลา t_{f1} ก่อน ด้วยวิธีการ NODE ANALYSIS กระแสที่ไหลออกจากตัวเก็บประจุ C_L จะมีค่าเท่ากับกระแสเดรนของทรานซิสเตอร์ชนิด NMOS ดังสมการที่ (2.2-1)

$$C_L(dV_o/dt) + (\beta_n/2)(V_{DD} - V_{tn})^2 = 0 ; V_o > V_{DD} - V_{tn} \quad (2.2-1)$$

ทำการอินทิเกรตจากช่วงเวลา $t=(V_{DD} - V_{tn})$ ถึง $t=0.9V_{DD}$ จะได้

$$\begin{aligned} t_{f1} &= 2[C_L/\beta_n (V_{DD} - V_{tn})^2]_{V_{DD} - V_{tn}}^{0.9V_{DD}} \int dV_o \\ &= [2C_L(V_{tn} - 0.1V_{DD})] / [\beta_n(V_{DD} - V_{tn})^2] \end{aligned} \quad (2.2-2)$$

พิจารณาค่าเวลา t_{f2} ซึ่งเป็นช่วงที่ทรานซิสเตอร์ชนิด NMOIS กำลังทำงานในช่วงเชิงเส้น ค่าการจ่ายประจุของตัวเก็บประจุ C_L ตอนนี้จะไม่คงที่เหมือนช่วง t_{f1} ช่วงเวลา t_{f2} นี้จะแทนช่วงเวลาการจ่ายประจุออกจากค่าแรงดัน $(V_{DD}-V_{tn})$ สู่ค่าแรงดัน $0.1V_{DD}$ ในทำนองเดียวกับ t_{f1} คือ

$$C_L (dv_o/dt) + \beta_n (V_o - V_{tn}) V_o - (V_o^2/2) = 0 \quad (2.2-3)$$

ทำการอินทิเกรตจากช่วงเวลา $t=(V_{DD}-V_{tn})$ ถึงช่วงเวลา $0.1V_{DD}$ จะได้

$$\begin{aligned} t_{f2} &= C_L / [\beta_n (V_{DD}-V_{tn})] \int_{0.1V_{DD}}^{V_{DD}-V_{tn}} (dV_o) / \{ (V_o^2) / [2(V_{DD}-V_{tn})] - V_o \} \\ &= \{ C_L / [\beta_n (V_{DD}-V_{tn})] \} \ln (19V_{DD}-20V_{tn}) / V_{DD} \end{aligned} \quad (2.2-4)$$

ดังนั้นค่าเวลาตอบสนองขณะสัญญาณขาออกมีค่าเวลา (t_f) คือ

$$\begin{aligned} t_f &= t_{f1} + t_{f2} \\ &= 2 [C_L / \beta_n (V_{DD}-V_{tn})] \{ [(V_{tn}-0.1V_{DD}) / (V_{DD}-V_{tn})] + (1/2) \ln [(19V_{DD}-20V_{tn}) / V_{DD}] \} \end{aligned} \quad (2.2-5)$$

พิจารณาช่วงเวลาการเปลี่ยนสถานะจากสถานะต่ำไปสถานะสูง (t_r)

การพิจารณาจะกระทำเช่นเดียวกันกับการพิจารณาช่วงเวลาเปลี่ยนสถานะจากสถานะสูงไปสถานะต่ำจะได้

$$\begin{aligned} t_r &= 2 [C_L / \beta_n (V_{DD}-V_{tp})] \{ [(V_{tp}-0.1V_{DD}) / (V_{DD}-V_{tp})] + \\ &\quad (1/2) \ln [(19V_{DD}-20V_{tn}) / V_{DD}] \} \end{aligned} \quad (2.2-6)$$

จากสมการที่ (2.2-5) และสมการที่ (2.2-6) จะพบว่าวิธีการออกแบบแบบสมมาตรจำเป็นต้องทำให้ค่าเวลา t_r เท่ากับค่าของเวลา t_f วิธีการที่ง่ายที่สุดที่จะทำได้คือทำการควบคุมค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS ให้เท่ากับทรานซิสเตอร์ชนิด PMOIS แล้วทำการออกแบบให้ค่า β ของทรานซิสเตอร์ชนิด NMOIS เท่ากับค่า β ของทรานซิสเตอร์ชนิด PMOIS ก็จะสามารถตอบสนองวิธีการออกแบบแบบสมมาตรได้ และในการสร้างทรานซิสเตอร์ชนิด NMOIS และ PMOIS จะกระทำการสร้างบน

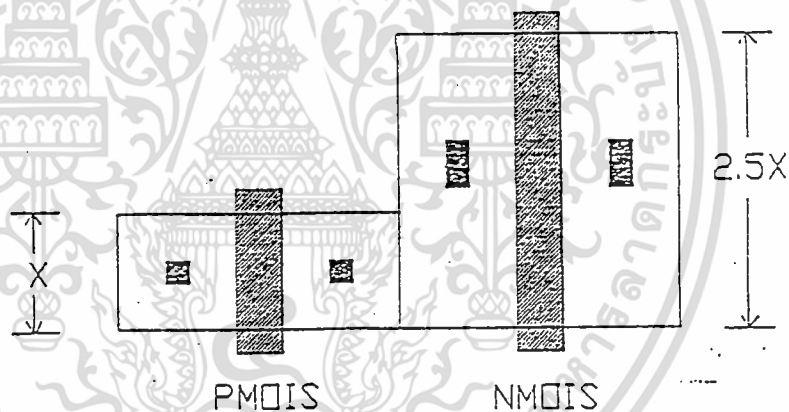
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

แผ่นผลึกเดียวกัน ดังนั้นเมื่อพิจารณาสมการของค่า β ของทรานซิสเตอร์โครงสร้างแบบ MOIS ดังสมการที่ (2.2-7)

$$\beta = \mu (\epsilon_o \epsilon_{ox} / T_{ox}) (W/L) \quad , \text{เมื่อ } \epsilon_o = 8.85 \times 10^{-14} \text{ F/cm} \quad (2.2-7)$$

$$\epsilon_{ox} = 3.5 \times 10^{-13} \text{ F/cm} \quad [9]$$

จะพบว่าสิ่งที่ต้องการทราบก่อนการออกแบบค่าความกว้างและความยาวของช่องทางเดินกระแสของทรานซิสเตอร์คือ ค่าความคล่องตัวของประจุพาหะ (μ) เสียก่อนหรือกล่าวอีกนัยหนึ่งคือค่าอัตราส่วนของค่าความคล่องตัวของอิเล็กตรอนและโฮลที่ผิว จะเป็นค่าที่บอกถึงอัตราส่วนของความกว้างต่อความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ชนิดเอ็นต่อทรานซิสเตอร์ชนิดพีได้ทรานซิสเตอร์โครงสร้างแบบ CMOIS มีค่าความคล่องตัวของประจุพาหะที่ผิวของอิเล็กตรอน $60 \text{ cm}^2/\text{v.s}$ และค่าความคล่องตัวของประจุพาหะโฮลที่ผิว $150 \text{ cm}^2/\text{v.s}$ [1] ดังนั้นค่าอัตราส่วนของความคล่องตัวของอิเล็กตรอนต่อโฮลจึงมีค่า 1:2.5 กล่าวคือถ้าทำการออกแบบเกตอะเรย์ด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS ด้วยวิธีการออกแบบแบบสมมาตรแล้วค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ชนิดเอ็น (NMOIS) จะต้องกว้างกว่าค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ชนิดพี (PMOIS) 2.5 เท่า ดังรูปที่ 2.2-3



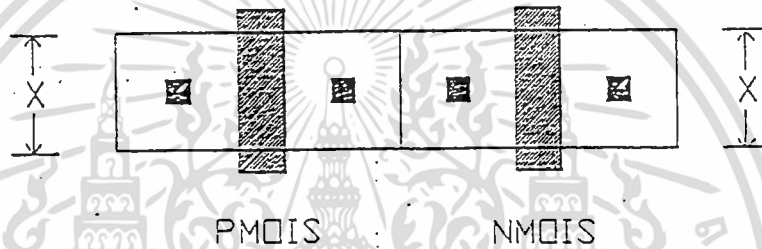
รูปที่ 2.2-3 แสดงการออกแบบวงจรรีจิสเตอร์ในวงจรถูกอะเรย์แบบสมมาตร

2. การออกแบบแบบไม่สมมาตร (nonsymmetric design)

การออกแบบลักษณะไม่สมมาตรของการออกแบบวงจรรีจิสเตอร์พื้นฐานของเกตอะเรย์ คือการออกแบบที่ยึดถือเอารูปทรงทางเรขาคณิตของทรานซิสเตอร์เป็นสำคัญ ตรงข้ามกับการออกแบบลักษณะสมมาตรที่ยึดถือค่าเวลาของการตอบสนองเป็นสำคัญ หลักการของการออกแบบในลักษณะไม่สมมาตรนี้จะทำการออกแบบทรานซิสเตอร์ทั้งสองชนิดของวงจรรีจิสเตอร์ให้ใช้พื้นที่บนแผ่นผลึกซิลิกอนเท่า ๆ กัน ดังนั้นการออกแบบจึงเริ่มจากการพิจารณาความยาวของช่องทางเดินกระแสที่เล็กที่สุดเท่าที่เทคโนโลยีจะอำนวยให้ แล้วทำการออกแบบความกว้างของช่องทางเดินกระแสให้สามารถขับกระแสแก่จรรยาในสถานะถัดไปได้ตามต้องการ แต่

อย่างไรก็ตามความเหมาะสมของกระแสขาออกของวงจรมีค่าจะต้องกระทำที่ค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองมีค่าเท่ากันซึ่งส่วนใหญ่วงจรถูกออกแบบด้วยวิธีดังกล่าวนี้จะทำการออกแบบให้ค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองมีค่าเท่ากัน ซึ่งส่วนใหญ่วงจรถูกออกแบบด้วยวิธีดังกล่าวนี้จะทำการออกแบบให้ค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองมีค่าน้อยที่สุดเท่าที่เทคโนโลยีในการผลิตจะอำนวยให้

พิจารณารูปทรงด้านบนของการออกแบบทรานซิสเตอร์แบบ CMOIS ดังรูปที่ 2.2-4 จะพบว่า ค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ที่เล็กที่สุดเท่าที่เทคโนโลยีในการผลิตจะอำนวยให้ จะมีค่ามากกว่าค่าความยาวของช่องทางเดินกระแส 3 เท่า และจากการออกแบบในลักษณะดังกล่าวนี้ทำให้ทราบว่า ค่าความต้านทานในภาวนำกระแสของทรานซิสเตอร์ชนิด PMOIS จะมีค่าต่ำกว่าทรานซิสเตอร์ชนิด NMOIS ถึง 3 เท่า



รูปที่ 2.2-4 แสดงการออกแบบวงจรรีเลย์ในวงจรถะเรย์แบบไม่สมมาตร

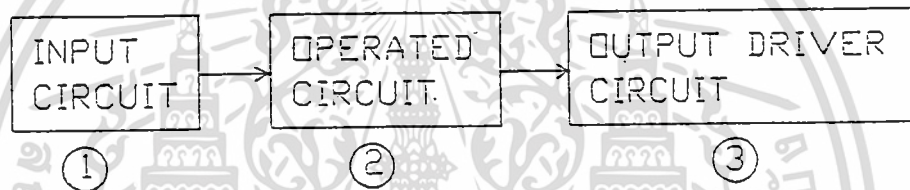
จากที่กล่าวมาทั้งหมดข้างต้นจะพบว่าถ้าทำการออกแบบคู่ตรงข้ามของทรานซิสเตอร์แบบสมมาตร จะทำให้ทรานซิสเตอร์โครงสร้างแบบ CMOIS ใช้พื้นที่มากกว่าทรานซิสเตอร์แบบ CMOS ประมาณ 20% (ค่าอัตราส่วนของความคล่องตัวของประจุพาหะอิเล็กตรอนต่อโฮล ที่ผิวของ CMOS มีค่า 2:1) ดังนั้นถ้าทำการออกแบบวงจรถะเรย์ด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS ในลักษณะสมมาตรแล้ว ข้อดีของทรานซิสเตอร์โครงสร้างดังกล่าวคงไม่ปรากฏออกมาแต่ถ้าทำการออกแบบในลักษณะไม่สมมาตรแล้วจะสามารถเห็นความแตกต่าง และข้อดีของทรานซิสเตอร์โครงสร้างแบบ CMOIS ได้เด่นชัดยิ่งขึ้น ดังนั้นในวิทยานิพนธ์ฉบับนี้จึงทำการออกแบบทรานซิสเตอร์โครงสร้างแบบ CMOIS เป็นวงจรรีเลย์พื้นฐานของการออกแบบเกทอะเรย์ในลักษณะไม่สมมาตรซึ่งสามารถแสดงจุดเด่นของ โครงสร้างทรานซิสเตอร์แบบนี้ได้เป็นอย่างดี

เมื่อทำการออกแบบทรานซิสเตอร์โครงสร้างแบบ CMOIS ด้วยวิธีการไม่สมมาตรแล้วจะพบว่าค่าอัตราขยายของทรานซิสเตอร์ชนิด PMOIS จะมีค่าสูงกว่าทรานซิสเตอร์ชนิด NMOIS ประกอบกับการพิจารณาค่าเวลา t_{p1} และ t_{p2} ของวงจรถะเรย์ที่ได้กล่าวมาแล้วจะพบว่า ค่าเวลาตอบสนองต่อสัญญาณในช่วงขาขึ้น จะมีค่าสูงกว่าค่าเวลาในการตอบสนองต่อสัญญาณในช่วงขาลงอย่างแน่นอน แต่อย่างไรก็ตามเรา

สามารถออกแบบทรานซิสเตอร์ทั้งสองชนิดนี้ด้วยวิธีการออกแบบในลักษณะไม่สมมาตรแล้ว ทำให้ค่าเวลา t_{pL} มีค่าเท่ากับค่าเวลา t_{pH} โดยการปรับค่าแรงดันขีดเริ่ม (V_c) ของทรานซิสเตอร์ชนิด PMOS ให้มีค่าสูงกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOS ผลเสียของการปรับค่าแรงดันขีดเริ่มเพื่อต้องการค่า $t_{pL} = t_{pH}$ คือจำเป็นต้องกำหนดขนาดของแรงดันไฟเลี้ยงที่ต้องการใช้งานเป็นค่าคงที่ที่แน่นอนค่าหนึ่งเท่านั้นดังนั้นวิธีการปรับค่าแรงดันขีดเริ่มดังกล่าวจึงไม่เป็นที่นิยมมากนัก

2.3 ส่วนประกอบของวงจรมাত্রาฐานในระบบเกทอะเรย์

ตามที่ได้กล่าวไว้แล้วข้างต้นว่า วงจรพื้นฐานของการออกแบบเกทอะเรย์ จะเป็นวงจรที่สามารถใช้งานได้อย่างกว้างขวางในวงจรอิเล็กทรอนิกส์ทั่วไป ดังนั้นกลุ่มของวงจรหลักในวงจรอิเล็กทรอนิกส์ทางตรรก . จึงถูกนำมาสร้างเป็นวงจรมাত্রาฐาน และเพื่อความสะดวกในการเลือกใช้วงจรมাত্রาฐานในการออกแบบวงจรใหญ่ต่อไป จึงทำการแบ่งกลุ่มของวงจรมাত্রาฐานดังกล่าวออกเป็นกลุ่มใหญ่ ๆ 3 กลุ่ม ดังรูปที่ 2.3-1



รูปที่ 2.3-1 แสดงไดอะแกรมของกลุ่มวงจรมাত্রาฐานของเกทอะเรย์

กลุ่มของวงจรมাত্রาฐานดังรูปที่ 2.3-1 แบ่งออกเป็น 3 กลุ่มใหญ่ ๆ คือ

- กลุ่มที่ 1 วงจรมাত্রาฐานรับสัญญาณขาเข้า
- กลุ่มที่ 2 วงจรมাত্রาฐานการทำงานตามฟังก์ชันต่าง ๆ
- กลุ่มที่ 3 วงจรมাত্রาฐานส่งสัญญาณขาออก

กลุ่มวงจรทั้ง 3 กลุ่มนี้จะมีคุณสมบัติของวงจรที่แตกต่างกันออกไปตามลักษณะของการทำงาน แต่การทำงานของวงจรในแต่ละกลุ่มจะต้องสอดคล้องซึ่งกันและกัน เพื่อให้ผลลัพธ์ของฟังก์ชันของวงจรที่ถูกต้องตามความต้องการของผู้ออกแบบวงจร

2.3.1 วงจรมাত্রาฐานรับสัญญาณขาเข้า

กลุ่มวงจรมাত্রาฐานรับสัญญาณขาเข้า คือกลุ่มวงจรที่ทำหน้าที่รับสัญญาณขาเข้าจากวงจรภายนอก แล้วทำการขับสัญญาณที่ได้รับดังกล่าวแก่วงจรภายในของเกทอะเรย์ โดยสัญญาณขาออกของกลุ่มวงจรนี้จะเป็นไปได้ 2 ลักษณะคือ 1. สัญญาณขาออกของวงจรกลับเฟสกับสัญญาณขาเข้า และ 2. สัญญาณขาออกของวงจรไม่กลับเฟสกับสัญญาณขาเข้า ทั้งนี้กลุ่มวงจรมাত্রาฐานดังกล่าว ควรจะใช้พลังงานที่จ่าย

แก่วงจรทางซาลัญญาณาเข้ามีค่าต่ำเพื่อไม่เป็นภาระแก่วงจรภายนอกที่จะส่งสัญญาณเข้ามายังระบบของ เกทอะเรย์ กล่าวคือค่าความต้านทานทางซาลัญญาณาเข้าของวงจรมีค่าสูง เพื่อส่งผลให้กระแสที่ จ่ายแก่ซาลัญญาณาเข้ามีค่าต่ำ

เมื่อใช้ทรานซิสเตอร์โครงสร้างแบบ CMOIS เป็นวงจรมাত্রาฐานรับสัญญาณเข้าแล้ว จะใช้คุณสมบัติของ โครงสร้างของทรานซิสเตอร์ดังกล่าว ที่เหมือนกับทรานซิสเตอร์โครงสร้างแบบ MOS ทั่วไป คือ มีค่าความต้านทานที่ขาเกทสูง (ในอุดมคติมีค่าอนันต์) เป็นจุดเด่นของวงจร ดังนั้นการออกแบบ วงจรรับสัญญาณเข้าด้วยทรานซิสเตอร์ โครงสร้างดังกล่าวจึงตอบสนองต่อคุณสมบัติข้อนี้ได้เป็นอย่างดี สิ่งที่เป็นข้อได้เปรียบของทรานซิสเตอร์โครงสร้างแบบ CMOIS นี้ไม่สามารถต่อกับศักดาไฟเลี้ยงค่าใด ๆ ได้ ดังนั้นขณะที่ไม่มีการจ่ายกำลังแก่วงจรเมื่อมีประจุไฟฟ้าค่าสูง (static charge) ปรากฏที่ขั้วขา เกทของทรานซิสเตอร์ ชั้นฉนวนของขั้วเกทจะไม่สามารถถูกทำลายได้ด้วยประจุเหล่านั้น ซึ่งตรงข้ามกับ ทรานซิสเตอร์โครงสร้างแบบ CMOS ในกรณีที่ไม่มีกรจ่ายกำลัง ไฟฟ้าแก่วงจร ตัวฐานรองที่ใช้ในการ สร้างทรานซิสเตอร์จะมีศักดาเป็น 0 โวลต์ ดังนั้นเมื่อมีประจุสถิตปรากฏที่ขั้วเกทของทรานซิสเตอร์ ประจุสถิตจะเหนี่ยวนำให้เกิดสนามไฟฟ้าที่มีค่าสูงแก่ขั้วเกท ซึ่งสนามไฟฟ้างดังกล่าวอาจสูง เกินพอที่จะทำ ลายชั้นฉนวนบริเวณช่องทางเดินกระแสของทรานซิสเตอร์ได้ ดังนั้นในวงจรรวมที่ใช้ทรานซิสเตอร์โครง สร้างแบบ CMOS จึงจำเป็นต้องเพิ่มพื้นที่บนแผ่นผลึกซิลิกอนในการสร้างวงจรรองกันสนามไฟฟ้าค่าสูงนี้ เพื่อป้องกันความเสียหายที่จะเกิดขึ้น ทำให้วงจรมีความยุ่งยากมากขึ้น

จากที่กล่าวข้างต้นจะพบว่าทรานซิสเตอร์โครงสร้างแบบ CMOIS เมื่อนำมาสร้างเป็นวงจรรับ สัญญาณเข้าแล้วจะใช้พื้นที่บนแผ่นผลึกซิลิกอนน้อยกว่าทรานซิสเตอร์โครงสร้างแบบ CMOS ส่งผลให้ค่า ความจุไฟฟ้าขาเข้าของวงจรมีค่าต่ำกว่าทรานซิสเตอร์โครงสร้างแบบ CMOS ซึ่งเป็นข้อดีที่ผู้ผลิตวงจรรวมต้องการ

นอกจากคุณสมบัติทางด้านขาเข้าดังที่ได้กล่าวมาแล้ว ค่ากระแสขาออกและระดับสัญญาณขาออก ของวงจรรับสัญญาณเข้า จะต้องเหมาะสมกับวงจรรภายในที่ต้องการขับต่อไป โดยวงจรรับสัญญาณ ขาเข้านี้ควรจะขับวงจรรในสถานะถัดไปได้มาก โดยที่ค่าแรงดันขาออกยังคงมีเสถียรภาพอยู่ซึ่ง เมื่อทำ การออกแบบวงจรรภายในด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีค่าความต้านทานขาเข้าสูงแล้ว ทำให้วงจรรับสัญญาณเข้าหมดปัญหาในการขับสัญญาณต่อไปแก่วงจรรภายใน เนื่องจากค่าแรงดันขาออก ของวงจรรแบบ CMOIS จะมีค่าเป็นไฟเลี้ยงและแรงดันอ้างอิง เมื่อค่าสถานะขาออกของวงจรมีค่าสูง และต่ำตามลำดับ และวงจรรในสถานะถัดไปไม่จำเป็นต้องใช้กระแสในการทำงานมากนัก

2.3.2 วงจรมাত্রาฐานส่งสัญญาณขาออก

วงจรมাত্রาฐานส่งสัญญาณขาออก คือกลุ่มวงจรรที่ทำหน้าที่รับสัญญาณจากวงจรรภายใน เกทอะเรย์

ที่ผ่านการทำฟังก์ชันของการทำงานที่ผู้ออกแบบได้ทำการออกแบบเรียบร้อยแล้ว ส่งสัญญาณนี้ออกสู่วงจรภายนอกต่อไป โดยที่ลักษณะของสัญญาณขาออกของวงจรจะต้องเหมาะสมกับสถานะถัดไปที่ต้องการใช้งานด้วย ดังนั้นกลุ่มวงจรส่งสัญญาณขาออกนี้จำเป็นต้องออกแบบให้มีคุณสมบัติที่สามารถใช้งานได้อย่างกว้างขวางในการติดต่อกับวงจรอื่น ๆต่อไป เช่นค่าความต้านทานขาออกของวงจรควรมีค่าต่ำ ค่าแรงดันขาออกของวงจรควรเหมาะสมกับวงจรในสถานะถัดไป เป็นต้น

เนื่องจากทรานซิสเตอร์โครงสร้างแบบ CMOIS เป็นทรานซิสเตอร์ในกลุ่มทรานซิสเตอร์ที่อาศัยผลของสนามไฟฟ้าในการควบคุมการทำงาน ซึ่งสามารถใช้งานได้ในช่วงค่าแรงดันไฟเลี้ยง 4 ถึง 15 โวลต์ ดังนั้นการเชื่อมต่อกับวงจรภายนอก ที่ประกอบด้วยกลุ่มอุปกรณ์ประเภทเดียวกันจึงไม่ก่อให้เกิดปัญหาในการใช้งานแต่อย่างใด แต่เมื่อต้องการเชื่อมต่อกับวงจรเกทอะเรย์ที่ใช้ทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่ทำงานที่ค่าแรงดันสูงกว่า 5 โวลต์ กับกลุ่มวงจรในตระกูล TTL ซึ่งทำงานที่ค่าแรงดันไม่เกิน 5 โวลต์แล้ว วงจรส่งสัญญาณขาออกที่ออกแบบขึ้น ควรจะสามารถทำการเชื่อมต่อระบบทั้งสองดังกล่าวได้ด้วยดี ดังนั้นในวิทยานิพนธ์ฉบับนี้จึงได้ทำการออกแบบวงจรที่สามารถตอบสนองต่อความต้องการดังกล่าว นอกจากนี้ลักษณะของสัญญาณขาออกของวงจรมีให้เลือกได้ว่าต้องการแบบกลับเฟสกับสัญญาณขาเข้าหรือไม่ เพื่อให้ผู้ใช้งานเกิดความสะดวกในการออกแบบวงจรต่อไป

2.3.3 วงจรมาตรฐานการทำงานตามฟังก์ชันต่าง ๆ

กลุ่มวงจรสุดท้ายที่จะกล่าวถึง คือกลุ่มวงจรที่ถูกออกแบบเป็นมาตรฐานของการทำงานทางตรรกในด้านต่าง ๆซึ่งเป็นวงจรพื้นฐานของการออกแบบวงจรรวมขนาดใหญ่ ทางตรรกทั่ว ๆไป ประกอบด้วยกลุ่มวงจร 2 กลุ่มย่อย ๆคือ

1. กลุ่มวงจรทางตรรกพื้นฐาน
2. กลุ่มวงจรทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกา

กลุ่มวงจรทั้ง 2 กลุ่มที่กล่าวถึงนี้จะครอบคลุมวงจรพื้นฐานที่ใช้ในการออกแบบวงจรรวมขนาดใหญ่ และกลุ่มวงจรทั้งสองนี้จะถูกออกแบบด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS ด้วยวิธีการออกแบบในลักษณะไม่สมมาตร เพื่อทำการทดสอบประสิทธิภาพในด้านต่าง ๆของการใช้งานวงจรต่อไป

ส่วนประกอบของวงจรพื้นฐานในระบบเกทอะเรย์ที่กล่าวถึงทั้งหมด จะถูกออกแบบและสร้างด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS จากนั้นจะทำการทดสอบคุณสมบัติทางไฟฟ้าของวงจร ในการใช้งานในด้านต่าง ๆเพื่อประโยชน์ในการออกแบบวงจรรวมขนาดใหญ่ต่อไป

2.4 กำลังงานสูญเสียในวงจรเกตอะเรย์

กำลังงานสูญเสียของวงจรถูกเกตอะเรย์ มีความจำเป็นที่ผู้ออกแบบวงจรถูกเกตอะเรย์จำเป็นต้องรู้ เพื่อใช้ประโยชน์ในการออกแบบวงจรถูกเกตอะเรย์ที่ทำการผลิตขึ้น นอกจากนี้กำลังงานสูญเสียของวงจรถูกเกตอะเรย์จะเป็นตัวบ่งชี้ประสิทธิภาพของวงจรถูกเกตอะเรย์ที่สร้างขึ้นว่า มีประสิทธิภาพสูงขนาดไหน แน่นหนาที่สุดวงจรถูกเกตอะเรย์ที่จะต้องใช้พลังงานในการทำงานต่ำ เพื่อเกิดการสูญเสียกำลังจากแหล่งจ่ายกำลังต่ำที่สุด

วงจรถูกเกตอะเรย์โครงสร้างแบบ CMOS ที่ดำเนินงานวิจัยและสร้างขึ้น มีจุดที่สูญเสียกำลังงานใหญ่ ๆ แบ่งออกเป็นสองชนิดคือ

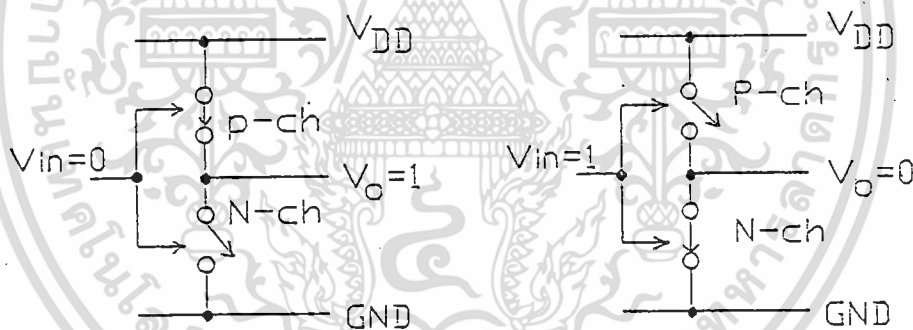
1. การสูญเสียพลังงานสถิตย์ (Static Dissipation)
2. การสูญเสียพลังงานขณะวงจรถูกเกตอะเรย์ทำงาน (Dynamic Dissipation)

การสูญเสียพลังงานทั้งสองชนิดนี้เป็นสิ่งที่หลีกเลี่ยงไม่ได้ในโครงสร้างทรานซิสเตอร์ที่ประกอบเป็นวงจรถูกเกตอะเรย์ที่สร้างขึ้น

การสูญเสียพลังงานสถิตย์ (Static Dissipation)

พิจารณาวงจรถูกเกตอะเรย์ที่ประกอบเป็นวงจรถูกเกตอะเรย์ CMOS วงจรถูกเกตอะเรย์แต่ละอย่างง่าย ๆ ดังรูปที่

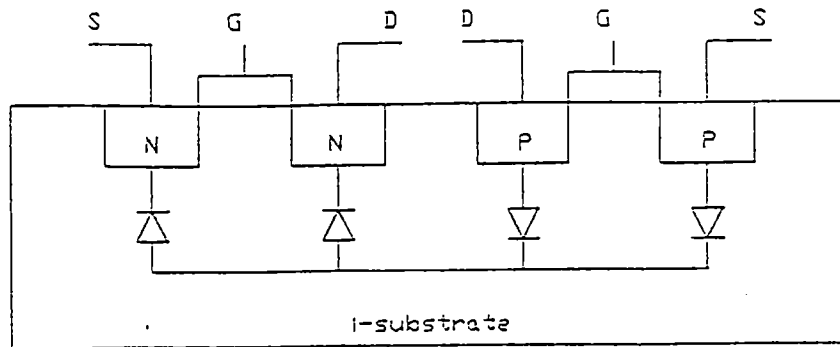
2.4-1



รูปที่ 2.4-1 แสดงการทำงานของวงจรถูกเกตอะเรย์ CMOS อินเวอร์เตอร์ขณะสัญญาณขาออกเสถียร

เมื่อสัญญาณขาเข้าของวงจรมีค่าเป็น 0 หรือ 1 จะทำให้สัญญาณขาออกของวงจรมีค่าเป็น 1 และ 0 ตามลำดับ กล่าวคือขณะที่วงจรถูกเกตอะเรย์อยู่ในสภาวะเสถียร (steady state) ทรานซิสเตอร์ทั้งสองจะทำงานไม่พร้อมกัน ทำให้กำลังงานสูญเสียของวงจรถูกเกตอะเรย์ในสภาวะเช่นนี้มีค่าเป็น 0

อย่างไรก็ตามยังมีกำลังงานสูญเสียค่าหนึ่งเพียงเล็กน้อยที่สูญเสียไป อันเนื่องจากการจ่ายศักดาไฟฟ้าแบบย้อนกลับของขั้วเดรนของทรานซิสเตอร์ทั้งสองกับฐานรอรอง เพื่อให้ความกระจ่างในเรื่องนี้ พิจารณาอุปกรณ์แผ่นที่แผ่นอยู่ในโครงสร้างทรานซิสเตอร์แบบ CMOS ที่เกี่ยวข้องดังรูปที่ 2.4-2



รูปที่ 2.4-2 แสดงอุปกรณ์แผ่นที่ส่งผลต่อกำลังงานสูญเสียแบบสถิตในวงจรเทอะเรย์แบบ CMOIS

จากรูปที่ 2.4-2 พบว่าสิ่งที่ส่งอิทธิพลของกระแสรั่วซึ่งทำให้เกิดกำลังงานสูญเสียของวงจรคือ ไดโอดที่เกิดจากรอยต่อ P-i และ N-i ซึ่งได้รับการไบอัสแบบย้อนกลับซึ่งค่ากระแสรั่วดังกล่าวอาจอธิบายได้ด้วยสมการแสดงค่ากระแสรั่วของรอยต่อสารกึ่งตัวนำดังสมการที่ (2.4-1)

$$I_o = I_s (e^{qV/KT} - 1) \quad (2.4-1)$$

โดยที่

I_s คือค่ากระแสรั่วที่เกิดจากการไบอัสย้อนกลับอิมิตัว

V คือแรงดันที่ตกคร่อมตัวไดโอด

q คือประจุอิเล็กตรอนมีค่า 1.6×10^{-19} C

k คือค่าคงที่ของ Boltzmann มีค่า 1.38×10^{-23} J/K

T คืออุณหภูมิสัมบูรณ์ (K)

นอกจากค่ากระแสรั่วอันเกิดเนื่องจากไดโอดดังกล่าวแล้ว ค่ากระแสรั่วที่เกิดจากความล้มเหลวของโครงสร้าง SiO_2 ที่บริเวณขั้วเกต ซึ่งจะทำให้เกิดกระแสรั่วบริเวณขั้วเกตได้ก็จำเป็นต้องนำมา รวมด้วย แต่โดยทั่ว ๆ ไปแล้วค่ากระแสรั่วบริเวณขั้วเกตจะมีค่าอยู่ในช่วงประมาณ 0.1 ถึง 0.5 nA ต่อเกต ดังนั้นในการพิจารณากระแสรั่วที่ขั้วเกตจึงจำเป็นต้องคิดปริมาณของจำนวนขั้วเกตในวงจรด้วย ดังนั้นค่ากระแสรั่วแบบสถิตที่เกิดขึ้นในวงจรเทอะเรย์แบบ CMOIS คือ

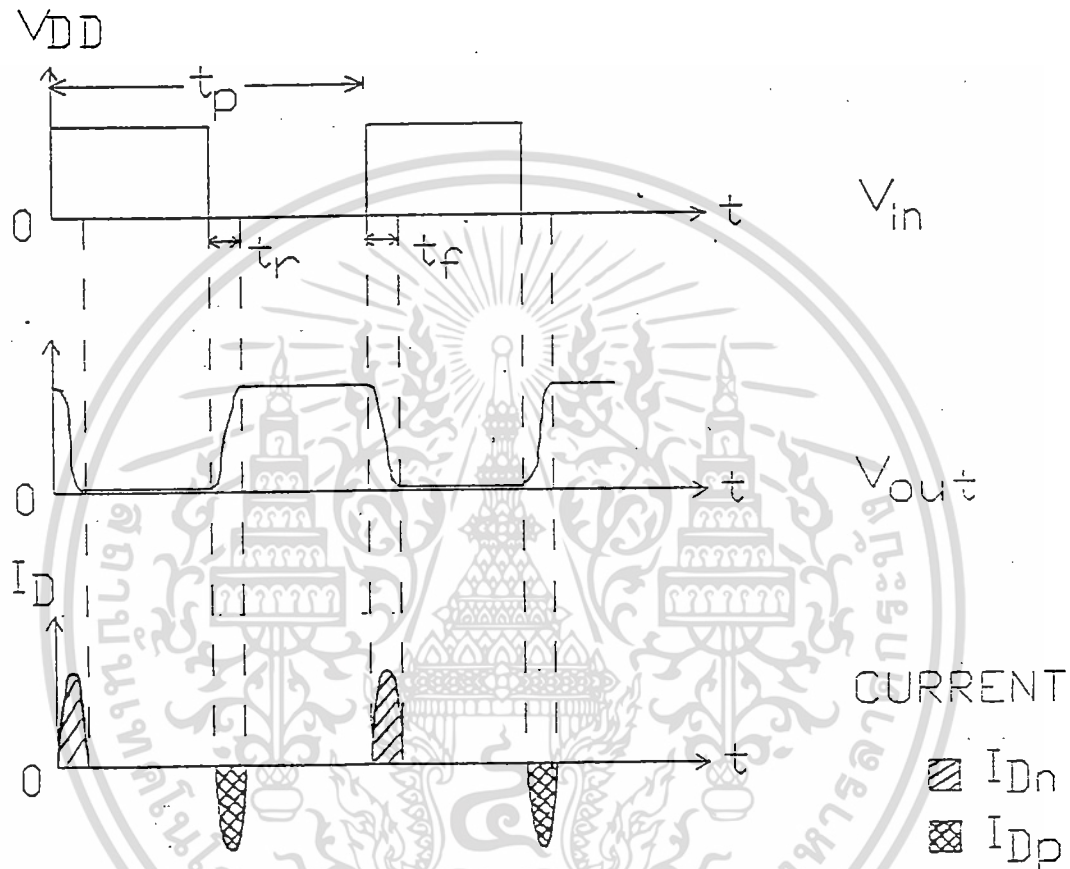
$$P_s = \sum_1^n \text{กระแสรั่วทั้งหมด} * \text{ความต่างศักย์ของแหล่งจ่ายกำลัง} \quad (2.4-2)$$

การสูญเสียพลังงานขณะวงจรกำลังทำงาน (Dynamic Dissipation)

ในขณะที่วงจรกำลังเปลี่ยนสถานะจากสถานะ 0 ไปยังสถานะ 1 หรือจากสถานะ 1 ไปยังสถานะ 0 จะมีช่วงเวลาสั้น ๆ ที่ทรานซิสเตอร์ชนิด NMOIS และทรานซิสเตอร์ชนิด PMOIS ทำงานพร้อม ๆ กัน

จากแหล่งจ่ายกำลังลงสู่กราวด์ นอกจากนี้กระแสจากแหล่งจ่ายกำลังยังจำเป็นต้องใช้ในการประจุตัวเก็บประจุที่อยู่บริเวณหัวขาออกของวงจรถวาย ค่ากระแสดังกล่าวนี้เป็นกระแสที่จำเป็นต้องสูญเสียไปขณะที่วงจรถวาย

การนิยามกำลังสูญเสียขณะวงจรถวายกำลังทำงานนี้กระทำโดยป้อนสัญญาณนาฬิกา ที่มีความถี่ของสัญญาณคือ f_p ดังนั้นคาบเวลาของสัญญาณคือ $T_p = 1/f_p$ เข้าที่หัวขาแรงดันขาเข้าของวงจรถวาย CMOIS อินเวอร์เตอร์ ดังรูปที่ 2.4-3



รูปที่ 2.4-3 แสดงสัญญาณขาเข้าและขาออกของวงจรถวาย CMOIS อินเวอร์เตอร์และกระแสที่ไหลในวงจรถวาย จากรูปที่ 2.4-3 ค่ากำลังงานสูญเสียที่เกิดขึ้นเนื่องจากทรานซิสเตอร์ในวงจรถวายพร้อมกันคือ

$$P_d = (1/t_p) \int_0^{t_p/2} i_n(t) V_o dt + (1/t_p) \int_{t_p/2}^{t_p} i_p(t) (V_{DD} - V_o) dt \quad (2.4-3)$$

โดยที่ i_n คือค่ากระแสชั่วคราวของทรานซิสเตอร์ชนิดเอ็น

i_p คือค่ากระแสชั่วคราวของทรานซิสเตอร์ชนิดพี

ในกรณีที่แรงดันขาเข้าที่ปรากฏแก่วงจรถวายเป็นแรงดันแบบขั้น ๆ ค่ากระแส $i_n(t)$ และ $i_p(t)$ จะมีค่า

$$i_n(t) = C_L \cdot (dv_o/dt) \quad (2.4-4)$$

$$i_p(t) = C_L \cdot (dv_o/dt) \quad (2.4-5)$$

ดังนั้นค่ากระแสที่สูญเสียจึงมีค่าดังสมการ (2.4-6)

$$P_d = (C_L/t_p) \int_0^{V_{DD}} V_o dV_o + (C_L/t_p)_{V_{DD}} \int_0^{(V_{DD}-V_o)} (V_{DD}-V_o) d(V_{DD}-V_o) \quad (2.4-6)$$

เมื่อ $t_p = 1/f_p$

จะได้ว่า

$$P_d = C_L V_{DD}^2 f_p \quad (2.4-7)$$

จากสมการดังกล่าวข้างต้นที่ (2.4-7) จะพบว่าค่าพลังงานสูญเสียขณะวงจรกำลังทำงานจะเกิดขึ้นเนื่องจากค่าแรงดันไฟเลี้ยง ค่าความถี่ของสัญญาณขาเข้าและค่าตัวเก็บประจุที่ต่อเชื่อมกับแรงดันขาออกของวงจร สิ่งที่ผู้ออกแบบวงจรเกทอะเรย์จะกระทำได้ในการลดกำลังงานสูญเสียขณะวงจรกำลังทำงานคือ พยายามลดค่าความจุไฟฟ้าแฝงที่แรงดันขาออกให้น้อยที่สุด และสิ่งที่ได้กล่าวไว้แล้วในตอนต้นๆว่า ค่าความจุไฟฟ้าดังกล่าวนี้สามารถลดได้โดยการลดขนาดของอุปกรณ์ให้ใช้พื้นที่น้อยลง ดังนั้นทรานซิสเตอร์โครงสร้างแบบ CMOIS ซึ่งมีขนาดของโครงสร้างที่ใช้พื้นที่บนแผ่นผลึกซิลิกอนน้อยกว่าทรานซิสเตอร์โครงสร้างแบบ CMOS จึงสามารถลดการสูญเสียของกำลังงานได้ดีกว่าทรานซิสเตอร์โครงสร้างแบบ CMOS

ค่ากำลังงานสูญเสียทั้งหมดของวงจรเกทอะเรย์แบบ CMOIS คือผลรวมของกำลังงานสูญเสียทั้งสองชนิดดังสมการที่ (2.4-8)

$$P_{total} = P_s + P_d \quad (2.4-8)$$

บทที่ 3

การออกแบบและสร้างวงจรมাত্রาฐานที่มีโครงสร้างแบบ CMOIS

วงจรมাত্রาฐานในระบบของการออกแบบเกทอะเรย์ทั้ง 3 ชนิด คือวงจรมাত্রาฐานรับสัญญาณขาเข้า วงจรมাত্রาฐานส่งสัญญาณขาออก และวงจรมাত্রาฐานการทำงานตามฟังก์ชันต่าง ๆ สามารถสร้างด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS โดยใช้กฎระเบียบในการออกแบบในลักษณะไม่สมมาตร ซึ่งสามารถแสดงคุณลักษณะเด่นของ โครงสร้างทรานซิสเตอร์ แบบ CMOIS ได้ดีที่สุดใน โดยวงจรจะถูกออกแบบให้ใช้พื้นที่บนแผ่นผลึกซิลิกอนน้อยกว่าการออกแบบในลักษณะสมมาตร ส่งผลให้ค่าความจุไฟฟ้าที่แฝงอยู่ในวงจรมีค่าน้อย ซึ่งเป็นผลดีต่อการตอบสนองต่อสัญญาณชั่วคราวของวงจร คือค่าความเร็วในการตอบสนองต่อสัญญาณชั่วคราวจะมีค่าต่ำ ส่งผลให้วงจรสูญเสียพลังงานในการทำงานต่ำด้วย

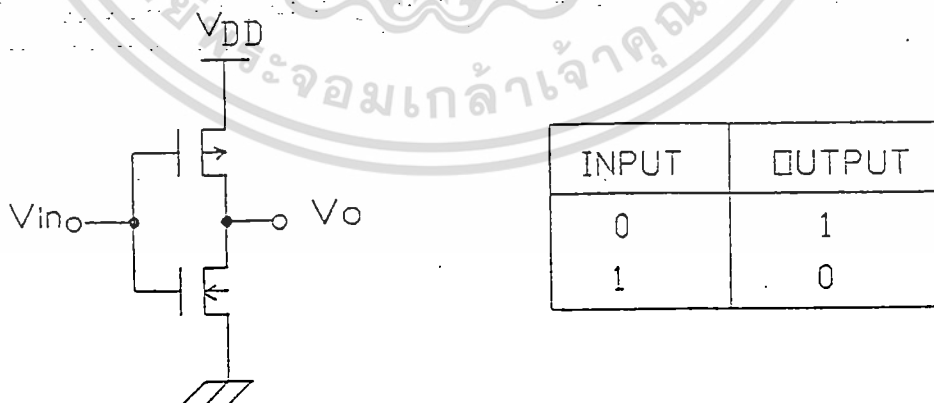
3.1 การออกแบบวงจรมাত্রาฐานรับสัญญาณขาเข้า

ตามที่ได้กล่าวไว้แล้วในบทที่ 2 ถึงคุณสมบัติของวงจรรับสัญญาณขาเข้าของการออกแบบเกทอะเรย์ จะพบว่า วงจรที่เหมาะสมในการสร้างเป็นวงจรรับสัญญาณขาเข้า ควรจะมีคุณสมบัติที่ติดตั้งต่อไปนี้คือ

1. มีค่าความต้านทานขาเข้าของวงจรสูง
2. มีค่าความจุไฟฟ้าขาเข้าต่ำ
3. สามารถขับกระแสแก่วงจรภายในของเกทอะเรย์ได้ปริมาณมาก

3.1-1 การออกแบบวงจรรับสัญญาณขาเข้าแบบสัญญาณขาออกของวงจรกลับเฟสกับสัญญาณขาเข้า

วงจรที่ตอบสนองต่อคุณสมบัติดังกล่าวแล้วข้างต้นที่สามารถขับสัญญาณขาออก กลับเฟสกับสัญญาณขาเข้าคือวงจรดิฟเฟอเรนเชียลอินเวอร์เตอร์ดังรูปที่ 3.1-1



รูปที่ 3.1-1 แสดงวงจรดิฟเฟอเรนเชียลอินเวอร์เตอร์และตารางความจริงของ วงจร

จากรูปจะพบว่าค่าความต้านทานขาเข้าของวงจรจะมีค่าสูง ซึ่งเป็นคุณสมบัติของทรานซิสเตอร์

โครงสร้างแบบ CMOIS นอกจากนั้นค่าความจุไฟฟ้าขาเข้าของวงจร คือค่าความจุไฟฟ้าที่เกิดจากขั้วเกตของทรานซิสเตอร์ชนิดเอ็น และทรานซิสเตอร์ชนิดพีอย่างละ 1 ตัวเท่านั้น ดังนั้นค่าความจุไฟฟ้าของวงจรมีค่าต่ำ ในการออกแบบจึงมุ่งประเด็นหลักไปที่ การขับกระแสขาออกของวงจรอินเวอร์เตอร์นี้ ให้สามารถขับกระแสแก่่วงจรภายในเกตอะเรย์ได้ และจากการศึกษาที่ผ่านมาพบว่าทรานซิสเตอร์โครงสร้างแบบ CMOIS จะใช้กระแสเมื่อประจุแก่ขั้วเกตของทรานซิสเตอร์ไม่เกิน 10 นาโนแอมป์ ดังนั้นวงจรอินเวอร์เตอร์ที่ออกแบบเพื่อใช้งานในวงจรเพื่อขับวงจรรภายในของเกตอะเรย์จึงควรจะสามารถขับกระแสได้สูงกว่า 100 นาโนแอมป์ (ขับทรานซิสเตอร์ได้อย่างต่ำ 10 ตัว) และเมื่อทำการออกแบบวงจรรอินเวอร์เตอร์นี้ด้วยหลักการออกแบบในลักษณะไม่สมมาตร โดยใช้ขนาดของการสร้างที่เล็กที่สุดเป็น 20 ไมโครเมตร จะพบว่าค่าอัตราส่วนความกว้างต่อความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ที่ประกอบเป็นวงจรรอินเวอร์เตอร์จะมีค่า 3:1 ดังนั้นค่าอัตราขยายของทรานซิสเตอร์แต่ละชนิดคือ

$$\beta_n = (\mu_n \epsilon_{ox} / T_{ox})(W_n / L_n) = 3.26 * 10^{-6} \quad (3.1-1)$$

$$\beta_p = (\mu_p \epsilon_{ox} / T_{ox})(W_p / L_p) = 7.53 * 10^{-6} \quad (3.1-2)$$

เมื่อทำการแทนค่าแรงดันต่ำที่สุดที่สามารถใช้งานทรานซิสเตอร์โครงสร้าง CMOIS (5V) และค่าแรงดันขีดเริ่มของทรานซิสเตอร์เพื่อพิจารณากระแสที่สามารถจ่ายออกมาได้พบว่า

$$I_{D(CMOIS)} = \beta / 2 (V_G - V_{Tn})^2 = 0.046 \text{ mA} \quad (3.1-3)$$

$$I_{D(CPMOIS)} = \beta / 2 (V_G - V_{Tp})^2 = 0.01 \text{ mA} \quad (3.1-4)$$

จากค่ากระแสในสมการที่ (3.1-3) และ (3.1-4) จะพบว่าทรานซิสเตอร์ที่ประกอบเป็นวงจรรอินเวอร์เตอร์เพื่อใช้งานเป็นวงจรรรับสัญญาณขาเข้าของระบบเกตอะเรย์สามารถขับทรานซิสเตอร์โครงสร้างแบบ CMOIS ได้ทั้งสิ้นอย่างน้อย 1000 ตัว กล่าวคือค่าแฟนเอาท์ (fan out) ของวงจรรอินเวอร์เตอร์นี้จะมีค่าเท่ากับ 500 ตัว

ค่าแรงดันการเปลี่ยนสถานะของวงจรรอินเวอร์เตอร์ (V_{th}) เกิดขึ้นขณะที่ค่าแรงดันขาเข้าของวงจรร (V_{in}) มีค่าเท่ากับค่าแรงดันขาออกของวงจรร (V_{out}) ดังสมการที่ (3.1-5)

$$V_{th} = [V_{tn} + \sqrt{\beta_p / \beta_n} (V_{DD} - |V_{Tp}|)] / [1 + \sqrt{\beta_p / \beta_n}] \quad (3.1-5)$$

เมื่อแทนค่าคงที่ต่าง ๆ ของทรานซิสเตอร์โครงสร้างแบบ CMOS ลงในสมการที่ (3.1-5) แล้ว จะพบว่าค่าแรงดันการเปลี่ยนสถานะของวงจรรับสัญญาณขาเข้าแบบสัญญาณขาออก กลับเฟสกับสัญญาณขาเข้า จะมีค่า 5.1 โวลต์ และจากค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS มีค่าต่ำกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์แบบ PMOIS ดังนั้นจึงพอสรุปได้ว่า ค่าขอบเขตของสภาพความทนต่อสัญญาณรบกวน (NOISE MARGIN) ที่สถานะสูงจะมีค่ามากกว่าที่สถานะต่ำ

ช่วงเวลาในการเปลี่ยนแปลงสถานะจากสถานะสูงไปสู่สถานะต่ำตามการวิเคราะห์ วงจรที่นำเสนอในบทที่ 2 ดังสมการที่ (2.2-5) และ (2.2-6) ทำการแทนค่าคงที่ของทรานซิสเตอร์ชนิด NMOIS ลงในสมการที่ค่าแรงดันไฟเลี้ยง 10 โวลต์ จะได้ว่า

$$t_{\text{F}} = (104.7 \times 10^3) C_L \quad \text{วินาที}$$

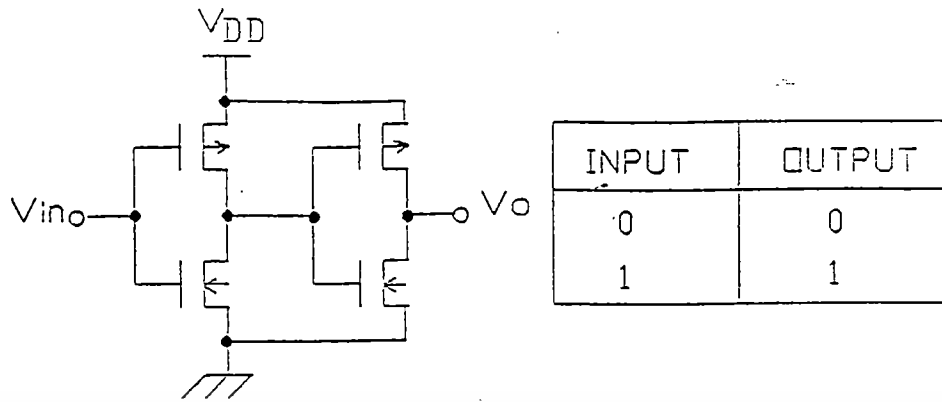
นอกจากนี้ช่วงเวลาในการเปลี่ยนสถานะจากสถานะต่ำไปสถานะสูง จะเป็นสมการในลักษณะเดียวกัน แต่ตัวแปรของทรานซิสเตอร์ชนิด NMOIS จะถูกแทนที่ด้วยตัวแปรของทรานซิสเตอร์ชนิด PMOIS แทน ดังนั้นค่าเวลาดังกล่าวคือ

$$t_{\text{R}} = (53.8 \times 10^3) C_L \quad \text{วินาที}$$

จากค่าเวลา t_{F} และ t_{R} ข้างต้นจะพบว่าค่าเวลาในการเปลี่ยนสถานะจากสถานะสูงไปสู่สถานะต่ำ จะมีค่ามากกว่าช่วงเวลาในการเปลี่ยนสถานะจากสถานะต่ำไปสถานะสูง ซึ่งตรงกันข้ามกับวงจรเดียวกันที่ถูกออกแบบและสร้างด้วยทรานซิสเตอร์โครงสร้างแบบ CMOS ซึ่งจุดนี้เป็นข้อแตกต่างระหว่างการออกแบบวงจรพื้นฐานของถาวรแบบเกตอะเรย์ โดยทรานซิสเตอร์โครงสร้าง CMOS กับทรานซิสเตอร์โครงสร้าง CMOS อย่างชัดเจน

3.1-2 การออกแบบวงจรรับสัญญาณขาเข้าแบบสัญญาณขาออกไม่กลับเฟสกับสัญญาณขาเข้า

วงจรที่มีลักษณะของสัญญาณขาออกไม่กลับเฟสกับสัญญาณขาเข้า ทำหน้าที่เป็นบัฟเฟอร์เมื่อรับสัญญาณจากวงจรภายนอก และขับสัญญาณดังกล่าวแก่วงจรภายในเกตอะเรย์ คือวงจรรีจิสเตอร์สองสถานะที่ต่ออนุกรมกัน ดังรูปที่ 3.1-2



รูปที่ 3.1-2 แสดงวงจรอินเวอร์เตอร์และตารางความจริงของวงจร

การออกแบบวงจรอินเวอร์เตอร์ดังรูปที่ 3.1-2 จะทำการออกแบบเช่นเดียวกับวงจรอินเวอร์เตอร์ดังกล่าวไว้แล้วในหัวข้อที่ 3.1-1 คือค่าอัตราส่วนความกว้างต่อความยาวของช่องทางเดินกระแสของทรานซิสเตอร์แต่ละตัวในวงจรจะมีค่า 3:1 ดังนั้นคุณสมบัติต่าง ๆ ของวงจร เช่นกระแสขาเข้าของวงจร (sink current) และกระแสขาออกของวงจร (source current) ค่าแรงดันการเปลี่ยนสถานะของวงจร (V_{th}) ค่าอัตราขยายของทรานซิสเตอร์แต่ละตัวในวงจร (β) จะมีค่าเท่ากับวงจรอินเวอร์เตอร์

ดังนั้นคุณสมบัติทางไฟฟ้าในด้านต่าง ๆ ของวงจรอินเวอร์เตอร์นี้จึงมีลักษณะเช่นเดียวกับวงจรอินเวอร์เตอร์ในหัวข้อที่ 3.1-1 เป็นส่วนใหญ่ โดยมีสิ่งที่แตกต่างกันในรายละเอียดเล็กน้อยเช่น ค่ากำลังสูญเสียของวงจรจะมีค่าสูงกว่า และลักษณะของสัญญาณขาออกของวงจรจะไม่กลับเฟสกับสัญญาณขาเข้า

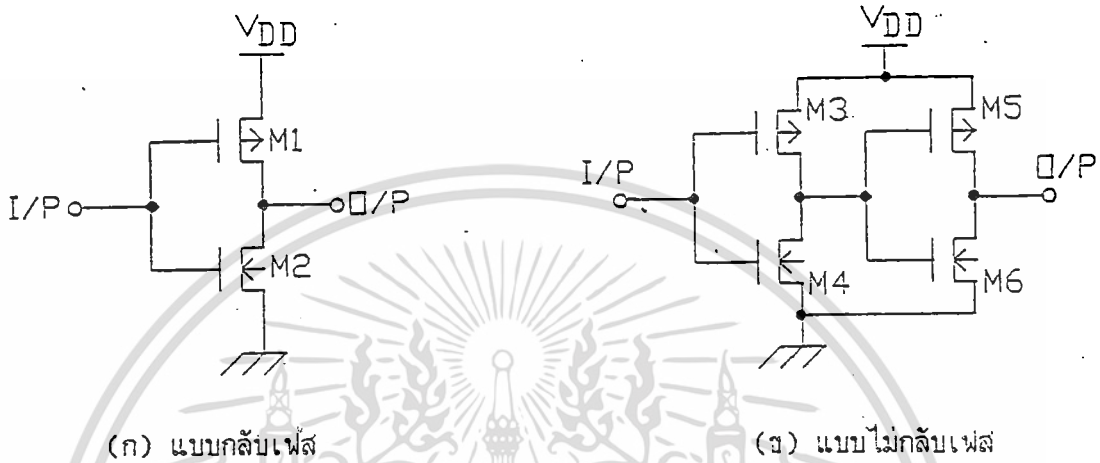
ค่าเวลาในการเปลี่ยนสถานะจากสถานะสูงไปสู่สถานะต่ำ และจากสถานะต่ำไปสู่สถานะสูงจะมีค่ามากกว่าวงจรรับสัญญาณขาเข้าแบบกลับเฟสประมาณ 2 เท่า เนื่องจากสถานะของวงจรเพิ่มขึ้นประมาณ 1 เท่า

3.2 การออกแบบวงจรมาตรฐานส่งสัญญาณขาออก

คุณสมบัติของ วงจรส่งสัญญาณขาออก ซึ่งทำหน้าที่รับสัญญาณโดยทำงานตามฟังก์ชันทางตรรกตามการออกแบบทางฟังก์ชันที่ต้องการเรียบร้อยแล้ว ไปสู่วงจรภายนอกเกทอะเรย์ ดังนั้นวงจรดังกล่าวนี้จะต้องสามารถขับสัญญาณดังกล่าวแก่ระบบต่าง ๆ ได้ดี มีค่าแรงดันและกระแสตามมาตรฐานของระบบอิเล็กทรอนิกส์ทางตรรกทั่ว ๆ ไป เพื่อเชื่อมต่อกับระบบเกทอะเรย์โครงสร้างแบบ CMOS กับระบบอิเล็กทรอนิกส์ทางตรรกภายนอกได้

3.2.1 การออกแบบวงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

วงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า แบบที่ง่ายที่สุดมีลักษณะเช่นเดียวกันกับวงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสที่ได้อธิบายไว้แล้วในหัวข้อที่ 3.1 แต่เนื่องจากคุณสมบัติในการออกแบบแตกต่างกัน ดังนั้นขนาดของทรานซิสเตอร์ในวงจรจึงมีขนาดที่ไม่เท่ากันกับวงจรรับสัญญาณขาเข้า ปัจจัยสำคัญที่ต้องคำนึงถึงคือปริมาณของกระแสที่วงจรสามารถรับและจ่ายแก่วงจรภายนอก จะต้องมีความเหมาะสมกับระบบที่ประกอบด้วยวงจรชนิดเดียวกันเป็นอย่างดี



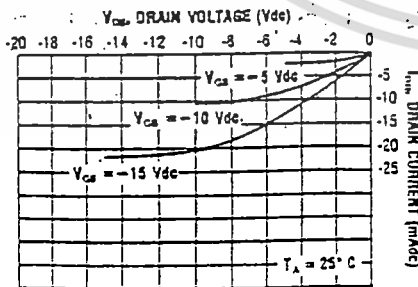
(ก) แบบกลับเฟส

(ข) แบบไม่กลับเฟส

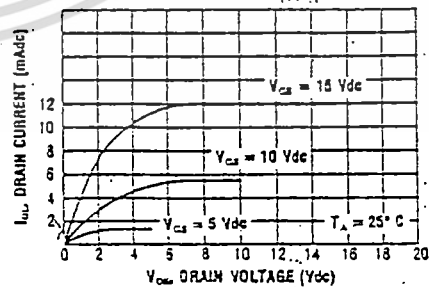
รูปที่ 3.2-1 วงจรส่งสัญญาณขาออกอย่างง่าย

พิจารณาวงจรในรูปที่ 3.2-1(ก) จะพบว่าในเวลาที่วงจรส่งสัญญาณขาออกสถานะสูงแก่วงจรภายนอก กระแสจะไหลจากแหล่งจ่ายไฟเลี้ยงของวงจรผ่านทางทรานซิสเตอร์ชนิด PMOS M1 และในทางตรงกันข้ามขณะที่วงจรอยู่ในสถานะต่ำ กระแสจากวงจรภายนอกจะไหลผ่านทรานซิสเตอร์ชนิด NMOS M2 ลงสู่ระดับแรงดันอ้างอิง ดังนั้นในสภาวะที่วงจรต้องจ่ายหรือรับกระแส ทรานซิสเตอร์ทั้งสองจะต้องทนภาระกระแสได้ ในขนาดของกระแสที่เป็นมาตรฐานของวงจรรวม โดยทั่วไป

จากการพิจารณาคงสมบัติของวงจรรวมที่ใช้อยู่ในปัจจุบันพบว่าลักษณะของกระแสของทรานซิสเตอร์ซึ่งทำหน้าที่ขับกระแสแก่วงจรภายนอก นิยมออกแบบให้วงจรสามารถรับและจ่ายกระแสได้ ในอัตราที่เท่ากันดังรูปที่ 3.2-2



(ก) ลักษณะของกระแสซอส (PMOS)



(ข) ลักษณะของกระแสซิงค์ (NMOS)

รูปที่ 3.2-2 แสดงคุณสมบัติของทรานซิสเตอร์ภาคสุดท้ายของวงจรรวมประเภท CMOS ที่ใช้ในปัจจุบัน

จากคุณสมบัติของทรานซิสเตอร์ในรูปที่ 3.2-2 จะพบว่าขณะที่แรงดันปรากฏที่ขั้วเกตมีค่าสูงที่สุด 15 โวลต์ ทรานซิสเตอร์จะต้องจ่าย (หรือรับ) กระแส แก่วงจรภายนอกได้มีค่า 12 และ 22 mA สำหรับทรานซิสเตอร์ NMOS และ PMOS ตามลำดับ ดังนั้นถ้าทำการออกแบบให้ทรานซิสเตอร์โครงสร้างแบบ CMOIS สามารถขับหรือรับกระแสได้ เช่นเดียวกับวงจรมাত্রาฐานทั่ว ๆ ไป จำเป็นต้องออกแบบค่าความกว้างและความยาวของช่องทางเดินกระแส ดังนี้คือ

จากกระบวนการสร้างมาตรฐานของทรานซิสเตอร์แบบ CMOIS จะได้ค่าคงที่ต่าง ๆ คือ ค่าความหนาของชั้นฉนวนบริเวณช่องทางเดินกระแสมีค่า 700 อังสตรอม ค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOS มีค่า 1.5 โวลต์ และทรานซิสเตอร์ชนิด PMOS มีค่า -2.5 โวลต์ และความยาวของช่องทางเดินกระแสต่ำสุดมีค่า 20 ไมโครเมตร ดังนั้นเมื่อแทนค่าคงที่ต่าง ๆ ลงในสมการกระแส และแรงดันของ MOIS จะได้ค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองคือ

$$W_p = (2I_D T_{ox} L) / [\epsilon_o \epsilon_{ox} \mu_p (V_G - V_{TP})^2] = 761 \text{ ไมโครเมตร} \quad (3.2-1)$$

$$W_n = (2I_D T_{ox} L) / [\epsilon_o \epsilon_{ox} \mu_n (V_G - V_{TN})^2] = 821 \text{ ไมโครเมตร} \quad (3.2-2)$$

ดังนั้นวงจรในรูปที่ 3.2-1(ก) จะมีค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ชนิด PMOS มีค่า 760 μm และค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ชนิด NMOS มีค่า 820 μm จึงจะได้กระแสขาออกของวงจรตามมาตรฐานของวงจรรวมทั่ว ๆ ไป

เมื่อทำการพิจารณาช่วงเวลาในการเปลี่ยนแปลงสถานะของวงจรโดยสมการที่ (2.2-5) และ (2.2-6) โดยแทนค่า β ของทรานซิสเตอร์ที่ทำการออกแบบในที่นี้จะได้ว่า

$$t_{pL} = (1.44 \times 10^3) C_L \text{ วินาที}$$

$$t_{pH} = (2.48 \times 10^3) C_L \text{ วินาที}$$

ในทำนองเดียวกับวงจรในรูปที่ 3.2-1(ข) ทรานซิสเตอร์ซึ่งทำหน้าที่ขับกระแส (M5 และ M6) จะมีขนาดของทรานซิสเตอร์เช่นเดียวกับทรานซิสเตอร์ตัวที่ M1 และ M2 ตามลำดับ ส่วนทรานซิสเตอร์ที่เหลือคือ M3 และ M4 จะเป็นทรานซิสเตอร์ซึ่งถูกออกแบบให้มีขนาดเล็กที่สุดเท่าที่เทคโนโลยีจะอำนวยให้ เช่นเดียวกับวงจรรับสัญญาณขาเข้า คือขนาดของความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองจะมีค่า 60 μm

ช่วงเวลาในการเปลี่ยนสถานะของวงจรถูกเกิดจาก M3 และ M4 ควรจะมีค่าเท่ากับวงจรรีบ สัญญาณขาเข้าแบบกลับเฟสซึ่งอธิบายไว้แล้วในหัวข้อที่ 3.1-1 ส่วนช่วงเวลาในการเปลี่ยนสถานะที่เกิดจาก M5 และ M6 สามารถหาค่าได้โดยการแทนค่า β ของทรานซิสเตอร์ลงในสมการที่ (2.2-5) และ (2.2-6) จะได้ว่า

$$t_r \text{ ซึ่งเกิดจาก M5 มีค่า } (53.8 \times 10^3) C_L \text{ วินาที}$$

$$t_f \text{ ซึ่งเกิดจาก M6 มีค่า } (104.7 \times 10^3) C_L \text{ วินาที}$$

ดังนั้นค่าเวลาในการเปลี่ยนสถานะทั้งสิ้นมีค่า

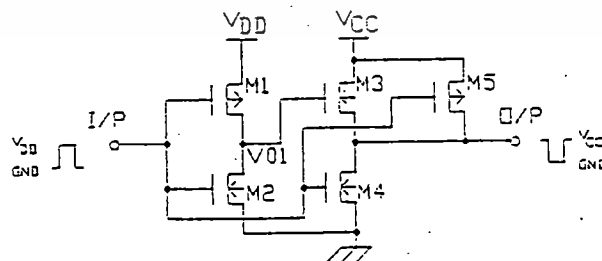
$$t_r = t_{rM3} + t_{rM5} \text{ วินาที} = (55.24 \times 10^3) C_L \text{ วินาที}$$

$$t_f = t_{fM4} + t_{fM6} \text{ วินาที} = (107.18 \times 10^3) C_L \text{ วินาที}$$

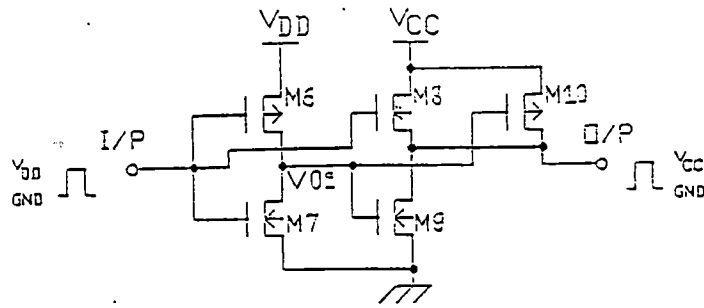
3.2.2 การออกแบบวงจรถูกเชื่อมแรงดันระหว่างระบบ CMOIS กับระบบ TTL แบบกลับเฟส และไม่กลับเฟสกับสัญญาณขาเข้า

การเชื่อมต่อวงจรเกตอะเรียซึ่งออกแบบโดยผู้ต้องการใช้วงจร จำเป็นต้องทำการเชื่อมต่อวงจรที่ออกแบบแล้วกับวงจรในสถานะถัดไป ซึ่งใช้งานที่ไฟเลี้ยงแตกต่างกัน เช่นการเชื่อมต่อวงจรซึ่งใช้วงจรรวมแบบ CMOS ซึ่งใช้งานที่แรงดันสูง (ไม่เกิน 18 โวลต์) กับวงจรรวมแบบ TTL ซึ่งใช้งานที่แรงดันต่ำ (ไม่เกิน 5 โวลต์) เป็นต้น วงจรที่จะกล่าวถึงต่อไปนี้จะใช้ประโยชน์ในการเชื่อมต่อสภาวะทางแรงดันดังกล่าว โดยออกแบบให้สามารถเชื่อมต่อกันได้ โดยลักษณะของสัญญาณขาออกกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

วงจรเชื่อมแรงดันระหว่างระบบ CMOIS กับระบบ TTL ซึ่งออกแบบด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS เป็นดังรูปที่ 3.2-3



(ก) แบบกลับเฟส



(ข) แบบไม่กลับเฟส

รูปที่ 3.2-3 แสดงวงจรเชื่อมแรงดันระหว่างระบบ CMOS กับระบบ TTL

พิจารณาวงจรในรูปที่ 3.2-3 (ก) ซึ่งเป็นวงจรเชื่อมแรงดันแบบกลับเฟสกับสัญญาณขาเข้า เมื่อมีสัญญาณขาเข้าปรากฏแก่วงจรในสถานะต่ำ จะทำให้ทรานซิสเตอร์ M1 ซึ่งเป็น PMOS เกิดการนำกระแสขึ้น ค่าแรงดัน V_{O_1} จะมีค่าเท่ากับแรงดันไฟเลี้ยง V_{DD} ทำให้ทรานซิสเตอร์ M5 เกิดการนำกระแสขึ้น ในขณะเดียวกัน ค่าแรงดันขาเข้าดังกล่าวยังทำให้ทรานซิสเตอร์ M5 ทำงานเกิดการนำกระแสขึ้น ดังนั้นค่าแรงดันขาออกของวงจรจะมีค่าเท่ากับไฟเลี้ยง V_{CC} ซึ่งต่ออยู่กับขั้วเดรนของทรานซิสเตอร์ M5 และเมื่อแรงดันขาเข้าของวงจรอยู่ในสถานะสูงจะทำให้ M2 เกิดการนำกระแสขึ้นค่าแรงดัน V_{O_1} จะมีค่าเท่ากับแรงดันอ้างอิง ดังนั้นทรานซิสเตอร์ M3 จะหยุดนำกระแส ในขณะเดียวกันทรานซิสเตอร์ M4 จะเกิดการนำกระแสขึ้น ส่งผลให้ค่าแรงดันขาออกมีค่าเท่ากับค่าแรงดันอ้างอิงกล่าวโดยสรุปคือ เมื่อแรงดันขาเข้าของวงจรมีค่า 0 โวลต์ ค่าแรงดันขาออกของวงจรจะมีค่าเป็น V_{CC} ซึ่งเป็นระดับแรงดันที่ต้องการเชื่อมต่อกับวงจรภายนอก และเมื่อค่าแรงดันขาเข้าของวงจรมีค่าเป็น V_{DD} ค่าแรงดันขาออกของวงจรจะมีค่าเป็นแรงดันอ้างอิง 0 โวลต์

จากที่กล่าวมาแล้วจะพบว่าในขณะที่แรงดันขาเข้าของวงจรมีค่าเท่ากับแรงดันไฟเลี้ยง V_{CC} หรือขณะที่ผลต่างแรงดันขาเข้าของวงจรกับแรงดันไฟเลี้ยงมีค่าต่ำกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด PMOS ตัวที่ M5 จะทำให้ทรานซิสเตอร์ M5 หยุดการนำกระแส ในสภาวะขณะนั้นทรานซิสเตอร์ซึ่งจ่ายกระแสแก่โหลดของวงจร จะเป็นทรานซิสเตอร์ M3 เพียงตัวเดียวเท่านั้น ดังนั้นในการออกแบบวงจรเพื่อขับกระแสแก่วงจรภายนอกจำเป็นต้องออกแบบให้ทรานซิสเตอร์ชนิด NMOIS ตัวที่ M3 สามารถขับกระแสได้ ในปริมาณที่เหมาะสมกับวงจรภายนอก

ตามที่ได้กล่าวไว้แล้วในหัวข้อที่ 3.2.1 จะพบว่าค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ชนิด PMOS และชนิด NMOIS ที่เหมาะสมในการขับกระแสแก่วงจรภายนอกมีค่า 760 μm และ 820 μm ตามลำดับดังนั้นสำหรับวงจรในรูปที่ 3.2-3(ก) จะทำการออกแบบให้ทรานซิสเตอร์ M3 และ M4 มีค่าความกว้างของช่องทางเดินกระแสเท่ากับ 820 μm และทรานซิสเตอร์ M5 จะมีค่าความกว้างของช่องทางเดินกระแสเท่ากับ 760 μm ส่วนทรานซิสเตอร์ M1 และ M2 จะมีขนาดเล็กที่สุดเท่าที่เทคโนโลยีจะอำนวยให้คือมีค่าความกว้างของช่องทางเดินกระแสเท่ากับ 60 μm

เมื่อทำการพิจารณาค่าเวลาในการเปลี่ยนสถานะของวงจรถะพบว่า ค่าเวลา t_{pL} และ t_{pH} ของวงจรถะมีค่าเท่ากับเวลาในการเปลี่ยนสถานะของวงจรถะอินเวอร์เตอร์ธรรมดา เนื่องจากแรงดันขาเข้าของวงจรถะจะไปปรากฏที่ทรานซิสเตอร์ M5 และ M4 ซึ่งเป็นทรานซิสเตอร์ชั้นกระแสภาคสุดท้าย ดังนั้นค่าเวลา t_{pL} และ t_{pH} ของวงจรถะจึงมีค่าเท่ากับวงจรถะส่งสัญญาณขาออกแบบกลับเฟสที่ได้อธิบายไว้แล้วในหัวข้อที่ 3.2-1

พิจารณาวงจรถะในรูปที่ 3.2-3 (ข) ซึ่งเป็นวงจรถะเชื่อมแรงดันแบบไม่กลับเฟสสัญญาณขาเข้า เมื่อมีสัญญาณขาเข้าปรากฏแก่วงจรถะในสถานะต่ำ จะทำให้ทรานซิสเตอร์ M6 เกิดการนำกระแสขึ้น ค่าแรงดัน V_{O2} จะเปลี่ยนแปลงเป็นสถานะสูง โดยมีค่าแรงดันเท่ากับ V_{DD} ส่งผลให้ทรานซิสเตอร์ M9 เกิดการนำกระแสขึ้น ค่าแรงดันขาออกของวงจรถะจึงมีสถานะต่ำด้วย และเมื่อแรงดันขาเข้าที่ปรากฏแก่วงจรถะมีสถานะสูง ค่าแรงดัน V_{O2} จะมีสถานะต่ำส่งผลให้ทรานซิสเตอร์ M10 เกิดการนำกระแส ในขณะที่มีค่าแรงดันขาเข้าดังกล่าวจะทำให้ทรานซิสเตอร์ M8 เกิดการนำกระแสด้วย ดังนั้นค่าแรงดันขาออกของวงจรถะจึงมีสถานะสูง โดยค่าแรงดันขาออกจะมีค่าเท่ากับแรงดันไฟเลี้ยง V_{CC}

ในการทำงานเดียวกันกับวงจรถะในรูปที่ 3.2-3(ก) เมื่อแรงดัน V_{O2} มีค่าเท่ากับ หรือผลต่างของแรงดัน V_{O2} และ V_{CC} มีค่าต่ำกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด PMOS ตัวที่ M10 แล้วทรานซิสเตอร์ M10 จะหยุดการนำกระแสโดยกระแสที่ไหลผ่านจะผ่านทรานซิสเตอร์ M8 แทน ดังนั้นในการออกแบบขนาดของควมกว้างของช่องทางเดินกระแส จะเป็นไปในทำงานเดียวกันกับวงจรถะส่งสัญญาณขาออกแบบกลับเฟส คือทรานซิสเตอร์ชนิด NMOIS ตัวที่ M8 และ M9 จะมีขนาดของช่องทางเดินกระแสเท่ากับ $820 \mu m$ และทรานซิสเตอร์ M10 จะมีขนาดของช่องทางเดินกระแสเท่ากับ $760 \mu m$ ส่วนทรานซิสเตอร์ M6 และ M7 จะมีขนาดของควมกว้างช่องทางเดินกระแสที่น้อยที่สุดคือ $60 \mu m$

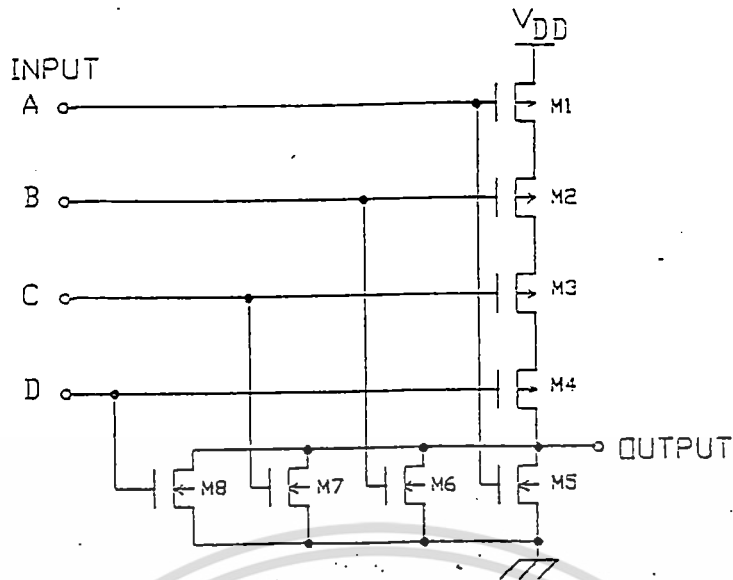
ช่วงเวลาในการเปลี่ยนสถานะของวงจรถะจะเป็นไปในทำงานเดียวกันกับวงจรถะส่งสัญญาณขาออกแบบไม่กลับเฟสกับสัญญาณขาเข้า คือค่าเวลา t_{pL} และ t_{pH} จะมีค่าเท่ากับวงจรถะส่งสัญญาณขาออกแบบไม่กลับเฟสดังที่ได้อธิบายไว้แล้วในหัวข้อที่ 3.2-1

3.3 การออกแบบวงจรถะมาตรฐานการทำงาน

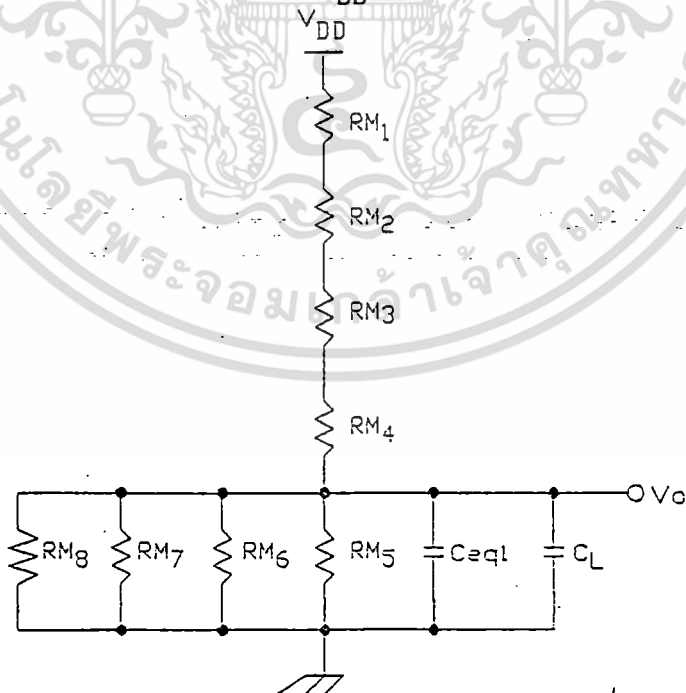
3.3.1 การออกแบบวงจรถะทางตรรกะพื้นฐาน

3.3.1.1 วงจรถะ NOR เกทแบบ 4-input

วงจรถะ NOR GATE ซึ่งเป็นวงจรถะพื้นฐานของการออกแบบวงจรถะรวมขนาดใหญ่ ที่จะนำเสนอเพื่อเป็นวงจรถะพื้นฐานของเกทอะเรย์ ในวิทยานิพนธ์ฉบับนี้ คือวงจรถะ NOR GATE แบบมีแรงดันขาเข้า 4 ทาง (4 INPUT NOR GATE) ซึ่งสามารถใช้งานได้อย่างกว้างขวางในวงจรถะรวมทางตรรกะทั่ว ๆ ไป ลักษณะของวงจรถะจะเป็นไปดังรูปที่ 3.3-1



รูปที่ 3.3-1 แสดงวงจร 4 INPUT NOR GATE ที่ใช้ทรานซิสเตอร์โครงสร้างแบบ CMOS ในการออกแบบ การทำงานของวงจรจะมีลักษณะเช่นเดียวกับกับวงจรชนิดเดียวกับ โครงสร้างทรานซิสเตอร์แบบ CMOS กล่าวคือเมื่อแรงดันขาเข้าจุดใดจุดหนึ่งของวงจร (A, B, C หรือ D) มีค่ามากกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS (M5, M6, M7 หรือ M8) จะทำให้ทรานซิสเตอร์โครงสร้างแบบ MOIS ชนิดเอ็นตัวนั้นนำกระแส ดังนั้นค่าแรงดันขาออกของวงจรจะมีค่าเป็น 0 โวลต์ (แรงดันอ้างอิง)ทันที และเมื่อค่าแรงดันขาเข้าทุกจุดมีค่าเป็น 0 โวลต์ ค่าแรงดันดังกล่าว ทำให้ทรานซิสเตอร์ชนิด PMOIS (M1, M2, M3 และ M4) ทำงาน ส่วนทรานซิสเตอร์ชนิด NMOIS หยุดทำงาน ดังนั้นค่าแรงดันขาออกของวงจร จึงมีค่าเป็นแรงดันโพลีเลี้ยง (V_{DD})

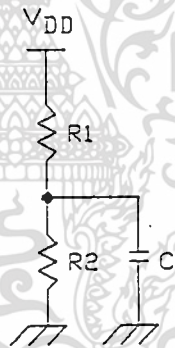


รูปที่ 3.3-2 แสดงวงจรเสมือนของวงจร 4 input NOR GATE เพื่อวิเคราะห์เวลาหน่วง

ในขณะที่วงจรถูกกำลังเปลี่ยนสถานะจากสถานะสูงไปสู่สถานะต่ำ หรือจากสถานะต่ำไปสู่สถานะสูง วงจรจะทำให้ค่าแรงดันขาออกเกิดเวลาหน่วงขึ้น (delay time) ซึ่งค่าเวลาดังกล่าวจำเป็นต้องทราบเพื่อกำหนดคุณสมบัติของวงจร ในการออกแบบวงจรรวมขนาดใหญ่ขึ้นต่อไป

การวิเคราะห์เวลาหน่วงของวงจรทางตรรก ตามที่นำเสนอในภาคผนวก ก จำเป็นต้องเปลี่ยนวงจรเป็นวงจรเสมือนเพื่อใช้ในการวิเคราะห์ก่อน ซึ่งวงจรเสมือนของวงจร 4 input NOR GATE ดังรูปที่ 3.3-1 ตามคำนิยามในภาคผนวก ก แสดงได้ดังรูปที่ 3.3-2

จากรูปวงจรเสมือนวงจร 4 input NOR GATE จะพบว่าประกอบด้วยความต้านทาน RM_1 ถึง RM_8 ซึ่งเกิดจากทรานซิสเตอร์ M1 ถึง M8 ในวงจร และ C_{eq} ซึ่งแทนค่าความจุไฟฟ้าที่ปรากฏต่อทรานซิสเตอร์ M1 ถึง M8 และค่าความจุไฟฟ้าของโหลดของวงจร C_L ที่ปรากฏที่จุดแรงดันขาออกของวงจร เมื่อทำการพิจารณาวงจรแล้วพบว่าสามารถยุบอุปกรณ์ที่อยู่ยากลงในกรณีที่ต้องการวิเคราะห์วงจรอย่างง่าย เหลือเพียงค่าความต้านทาน 2 ตัว และค่าความจุไฟฟ้ารวม 1 ตัว โดยค่าความต้านทานตัวที่ 1 เกิดจากการรวมค่าความต้านทาน $RM_1 + RM_2 + RM_3 + RM_4$ แบบอนุกรมกัน และค่าความต้านทานตัวที่ 2 เกิดจากการรวมค่าความต้านทาน $RM_5 // RM_6 // RM_7 // RM_8$ แบบขนานกัน และค่าความจุไฟฟ้าที่เหลือ คือการรวมค่าความจุไฟฟ้า C_{eq} และ C_L แบบขนานกัน ดังนั้นวงจรเสมือนอย่างง่ายเพื่อใช้ในการวิเคราะห์เวลาหน่วงจะเป็นไปดังรูปที่ 3.3-3



รูปที่ 3.3-3 แสดงวงจรเสมือนวงจร 4 input NOR GATE อย่างง่าย

เมื่อทำการพิจารณาค่าความต้านทาน R1 และ R2 ของวงจรในรูปที่ 3.3-3 จะต้องพิจารณาความต้านทานของทรานซิสเตอร์แต่ละชนิดในวงจรก่อน แล้วจึงรวมกันด้วยกฎทางไฟฟ้าที่ได้กล่าวเอาไว้แล้วข้างต้น

พิจารณาค่าความต้านทาน R1

เนื่องจากค่าความต้านทาน R1 เกิดจากการรวมความต้านทานของทรานซิสเตอร์ชนิด PMOS แบบอนุกรมดังนั้นค่าความต้านทาน R1 จะมีค่าดังสมการ (3.3-1)

$$R1 = (\rho_1 + \rho_2)[L/W]4 \quad (3.3-1)$$

โดยที่ ρ_1 และ ρ_2 เป็นไปดังสมการที่ (ก-15) และ (ก-18) ในภาคผนวก (ก) เมื่อทำการแทนค่าตัวแปรต่าง ๆ ในสมการแล้วพบว่า R1 มีค่าดังนี้

$$R1 = 0.3 \text{ เมกกะโอห์ม}$$

พิจารณาค่าความต้านทาน R2

เนื่องจากค่าความต้านทาน R2 เกิดจากการรวมความต้านทานของทรานซิสเตอร์ชนิด NMOIS แบบขนานกันดังนั้นค่าความต้านทาน R2 จะมีค่าดังสมการที่ (3.3-2)

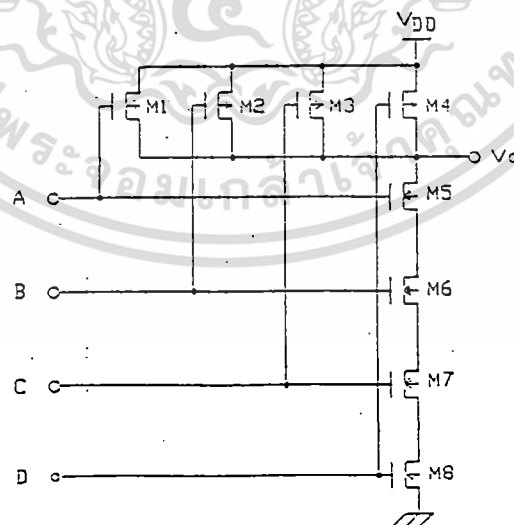
$$R2 = \{(\rho_1 + \rho_2)[L/W]\} / 4 \quad (3.3-2)$$

ในทำนองเดียวกับการวิเคราะห์ R1 เมื่อแทนค่าต่าง ๆ ลงในสมการแล้วพบว่าค่า R2 มีค่าดังนี้

$$R2 = 17.8 \text{ กิโลโอห์ม}$$

จากค่าของ R1 และ R2 จะพบว่าในการเปลี่ยนแปลงสถานะของวงจรถูกสถานะสูงไปสู่สถานะต่ำจะใช้เวลาน้อยกว่าการเปลี่ยนสถานะต่ำไปสู่สถานะสูง

3.3.1.2 วงจร NAND เกณฑ์แบบ 4-input

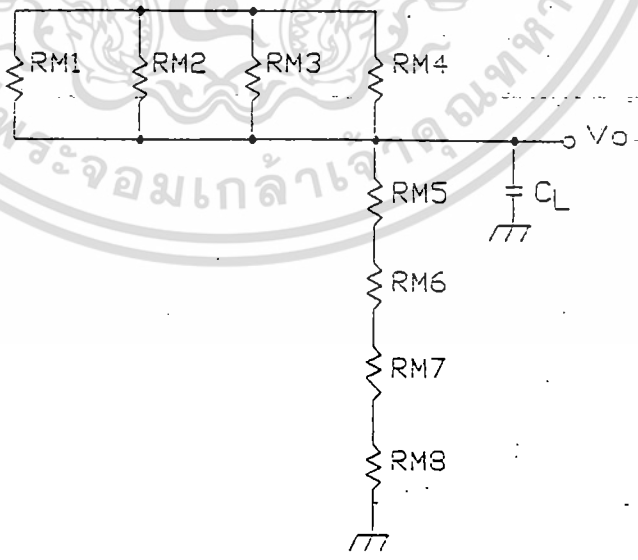


รูปที่ 3.3-4 แสดงวงจร 4 input NAND GATE โครงสร้างทรานซิสเตอร์แบบ CMOS

วงจรถ่าย NAND GATE เป็นวงจรถ่ายทางตรรกีกึ่งชนิดหนึ่งที่มีใช้ในการออกแบบวงจรรวมขนาดใหญ่ ดังนั้นวงจรถ่าย 4 input NAND GATE จึงเป็นอีกตัวอย่างวงจรถ่ายทางตรรกีกึ่งชนิดหนึ่ง ที่น่าจะเป็นวงจรถ่ายมาตรฐานของการออกแบบวงจรถ่ายพื้นฐานส่วนประกอบของเกตอะเรย์ เพื่อสะดวกแก่ผู้ใช้งานในการออกแบบวงจรรวมขนาดใหญ่โดยใช้เกตอะเรย์

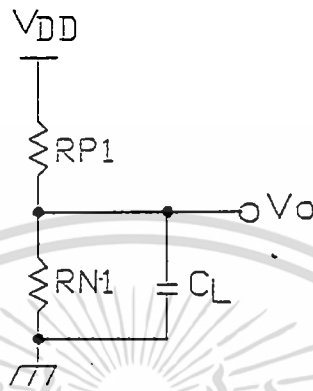
วงจรถ่าย 4 input NAND GATE ที่ออกแบบด้วยทรานซิสเตอร์โครงสร้างแบบ CMOIS จะเป็นไปตามรูปที่ 3.3-4 ซึ่งประกอบด้วยทรานซิสเตอร์ 8 ตัวคือ M1 ถึง M8 โดย M1 ถึง M4 เป็นทรานซิสเตอร์แบบ PMOIS ต่อขนานกัน และ M5 ถึง M8 เป็นทรานซิสเตอร์แบบ NMOIS ต่อแบบอนุกรมกัน ซึ่งจากลักษณะวงจรถ่ายดังกล่าวจะพบว่า มีลักษณะคล้ายคลึงกับวงจรรวม 4 input NOR GATE ที่ได้อธิบายไปแล้ว แตกต่างกันที่ลักษณะการต่ออนุกรม และขนาดของทรานซิสเตอร์เท่านั้นที่เป็นไปในทางตรงกันข้าม ดังนั้นแนวการวิเคราะห์ห้วงจรจึงมีลักษณะใกล้เคียงกัน กล่าวคือขณะที่แรงดันที่ปรากฏแก่สัญญาณขาเข้า A , B , C และ D ของวงจรมีค่าแรงดันมากกว่า V_T ของทรานซิสเตอร์ชนิด NMOIS ตัวที่ M5 ถึง M8 แล้ว ทรานซิสเตอร์ M5 ถึง M8 จะนำกระแส ทำให้ค่าแรงดันขาออก V_o ของวงจรมีค่าเท่ากับค่าแรงดันอ้างอิง GND และในกรณีอื่น ๆ คือ ถ้าค่าแรงดันขาเข้าขั้วใดขั้วหนึ่งของวงจรมีค่าต่ำกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOIS แล้ว ค่าแรงดันขาออกของวงจรมีค่าเป็นโวลต์เต็ม V_{DD} ทุกกรณี

ขณะที่วงจรถ่ายกำลังเปลี่ยนสถานะจากสถานะสูง ไปสู่สถานะต่ำ หรือจากสถานะต่ำ ไปสู่สถานะสูง ค่าแรงดันขาออกของวงจรมีค่าจะเกิดเวลาหน่วงขึ้น (delay time) ค่าเวลาดังกล่าวนี้นี้ จะทำการพิจารณาเฉพาะกรณีที่แรงดันขาเข้าทุกจุดของวงจรมีค่า ๆ เดียวกัน (เชื่อมขาแรงดันทั้ง 4 เข้าด้วยกัน) ดังนั้นวงจรถ่ายสมมุติที่ใช้ในการพิจารณาดังแนวทางที่นำเสนอในภาคผนวก ก จะเป็นไปตามรูปที่ 3.3-5 ซึ่งจะประกอบด้วยค่าความต้านทานที่เป็นตัวแทนของทรานซิสเตอร์ M1 ถึง M8 และค่าความจุไฟฟ้าที่ปรากฏที่จุดแรงดันขาออกของวงจรถ่าย



รูปที่ 3.3-5 แสดงวงจรถ่ายสมมุติเพื่อวิเคราะห์ค่าเวลาหน่วง

ในการทำงานเดียวกันกับวงจร 4 input NOR GATE วงจรสมมูลย์ 4 input NAND GATE สามารถที่จะยุบวงจรลงเพื่อความสะดวกในการคำนวณเหลือเพียงความต้านทาน 2 ตัว และค่าความจุไฟฟ้าอีก 1 ตัว ดังรูปที่ 3.3-6 โดยที่ค่าความต้านทาน RP1 จะแทนค่าความต้านทาน RN1 ถึง RN4 โดยรวมค่า R ทั้ง 4 ตัวที่เกิดจาก PMOIS แบบขนานกัน และค่าความต้านทาน RN2 จะแทนค่าความต้านทาน RM5 ถึง RM6 โดยรวมค่า R ทั้ง 4 ตัวที่เกิดจาก NMOIS ทั้ง 4 ตัวแบบอนุกรมกัน



รูปที่ 3.3-6 แสดงวงจรสมมูลย์อย่างง่ายของวงจร 4 input NAND GATE เพื่อวิเคราะห์ค่าเวลาหน่วง ดังนั้นค่า RP1 และ RN2 จะมีค่าดังสมการที่ (3.3-3) และ (3.3-4) ตามลำดับ

$$RP1 = \{(\rho_1 + \rho_2) [L_p / W_p]\} / 4 \quad (3.3-3)$$

$$RN2 = (\rho_1 + \rho_2) [L_n / W_n] 4 \quad (3.3-4)$$

โดยที่ ρ_1 และ ρ_2 มีค่าเป็นไปตามสมการที่ (ก-15) และสมการที่ (ก-18) ในภาคผนวก ก และเมื่อแทนค่าตัวแปรต่าง ๆ ลงในสมการแล้วจะพบว่า

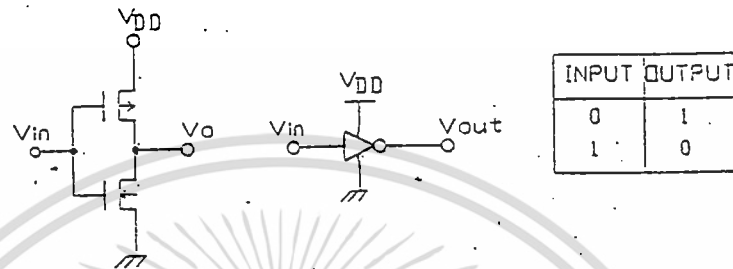
$$RP1 = 2 \text{ กิโลโห์ม}$$

$$RN2 = 0.3 \text{ เมกกะโห์ม}$$

ดังนั้นจากข้อมูลพื้นฐานค่าความต้านทาน RP1 และ RN2 ข้างต้นจะพบว่าวงจร 4 input NAND GATE ที่สร้างด้วยโครงสร้างทรานซิสเตอร์แบบ CMOS ซึ่งเป็นวงจรพื้นฐานของการออกแบบเกตอะเรย์ จะมีการตอบสนองต่อสัญญาณขาเข้าและขาออกไม่เท่ากัน โดยที่ค่าเวลาเปลี่ยนสถานะต่ำ ไปสภาวะสูงจะมีค่าน้อยกว่าค่าเวลาในการเปลี่ยนสถานะจากสภาวะสูง ไปสภาวะต่ำ

3.3.1.3 วงจร INVERTER

วงจรมีพื้นฐานทางตรรกที่นิยมใช้มากที่สุดในการประกอบวงจรรวมขนาดใหญ่ คือ วงจรอินเวอร์เตอร์ โดยวงจรดังกล่าวนี้ ทำหน้าที่กลับเฟสสัญญาณขาเข้า แล้วจ่ายออกทางขั้วแรงดันขาออกของวงจร วงจรอินเวอร์เตอร์ที่ถูกใช้งานทางตรรก จะเป็นวงจรลักษณะเดียวกันกับวงจรอินเวอร์เตอร์ที่ได้อธิบายไว้แล้ว ในหัวข้อวงจรกลับเฟสสัญญาณในรูปแบบต่าง ๆ โดยส่วนประกอบของวงจรจะเป็นไปดังรูปที่ 3.3-7



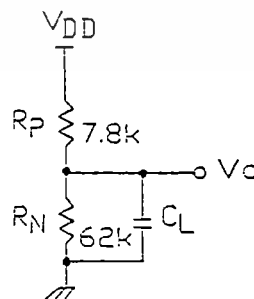
รูปที่ 3.3-7 แสดงวงจรอินเวอร์เตอร์ ลักษณะทางตรรก และตารางความจริงของวงจร

หลักการออกแบบวงจรอินเวอร์เตอร์เพื่อทำงานเพียงขั้วสถานะทางตรรกในวิชานี้ จะทำการออกแบบทรานซิสเตอร์แต่ละตัวในวงจรให้มีขนาดเล็กที่สุดเท่าที่เทคโนโลยีจะอำนวยให้ ซึ่งขนาดที่เหมาะสมกับเทคโนโลยีที่ใช้ในการสร้างวงจรรวมในวิชานี้ สามารถสร้างความยาวของช่องทางเดินกระแสได้ต่ำที่สุด 20 ไมโครเมตร และความกว้างช่องทางเดินกระแสต่ำที่สุด 60 ไมโครเมตร โดยมีค่าความหนาของชั้นออกไซด์ของช่องทางเดินกระแสเท่ากับ 700 อังสตรอม ดังนั้นสามารถหาค่าความต้านทานของทรานซิสเตอร์แต่ละชนิดที่ประกอบเป็นวงจรอินเวอร์เตอร์ได้ดังสมการที่ (A-1) และ (3.3-6)

$$\text{ค่าความต้านทานของ NMOS} = (\rho_1 + \rho_2)(L_n / W_n) = 62 \text{ กิโลโอห์ม} \quad (3.3-5)$$

$$\text{ค่าความต้านทานของ PMOS} = (\rho_1 + \rho_2)(L_p / W_p) = 7.8 \text{ กิโลโอห์ม} \quad (3.3-6)$$

ดังนั้นในการวิเคราะห์วงจรเพื่อหาค่าเวลาหน่วงของวงจรสามารถใช้วงจรเสมือนดังรูปที่ 3.3-8



รูปที่ 3.3-8 แสดงวงจรเสมือนเพื่อคำนวณค่าเวลาหน่วง

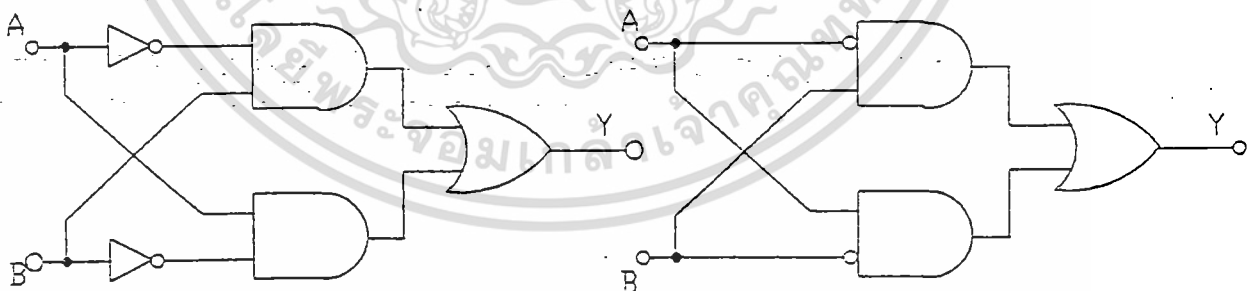
จากวงจรในรูปที่ 3.3-8 จะพบว่าค่าความต้านทานของทรานซิสเตอร์ชนิดพี (R_p) มีค่าต่ำกว่าค่าความต้านทานของทรานซิสเตอร์ชนิดเอ็น โดยที่ค่าความต้านทานทั้งสองต่ออยู่กับค่าความจุไฟฟ้าของโหลดของวงจรค่าเดียวกัน ดังนั้นสามารถสรุปได้ว่าวงจรอินเวอร์เตอร์ที่ใช้งานทางตรรก ในส่วนนี้จะมีค่าเวลาการเปลี่ยนแปลงสัญญาณจากสัญญาณต่ำ ไปสัญญาณสูง ต่ำกว่าการเปลี่ยนแปลงระดับสัญญาณสูง ไปสู่ระดับสัญญาณต่ำ และในทำนองเดียวกันขณะวงจรทำงานค่ากระแสที่ไหลออกจากวงจรในขณะที่วงจรมองอยู่ในสถานะสูง จะมีค่าสูงกว่ากระแสที่ไหลเข้าวงจรในขณะที่วงจรมองอยู่ในสถานะต่ำ

3.3.1.5 วงจร Exclusive OR Gate

วงจรรออร์เกตใช้ในการจำกลุ่มสัญญาณขาเข้าที่มีค่าสัญญาณเป็นลอจิก "1" อย่างน้อยหนึ่งค่าในกลุ่มสัญญาณเข้านั้น ๆ แต่สำหรับวงจรเอ็กซ์คลูซีฟออร์เกตจะแตกต่างไป คือถ้ากลุ่มสัญญาณขาเข้าเป็นสภาวะลอจิก "1" ซึ่งมีจำนวนเป็นเลขคี่จะได้สัญญาณขาออกเอาท์พุทเป็นสภาวะลอจิก "1" (หมายความว่าถ้าสัญญาณขาเข้าเป็น 4 บิต ถ้ามีสภาวะลอจิก "1" เป็น 1 บิต หรือ 3 บิต จะได้สัญญาณขาออกเป็นลอจิก "1" นั่นเอง) นอกเหนือจากสภาวะที่กล่าวข้างต้นนี้ จะได้สัญญาณขาออกเป็นสภาวะลอจิก "0"

ในที่นี้จะขอลำดับถึงวงจรเอ็กซ์คลูซีฟออร์เกตชนิดมีสัญญาณเข้า 2 สัญญาณ จากรูปที่ 3.3-9 เป็นวงจรเอ็กซ์คลูซีฟออร์เกตในลักษณะของลอจิกเกต จากรูป 3.3-9(ก) จะเห็นว่าแอนด์เกตตัวบนให้สัญญาณขาออกเป็น NOT A and B ขณะที่แอนด์เกตตัวล่างให้สัญญาณขาออกเป็น A and NOT B และสัญญาณทั้งสองจะผ่านออร์เกต เอาท์พุทที่ได้ของวงจรในรูปสมการบูลีนคือ

$$Y = \bar{A}B + A\bar{B} \quad (3.3-7)$$



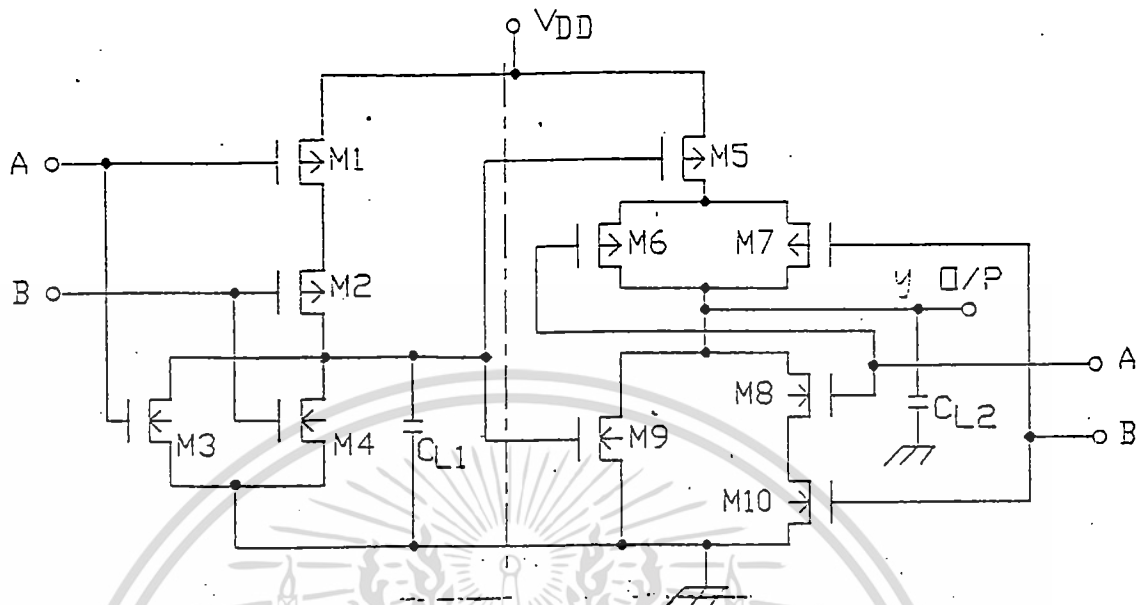
(ก) วงจรตรรก

(ข) รูปวงจรรย่อ

รูปที่ 3.3-9 แสดงลอจิกของวงจรเอ็กซ์คลูซีฟออร์เกต

มีจาวจรเอ็กซ์คลูซีฟออร์เกตในลักษณะของ MOISFET ที่นำเสนอในวิทยานิพนธ์ฉบับนี้ แสดงดังรูป 3.3-10 จากวงจรสภาวะทางลอจิกที่ใช้งานสามารถพิจารณาได้ 4 สถานะ อย่างง่าย ๆ คือ

1. ขณะที่อินพุต A และ B เป็นสถานะลอจิก "0" ทั้งคู่ ทำให้ PMOS M1 และ M2 นำกระแส สัญญาณที่เข้าอินพุตของ NMOS M9 เป็นสถานะลอจิก "1" ทำให้ NMOS M9 นำกระแส ดังนั้นสัญญาณเอาต์พุตที่ Y ปรากฏเป็นสถานะลอจิก "0"



รูปที่ 3.3-10 แสดงวงจร CMOS EXCLUSIVE OR GATE

2. ขณะที่อินพุต A=1 และ B=0 จะเห็นว่าเมื่อ A=1 ทำให้ NMOS M3 นำกระแสเป็นสัญญาณอินพุตยัง PMOS M5 ทำให้ M5 นำกระแส ซึ่งขณะที่ B=0 ได้ PMOS M7 นำกระแส จากการที่ M5 และ M7 นำกระแส นั้นจะได้สัญญาณเอาต์พุต Y เป็นสถานะลอจิก "1"

3. ขณะที่อินพุต A=0 และ B=1 เมื่อ A=0 ทำให้ PMOS M6 นำกระแส ซึ่ง B=1 นั้นจะได้ NMOS M4 นำกระแส ทำให้มีสัญญาณอินพุตเป็นสถานะลอจิก "1" ไปยัง PMOS M5 ทำให้ M5 นำกระแส เมื่อ M5 และ M6 นำกระแสจะได้สัญญาณเอาต์พุต Y=1

4. เมื่ออินพุต A และ B เป็นสถานะลอจิก "1" ทั้งคู่ทำให้ NMOS M8 และ M10 นำกระแส ทำให้ได้สัญญาณเอาต์พุต Y=0 นั่นเอง

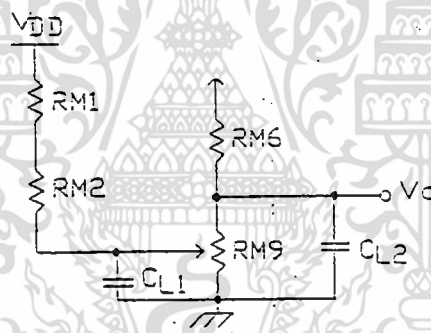
จากการทำงานข้างต้นสามารถเขียนตารางความจริงของวงจรถูกซ์คลูซิฟออร์เกต ที่มีอินพุต 2 อินพุตได้ดังนี้

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

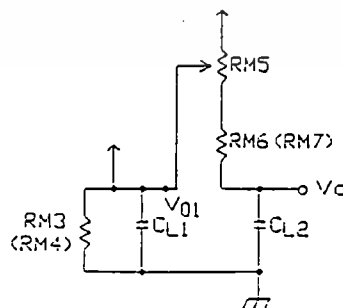
รูปที่ 3.3-11 แสดงตารางความจริงของ XOR 2 อินพุต

เมื่อพิจารณาตารางความจริงของวงจรถูก XOR เกิดแล้ว จะพบว่าแรงดันขาออกของวงจรถูกจะเกิดการเปลี่ยนแปลงสถานะ เมื่อแรงดันขาเข้าที่ปรากฏแก่วงจรมีการเปลี่ยนแปลงจากจำนวนแรงดันที่เหมือนกันจากจำนวนคู่ เป็นจำนวนคี่หรือเกิดการเปลี่ยนแปลงในทางตรงกันข้าม และเมื่อพิจารณาวงจรถูกแล้วจะพบว่าจุดแรงดันขาเข้าทั้งสอง ต่ออยู่กับทรานซิสเตอร์ในวงจรถูกในอัตราที่เท่า ๆ กัน ส่วนทรานซิสเตอร์ M5 และ M9 จะมีแรงดันขาเข้าที่ส่งจากจุดแรงดันขาออกของวงจรถูกเกิดขึ้นในส่วนแรกของวงจรถูก ดังนั้นเมื่อทำการนิยามค่าเวลาหน่วงของวงจรถูกจะทำการนิยามโดย กรณีที่หนึ่งจะเกิดขึ้นเมื่อแรงดันขาออกของวงจรถูกเปลี่ยนจากสถานะต่ำ ไปเป็นสถานะสูง โดยที่เดิมค่าแรงดันขาเข้าของวงจรถูกเป็นแรงดันเดียวกัน (สูงหรือต่ำทั้งคู่) แล้วแรงดันขาเข้าแรงดันใดแรงดันหนึ่งเกิดการเปลี่ยนแปลง และกรณีที่สองจะเกิดขึ้นเมื่อแรงดันขาออกของวงจรถูกเปลี่ยนจากสถานะสูง ไปเป็นสถานะต่ำ โดยที่เดิมค่าแรงดันขาเข้าทั้งสองของวงจรถูกแตกต่างกัน แล้วแรงดันใดแรงดันหนึ่งเกิดการเปลี่ยนแปลง เป็นแรงดันเดียวกันกับแรงดันที่เหลือ

นิยามกรณีหนึ่ง เดิมแรงดันขาออกเป็นแรงดันสถานะต่ำ นิยามกรณีที่หนึ่งแรงดันขาเข้า เริ่มต้นเป็นสถานะต่ำทั้งคู่ และเมื่อแรงดัน A หรือแรงดัน B เปลี่ยนแปลงเป็นสถานะสูง สามารถเขียนวงจรถูกสมมุติเพื่อการพิจารณาได้ดังรูปที่ 3.3-12



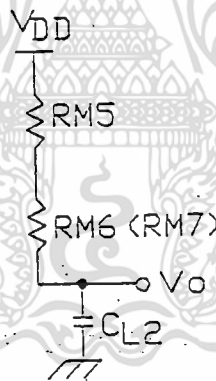
รูปที่ 3.3-12 แสดงวงจรถูกสมมุติที่พิจารณาค่าเวลาหน่วงเมื่อแรงดันขาเข้า A และ B เป็นสถานะต่ำทั้งคู่ จากวงจรถูกในรูปที่ 3.3-12 จะพบว่าตัวเก็บประจุ C_{L1} จะมีประจุอยู่เต็มในขณะที่ตัวเก็บประจุ C_{L2} ถูกเชื่อมต่อดึงสู่แรงดันอ้างอิงผ่าน $RM9$ ดังนั้นเมื่อแรงดันขาเข้าจุดใดจุดหนึ่งเกิดการเปลี่ยนแปลงจากแรงดันสถานะต่ำ ไปเป็นแรงดันสถานะสูง จะทำให้วงจรถูกสมมุติเปลี่ยนแปลงไปดังรูปที่ 3.3-13



รูปที่ 3.3-13 แสดงวงจรถูกสมมุติขณะที่แรงดัน A หรือ B เกิดการเปลี่ยนแปลง

จากรูปที่ 3.3-13 จะพบว่าตัวเก็บประจุ C_{L1} จะคายประจุผ่าน $RM3$ (หรือ $RM4$ ตัวใดตัวหนึ่ง) จนแรงดันที่ตกคร่อมลดลงถึงจุดที่แรงดันตกคร่อม $V_{O1} - V_{DD}$ สูงกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ $M5$ ส่งผลให้ $M5$ ทำงาน เมื่อ $M5$ ทำงานแล้วค่าแรงดันต่ำที่แรงดันขาเข้า A (หรือ B) จะเทียบระดับแรงดันจนแรงดันตกคร่อมเกทของทรานซิสเตอร์ $M6$ (หรือ $M7$) มีค่าสูงกว่าค่าแรงดันขีดเริ่ม วงจรจึงจะเริ่มประจุค่าตัวเก็บประจุ C_{L2} ทำให้แรงดันขาออกของวงจรเกิดการเปลี่ยนแปลง ดังนั้นค่าเวลาดำเนินการของวงจรในการเปลี่ยนแปลงจากสถานะต่ำไปเป็นสถานะสูง ในกรณีนี้ จะเกิดจากการรวมเวลาของการคายประจุ C_{L1} และการคายประจุ C_{L2} เข้าด้วยกัน

ในสถานะที่แรงดันขาเข้าเริ่มต้นของวงจรเป็นสถานะสูงทั้งคู่ แล้วแรงดันขาเข้าจุดใดจุดหนึ่งเกิดการเปลี่ยนแปลงไป เมื่อพิจารณาจากวงจรแล้วจะพบว่าเมื่อแรงดันขาเข้าของวงจรเป็นสถานะสูงทั้งคู่ ตัวเก็บประจุ C_{L1} จะเชื่อมต่อลงสู่จุดแรงดันอ้างอิงผ่าน $RM3$ และ $RM4$ และตัวเก็บประจุ C_{L2} จะเชื่อมต่อลงจุดแรงดันอ้างอิงโดย $M8$ และ $M10$ ดังนั้นเมื่อแรงดันจุดใดจุดหนึ่งของแรงดันขาเข้าของวงจรเปลี่ยนเป็นสถานะต่ำ ค่าแรงดันขาออก V_{O1} ก็จะไม่ส่งผลต่อวงจรเลยเนื่องจากแรงดัน V_{O1} จะไม่เกิดการเปลี่ยนแปลง ค่าเวลาที่ใช้ในการเปลี่ยนสถานะจะเกิดจากตัวเก็บประจุ C_{L2} เพียงตัวเดียว โดยกระแสจะไหลจากแรงดันไม่เลี้ยงผ่าน $M5$ และ $M6$ (หรือ $M7$ ตัวใดตัวหนึ่ง) เมื่อประจุในตัวเก็บประจุ C_{L2} ดังนั้นวงจรสมมุติในการพิจารณาจะเป็นดังรูปที่ 3.3-14



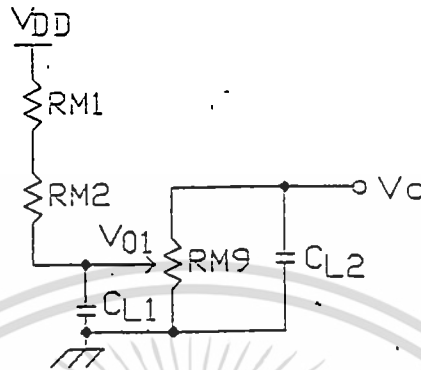
รูปที่ 3.3-14 แสดงวงจรสมมุติเพื่อพิจารณาเวลาดำเนินการของวงจรเมื่อแรงดันขาออกเปลี่ยนแปลงจากสถานะต่ำเป็นสถานะสูง ในกรณีที่แรงดันขาเข้าเริ่มต้นเป็นสถานะสูงทั้งคู่

เมื่อทำการคำนวณค่าความต้านทานตามแนวทางการวิเคราะห์วงจรที่นำเสนอในภาคผนวก ก. แล้วจะพบว่า การเปลี่ยนแปลงสถานะต่ำไปเป็นสถานะสูง ในกรณีที่แรงดันขาเข้าเริ่มต้นเป็นสถานะต่ำทั้งคู่ จะใช้เวลามากกว่าในกรณีที่แรงดันขาเข้าเป็นสถานะสูงทั้งคู่

พิจารณากรณีที่สอง ค่าแรงดันขาออกของวงจรเปลี่ยนแปลงจากสถานะสูงไปเป็นสถานะต่ำ เมื่อแรงดันขาเข้าของวงจรจุดใดจุดหนึ่งเป็นสถานะสูง ส่งผลให้ค่าแรงดันขาออก V_{O1} เป็นสถานะต่ำ ตัวเก็บประจุ C_{L1} จึงไม่มีประจุอยู่ ส่งผลให้ $M5$ เกิดการทำงานขึ้น และตัวเก็บประจุ C_{L2} จะมีประจุอยู่

เต็มเนื่องจากถูกประจุไว้ด้วยทรานซิสเตอร์ M5 ร่วมกับทรานซิสเตอร์ M6 หรือ M7 ตัวใดตัวหนึ่ง

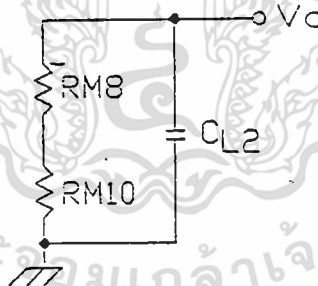
กรณีที่แรงดันขาเข้าทั้งสองเปลี่ยนเป็น 0 ทั้งคู่ จะทำให้ C_{L1} ถูกประจุจนเต็ม และทรานซิสเตอร์ M9 เกิดการทำงานเนื่องจากแรงดัน V_{o1} ส่งผลให้ตัวเก็บประจุ C_{L2} คายประจุผ่านทรานซิสเตอร์ M9 ลงสู่แรงดันอ้างอิง ดังนั้นวงจรสมมูลย์ในกรณีนี้จะเป็นอย่างรูปที่ 3.3-15



รูปที่ 3.3-15 แสดงวงจรสมมูลย์เมื่อแรงดันขาเข้าของวงจรเปลี่ยนแปลงจากแรงดันที่แตกต่างกันเป็นแรงดันสถานะต่ำทั้งคู่

ดังนั้นค่าเวลาหน่วงที่เกิดขึ้นจะเนื่องจากการประจุ C_{L1} โดย RM1 และ RM2 จนกระทั่ง C_{L1} เต็มแล้วส่งผลให้ RM9 ทำงานเอาประจุจาก C_{L2} ลงสู่ระดับแรงดันอ้างอิง

ถ้าแรงดันทั้งสองเปลี่ยนเป็นแรงดันสถานะสูงทั้งคู่ ค่าแรงดัน V_{o1} ของวงจรจะไม่เกิดการเปลี่ยนแปลง กล่าวคือ C_{L1} ไม่ส่งผลต่อเวลาหน่วงของวงจร ส่วน C_{L2} จะต้องคายประจุผ่าน M8 และ M10 ลงสู่ระดับแรงดันอ้างอิงดังรูปที่ 3.3-16



รูปที่ 3.3-16 แสดงวงจรสมมูลย์เมื่อแรงดันขาเข้าทั้งสองของวงจรเปลี่ยนแปลงจากแรงดันที่แตกต่างเป็นแรงดันสถานะสูงทั้งคู่

ดังนั้นค่าเวลาหน่วงที่เกิดขึ้นจะเกิดเนื่องจากตัวเก็บประจุ C_{L2} คายประจุผ่าน RM8 และ RM10 จนหมด โดยที่ C_{L1} ไม่ส่งผลต่อการเปลี่ยนแปลงเวลาในช่วงนี้เลย

เมื่อทำการเปรียบเทียบเวลาที่เร็วที่สุดของการเปลี่ยนสถานะของวงจร (คือกรณีในรูปที่ 3.3-16 เทียบกับรูปที่ 3.3-14) จะพบว่าวงจร XOR ที่สร้างด้วยทรานซิสเตอร์โครงสร้างแบบ CMOS จะเปลี่ยนสถานะ จากสถานะต่ำไปเป็นสถานะสูงได้เร็วกว่าการเปลี่ยนสถานะจากสถานะสูงไปเป็นสถานะต่ำ

3.3.2 การออกแบบวงจรทางตรรกะที่ควบคุมด้วยสัญญาณนาฬิกา

3.3.2.1 วงจร D-FLIP/FLOP

ลักษณะของ D ฟลิปฟลอปแสดงดังรูป 3.3-17 โดยการทำงานของฟลิปฟลอปเป็นดังนี้คือ ข้อมูลสัญญาณเข้าที่ D มีค่าเป็นลอจิก "0" หรือลอจิก "1" สัญญาณออกของวงจรที่ Q จะเหมือนกันกับสัญญาณเข้าที่ D คือเป็นลอจิก "0" และลอจิก "1" ตามลำดับ เมื่อนำเอาสัญญาณนาฬิกาเข้ามาควบคุมการทำงานด้วย เมื่อสัญญาณนาฬิกาเป็นสถานะลอจิก "0" วงจรจะไม่ยอมให้สัญญาณ D ผ่านไปได้ ซึ่งทำให้ฟลิปฟลอปไม่เปลี่ยนสถานะตามสัญญาณ D หรือกล่าวอีกนัยหนึ่งคือเมื่อสัญญาณนาฬิกา มีค่าลอจิก "0" ฟลิปฟลอปจะแลตซ์ไว้สถานะสุดท้าย คือก่อนที่สัญญาณนาฬิกาจะมีค่าลอจิก "0" สัญญาณที่ Q จะมีค่าตามสัญญาณ D จนกระทั่งสัญญาณนาฬิกาเป็นลอจิก "0" สัญญาณ Q ก็ยังคงอยู่ในสถานะสุดท้ายไปตลอด

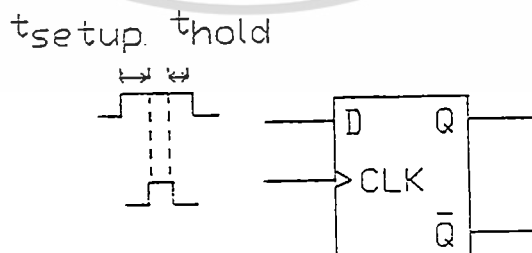
เมื่อสัญญาณนาฬิกาที่มีค่าลอจิก "1" สถานะสัญญาณที่ Q จะขึ้นอยู่กับสัญญาณ D คือถ้าสัญญาณ D มีค่าสูงก็จะทำให้สัญญาณที่ Q มีค่าสูงด้วย และถ้าสัญญาณ D มีค่าต่ำก็จะทำให้สัญญาณ Q มีค่าต่ำด้วย



รูปที่ 3.3-17 แสดงสัญญาณของฟลิปฟลอปแบบ D ชนิดกระตุ้นด้วยขอบสัญญาณนาฬิกา

ในการที่จะให้สัญญาณผ่านเข้าฟลิปฟลอปโดยการกระตุ้นด้วยสัญญาณนาฬิกานั้น จะต้องคำนึงถึงเวลาอีก 2 อย่างคือ เวลาเริ่มเข้าสถานะ (setup time) ซึ่งหมายถึงเวลาของการเปลี่ยนสถานะสัญญาณเข้า D ในฟลิปฟลอปแบบ D ที่จะต้องมีการเปลี่ยนสถานะ ก่อนที่สัญญาณนาฬิกาที่กระตุ้นจะมาถึงวงจร อย่างน้อยที่สุดช่วงเวลานี้ ใช้ตัวย่อว่า t_{setup}

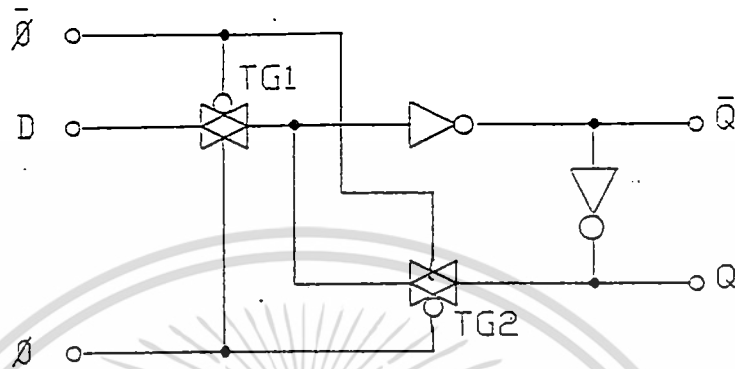
เมื่อสัญญาณนาฬิกาที่กระตุ้นได้ส่งผ่านเข้าวงจร ทำให้วงจรเปิดผ่านให้สัญญาณเข้า D ผ่านฟลิปฟลอปนั้น สัญญาณเข้า D ยังต้องการเวลาที่จะอยู่ในสถานะเดิมนั้น อย่างน้อยช่วงเวลานี้ เรียกว่า เวลาคงสถานะ (hold time) ใช้ตัวย่อว่า t_{hold} ซึ่งค่าเวลานี้ทำให้มั่นใจได้ว่าสัญญาณ



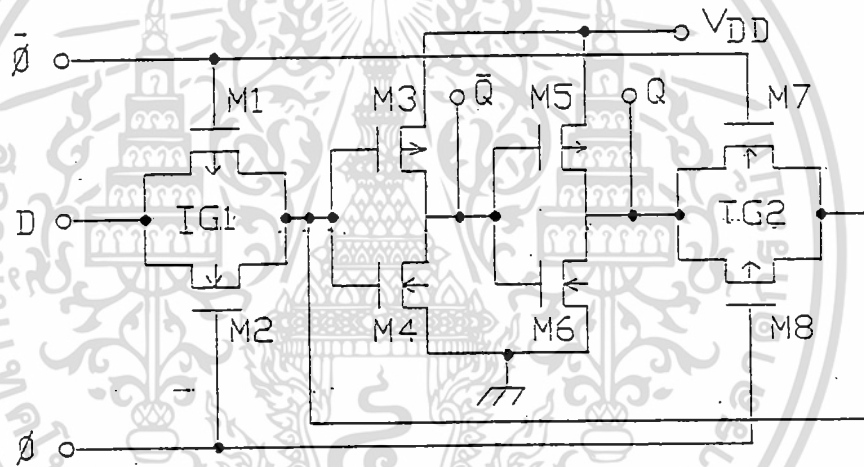
รูปที่ 3.3-18 แสดงลักษณะของช่วงเวลา t_{setup} และ t_{hold}

เข้า D ที่ผ่านเข้าฟลิปฟล็อปนั้นเป็นสัญญาณในสถานะที่ถูกต่องตามต้องการ ทั้งช่วงเวลา t_{setup} และ t_{hold} แสดงให้เห็นในรูปที่ 3.3-18

วงจร D ฟลิปฟล็อปโครงสร้าง CMOIS ที่ใช้ในการออกแบบที่มีพื้นฐานบน transmission gates สามารถแสดงแผนภาพลอจิกดังรูปที่ 3.3-19(ก) และแสดงแผนภาพของวงจรดังรูป 3.3-19 (ข) จากวงจร transmission gates ทั้งสองตัวใช้ในการส่งผ่านลอจิก



(ก) แสดงแผนภาพทางลอจิก



(ข) แสดงแผนภาพของวงจร

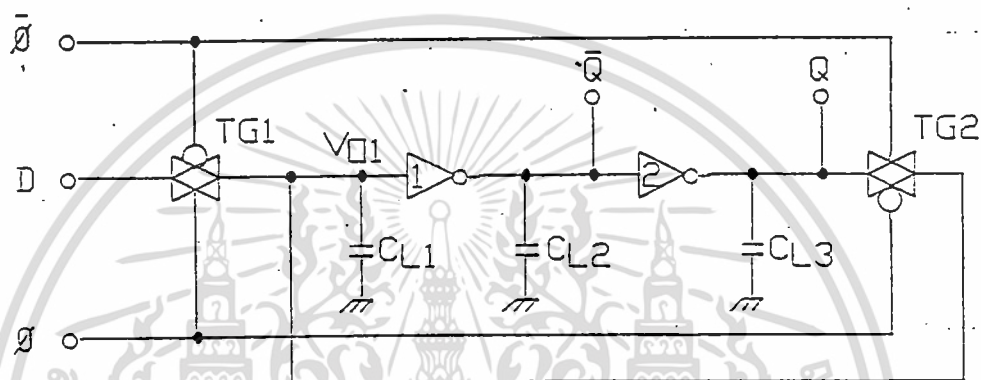
รูปที่ 3.3-19 แสดง CMOIS transmission gate D-ฟลิปฟล็อป

เมื่อ $CLK=1$, TG1 ทำงานขณะที่ TG2 หยุดทำงาน ทำให้ข้อมูลจากสัญญาณเข้า D ผ่านเข้าในฟลิปฟล็อปได้ $Q=D$ และเมื่อ $CLK=0$, TG1 หยุดทำงานขณะที่ TG2 ทำงาน ซึ่ง TG2 ใช้เป็นส่วนบ่อนกลับระหว่างอินเวอร์เตอร์ทั้งสอง เพื่อให้สัญญาณขาออก Q ยังคงสภาวะเดิมไว้ ซึ่งถือว่าสภาวะของฟลิปฟล็อปจะถูกสร้างเมื่อ $CLK=1$ ในวิทยานิพนธ์ฉบับนี้ใช้การออกแบบทรานซิสเตอร์ในวงจรในลักษณะไม่สมมาตร คือให้ความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์ชนิดพีเท่ากับชนิดเอ็น ($W_p = W_n$) และให้ความยาวของช่องทางเดินกระแส (L) มีค่าน้อยที่สุดทั้งทรานซิสเตอร์ชนิดพีและชนิดเอ็น

จากวงจรในรูปที่ 3.3-19 พิจารณาได้ว่าเมื่อแรงดันที่ CLK เป็นสภาวะลอจิก "1" มีค่าสูงกว่าค่าแรงดันขีดเริ่ม V_{Tn} ของ M2 ทำให้สัญญาณที่ D ผ่าน M2 ไปยังขาเกตของ M3 และ M4 ในขณะที่

กันเมื่อแรงดันที่ NOT CLK มีค่าต่ำลงเพื่อเข้าสู่สภาวะลอจิก "0" จนเกินค่าแรงดันขีดเริ่ม V_{TP} ของ M1 ทำให้สัญญาณจาก D สามารถผ่าน M1 ได้อีกทางหนึ่ง. ไม่ว่าสัญญาณที่อินพุต D จะเป็นสภาวะลอจิก "0" หรือ "1" เมื่อมีสัญญาณมาปรากฏที่วงจรรีจิสเตอร์ชุดแรก เอาท์พุท NOT Q ที่ได้จะเป็นสภาวะลอจิกที่ตรงกันข้ามกับสัญญาณขาเข้าของอินเวอร์เตอร์ชุดนี้ และเมื่อมีสัญญาณมาปรากฏที่ NOT Q ก็จะเป็นอินพุตให้แก่อินเวอร์เตอร์ชุดที่สอง ซึ่งจะได้สัญญาณของเอาท์พุท Q นั้นเอง และในขณะที่สัญญาณ CLK ตกลงเป็นลอจิก "0" ทำให้วงจรรีจิสเตอร์ชุดที่สอง TG2 นำกระแสส่งสัญญาณป้อนกลับไปยังอินพุตของวงจรรีจิสเตอร์ชุดแรก เพื่อรักษาสภาวะของลอจิกที่ NOT Q และ Q ให้คงเดิม

ค่าเวลาหน่วงของวงจรสามารถอธิบายได้โดยใช้วงจรในรูปที่ 3.3-20



รูปที่ 3.3-20 แสดงวงจรที่ใช้ในการวิเคราะห์ลักษณะทางไฟฟ้าของ D-ฟลิปฟลอป

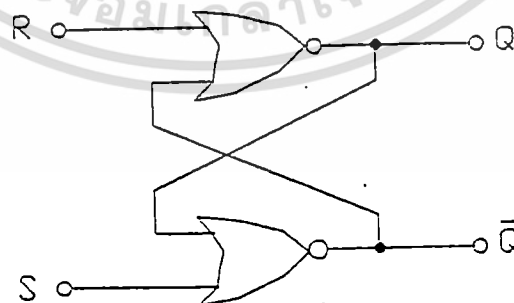
พิจารณาเมื่อ $CLK=1$ จะทำให้ TG1 ทำงาน ส่วน TG2 จะหยุดทำงาน TG1 จะส่งค่าระดับสัญญาณ D ที่แรงดันขาเข้า ป้อนแก่วงจรรีจิสเตอร์วงจรรีจิสเตอร์ที่ 1 ค่าเวลาหน่วงของวงจรช่วงนี้มีค่า $T1$ พิจารณาได้เช่นเดียวกับการพิจารณาค่าเวลาหน่วงของวงจรรีจิสเตอร์แบบแรงดันขาเข้าทางเดียว โดยตัวเก็บประจุไฟฟ้าที่ต่อกับจุดแรงดันขาออกของวงจร TG1 คือค่าความจุไฟฟ้าขาเข้าของวงจรรีจิสเตอร์ชุดที่ 1 ซึ่งมีค่า C_{L1} ดังรูปที่ 3.3-20 ค่าแรงดันขาออกจาก TG1 ดังกล่าวจะเป็นค่าแรงดันขาเข้าของวงจรรีจิสเตอร์ชุดที่ 1 ทำให้วงจรรีจิสเตอร์นี้กลับเฟสกับสัญญาณขาเข้าที่ชั่วขณะขาออกของ TG1 ซึ่งสัญญาณขาออกของวงจรรีจิสเตอร์ชุดที่ 1 ก็จะเกิดค่าเวลาหน่วงเช่นเดียวกัน โดยตัวเก็บประจุไฟฟ้าที่ทำให้เกิดช่วงเวลาคือ $T2$ คือตัวเก็บประจุไฟฟ้า C_{L2} ในรูปวงจร ซึ่งเกิดจากค่าความจุไฟฟ้าขาเข้าของวงจรรีจิสเตอร์ชุดที่ 2 (ควรจะมีค่าความจุเท่ากับ C_{L1} ตามการออกแบบในวิทยานิพนธ์ฉบับนี้) ค่าแรงดันขาออกของวงจรรีจิสเตอร์ชุดที่ 1 คือค่าสัญญาณขาออก NOT Q ของวงจร D ฟลิปฟลอป ดังนั้นพอสรุปได้ว่าค่าแรงดันขาออก NOT Q จะใช้เวลาหน่วงเท่ากับเวลาหน่วงของวงจรรีจิสเตอร์ชุดที่ 1 รวมกับค่าเวลาหน่วงของวงจรรีจิสเตอร์ชุดที่ 1 คือ $T1+T2$ ส่วนค่าแรงดันขาออก Q จะเกิดจากการกลับเฟสของสัญญาณ NOT Q โดยใช้วงจรรีจิสเตอร์ชุดที่ 2 ซึ่งก็จะเกิดช่วงเวลาคือ $T3$ โดยวงจรรีจิสเตอร์ชุดที่ 2 เช่นเดียวกันกับวงจรรีจิสเตอร์ชุด

แรก เพียงแต่ตัวเก็บประจุไฟฟ้าที่ต่ออยู่กับวงจรถือตัวเก็บประจุไฟฟ้า C_{L3} ดังนั้นกล่าวโดยสรุปคือค่าแรงดันขาออก Q ของวงจรถือ D พลิบฟลอป ในวิทยานิพนธ์ฉบับนี้จะช้ากว่าแรงดันขาออก NOT Q ของวงจรถือเป็นเวลาที่เท่ากับเวลาหน่วงของวงจรถืออินเวอร์เตอร์ชุดที่ 2 เป็นเวลา $T3$

พิจารณาเมื่อ $CLK=0$ จะทำให้ TG1 หยุดทำงานและ TG2 ทำงาน ในขณะที่ค่าแรงดันที่ป้อนแก่วงจรถืออินเวอร์เตอร์ชุดที่ 1 ซึ่งเป็นแรงดันขาเข้าของ D พลิบฟลอปก่อนที่ TG1 จะหยุดทำงาน และเป็นแรงดันค่าเดียวกันกับ แรงดันขาเข้าของ TG2 (คือแรงดัน Q) จะเกิดการเปลี่ยนแปลงขึ้นในช่วงเวลานี้ TG2 จะนำสัญญาณ Q ป้อนแก่วงจรถืออินเวอร์เตอร์ชุดที่ 1 ซึ่งจะเกิดเวลาหน่วงอันเนื่องมาจากค่าความจุไฟฟ้า C_{L1} เพียงเล็กน้อย เนื่องจาก TG1 และ TG2 สร้างด้วยขนาดของทรานซิสเตอร์อย่างเดียวกัน และค่าความจุไฟฟ้าที่ปรากฏแก่วงจรถือ TG1 และ TG2 เป็นตัวเก็บประจุตัวเดียวกัน ค่าแรงดัน Q จะมีค่าเปลี่ยนแปลงเล็กน้อยอันเนื่องมาจาก C_{L1} ประจุไฟฟ้าหรือคายประจุไฟฟ้า และค่าแรงดันนี้ยังทำให้อินเวอร์เตอร์ชุดที่ 1 ทำงานต่อไปได้ โดยยังคงสถานะเดิมของ NOT Q เอาไว้ และในทำนองเดียวกัน NOT Q ก็จะมีการเปลี่ยนแปลงด้วยอันเนื่องมาจากค่าความจุไฟฟ้า C_{L2} ประจุไฟฟ้าหรือคายประจุไฟฟ้า ดังนั้นในขณะที่ $CLK=0$ ค่าแรงดัน NOT Q และ Q จะเกิดการเปลี่ยนแปลงเพียงเล็กน้อยทั้งคู่จนกว่าสถานะทางลอจิกที่ขับโดย TG2 จะทำหน้าที่ครบรอบการทำงาน และวงจรถือ D พลิบฟลอปที่ดี ควรจะเกิดการเปลี่ยนแปลงค่าแรงดัน Q และ NOT Q เพียงเล็กน้อยในขณะที่ $CLK=0$

3.3.2.2 วงจรถือ RS FLIP/FLOP

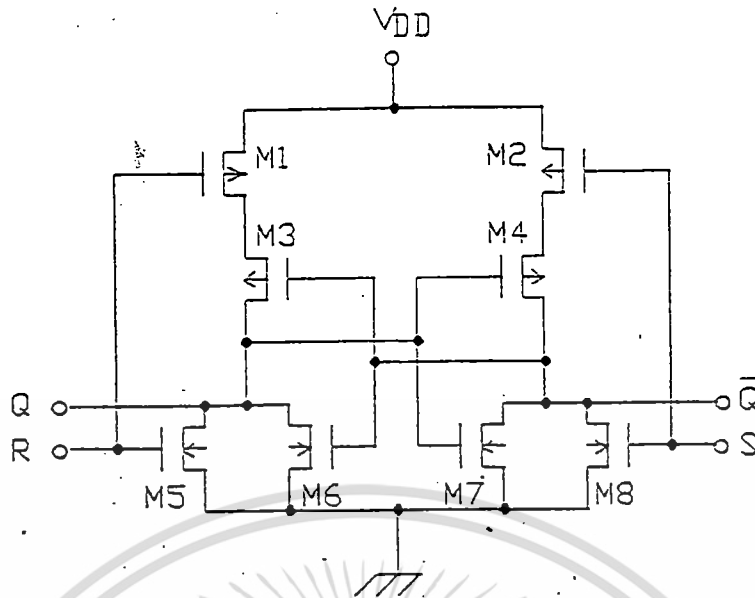
พลิบฟลอปคือส่วนความจำที่เก็บค่าของเลขฐานสองแต่ละบิตไว้ในรูปค่าแรงดันไฟฟ้าต่ำหรือสูง ซึ่งถ้าอินเวอร์เตอร์เกิดชนิดสัญญาณเข้า 2 สัญญาณมา 2 ตัว แล้วต่อสัญญาณเข้า R และ S ที่อินเวอร์เตอร์แต่ละสัญญาณแล้วให้ขาทางสัญญาณเข้าที่เหลือรับสัญญาณที่ออกจากอินเวอร์เตอร์ตรงกันข้าม ย้อนกลับมาเป็นสัญญาณทางเข้า ดังรูปที่ 3.3-21 ก็จะได้ RS พลิบฟลอปแบบใช้อินเวอร์เตอร์ ซึ่งลักษณะการใช้งานของพลิบฟลอปก็คือต้องการที่จะเก็บข้อมูลของค่าเลขฐานสองไว้



รูปที่ 3.3-21 แสดงวงจรถือพลิบฟลอปแบบใช้อินเวอร์เตอร์

ในวิทยานิพนธ์ฉบับนี้ใช้วงจรถือ CMOS RS พลิบฟลอป ที่มีพื้นฐานมาจากอินเวอร์เตอร์โดยลักษณะของวงจรถือ

ประกอบด้วยทรานซิสเตอร์แสดงดังรูป 3.3-22



รูปที่ 3.3-22 แสดงวงจรที่ประกอบด้วย CMOS NOR RS ฟลิปฟลอป

การทำงานของวงจรอย่างง่าย ๆ จะทำงานได้ 3 สถานะคือ

1. ถ้าสัญญาณเข้า $R=1$ และ $S=0$ ทำให้ PMOS M2 นำกระแส ในขณะที่ $R=1$ ทำให้ M5 นำกระแส ที่ Q เป็นสัญญาณลอจิก "0" ให้ทรานซิสเตอร์ PMOS M4 นำกระแส ได้สัญญาณเอาต์พุตที่ $\text{NOT } Q=1$
2. ถ้าสัญญาณเข้า $R=0$ และ $S=1$ ทำให้ NMOS M8 นำกระแส เอาต์พุตที่จุด $\text{NOT } Q=0$ ขณะที่ $R=0$ ทำให้ PMOS M1 นำกระแส และ PMOS M3 นำกระแส จากสัญญาณที่ $\text{NOT } Q$ ดังนั้น ได้สัญญาณที่จุดเอาต์พุต $Q=1$
3. ถ้าสัญญาณที่ R และ $S=0$ การทำงานของทรานซิสเตอร์จะไม่สามารถส่งสัญญาณออกมายังเอาต์พุต Q และ $\text{NOT } Q$ ได้ ซึ่งจะทำให้สัญญาณที่เอาต์พุตทั้งสองคงสถานะเดิมก่อนที่จะมีสัญญาณอินพุตนี้เข้ามา

สำหรับการที่สัญญาณอินพุตเป็น 1 ทั้ง R และ S นั้น จากวงจรเห็นว่าทรานซิสเตอร์ NMOS M5 และ M8 นำกระแส ทำให้ได้สัญญาณที่เอาต์พุต Q และ $\text{NOT } Q$ เป็น 0 ทั้งคู่ ซึ่งโดยปกติแล้วจะไม่ยินยอมให้สถานะนี้เกิดขึ้น คือจะไม่นำมาพิจารณา

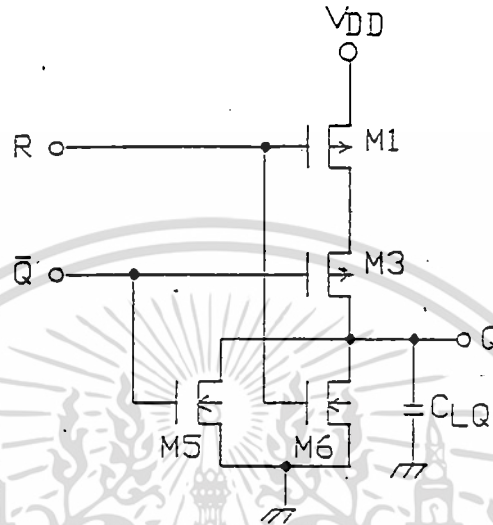
นั่นคือเมื่อสัญญาณ $R=1$, $S=0$ ทำให้ได้สัญญาณเอาต์พุต $Q=0$ และ $\text{NOT } Q=1$ เรียกกรณีนี้ว่า การเริ่มต้นใหม่ หรือรีเซ็ต (reset) และเมื่อสัญญาณ $R=0$, $S=1$ ทำให้ได้สัญญาณเอาต์พุต $Q=1$ และ $\text{NOT } Q=0$ เรียกกรณีนี้ว่าการตั้งค่า หรือเซ็ต (set) และกรณีสุดท้ายเมื่อ $R=0$, $S=0$ ได้สัญญาณที่เอาต์พุตคงเดิม ก่อนที่จะเกิดสถานะนี้เรียกว่าไม่เกิดการเปลี่ยนแปลง (no change)

เนื่องจากการออกแบบวงจร RS ฟลิปฟลอป ในวิทยานิพนธ์ฉบับนี้ทำการออกแบบทรานซิสเตอร์ทุก

ตัวในวงจรมีขนาดเท่ากันหมด กล่าวคือเป็นขนาดที่เล็กที่สุดเท่าที่เทคโนโลยีในการผลิตวงจรรวมนี้จะอำนวยให้ ดังนั้นการพิจารณาค่าเวลาหน่วงของวงจร จึงสามารถพิจารณาระดับสัญญาณขาออกของขั้ว Q หรือ NOT Q ขั้วใดขั้วหนึ่งเท่านั้น โดยที่ค่าเวลาหน่วงที่หาได้จะเป็นค่าเวลาหน่วงของขั้วทั้งสอง ซึ่งควรจะมีค่าเท่ากัน เมื่อพิจารณาจากวงจร

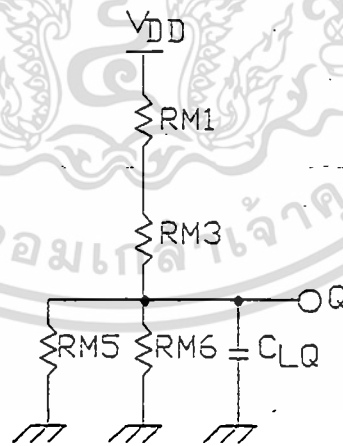
พิจารณาขั้วแรงดันขาออก Q ค่าความจุไฟฟ้าที่ปรากฏแก่วงจร คือค่าความจุไฟฟ้า C_{LQ} ดังรูปที่

3.3-23



รูปที่ 3.3-23 แสดงวงจร RS ฟลิปฟล็อปที่ใช้ในการพิจารณาเวลาหน่วง

เมื่อทำการวิเคราะห์เวลาหน่วงของวงจร ตามแนวทางการวิเคราะห์วงจรที่นำเสนอในภาคผนวก ก จะสามารถแปลงรูปวงจรในรูปที่ 3.3-23 เป็นวงจรซึ่งประกอบด้วยความต้านทาน 4 ตัว และตัวเก็บประจุไฟฟ้าอีก 1 ตัว ดังรูปที่ 3.3-24



รูปที่ 3.3-24 แสดงวงจรสมมูลที่ใช้พิจารณาเวลาหน่วงของวงจร RS ฟลิปฟล็อป

โดยที่ ค่า $RM3$ และ $RM1 = (\rho_1 + \rho_2)(Lp/Wp) = 7.8$ กิโลโอห์ม

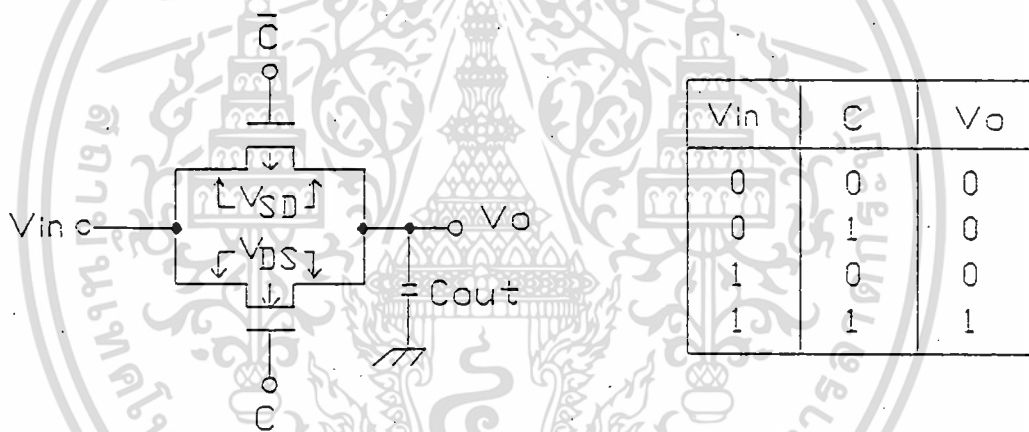
$RM5$ และ $RM6 = (\rho_1 + \rho_2)(Ln/Wn) = 62$ กิโลโอห์ม

ดังนั้นในขณะที่วงจรเปลี่ยนสถานะจากสถานะต่ำไปสู่สถานะสูง ความต้านทานที่มีผลคือ ความต้าน

ทานที่เกิดจาก RM1 และ RM3 ซึ่งต่ออนุกรมกัน โดยกระแสจะไหลออกจากไฟเลี้ยงไปประจุตัวเก็บประจุ C_{LQ} จนเต็ม และในขณะที่วงจรเปลี่ยนสถานะจากสถานะสูง ไปสู่สถานะต่ำ ความต้านทานที่ส่งผลแก่เวลาในการเปลี่ยนสถานะคือ RM5 และ RM6 ซึ่งต่อในลักษณะขนานกัน โดยประจุในตัวเก็บประจุ C_{LQ} จะคายประจุผ่านความต้านทานทั้งสองลงสู่จุดที่มีระดับแรงดันต่ำจนหมด และจากค่าความต้านทานทั้ง 4 ตัวในวงจรมีค่าสามารถสรุปได้ว่า วงจรจะใช้เวลาในการเปลี่ยนสถานะจากสถานะสูง ไปสู่สถานะต่ำน้อยกว่าเวลาในการเปลี่ยนจากสถานะต่ำ ไปสู่สถานะสูง

3.3.2.3 วงจร Transmission Gate แบบ 2 input

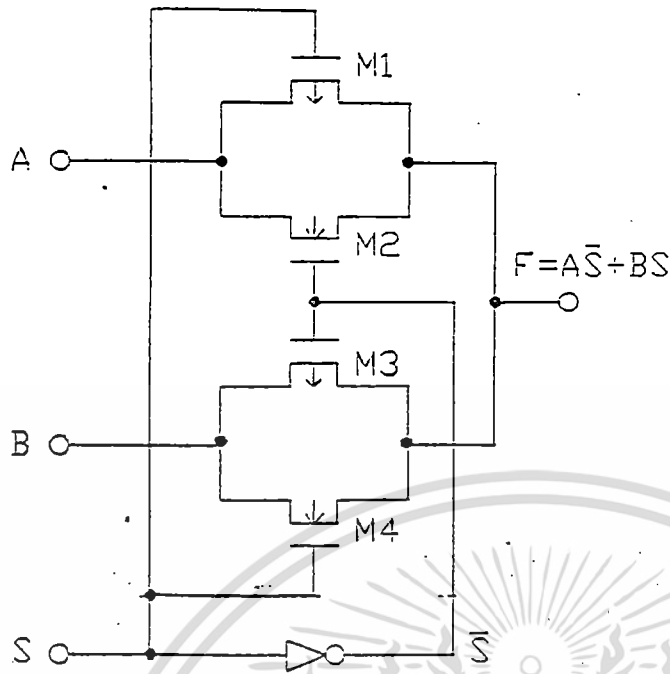
วงจร Transmission Gate เป็นวงจรส่งผ่านสัญญาณที่ควบคุมการส่งผ่านด้วยสัญญาณนาฬิกาชนิดหนึ่ง เป็นวงจรพื้นฐานที่นิยมใช้ในการออกแบบวงจรรวมขนาดใหญ่ ที่นิยมใช้กันมากในปัจจุบัน ดังนั้นวงจรนี้จึงเหมาะที่จะนำมาสร้าง เพื่อเป็นวงจรมাত্রาฐานของการออกแบบวงจรด้วยเกตอะเรย์ วงจรทรานสมิทชันเกตแบบพื้นฐานจะประกอบด้วยทรานซิสเตอร์ชนิดเอ็นต่อขนานกับทรานซิสเตอร์ชนิดพีตังรูปที่ 3.3-25



รูปที่ 3.3-25 แสดงวงจรพื้นฐาน Transmission Gate และตารางความจริงของวงจร

วงจรทรานสมิทชันเกตที่ออกแบบและสร้างด้วยทรานซิสเตอร์โครงสร้างแบบ CMOS ในวิทยานิพนธ์ฉบับนี้ เป็นวงจรทรานสมิทชันเกตแบบแรงดันขาเข้า 2 ทาง (2 input transmission gate) ซึ่งสามารถใช้ประโยชน์ในการผลิตเฟล็คสัญญาณได้ และมีประโยชน์ในการใช้งานมากกว่าวงจรทรานสมิทชันเกตแบบพื้นฐานธรรมดา ลักษณะของวงจรเป็นไปดังรูป 3.3-26

จากวงจรในรูปที่ 3.3-26 และตารางความจริงของวงจรจะพบว่าเมื่อแรงดันที่ขาควบคุม มีค่าสูงกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด NMOS ตัวที่ M4 จะทำให้ M4 ทำงานโดยเกิดช่องทางเดินกระแสขึ้นตั้งนั้น ค่าแรงดันที่ปรากฏที่จุด B จะปรากฏที่จุดแรงดันขาออกของวงจรด้วย นอกจากนี้แรงดันขาเข้าที่ขาควบคุมยังผ่านวงจรอินเวอร์เตอร์แล้วส่งสัญญาณขาออกของวงจรไปควบคุมทรานซิสเตอร์ M3 ทำให้ M3 เกิดการนำกระแสเช่นเดียวกัน เกิดช่องทางเดินกระแสขึ้นเป็นการอำนวยให้ค่าแรงดันที่จุด



A	B	S	Q/P
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

รูปที่ 3.3-26 แสดงวงจร 2 input transmission gate และตารางความจริงของวงจร

B ปรากฏต่อจุดแรงดันขาออกได้ดียิ่งขึ้น ในขณะที่เดียวกันค่าแรงดันขาควบคุมยังถูกส่งไปควบคุมทรานซิสเตอร์ M1 และ M2 ในลักษณะที่ตัดช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองออกจากกัน ดังนั้นค่าแรงดันที่จุด A จะไม่มีทางไปปรากฏที่จุดแรงดันขาออกได้ ในทางตรงกันข้ามถ้าแรงดันที่ปรากฏที่ขาควบคุมมีค่าเป็นศูนย์ การทำงานจะเป็นไปในทำนองเดียวกัน แต่ทรานซิสเตอร์ที่ทำงานคือทรานซิสเตอร์ M1 และ M2 ส่วนทรานซิสเตอร์ที่หยุดทำงานโดยสิ้นเชิงคือ M3 และ M4 ดังนั้นค่าแรงดันที่ปรากฏที่จุด A จะไปปรากฏที่จุดแรงดันขาออกแทน

พฤติกรรมทางไฟฟ้าของวงจรสามารถอธิบายได้โดยใช้วงจรดังในรูป 3.3-25 โดยกำหนดให้แรงดันขาเข้า $V_{in} = V_{DD}$ ขั้วแรงดันขาออก V_o ต่อกับตัวเก็บประจุ C_{out} ซึ่งแทนตัวเก็บประจุที่โหลดวงจร อยู่ เริ่มต้น $V_{out} = 0$ ที่เวลา $t=0$ ขาควบคุมสัญญาณ C จะตอบสนองต่อสภาวะลอจิก 1 ที่ $V_c = V_{DD}$ ถึงจะยอมให้กระแส I ไหลผ่าน transmission gate ออกไปประจุที่ C_{out} แรงดันที่ V_{out} เป็นไปตามสมการมาตรฐาน (3.3-8)

$$V_{out}(t) = (1/C_{out}) \int_0^t I(T) dt \quad (3.3-8)$$

เมื่อทรานซิสเตอร์ NMOIS และ PMOIS เป็น complementary ที่สามารถทำให้แรงดันขาออกมีค่าถึง $V_{out} = V_{DD}$.

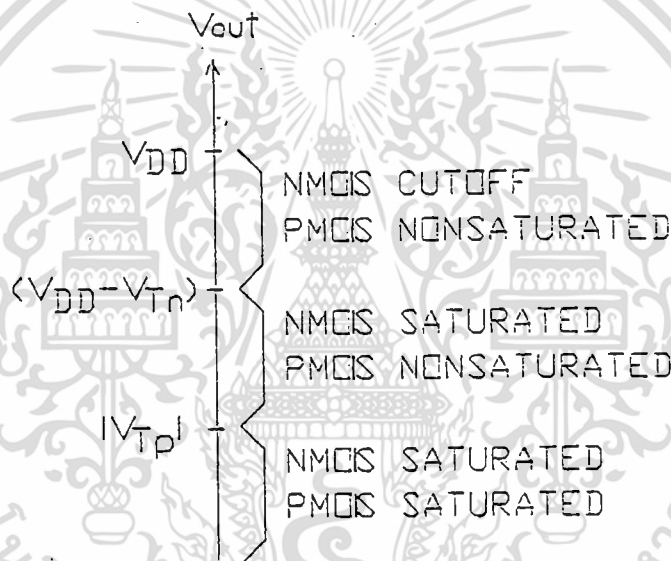
การแก้อินทิเกรตในสมการ (3.3-8) จะไม่กล่าวถึงในที่นี้ แต่จะแทนค่าประมาณอย่างง่าย ๆ โดย

สมมติให้เป็นวงจรเสมือนของความต้านทานเดรน-ซอส จะได้คุณสมบัติของวงจร transmission gate วงจรเสมือนที่เป็นค่าความต้านทานนี้ขึ้นอยู่กับการทำงานของ MOISFET ดังนั้นกรรมวิธีการประจุกต้องศึกษาให้เข้าใจในเทอมของแรงดันที่ตกคร่อม MOISFET

ขั้นแรกพิจารณาที่ทรานซิสเตอร์ NMOIS ได้ว่า

$$V_{DSn} = V_{DD} - V_{out} \quad , \quad V_{GSn} = V_{DD} - V_{out} = V_{DSn} \quad (3.3-9)$$

ดังนั้น NMOIS นำกระแสในช่วงอิมิตัว จนกระทั่งมีค่าถึง $V_{out} = (V_{DD} - V_{Tn})$ เมื่อ output มีค่าถึงค่านี้ชั้นกลับจะหายไปเมื่อได้รับแรงดันที่เกท กระแสที่ไหลผ่านจะมีค่าเพิ่มขึ้นเรื่อย ๆ จนถึงศูนย์ ซึ่งทำให้ระดับแรงดัน V_{out} มีค่ามากกว่านี้



รูปที่ 3.3-27 แสดงการทำงานของ MOISFET ที่ใช้ใน CMOS transmission gate แรงดันที่รอยต่อของทรานซิสเตอร์ PMOS

$$V_{SDP} = V_{DD} - V_{out} \quad , \quad V_{SGP} = V_{DD} \quad (3.3-10)$$

แรงดันซอส-เกท V_{SGP} เป็นค่าคงที่ขณะที่แรงดัน input (V_{in}) และแรงดันควคุม (V_c) มีสถานะลอจิก 1 การทำงานของทรานซิสเตอร์ PMOS ขึ้นอยู่กับ V_{out} เริ่มต้นที่ $V_{out} = 0$ ดังนั้นตัวอุปกรณ์อยู่ในช่วงอิมิตัว ขณะที่ V_{out} เพิ่มขึ้นถึง $|V_{Tp}|$ MOISFET ชนิดนี้ จะมีค่าถึงช่วงไม้อิมิตัว และยังคงอยู่ที่ค่านี้จนกระทั่ง $V_{out} = V_{DD}$

การวิเคราะห์คุณสมบัติทาง DC ของ transmission gate อย่างแรกต้องกำหนดว่ากระแสรวม I ที่ไหลผ่านเกทมีค่า

$$I = I_{Dn} + I_{Sp} \quad (3.3-11)$$

ขณะที่แรงดันตกคร่อม transmission gate เป็น

$$V_{DSn} = V_{DSP} = (V_{DD} - V_{out}) \quad (3.3-12)$$

ผลรวมของตัวความต้านทาน equivalent มีค่า

$$R_{eq} = (V_{DD} - V_{out}) / I \quad (3.3-13)$$

ความต้านทานของทรานซิสเตอร์แต่ละตัวสามารถหาได้โดย

$$R_n = (V_{DD} - V_{out}) / I_{Dn}$$

$$R_p = (V_{DD} - V_{out}) / I_{Sp} \quad (3.3-14)$$

เมื่อความต้านทานทั้งสองตัวต่อขนานกัน

$$R_{eq} = R_n R_p / (R_n + R_p) \quad (3.3-15)$$

เป็นความสัมพันธ์ของความต้านทานใน transmission gate ทั้งหมด ดังนั้นจะทำการพิจารณาค่าความต้านทานของทรานซิสเตอร์โดยใช้หลักการที่นำเสนอในภาคผนวก ก จะได้ว่า

$$R_n = (\rho_1 + \rho_2)(L_n / W_n) \quad (3.3-16)$$

$$R_p = (\rho_1 + \rho_2)(L_p / W_p) \quad (3.3-17)$$

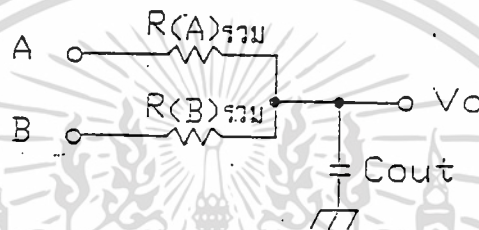
แทนค่าต่าง ๆ ซึ่งเป็นตัวแปรของทรานซิสเตอร์ทั้งสองลงในสมการแล้วจะพบว่า

$$R_n = 62 \text{ k}\Omega \quad \text{และ} \quad R_p = 7.8 \text{ k}\Omega$$

ดังนั้นค่าความต้านทานรวมที่เกิดจาก $R_n // R_p$ มีค่า

$$R_{รวม} = 6.9 \text{ k}\Omega$$

วงจรสมมูลอย่างง่ายที่จะนำไปพิจารณาค่าเวลาหน่วงต่าง ๆ เกิดขึ้นเพื่อสะดวกแก่ผู้ใช้งาน เกทอะเรย์ จะเป็นไปดังรูปที่ 3.3-28



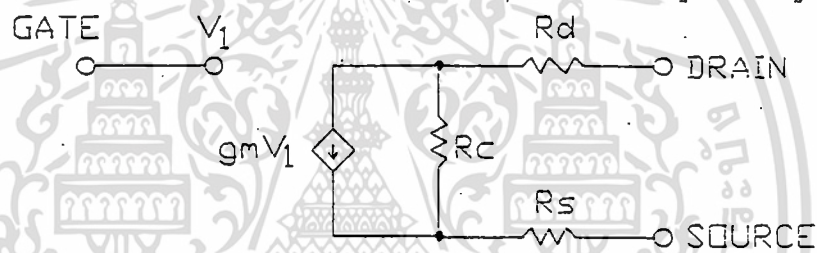
รูปที่ 3.3-28 แสดงวงจรสมมูลอย่างง่ายของวงจรถานสมิทอินเกทแบบ 2 input

การทดลองและผลการทดลอง

ในบทที่ 1 ถึงบทที่ 3 ได้กล่าวถึงลักษณะของทรานซิสเตอร์โครงสร้างแบบ CMOIS ซึ่งนำมาออกแบบและสร้างเป็นวงจรพื้นฐานของเกทอะเรย์ พร้อมทั้งอธิบายการออกแบบวงจรพื้นฐานด้วยทรานซิสเตอร์โครงสร้างดังกล่าว และเสนอแนวโน้มนวัตกรรมทางไฟฟ้าของวงจรในด้านต่าง ๆ ซึ่งจำเป็นที่จะต้องใช้เป็นข้อมูลเบื้องต้นของการออกแบบวงจรแบบเกทอะเรย์ ในบทนี้เป็นการนำเสนอการทดสอบวงจรและคุณสมบัติทางไฟฟ้าในด้านต่าง ๆ ที่ได้กล่าวมาทั้งหมด ในบทก่อนหน้านี้

4.1 การทดลองและผลการทดลองวัตพารามิเตอร์ของแบบจำลองทางไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS

จากที่ได้อธิบายไว้แล้วในหัวข้อที่ 1.5 ในรูปที่ 1.5-1 ซึ่งแสดงอุปกรณ์ที่มีอิทธิพลทางไฟตรง โดยแบ่งอยู่ในโครงสร้างทรานซิสเตอร์แบบ MOIS ซึ่งสามารถสรุปเป็นวงจรสมมูลย์ได้ดังรูปที่ 4.1-1



รูปที่ 4.1-1 แสดงวงจรสมมูลย์ทางไฟตรงของทรานซิสเตอร์โครงสร้าง MOIS

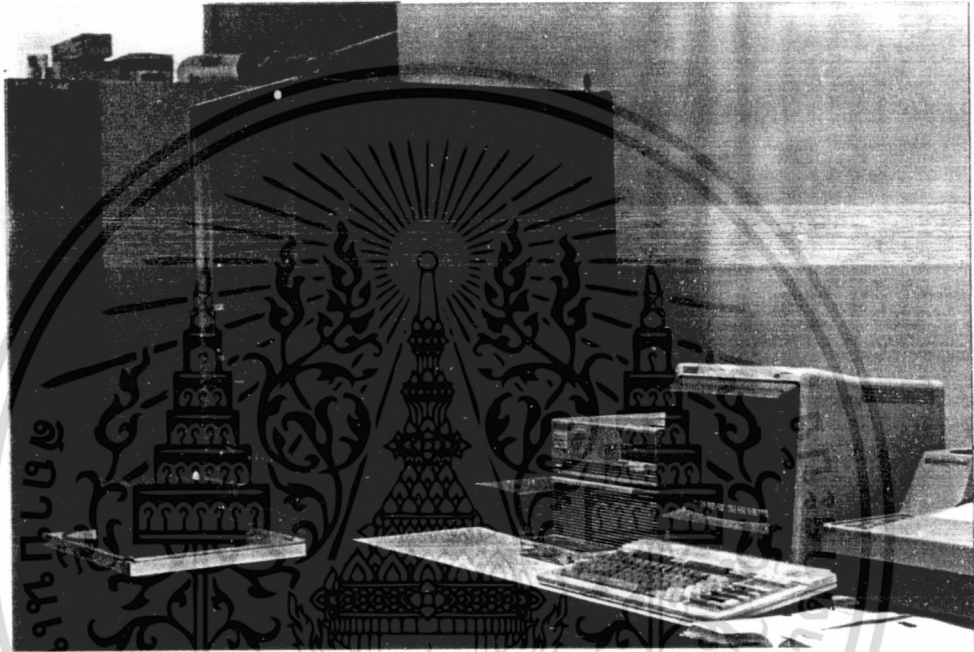
ในการออกแบบทรานซิสเตอร์โครงสร้างแบบ MOIS จะทำการออกแบบระยะห่างของขั้วเดรนและขั้วซอสซึ่งสัมผัสกับโลหะอลูมิเนียมเพื่อใช้เป็นขั้วไฟฟ้า กับของปลายสุดของขั้วด้านที่ติดกับช่องทางเดินกระแสเป็นระยะความยาวที่เท่า ๆ กัน และในการสร้างขั้นตอนการเติมสารเจือเพื่อสร้างขั้วเดรนและซอสของทรานซิสเตอร์จะทำการสร้างพร้อม ๆ กัน ในสภาวะของสิ่งแวดล้อมเดียวกัน ดังนั้นค่าความต้านทาน R_d และ R_s ของทรานซิสเตอร์ควรมีค่าเท่ากัน

ค่า R_c ซึ่งเป็นค่าความต้านทานภายในของแหล่งกำเนิดกระแสที่ควบคุมด้วยแรงดัน V_1 จะเป็นค่าความต้านทานที่แปรค่าตามค่าแรงดัน V_1 ด้วย โดยในสภาวะที่ทรานซิสเตอร์กำลังทำงานในช่วงก่อนอิ่มตัว ทรานซิสเตอร์จะมีพฤติกรรมเป็นความต้านทานที่ควบคุมด้วยแรงดัน (Voltage control resistance) ซึ่งในกรณีนี้แหล่งกำเนิดกระแส ($g_m V_1$) สามารถตัดออกจากวงจรได้ในกรณีที่ต้องการเฉพาะค่าความต้านทานเท่านั้น

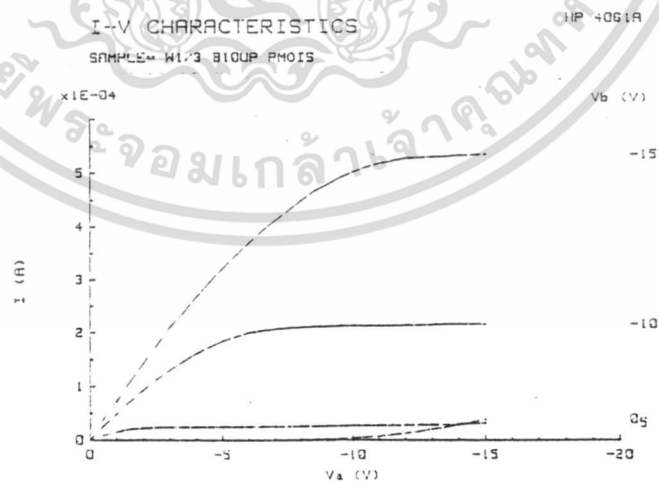
ดังนั้นในการทดลองจะทำการวัดค่าความต้านทานทั้งสามก่อน (R_c, R_d และ R_s) โดยนำทรานซิสเตอร์โครงสร้าง MOIS ทั้งสองชนิด ซึ่งทราบค่าความกว้างและความยาวของช่องทางเดินกระแสที่แน่

นอน ทำการหาคคุณสมบัติกระแสและแรงดันของทรานซิสเตอร์ แล้วทำการพิจารณาค่าความต้านทานของทรานซิสเตอร์ในช่วงที่ทรานซิสเตอร์ทำงานก่อนเข้าสู่ช่วงอิ่มตัว

การหาคคุณสมบัติกระแสและแรงดันของทรานซิสเตอร์โครงสร้าง MOIS จะใช้เครื่อง HP รุ่น 4061A Semiconductor test and measuring system ดังรูปที่ 4.1-2 ซึ่งแสดงการทดลองวัดคุณสมบัติกระแสและแรงดันของทรานซิสเตอร์ โดยเครื่องจะทำหน้าที่จ่ายแรงดันแก่ขั้วเดรน-ซอส และขั้วเกต แล้วบันทึกค่ากระแสที่ไหลผ่านขั้วเดรน พร้อมทั้งเก็บข้อมูลทั้งหมดเขียนเป็นความล้มพันธ์ของกระแสและแรงดันดังตัวอย่างในรูปที่ 4.1-3

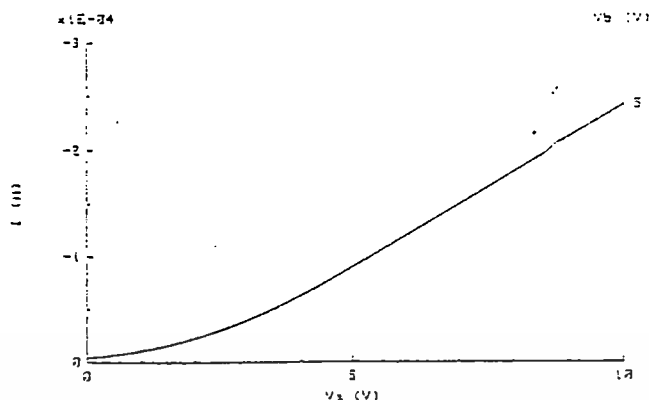


รูปที่ 4.1-2 แสดงเครื่องมือทดสอบอุปกรณ์สารกึ่งตัวนำ HP รุ่น 4061 A



(ก) PMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาคณะวิศวกรรมศาสตร์เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(๑) NMOIS

รูปที่ 4.1-4 แสดงคุณสมบัติกระแสและแรงดันซึ่งแสดงค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้างแบบ MOIS

เมื่อทราบค่าแรงดันขีดเริ่มของทรานซิสเตอร์แล้ว สามารถกำหนดจุดแรงดัน pinch off ของทรานซิสเตอร์ในกราฟคุณสมบัติกระแสและแรงดันได้ จากนั้นจะทำการนิยามค่าความต้านทานของทรานซิสเตอร์ในสถานะที่ทรานซิสเตอร์ทำงานในช่วงก่อนอิ่มตัวที่ทรานซิสเตอร์ซึ่งมีค่าอัตราส่วนความกว้างต่อความยาวของช่องทางเดินกระแสค่าต่าง ๆ และทำการเปรียบเทียบผลการทดลองที่ได้จากการวัดกับผลที่ได้จากทฤษฎีทางการคำนวณซึ่งนำเสนอไว้ในบทที่ 1 ดังสมการที่ (1.2-2) รวมกับค่าความต้านทานซึ่งเกิดจากการออกแบบขั้วเดรนและขั้วซอสดังนี้คือ

ค่าความต้านทานที่ผิวของสารกึ่งตัวนำ (R_{sheet}) มีค่าดังสมการที่ (4.1-1)

$$R_s = \rho_s (l/w) \tag{4.1-1}$$

โดยที่ ρ_s คือค่าพิกัดความต้านทานที่ผิวของขั้วเดรนและซอส

- 1 คือความยาวระหว่างจุดสัมผัสลุ่มิเนียมซึ่งเป็นขั้วไม่เข้ากับจุดปลายสุดของขั้วเดรนหรือซอส ซึ่งติดกับช่องทางเดินกระแส (ในการออกแบบของวิทยานิพนธ์ฉบับนี้ใช้ค่า 60 ไมโครเมตร)
- w คือค่าความกว้างของส่วนความยาว l ซึ่งกระแสไหลผ่าน (มีค่าเท่ากับค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์)

ดังนั้นค่า R รวม ซึ่งคำนวณตามทฤษฎีคือค่าความต้านทานซึ่งคิดได้จากสมการที่ (1.2-2) รวมกับค่าความต้านทาน R_s ของขั้วเดรนและซอสของทรานซิสเตอร์ ซึ่งได้ผลการทดลองเป็นไปดังตารางที่ 4.1-1

ตารางที่ 4.1-1 (ก) แสดงค่าความต้านทานของทรานซิสเตอร์ชนิด PMOS ในขณะที่ทรานซิสเตอร์ทำงานในช่วงเชิงเส้น

ลำดับที่	w (μm)	l (μm)	$R_{\text{รวม}}$ (ทดลอง) (k Ω) ที่ $V_{\text{GS}} =$ (V)			$R_{\text{รวม}}$ (ทฤษฎี) (k Ω) ที่ $V_{\text{GS}} =$ (V)			ความแตกต่าง (%)		
			-5V	-10V	-15V	-5V	-10V	-15V	-5V	-10V	-15V
1	40	40	88.7	18.1	10.3	90.15	20.08	11.76	1.6	9.9	12.4
2	40	20	42.4	9.1	4.3	45.07	10.4	5.87	5.9	12.5	26.7
3	60	20	29.2	5.3	2.7	30.05	6.46	3.91	2.8	18	30.9
4	100	20	16.5	3.7	1.85	18.03	4.16	2.35	8.5	11.1	21.3

ตารางที่ 4.1-1 (ข) แสดงค่าความต้านทานของทรานซิสเตอร์ชนิด NMOIS ในขณะที่ทรานซิสเตอร์ทำงานในช่วงเชิงเส้น

ลำดับที่	w (μm)	l (μm)	$R_{\text{รวม}}$ (ทดลอง) (k Ω) ที่ $V_{\text{GS}} =$ (V)			$R_{\text{รวม}}$ (ทฤษฎี) (k Ω) ที่ $V_{\text{GS}} =$ (V)			ความแตกต่าง (%)		
			5V	10V	15V	5V	10V	15V	5V	10V	15V
1	40	40	130	36.5	22.7	135.2	40.07	27.04	3.9	8.9	16.1
2	40	20	62.7	19.2	10.1	67.61	22.53	13.52	7.3	14.8	25.3
3	60	20	41.3	10.1	7.9	45.07	13.52	9.01	8.4	25.3	12.3
4	100	20	22.6	7.8	4.1	27.04	9.01	5.4	16.4	13.4	24.1

ขณะที่ทรานซิสเตอร์ทำงานในสภาวะอิ่มตัว ค่าความต้านทานทุกตัวในวงจรจะยังคงมีอยู่เช่นเดียวกับขณะที่ทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัว โดยมีส่วนที่เป็นค่าความต้านทานเดียวกันคือค่า R_{d} และ

R_u ส่วนค่า R_c และ g_m เปลี่ยนแปลงไป

พิจารณาค่า g_m

การหาค่า g_m จากกราฟคุณสมบัติกระแสและแรงดันจะพิจารณาตามทฤษฎีคือ หาอัตราการเปลี่ยนแปลงกระแสเดรนต่อแรงดันเกตที่เปลี่ยนแปลงไปโดยใช้ค่ากระแสที่หาได้จากกราฟคุณสมบัติกระแสและแรงดันในรูปที่ 4.1-3 แล้วทำการเทียบค่า g_m ที่ได้กับค่า g_m ที่ได้จากทฤษฎีในสมการที่ (1.2-4) ซึ่งนำเสนอไว้ในบทที่ 1

พิจารณาค่า R_c

ค่า R_c ซึ่งเกิดขึ้นในขณะที่ทรานซิสเตอร์กำลังทำงานในช่วงอ้อมตัวนี้ จะส่งผลให้ค่ากระแสเดรนของทรานซิสเตอร์มีค่าไม่คงที่ โดยค่ากระแสจะเพิ่มขึ้นเมื่อแรงดันเดรนของทรานซิสเตอร์เพิ่มขึ้น ค่าความชันของกราฟคุณสมบัติกระแสและแรงดันในช่วงที่ทรานซิสเตอร์ทำงานในช่วงอ้อมตัว คือค่าความต้านทาน R_c รวมกับค่าความต้านทาน R_d และ R_u ซึ่งมีค่าเท่ากับค่าความต้านทานในช่วงทรานซิสเตอร์ทำงานแบบไม่อ้อมตัว

ผลการทดลองแสดงได้ดังตารางที่ 4.1-2

ตารางที่ 4.1-2 (ก) แสดงค่า G_m และ R ในช่องทางเดินกระแสของทรานซิสเตอร์ชนิด PMOS ในตอนที่ทรานซิสเตอร์ทำงานในช่วงอ้อมตัว

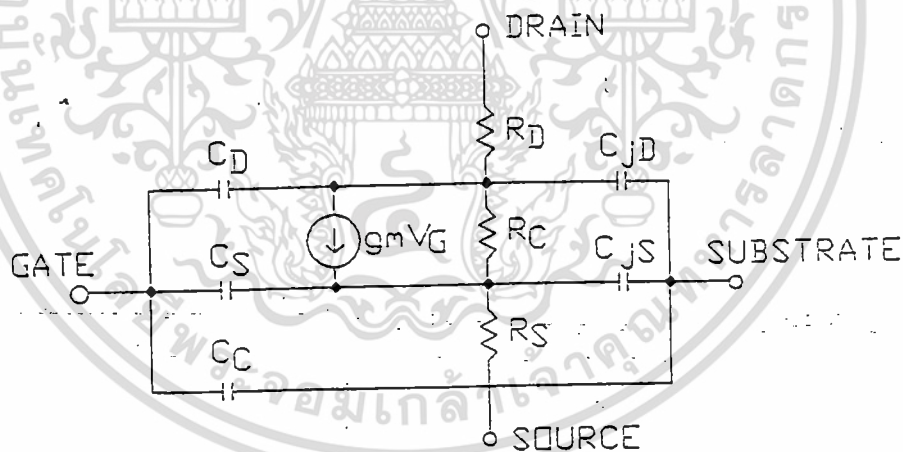
ลำดับที่	W (μ_m)	L (μ_m)	G_m (mho) (ทดลอง)	G_m (mho) (ทฤษฎี)	ความแตกต่าง (%)	$R_c + R_d + R_u$ (ทดลอง) (k Ω)
1	40	40	$1.65 \cdot 10^{-5}$	$1.84 \cdot 10^{-5}$	10.32	960.75
2	40	20	$3.11 \cdot 10^{-5}$	$3.69 \cdot 10^{-5}$	15.71	716.16
3	60	20	$4.35 \cdot 10^{-5}$	$5.54 \cdot 10^{-5}$	21.48	781.8
4	100	20	$7.16 \cdot 10^{-5}$	$9.24 \cdot 10^{-5}$	22.5	750.6

ตารางที่ 4.1-2 (ข) แสดงค่า G_m และ R ในช่องทางเดินกระแสของทรานซิสเตอร์ชนิด NMOIS ใน
ขณะที่ทรานซิสเตอร์ทำงานในช่วงอิ่มตัว

ลำดับที่	W (μ_m)	L (μ_m)	G_m (mho) (ทดลอง)	G_m (mho) (ทฤษฎี)	ความแตกต่าง (%)	$R_c+R_d+R_s$ (ทดลอง) (k Ω)
1	40	40	0.95×10^{-5}	1.03×10^{-5}	7.76	865.7
2	40	20	1.81×10^{-5}	2.07×10^{-5}	12.56	639.7
3	60	20	2.51×10^{-5}	3.10×10^{-5}	19.03	681.6
4	100	20	3.98×10^{-5}	5.17×10^{-5}	23.01	701.8

4.2 การทดลองและผลการทดลองวัดพารามิเตอร์ของแบบจำลองทางไฟสลบของทรานซิสเตอร์โครงสร้างแบบ MOIS

แบบจำลองทางไฟสลบของทรานซิสเตอร์โครงสร้างแบบ MOIS ซึ่งแสดงไว้ดังรูปที่ สามารถเขียน
เป็นวงจรสมมูลดังรูปที่ 4.2-1



รูปที่ 4.2-1 แสดงวงจรสมมูลของทรานซิสเตอร์โครงสร้างแบบ MOIS

พารามิเตอร์ซึ่งกล่าวถึงไปแล้วในหัวข้อที่ 4.1 คือ g_m , R_s , R_D , R_C จะไม่กล่าวในที่นี้ อีก แต่
จะทำการทดลองวัดค่าพารามิเตอร์ตัวอื่น ๆ ที่จำเป็นคือ C_D , C_S , C_{JD} , C_{JS} และ C_C เท่านั้น ซึ่งเป็น
อุปกรณ์ทางไฟฟ้าที่เกี่ยวข้องกับพารามิเตอร์ทางไฟสลบของทรานซิสเตอร์แบบ MOIS

พิจารณา C_D และ C_S ซึ่งเป็นตัวเก็บประจุไฟฟ้าที่เกิดขึ้นระหว่างแผ่นโลหะขั้วเกตกระทำกับส่วน
เกิน (OVERLAP) ซึ่งเกิดจากการออกแบบขั้วเกตไปบนขั้วเดรนและซอสของทรานซิสเตอร์ (ซึ่งเป็นสาร

กึ่งตัวนำชนิดพีสำหรับ PMOS และสารกึ่งตัวนำชนิดเอ็นสำหรับ NMOS) พบว่าลักษณะการเกิดของตัวเก็บประจุทั้งสองนี้เหมือนกับการเกิดตัวเก็บประจุ ซึ่งเกิดจากส่วนซ้อนทับของการออกแบบทรานซิสเตอร์แบบ MOS ธรรมดา ดังนั้นค่าตัวเก็บประจุไฟฟ้า C_D และ C_S ในวงจรดังรูปที่ 4.2-1 จึงควรมีค่าความจุไฟฟ้าเช่นเดียวกับทรานซิสเตอร์แบบ MOS ทั่วไปคือ [6]

ช่วงไม่ทำงาน $C_D = C_S = 0$ (4.2-1)

ช่วงไม่โอ้มิตัว $C_D = (1/2) C_{ox} WL [1 - (V_{DS}/V_{DS(sat)})]$ (4.2-2)

$C_S = (1/2) C_{ox} WL [1 + (V_{DS}/3V_{DS(sat)})]$ (4.2-3)

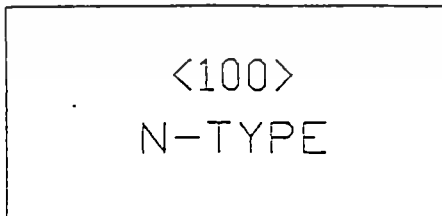
ช่วงโอ้มิตัว $C_D = 0$ (4.2-4)

$C_S = (2/3) C_{ox} (W/L)$ (4.2-5)

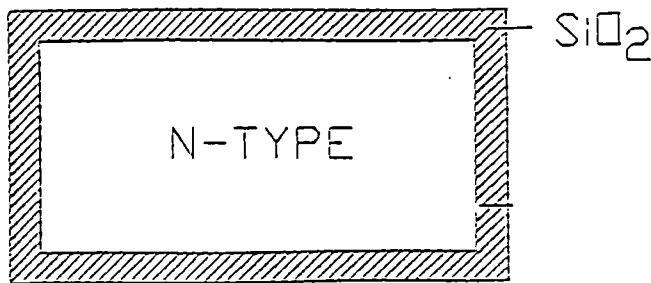
โดยที่ C_{ox} คือค่าความจุไฟฟ้าของชั้นฉนวนออกไซด์

ตัวเก็บประจุไฟฟ้า C_C เกิดจากขั้วโลหะของเกทกระทำต่อช่องทางเดินกระแส ซึ่งบริเวณช่องทางเดินกระแสของทรานซิสเตอร์แบบ MOIS คือสารกึ่งตัวนำชนิดเอ็นที่ได้รับการเติมอะตอมของคาร์บอนเรียบร้อยแล้ว ซึ่งแตกต่างจากทรานซิสเตอร์โครงสร้าง MOS ทั่วไป ที่ช่องทางเดินกระแสจะเป็นสารกึ่งตัวนำชนิดเอ็นสำหรับทรานซิสเตอร์แบบ PMOS จะเป็นสารกึ่งตัวนำชนิดพีของทรานซิสเตอร์แบบ NMOS ดังนั้นค่าความจุไฟฟ้า C_C ในวงจรดังรูปที่ 4.2-1 จึงแตกต่างจาก MOS ทั่วไป และเป็นสิ่งที่ต้องการทราบเพื่อกำหนดค่าความจุไฟฟ้าขาเข้าของ MOISFET ได้

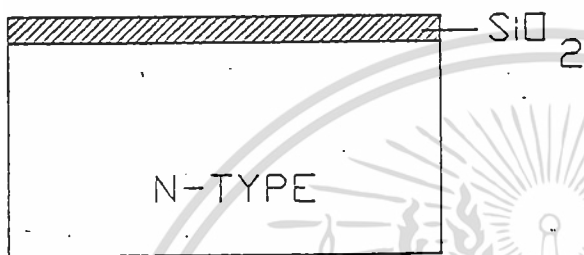
ในการทดลองเพื่อหาค่าความจุไฟฟ้า C_C จะทำการสร้างชั้นสารกึ่งตัวนำซึ่งสามารถแทนโครงสร้างของช่องทางเดินกระแสของทรานซิสเตอร์แบบ MOIS ดังนี้คือ



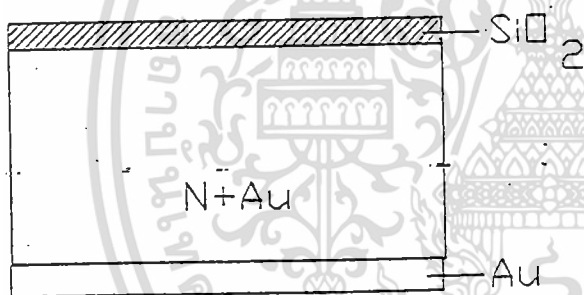
แผ่นผลึกซิลิกอนระนาบ <100> ทำความสะอาดด้วยกระบวนการมาตรฐาน



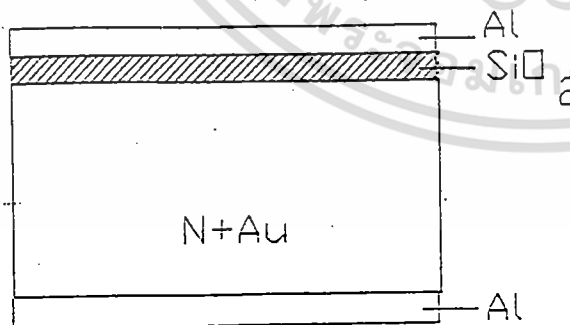
สร้างชั้นออกไซด์ชั้นปกคลุมแผ่นผลึกแทนชั้น
เกตออกไซด์ โดยใช้อุณหภูมิ 1100 องศา
เซลเซียส นาน 20 นาที



กัดออกไซด์ด้านหลังแผ่นผลึกออก โดยทา AZ
ด้านหน้าแผ่นแล้วกัด Oxide-ด้านหลังแผ่น



เคลือบทองคำด้านหลังของแผ่นผลึก แล้วซัลฟิ
ทองคำนาน 90 นาที



เคลือบด้วยโลหะ Al ทั้งสองด้านของแผ่นผลึก
แล้วอบที่ 500 องศาเซลเซียส นาน 10 นาที

เมื่อทำการสร้างชิ้นสารเสร็จเรียบร้อยแล้ว ทำการวัดคุณสมบัติความจุไฟฟ้าแรงดันด้วยเครื่อง HP 4061A เช่นเดียวกับการวัดคุณสมบัติกระแสและแรงดันโดยกำหนดพารามิเตอร์ที่จำเป็นแก่เครื่องคือ

1. พื้นที่ของตัวเก็บประจุกำหนดขนาดเท่ากับ 4 mm^2
2. ความหนาของชั้นฉนวนออกไซด์เท่ากับ 700 อังสตรอม
3. ความถี่ในการวัดมีค่า 100 KHz
4. อุณหภูมิขณะวัด 27 องศาเซลเซียส
5. ช่วงแรงดันของการวัดไม่เกิน ± 10 โวลต์

เมื่อเครื่องทำการวัดค่าความจุไฟฟ้าแล้วจะแสดงผลค่าความจุไฟฟ้าที่วัดได้ต่อค่าความจุไฟฟ้าจำเพาะ (C_{ox}) และคำนวณค่าพารามิเตอร์อื่น ๆ ที่จำเป็นในการคำนวณตัวแปรเกี่ยวกับทรานซิสเตอร์ระบบ MOS คือ

ก. N_{sub} คือค่าความหนาแน่นของประจุบริเวณฐานรอง

$$N_{sub} = [4\sigma_f / q\epsilon_0 K_{si}] [C_{s(min)} / A]^2 \quad (4.2-6)$$

โดยที่ σ_f คือค่าพลังงานเฟอร์มิของฐานรองมีค่า

$$\sigma_f = \pm (KT/q) \ln(N_{sub}/n_i)$$

q คือประจุอิเล็กตรอน ($1.602 \times 10^{-19} \text{ C}$)

ϵ_0 คือค่าเฟอร์มิตีวีตีของสุญญากาศ ($8.854 \times 10^{-14} \text{ F/cm}$)

K_{si} คือค่าคงที่ไดอิเล็กทริกของ Si (11.7)

$C_{s(min)}$ คือค่าความจุไฟฟ้าต่ำสุดของ space charge capacitance มีค่า

$$C_{s(min)} = (C_{min} C_{ox}) / (C_{ox} - C_{min})$$

A คือค่าพื้นที่ของตัวเก็บประจุ

K คือค่าคงที่ของ โบสมานต์ ($1.38 \times 10^{-23} \text{ J/K}$)

T คืออุณหภูมิสัมบูรณ์

n_i คือค่าความหนาแน่นประจุของสารกึ่งตัวนำบริสุทธิ์ มีค่า

$$n_1 = (3.9 \times 10^{16}) T^{(3/2)} \text{EXP}(-1.21q/2KT)$$

ข. Cfb คือค่าความจุไฟฟ้าของแบนด์ (flat band capacitance)

$$Cfb = (Cox \ Csfb)/(Cox+Csfb) \quad (4.2-7)$$

โดยที่ Cox คือค่าความจุไฟฟ้าของชั้นฉนวนออกไซด์

Csfb คือค่าความจุไฟฟ้าของช่วงปลอดพาหะขณะแบนด์ มีค่า

$$Csfb = (\sqrt{2} \ A \ \epsilon_0 \ Ksi) / \lambda$$

$$\lambda = \sqrt{(2KT \ \epsilon_0 \ Ksi) / (q^2 \ Nsub)}$$

โดยที่ λ คือค่าความยาวของเดอรับายด์ (Debye length)

ค. Vfb คือค่าแรงดันซึ่งใกล้เคียงกับจุดที่ใช้คำนวณค่า Cfb

ง. Qss/q คือค่าประจุที่ผิวต่อพื้นที่ มีค่า

$$Qss/q = (Cox/Aq)(\phi_w - \phi_f - V_{fb}) \quad (4.2-8)$$

โดยที่ ϕ_w คือค่าฟังก์ชันงานของโลหะ (-0.6V) อลูมิเนียม

จ. V_{fn} คือค่าแรงดันขีดเริ่ม มีค่า

$$V_{fn} = Vfb + 2\phi_f + (A \ Qb / Cox) \quad (4.2-9)$$

โดยที่ Qb คือจำนวนประจุต่อหนึ่งหน่วยพื้นที่ มีค่า

$$Qb = \pm(Nsub \ q \ \epsilon_0 \ Ksi) / Cs(min)$$

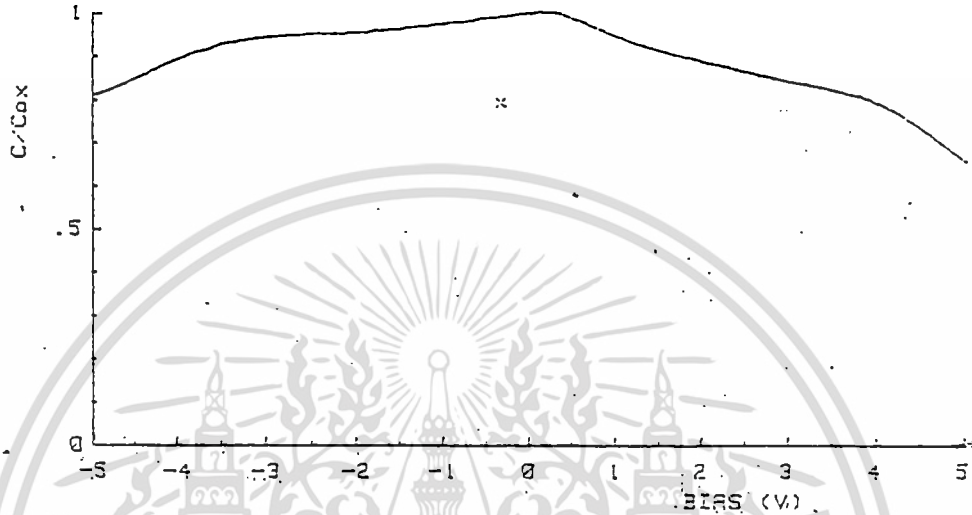
ค่าทั้งหมดจะถูกเขียนบนกระดาษแสดงผล ดังผลการทดลองในรูปที่ 4.2-2

C-V CHARACTERISTICS

HP 4061A

SAMPLE# M2

FREQ= 100kHz T= 298K
 AREA= 4.00E-02cm² Nox= 7004
 Cox= 32.95pF Vch= -.3396V
 Cfb= 60.38pF Vfb= .15V
 Nsub= 2.7E+12/cm³ Qss/q= 9.0E+09/cm²



รูปที่ 4.2-2 แสดงตัวอย่างผลการทดลองวัดค่าความจุไฟฟ้าของตัวเก็บประจุแบบ MOIS (C_c)

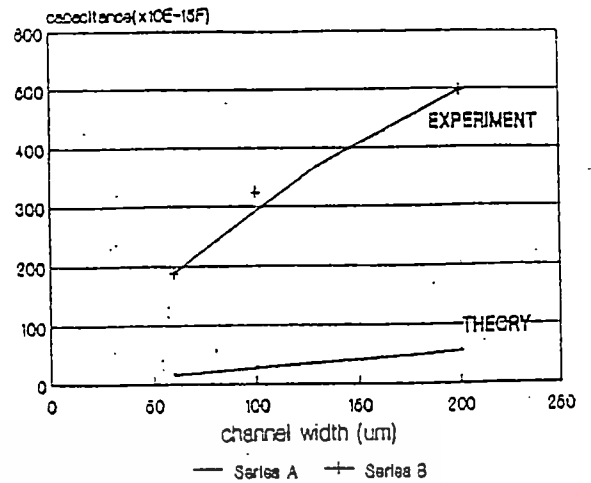
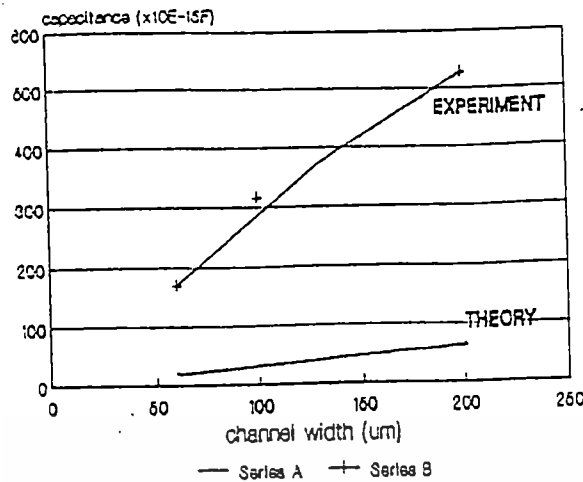
ค่าตัวเก็บประจุไฟฟ้า C_{j0} และ C_{js} ซึ่งเกิดจากรอยต่อขั้วตรงและขอสกับฐานรอง ซึ่งในขณะที่ใช้งานทรานซิสเตอร์โครงสร้างแบบ MOIS ตัวฐานรองของทรานซิสเตอร์จะปล่อยลอยเอาไว้โดยไม่ต่อไฟเลี้ยง ดังนั้นตัวเก็บประจุทั้งสองจึงไม่ส่งผลใดๆต่อการทำงานของ MOISFET

หลังจากทราบค่าความจุไฟฟ้าทั้งสามคือ C_D , C_S และ C_C แล้วทำการทดลองวัดค่าความจุไฟฟ้าขาเข้าของ MOISFET ทั้งสองชนิด ที่ค่าแรงดันขั้วเกตมีค่า 5 โวลต์ และแรงดัน V_{DS} มีค่าสูงสุด 10 โวลต์ โดยทำการวัดขณะที่ทรานซิสเตอร์ทำงานในช่วงอิมิตัว และไม่อิมิตัวคือ

ช่วงไม่อิมิตัววัดที่ $V_{DS} = 1.5$ โวลต์

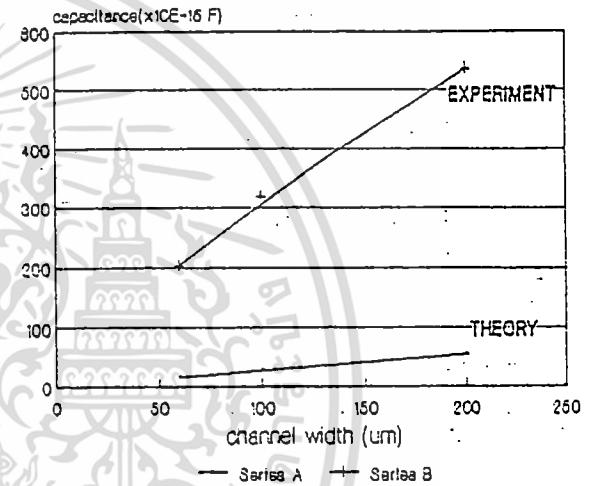
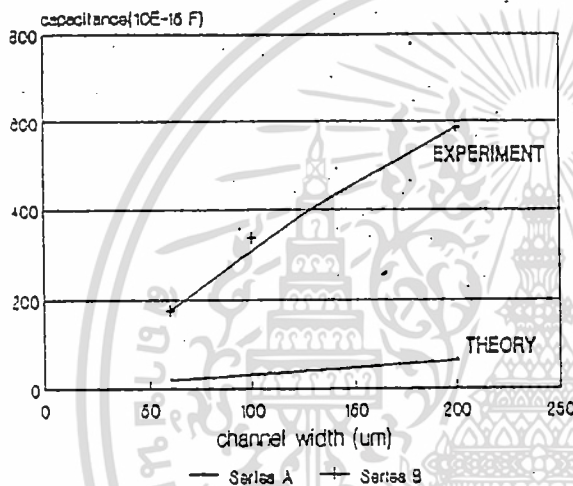
ช่วงอิมิตัววัดที่ $V_{DS} = 5$ โวลต์

เมื่อได้ค่าความจุไฟฟ้าแล้วทำการเขียนกราฟเปรียบเทียบระหว่างค่าที่คำนวณได้กับค่าที่ได้จากการทดลอง จะเห็นไปดังรูปที่ 4.2-3



ก. PMOIS ช่วงไม่มีเกต

ข. PMOIS ช่วงมีเกต



ค. NMOIS ช่วงไม่มีเกต

ง. NMOIS ช่วงมีเกต

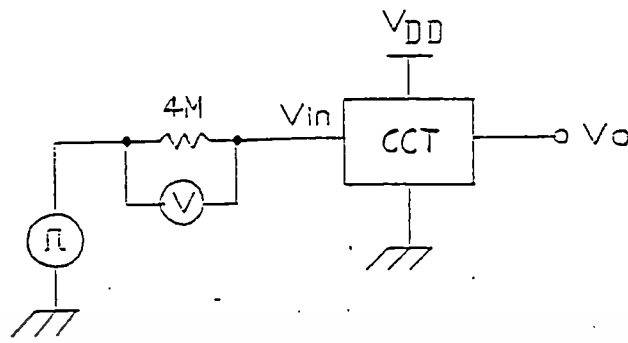
รูปที่ 4.2-3 แสดงผลการเปรียบเทียบค่าความจุไฟฟ้าขาเข้าของ MOISFET ที่ได้จากการทดลอง และการคำนวณ

4.3 การทดลองและผลการทดลองวัดกระแสขาเข้าของวงจรรับสัญญาณขาเข้าแบบกลับเฟส และไม่กลับเฟสกับสัญญาณขาเข้า

เมื่อพิจารณาจาวงจรรับสัญญาณขาเข้าทั้งแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้าจะพบว่า จุดแรงดันขาเข้าจะเชื่อมต่อกับขั้วเกตของทรานซิสเตอร์ชนิด PMOIS และ NMOIS อย่างละหนึ่งตัว ซึ่งเมื่อพิจารณาจากวงจรสมมูลย์ของทรานซิสเตอร์แล้วจะพบว่าจุดแรงดันขาเข้าของทรานซิสเตอร์คือ ตัวเก็บประจุไฟฟ้า C_0 , C_g และ C_c ต่อขนานกันอยู่ ดังนั้น ค่ากระแสขาเข้าที่ไหลเข้าสู่วงจรคือค่ากระแสที่ไหลไปประจุตัวเก็บประจุทั้ง 3 ตัวนั้น

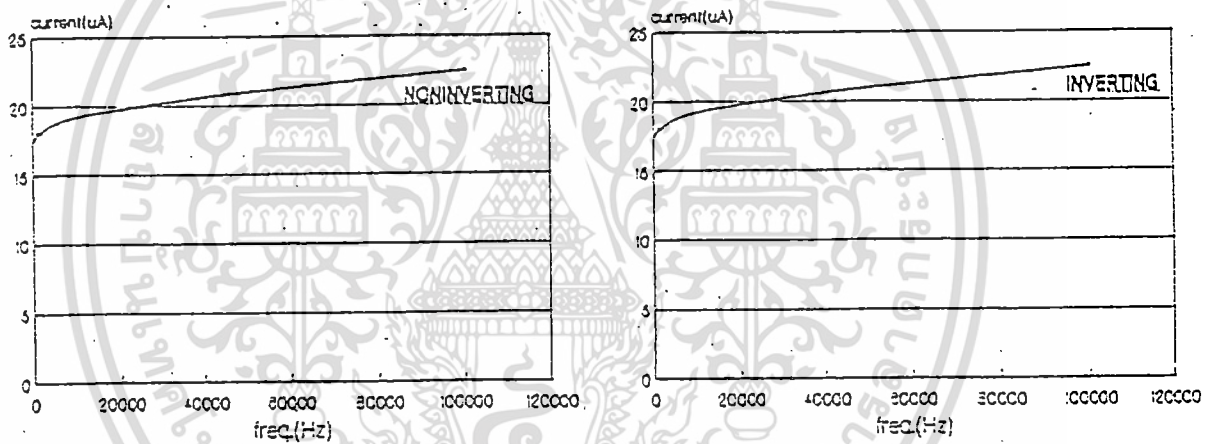
เมื่อตัวเก็บประจุไฟฟ้าแสดงอิทธิพลต่อกระแสขาเข้า ดังนั้นในการทดสอบจึงจำเป็นต้องป้อนสัญญาณ

ไม่สลับแอมป์จอร์ แล้วทำการวัดค่ากระแสซึ่งไหลเข้าวงจอร์ และเนื่องจากวงจอร์ที่สร้างขึ้นนิยมนำไปใช้ เป็นวงจอร์รวมทางตรรก ดังนั้นสัญญาณไม่สลับที่บ่อนแอมป์จอร์จึงเป็นสัญญาณสี่เหลี่ยม ดังรูปที่ 4.3-1



รูปที่ 4.3-1 แสดงวงจอร์ทดสอบค่ากระแสขาเข้าของวงจอร์รับสัญญาณขาเข้า

ตัวความต้านทาน 4 MΩ จะเป็นตัวตรวจสอบค่ากระแสที่ไหลเข้าสู่วงจอร์ โดยอ่านค่าแรงดันซึ่งปรากฏที่โวลต์มิเตอร์ (ใช้ CRT) แล้วคำนวณค่ากระแสที่ไหลผ่านตัวความต้านทาน จากนั้นทำการบันทึกค่ากระแสสูงสุดที่ค่าความถี่ต่าง ๆ ที่บ่อนแอมป์จอร์ ผลการทดลองเป็นไปดังรูปที่ 4.3-2



ก. แบบไม่กลับเฟส

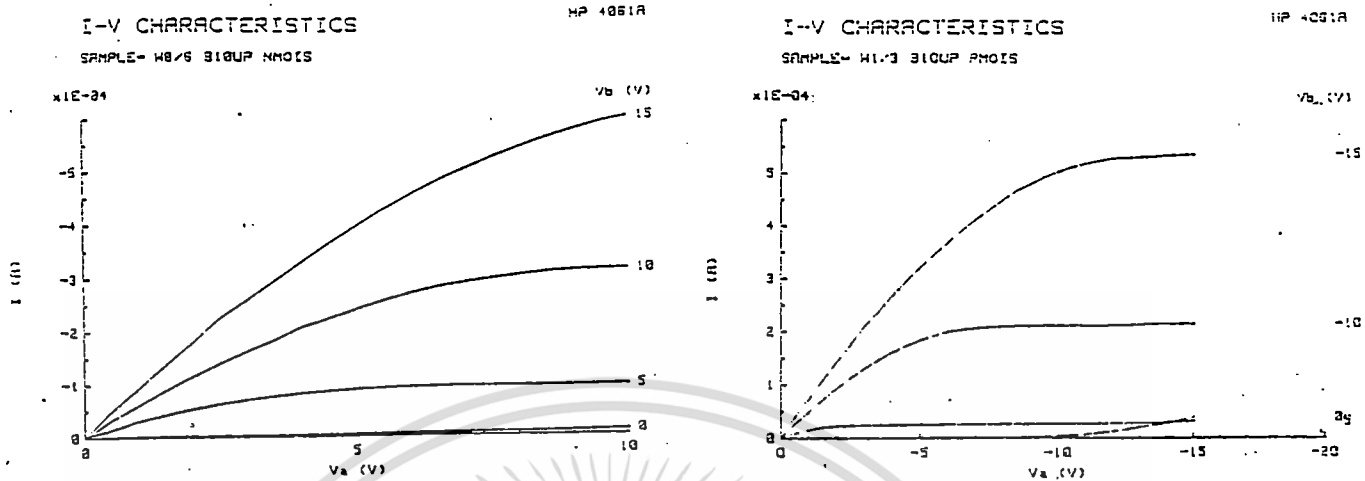
ข. แบบกลับเฟส

รูปที่ 4.3-2 แสดงผลการวัดค่ากระแสขาเข้าของวงจอร์รับสัญญาณขาเข้าที่ความถี่ต่าง ๆ (โดย HPG)

4.4 การทดลองและผลการทดลองวัดค่ากระแสขาออกของวงจอร์ส่งสัญญาณขาออกแบบกลับเฟส และไม่กลับเฟสกับสัญญาณขาเข้า

เมื่อพิจารณาวงจอร์ส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า ซึ่งมีลักษณะของวงจอร์เช่นเดียวกับวงจอร์รับสัญญาณขาเข้า แต่ต่างกันที่ขนาดของทรานซิสเตอร์ซึ่งขับกระแสตามต้องการ จะพบว่าขณะที่วงจอร์ส่งสัญญาณขาออกสถานะสูง ตัวจ่ายกระแสแก่วงจอร์ภายนอกคือทรานซิสเตอร์ชนิด PMOIS และขณะที่วงจอร์ส่งสัญญาณขาออกสถานะต่ำ ตัวที่รับกระแสจากวงจอร์ภายนอกคือทรานซิสเตอร์ชนิด NMOIS ดังนั้นในการทดสอบการรับและจ่ายกระแสของวงจอร์คือ การพิจารณาคุณสมบัติกระแสและ

แรงดันของทรานซิสเตอร์ซึ่งทำหน้าที่ดังที่กล่าวมาแล้ว ฉะนั้นการทดสอบในหัวข้อนี้จึงเป็นการทดสอบค่ากระแสและแรงดันโดยใช้เครื่อง HP 4061A วัดค่ากระแสและแรงดันของทรานซิสเตอร์ซึ่งทำงานตามสภาวะดังกล่าวเท่านั้น ผลการทดลองเป็นไปดังรูปที่ 4.4-1



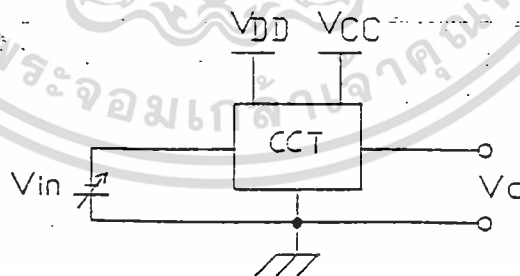
ก. SOURCE CURRENT (PMOIS)

ข. SINK CURRENT (NMOIS)

รูปที่ 4.4-1 แสดงกระแสขาออกของวงจрс่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

4.5 การทดลองและผลการทดลองวัดการเชื่อมต่อแรงดันระหว่างระบบ CMOIS กับระบบ TTL ของวงจрс่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

การใช้งานวงจรเชื่อมต่อแรงดันแบบกลับเฟสและไม่กลับเฟส นิยมใช้เชื่อมต่อแรงดันระหว่างแรงดันสูงของระบบ CMOIS ซึ่งมีค่ามากกว่า 5 โวลต์ กับระบบซึ่งใช้ค่าแรงดัน 5 โวลต์ ดังนั้นในการทดสอบวงจรดังกล่าว จะทำการจ่ายศักดาไฟเลี้ยงในส่วนของแรงดันขาออกของวงจรให้มีค่า 5 โวลต์ และ 10 โวลต์ และจ่ายศักดาไฟเลี้ยงแก่วงจรส่วนต้น สูงกว่า 5 โวลต์ แล้วพิจารณาการเชื่อมต่อแรงดันดังกล่าว ซึ่งการทดสอบวงจรดังกล่าวข้างต้นจะใช้วงจรดังรูปที่ 4.5-1



รูปที่ 4.5-1 แสดงวงจรทดสอบคุณสมบัติการส่งผ่านแรงดันของวงจร

เมื่อต่อวงจรเรียบร้อยแล้ว ทำการจ่ายแรงดันไฟเลี้ยงแก่วงจร V_{DD} และ V_{CC} แล้วทำการเปลี่ยนแปลงค่าแรงดันขาเข้าของวงจร (V_{in}) จากค่าแรงดัน 0 โวลต์ ไปสู่ค่าแรงดัน V_{DD} ของวงจร ทำการบันทึกการเปลี่ยนแปลงของแรงดันขาออกด้วยเครื่องบันทึกสองแกน โดยแกน X ของเครื่องจะ

แทนแรงดันขาเข้า V_{in} และแกน Y ของเครื่องจะแทนแรงดันขาออก V_o แล้วนำผลการทดลองที่ได้มาหาค่าแรงดันต่าง ๆ คือ

1. แรงดันขาออกสถานะสูง (V_{OH}) คือค่าแรงดันขาออกขณะที่วงจรมีอยู่ในสถานะสูง
 2. แรงดันขาออกสถานะต่ำ (V_{OL}) คือค่าแรงดันขาออกขณะที่วงจรมีอยู่ในสถานะต่ำ
 3. แรงดันเปลี่ยนสถานะของวงจร (V_{tn}) คือจุดที่แรงดันขาเข้าเท่ากับแรงดันขาออก
- ผลการทดลองแสดงได้ดังตารางที่ 4.5-1

ตารางที่ 4.5-1 แสดงผลการทดสอบวงจรเชื่อมแรงดันขาออกแบบกลับเฟสและไม่กลับเฟส.

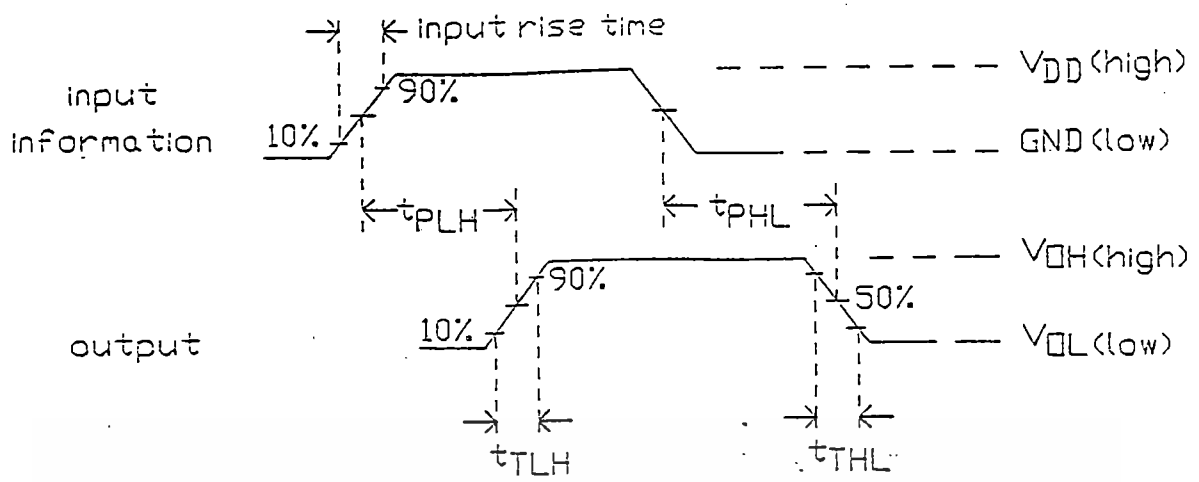
CIRCUIT	V_{DD}	V_{CC}	PARAMETER			UNIT
			V_{OH}	V_{OL}	V_{tn}	
กลับเฟส	10	10	9.8	0.1	4.6	V
กลับเฟส	10	5	4.9	0.1	2.3	V
ไม่กลับเฟส	10	10	9.9	0.1	4.6	V
ไม่กลับเฟส	10	5	4.9	0.1	2.3	V

4.6 การทดลองและผลการทดลอง วัดการตอบสนองต่อสัญญาณชั่วคราว

การทดลองและการตอบสนองต่อสัญญาณชั่วคราวของ วงจรพื้นฐานของการออกแบบเกทอะเรียรี่ กระทำโดยป้อนสัญญาณนาฬิกาขนาดเท่าแรงดันไฟเลี้ยงซึ่งมีค่าความถี่คงที่ค่าหนึ่ง แก่วงจร โดยที่วงจรมีทำงานอยู่ในสภาวะแรงดันไฟเลี้ยงคงที่ที่เหมาะสมค่าหนึ่ง ซึ่งการทดสอบวงจรในวิทยานิพนธ์ฉบับนี้ใช้ค่าแรงดัน 10 โวลต์ เป็นส่วนใหญ่ (ยกเว้นวงจรมีเชื่อมแรงดันเท่านั้นที่ค่าแรงดันไฟเลี้ยงแตกต่างกัน) แล้วทำการบันทึกค่าเวลาต่าง ๆ ที่จำเป็นที่ผู้ออกแบบวงจรต้องการทราบ ดังรูปที่ 4.6-1

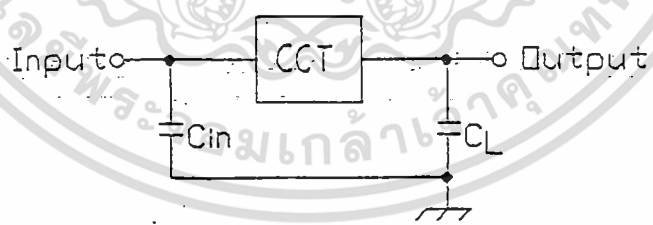
จากรูปที่ 4.6-1 สามารถแสดงค่าจำกัดความของค่าเวลาแต่ละชนิดคือ

1. t_{TLH} (Transition LOW to High state time) คือค่าเวลาที่ใช้ในการเปลี่ยนสถานะจากสถานะต่ำไปสถานะสูง โดยคิดเวลาในการเปลี่ยนแปลงของสัญญาณจากจุด 10 % ของแรงดันถึงจุด 90% ของแรงดัน



รูปที่ 4.6-1 แสดงลักษณะของสัญญาณนาฬิกาที่ใช้ทดสอบวงจรที่สร้างขึ้น

2. t_{THL} (Transition High to LOW state time) คือค่าเวลาที่ใช้ในการเปลี่ยนสถานะจากสถานะสูง ไปสถานะต่ำ โดยคิดเวลาในการเปลี่ยนแปลงของสัญญาณจากจุด 90% ของแรงดันถึงจุด 10% ของแรงดัน
 3. t_{PLH} (Propagation LOW to High state time) คือค่าเวลาหน่วงของสัญญาณจากจุดที่สัญญาณขาเข้าเปลี่ยนแปลงแล้ว 50% ถึงจุดที่สัญญาณขาออกเปลี่ยนแปลง 50% โดยใช้เวลาในช่วงสัญญาณขาเข้าเปลี่ยนจากสถานะต่ำไปสถานะสูง
 4. t_{PHL} (Propagation High to LOW state time) คือค่าเวลาหน่วงของสัญญาณเช่นเดียวกับ t_{PLH} แต่คิดในช่วงเวลาที่สัญญาณขาเข้าเปลี่ยนจากสถานะสูง ไปสู่สถานะต่ำ
- เพื่อให้ผลการทดสอบวงจรได้ค่าที่ถูกต้อง จึงจำเป็นต้องจำลองสถานะการในการใช้งานวงจรขึ้น ในการทดสอบค่าเวลาต่าง ๆ โดยวงจรที่ใช้ทดสอบจะเป็น ไปดังรูปที่ 4.6-2



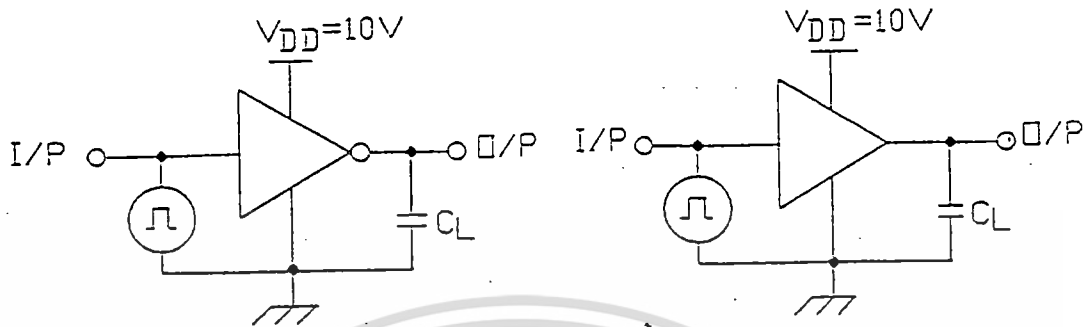
รูปที่ 4.6-2 แสดงวงจรที่ใช้ทดสอบการตอบสนองต่อสัญญาณชั่วคราว

จากวงจรในรูปที่ 4.6-2 ค่า C_{in} คือค่าความจุไฟฟ้าซึ่งเกิดจากค่าความจุไฟฟ้าขาเข้าของเครื่องมือวัด (CRT) และค่า C_L คือค่าตัวเก็บประจุซึ่งแทนตัวเก็บประจุของวงจรในสถานะต่อไป ในวิทยานิพนธ์ฉบับนี้ใช้ค่า 50 PF ตามมาตรฐานของการทดสอบวงจรรวมแบบ CMOS ทั่ว ๆ ไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.1 วงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

ในการทดสอบค่าเวลาการตอบสนองต่อสัญญาณชั่วคราวของวงจรรับสัญญาณขาเข้าทั้งสองแบบ จะใช้วงจรดังรูปที่ 4.6-2 แล้วทำการป้อนสัญญาณนาฬิกาแก่วงจรโดยให้ค่าความถี่ของสัญญาณนาฬิกามีค่า 1 KHz ดังรูปที่ 4.6-3



รูปที่ 4.6-3 แสดงวงจรทดสอบค่าเวลาในการตอบสนองต่อสัญญาณชั่วคราวของวงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟส

และเนื่องจากสัญญาณขาออกของวงจรแบบกลับเฟสมีลักษณะตรงกันข้ามกับสัญญาณขาเข้า ดังนั้นในการนิยามค่าเวลา t_{PLH} และ t_{PHL} จึงจำเป็นต้องทำการกลับเฟสของสัญญาณ โดยใช้เครื่องมือวัดในการกลับเฟส (CRT ทั่ว ๆ ไปสามารถกลับเฟสของสัญญาณในช่วงที่ 2 ได้) ผลการทดลองเป็นไปดังตารางที่ 4.6.1-1

ตารางที่ 4.6.1-1 แสดงค่าเวลาของการตอบสนองต่อสัญญาณชั่วคราวของวงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

CIRCUIT	T_{TLH} (μs)	T_{THL} (μs)	T_{PLH} (μs)	T_{PHL} (μs)
INVERTING	6.9	10.1	3.6	5.9
NONINVERTING	18.7	24.3	9.4	14.3

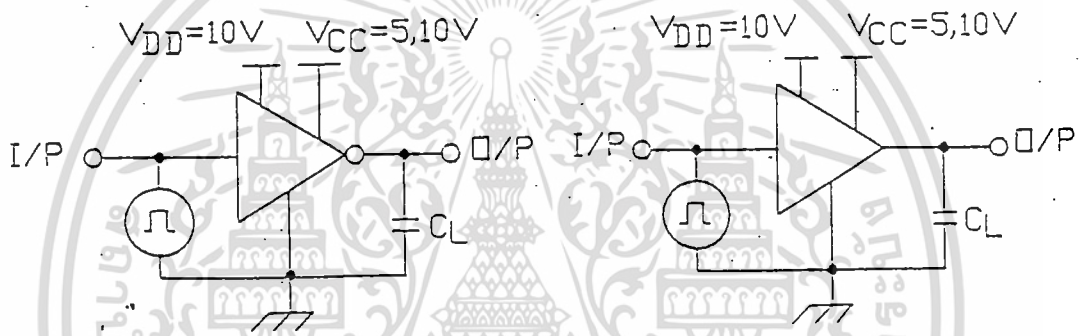
4.6.2 วงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

การทดสอบค่าเวลาของการตอบสนองต่อสัญญาณชั่วคราวของวงจรส่งสัญญาณขาออกทั้งแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า ที่มีลักษณะของวงจรเช่นเดียวกันกับวงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสตามลำดับ จะใช้วงจรทดสอบและสภาวะของการทดสอบเช่นเดียวกัน ผลการทดสอบแสดงได้ดังตารางที่ 4.6.2-1

ตารางที่ 4.6.2-1 แสดงค่าเวลาของการตอบสนองต่อสัญญาณชั่วคราวของ วงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า ที่วงจรซึ่งมีลักษณะเช่นเดียวกันกับวงจรรับสัญญาณขาเข้า

CIRCUIT	T_{TLH} (μs)	T_{THL} (μs)	T_{PLH} (μs)	T_{PHL} (μs)
INVERTING	2.8	3.9	1.6	1.9
NONINVERTING	6.3	9.6	3.1	4.6

เช่นเดียวกันกับวงจรทดสอบดังรูปที่ 4.6-3 แต่ลักษณะของการจ่ายศักดาไฟเลี้ยงจะแตกต่างกันดังรูปที่ 4.6-4



รูปที่ 4.6-4 แสดงวงจรทดสอบค่าเวลาในการตอบสนองต่อสัญญาณชั่วคราวของวงจรเชื่อมแรงดัน จากรูปที่ 4.6-4 จะทำการจ่ายค่าแรงดันไฟเลี้ยง V_{DD} มีค่าเท่ากับ 10 โวลต์ และจ่ายค่าแรงดัน

ตารางที่ 4.6.2-2 แสดงค่าเวลาของการตอบสนองต่อสัญญาณชั่วคราวของวงจรเชื่อมแรงดันแบบกลับเฟสและไม่กลับเฟส

CIRCUIT	V_{DD} (V)	V_{CC} (V)	T_{TLH} (μs)	T_{THL} (μs)	T_{PLH} (μs)	T_{PHL} (μs)
CONVERTER แบบกลับเฟส	10	10	15	5.7	32	10.1
	10	5	31	10	62	22
CONVERTERแบบไม่กลับเฟส	10	10	16	5	30.1	10.9
	10	5	21	12	42	25

V_{CC} มีค่า 10 และ 5 โวลต์ โดยที่ค่าแรงดันขาเข้า V_{in} จะมีค่าสูงสุดเท่ากับ V_{DD} ทำการทดลองเพื่อหาค่าเวลาต่าง ๆ ในลักษณะเดียวกับวงจรส่งสัญญาณขาออกที่กล่าวมาแล้ว ผลการทดลองแสดงได้ดังตารางที่ 4.6.2-2

4.6.3 วงจรทางตรรกพื้นฐาน

การทดสอบค่าเวลาในการตอบสนองต่อสัญญาณชั่วคราวของวงจรรวมทางตรรกแบบต่าง ๆ มีเงื่อนไขในการทดสอบวงจรแต่ละวงจรแตกต่างกัน การพิจารณาจะแยกกัน

พิจารณาวงจร NOR เกทแบบ 4 input และวงจร NAND เกทแบบ 4 input

ในการทดลองหาค่าเวลาการตอบสนองต่อสัญญาณชั่วคราวของวงจรทั้งสองตามที่ได้กล่าวถึงในบทที่ 3 สามารถแยกพิจารณาได้เป็น 2 กรณีใหญ่ ๆ คือ กรณีที่ 1 กระทำโดยเชื่อมแรงดันขาเข้าของวงจรทั้งสี่เข้าด้วยกันแล้วป้อนสัญญาณขาเข้าเป็นสัญญาณนาฬิกาแก่วงจร (All input switching) และกรณีที่ 2 คือทำการป้อนสัญญาณนาฬิกาแก่จุดแรงดันขาเข้าเพียงขาเดียว ส่วนแรงดันขาเข้าอื่น ๆ ที่เหลือ จะมีสถานะทางตรรกอยู่ก่อนแล้ว (Single input switching) และในทำนองเดียวกันสัญญาณที่ป้อนแก่วงจรจะเป็นสัญญาณนาฬิกาเช่นเดียวกับวงจรอื่น ๆ ที่กล่าวมาแล้ว ผลการทดลองแสดงดังตารางที่ 4.6.3-1

ตารางที่ 4.6.3-1 แสดงผลการทดลองค่าเวลาในการตอบสนองต่อสัญญาณชั่วคราวของวงจร NOR และ NAND เกทแบบ 4 input

วงจร	สภาวะ	$T_{TLH} (\mu s)$	$T_{THL} (\mu s)$	$T_{PLH} (\mu s)$	$T_{PHL} (\mu s)$
NOR	ALL INPUT SWITCHING	15.6	7	7	3.2
	SINGLE INPUT SWITCHING	8	9	3.5	6
NAND	ALL INPUT SWITCHING	2	124	1	62
	SINGLE INPUT SWITCHING	7	10	4	6

พิจารณาวงจรอินเวอร์เตอร์

วงจรอินเวอร์เตอร์ที่ใช้เป็นวงจรพื้นฐานทางตรรกของการออกแบบเกตอะเรย์ เป็นวงจรที่มีขนาดของทรานซิสเตอร์ทั้งสองชนิดคือ PMOS และ NMOIS เช่นเดียวกันกับวงจรรับสัญญาณขาเข้าแบบกลับเฟส ดังนั้นในการหาค่าเวลาของการตอบสนองต่อสัญญาณชั่วคราวของวงจรอินเวอร์เตอร์จึงควรมีค่าเช่นเดียวกันกับวงจรรับสัญญาณขาเข้าดังกล่าวมาแล้ว ดังนั้นจะไม่กล่าวถึงอีก

นิยามวงจรเอ็กคลูซีฟออกเกต

- เนื่องจากการเปลี่ยนแปลงสถานะทางแรงดันของวงจรเอ็กคลูซีฟออกเกต แบ่งได้เป็น 2 กรณีคือ
- กรณีที่ 1 เป็นการเปลี่ยนแปลงค่าแรงดันขาออกของวงจรจากสถานะต่ำ ไปเป็นสถานะสูง โดยที่เดิมค่าแรงดันขาเข้าของวงจรทั้งสองเป็นสถานะเดียวกัน (สูงหรือต่ำทั้งคู่) แล้วแรงดันขาเข้าแรงดันใดแรงดันหนึ่งเกิดการเปลี่ยนแปลง
- กรณีที่ 2 เกิดขึ้นโดยแรงดันขาออกของวงจรเปลี่ยนจากแรงดันสถานะสูง ไปเป็นสถานะต่ำ โดยที่เดิมค่าแรงดันขาเข้าทั้งสองของวงจรเป็นสถานะที่แตกต่างกัน แล้วแรงดันใดแรงดันหนึ่งเกิดการเปลี่ยนแปลง เป็นแรงดันเดียวกับแรงดันที่เหลือ

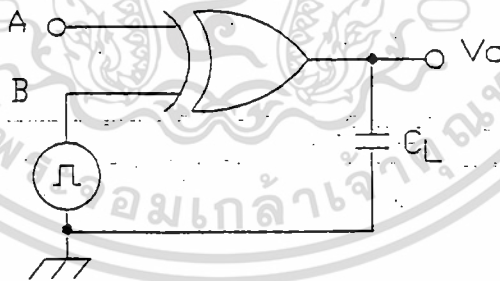
ดังนั้น ในการทดสอบค่าเวลาของการตอบสนองต่อสัญญาณชั่วคราว จะแบ่งการทดสอบดังนี้คือ

1. ค่าเวลาต่าง ๆ แยกการทดสอบออกเป็น 2 กรณีคือ

1.1 เดิมค่าแรงดันขาเข้าของวงจรเป็นสภาวะต่ำทั้งคู่แล้วค่าแรงดันใดแรงดันหนึ่งเกิดการเปลี่ยนแปลงแรงดันไปเป็นแรงดันตรงกันข้าม กระทำโดยจ่ายศักดาไฟเลี้ยง GND แก่จุดแรงดันขาเข้าจุดหนึ่ง แล้วบ้อนสัญญาณนาฬิกาแก่จุดแรงดันขาเข้าที่เหลือ

1.2 เดิมค่าแรงดันขาเข้าของวงจรเป็นแรงดันสภาวะสูงทั้งคู่แล้วค่าแรงดันใดแรงดันหนึ่งเกิดการเปลี่ยนแปลงแรงดันไปเป็นแรงดันต่ำ กระทำโดยจ่ายศักดาไฟเลี้ยง V_{DD} แก่จุดแรงดันขาเข้าจุดหนึ่งแล้วบ้อนสัญญาณนาฬิกาแก่จุดแรงดันขาเข้าที่เหลือ

ทั้งสองกรณีแสดงวงจรทดสอบได้ดังรูปที่ 4.6-5



รูปที่ 4.6-5 แสดงวงจรทดสอบค่าเวลา T_{TLH} และ T_{PLH} ของวงจร XOR

จากการทดสอบทั้งสองกรณีข้างต้น จะแสดงผลการทดลองเป็นไปดังตารางที่ 4.6.3-2

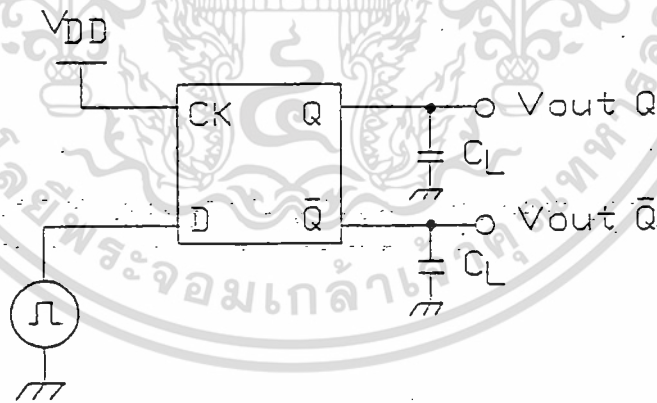
ตารางที่ 4.6.3-2 แสดงค่าเวลาของการตอบสนองต่อสัญญาณชั่วคราวของวงจร XOR

INPUT		OUTPUT			
A	B	$T_{TLH} (\mu s)$	$T_{THL} (\mu s)$	$T_{PLH} (\mu s)$	$T_{PHL} (\mu s)$
V_{DD}	CK	24	20	12	10
GND	CK	21	24	10	13

4.6.4 วงจรทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกา

ในลักษณะเดียวกันกับวงจรทางตรรกพื้นฐาน การทดสอบค่าเวลาในการตอบสนองต่อสัญญาณชั่วคราวของวงจรทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกา จะแยกเป็นกรณีแต่ละวงจรพิจารณาวงจร D-FF

ในการทดสอบค่าเวลาต่าง ๆ ของวงจร D-FF กระทำโดยป้อนสัญญาณสถานะสูงแก่จุดสัญญาณขาเข้าซึ่งควบคุมสัญญาณขาออก (ขา CK) เพื่อให้สัญญาณขาเข้าที่จุด D ปรากฏที่สัญญาณขาออกโดยทันที ดังรูปที่ 4.6-6



รูปที่ 4.6-6 แสดงวงจรทดสอบค่าเวลาตอบสนองต่อสัญญาณชั่วคราวของวงจร D-FF

ทำการป้อนสัญญาณสี่เหลี่ยมเข้าที่ขาแรงดันขาเข้า D แล้วทำการทดสอบค่าเวลาตอบสนองต่อสัญญาณชั่วคราวต่าง ๆ ผลการทดลองแสดงได้ดังตารางที่ 4.6.4-1

ตารางที่ 4.6.4-1 แสดงค่าเวลาในการตอบสนองต่อสัญญาณชั่วคราวของวงจร D-FF

V_{OUT}	$T_{THL} (\mu s)$	$T_{TLH} (\mu s)$	$T_{PHL} (\mu s)$	$T_{PLH} (\mu s)$
Q	32.4	29.4	16	18
NOT Q	20.1	24.6	10.9	13

นอกจากค่าเวลาดังตารางที่ 4.6.4-1 แล้ว ค่าเวลาที่สำคัญอันหนึ่งของวงจร D-FF คือค่าเวลา set up และ hold time โดยค่าเวลาทั้งสองนี้จะเป็นค่าเวลาที่ปรากฏที่จุดแรงดันขาเข้า D ของวงจร โดยค่าเวลา set up time จะเกิดจากตัวเก็บประจุไฟฟ้าแฝง ซึ่งปรากฏอยู่ที่จุดแรงดันขาเข้า D ดังนั้นในการทดสอบค่าเวลานี้ จะทำการบ้อนสัญญาณนาฬิกาเข้าที่จุดแรงดันขาเข้า D โดยที่ก่อนจะบ้อนสัญญาณขาเข้า จะทำการวัดค่าเวลาต่าง ๆ ของสัญญาณขาเข้าก่อน และเมื่อบ้อนแรงดันขาเข้าแล้ว ทำการวัดค่าเวลาต่าง ๆ อีกครั้งหนึ่งแล้วพิจารณาค่าเวลาที่เปลี่ยนแปลงไป โดยค่าเวลาที่เปลี่ยนแปลงไปจะเกิดเนื่องจากพฤติกรรมของตัวเก็บประจุแฝงที่กล่าวแล้วนั่นเอง เรียกค่าเวลาดังกล่าวว่า set up time

ค่าเวลา hold time คือค่าเวลาที่แรงดันขาเข้าซึ่งเป็นสถานะทางตรรกที่จุด D จะต้องคงอยู่เพื่อแสดงสถานะทางจุดแรงดันขาออก โดยที่ค่าเวลา hold time นี้จะเกิดขึ้นเนื่องจากทรานซิสเตอร์ซึ่งทำหน้าที่จ่ายสัญญาณ CK ของวงจรซึ่งก็คือทรานสมิทชันเกททั้งสองตัวที่ปรากฏอยู่ในวงจร โดยสัญญาณขาเข้าที่จุด D จะต้องปรากฏอยู่นกระทั่งสัญญาณ CK ได้เหนี่ยวนำในวงจรทรานสมิทชันเกทที่ทำงานอย่างเต็มที่แล้ว ดังนั้นค่าเวลา hold time ที่น้อยที่สุด คือค่าเวลาตอบสนองต่อสัญญาณขาเข้าที่จุดแรงดัน CK ของวงจรมันเอง ผลการทดลองค่าเวลาทั้งสองแสดงได้ดังตารางที่ 4.6.4-2

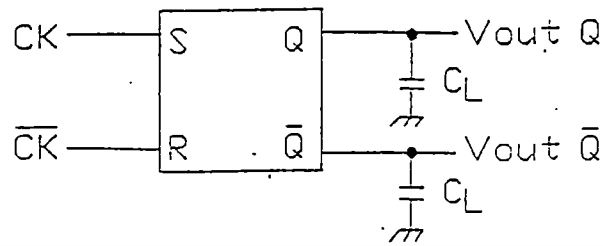
ตารางที่ 4.6.4-2 แสดงค่าเวลา hold time และ set up time ของวงจร D-FF

setup time (μs)	hold time (μs)
30.1	40.9

นิยามวงจร RS FF

เมื่อนิยามการทำงานของวงจร RS FF แล้วพบว่าถ้าต้องการให้สถานะแรงดันขาออกเปลี่ยนแปลงอยู่ตลอดเวลาเพื่อหาค่าเวลาในการตอบสนองต่อสัญญาณชั่วคราวจะต้องทำการบ้อนแรงดัน set และ

reset กลับเฟสกันอยู่ตลอดเวลา ดังนั้นในการทดสอบค่าเวลาในการตอบสนองต่อสัญญาณชั่วคราว จะทำการป้อนสัญญาณนาฬิกาแก่จุดแรงดันขาเข้า R แล้วป้อนสัญญาณนาฬิกาซึ่งกลับเฟส แก่จุดแรงดันขาเข้า S และทำการทดลองค่าเวลาต่าง ๆ ดังรูปที่ 4.6-7 และผลการทดลองแสดงดังตารางที่ 4.6.4-3



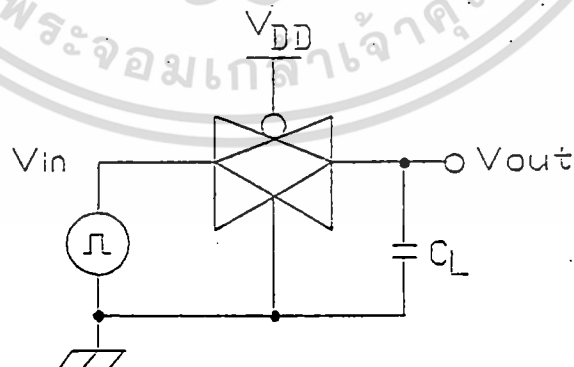
รูปที่ 4.6-7 แสดงวงจรทดสอบค่าเวลาการตอบสนองต่อสัญญาณชั่วคราวของวงจร RS FF

ตารางที่ 4.6.4-3 แสดงผลการทดสอบค่าเวลาการตอบสนองต่อสัญญาณชั่วคราวของวงจร RS FF

V_{out}	$T_{TLH} (\mu s)$	$T_{THL} (\mu s)$	$T_{PLH} (\mu s)$	$T_{PHL} (\mu s)$
Q	7.1	15	3.4	7.8
NOT Q	7.6	18	3.4	9.1

พิจารณาวงจร Transmission Gate แบบ 2 input

ในการทดสอบวงจรทรานสมิตชันเกต จะเป็นลักษณะเช่นเดียวกับวงจร D FF กล่าวคือ การทดสอบ จะทำการป้อนแรงดันไฟเลี้ยง V_{DD} แก่วงจร ณ จุดแรงดันขาเข้า แล้วทำการป้อนแรงดันขาเข้าแก่วงจร ด้วยสัญญาณนาฬิกา และทำการพิจารณาค่าเวลาต่าง ๆ ดังรูปที่ 4.6-8



รูปที่ 4.6-8 แสดงวงจรทดสอบค่าเวลาตอบสนองต่อสัญญาณชั่วคราวของวงจรทรานสมิตชันเกต

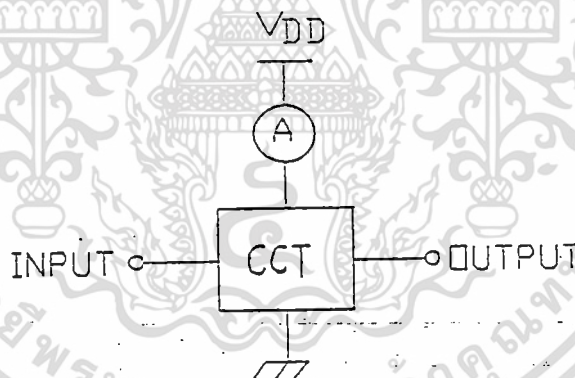
การทดสอบวงจรนี้จะทำการทดสอบเพียงแรงดันขาเข้าข้างเดียวเท่านั้น เนื่องจากจุดแรงดันขาเข้าของวงจรทั้งสองมีความสมมูลกัน ผลการทดลองแสดงได้ดังตารางที่ 4.6.4-4

ตารางที่ 4.6.4-4 แสดงผลการทดลองค่าเวลาการตอบสนองต่อสัญญาณชั่วคราวของวงจร 2 input transmission gate

T_{TLH} (μs)	T_{THL} (μs)	T_{PLH} (μs)	T_{PHL} (μs)
2.4	2.8	1.3	1.8

4.7 การทดลองและผลการทดลองวัดกำลังสูญเสียของวงจร

การวัดค่ากำลังงานสูญเสียของวงจรซึ่งออกแบบและสร้างขึ้นในวิทยานิพนธ์ฉบับนี้ จะทำการวัดค่าพลังงานที่สูญเสียไปของวงจรทั้ง 2 กรณีคือ กรณีที่ 1 วัดค่ากำลังงานสูญเสียขณะวงจรยังไม่ทำงานตามฟังก์ชันของวงจร ซึ่งเรียกการสูญเสียพลังงานแบบนี้ว่า การสูญเสียพลังงานสถิต โดยใช้วงจรดังรูปที่ 4.7-1 ในการทดสอบ



รูปที่ 4.7-1 แสดงวงจรทดสอบกำลังงานสูญเสียของวงจรแบบสถิต

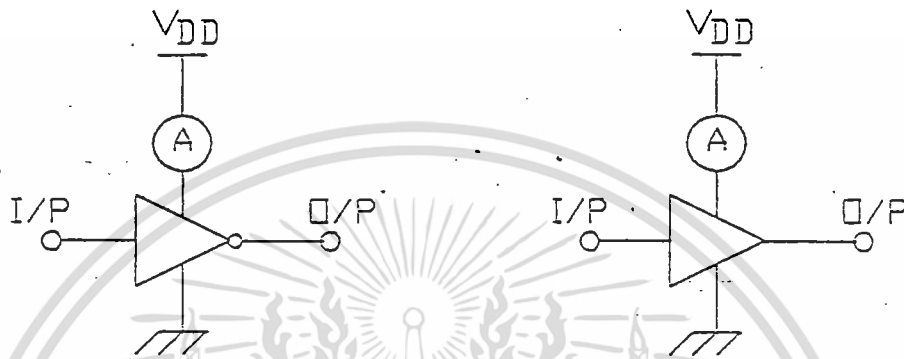
เมื่อทำการต่อวงจรดังรูปที่ 4.7-1 เสร็จเรียบร้อยแล้วทำการปรับศักย์ค่าไฟเลี้ยงค่าต่าง ๆ คือ 5 ,10 , และ 15 โวลต์ แก่วงจร บันทึกค่ากระแสซึ่งไหลออกจากแหล่งจ่ายไฟเลี้ยง พร้อมทั้งเขียนกราฟความสัมพันธ์ระหว่างค่ากำลังงานสูญเสียกับค่าแรงดันไฟเลี้ยง

กรณีที่ 2 เป็นการวัดค่ากำลังงานสูญเสียของวงจรขณะที่วงจรกำลังทำงานตามฟังก์ชันของวงจร การทดลองจะใช้วงจรเดียวกันกับรูปที่ 4.7-1 แต่เพิ่มภาระของวงจรด้วยตัวเก็บประจุไฟฟ้าขนาด 50 PF ที่จุดแรงดันขาออกของวงจร เพื่อจำลองสภาพการทำงานที่แท้จริงขณะวงจรกำลังทำงาน จากนั้นทำ

การบ่อนสัญญาณขาเข้าสู่วงจร โดยที่สัญญาณขาเข้านั้น จะต้องทำให้แรงดันขาออกของวงจรเกิดการเปลี่ยนแปลงสถานะ ผลการทดลองจะแสดง โดยความสัมพันธ์ระหว่างค่ากำลังงานที่สูญเสียไปกับแรงดันไฟเลี้ยง 5 ,10 , และ 15 โวลต์

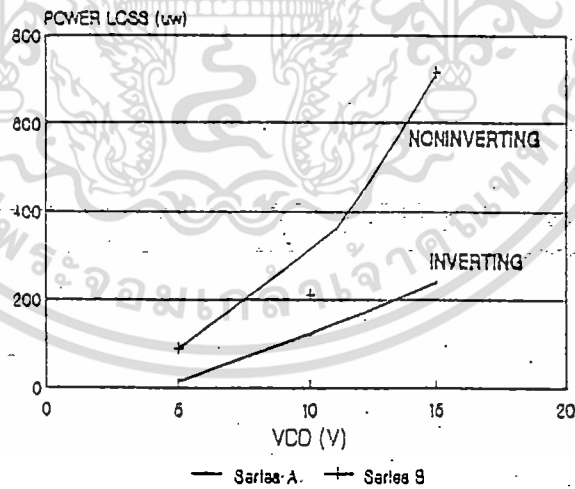
4.7.1 วงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

ในการทดสอบค่ากำลังงานสูญเสียสถิติของ วงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า กระทำโดยต่อวงจรดังรูปที่ 4.7-2



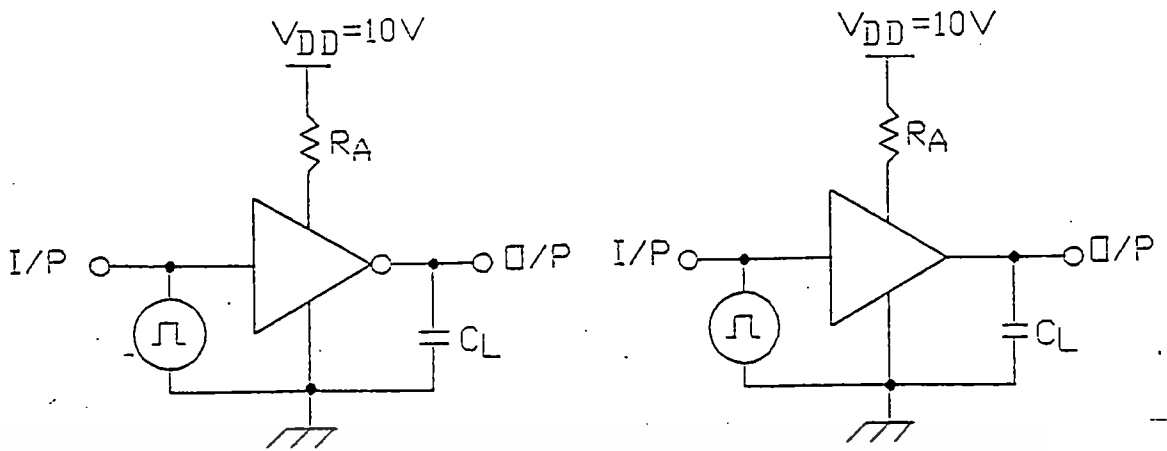
รูปที่ 4.7-2 แสดงวงจรทดสอบค่ากำลังงานสูญเสียแบบสถิติของวงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

ค่าแรงดัน V_{DD} จะเปลี่ยนแปลง 3 ค่าคือ 5 ,10 , และ 15 โวลต์ ทำการบันทึกค่ากระแสที่เปลี่ยนแปลง ผลการทดลองเป็นไปดังรูปที่ 4.7-3



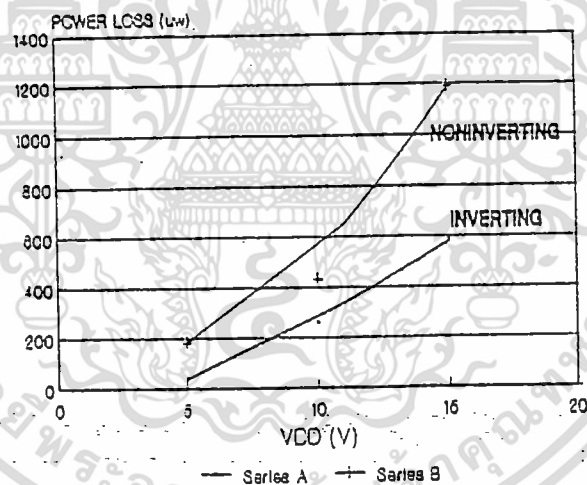
รูปที่ 4.7-3 แสดงค่ากำลังงานสูญเสียแบบสถิติของวงจรรับสัญญาณขาเข้าแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า

การหาค่ากำลังงานสูญเสียขณะวงจรกำลังทำงาน จะใช้วงจรดังรูปที่ 4.7.4



รูปที่ 4.7-4 แสดงวงจรทดสอบค่ากำลังงานสูญเสียของวงจรขณะวงจรกำลังทำงาน

ทำการป้อนค่าแรงดันไฟเลี้ยง V_{DD} มีค่า 5, 10, และ 15 โวลต์ โดยที่ค่าแรงดันไฟเลี้ยงแต่ละค่าจะทำการป้อนสัญญาณรูปสี่เหลี่ยมเข้าที่จุดแรงดันขาเข้า V_{in} การหาค่ากระแสที่ไหลออกจ่ายแหล่งจ่ายไฟเลี้ยง V_{DD} กระทำโดยต่อ R_A เข้าที่แรงดันไฟเลี้ยงดังรูปที่ 4.7.4 มีค่าความต้านทานเท่ากับ 1 k Ω ทำการวัดค่าแรงดันตกคร่อม R_A จากนั้นคำนวณค่ากระแสโดย $I = V_{R_A} / R_A$ ผลการทดลองค่ากำลังสูญเสียเป็นไปดังรูปที่ 4.7-5

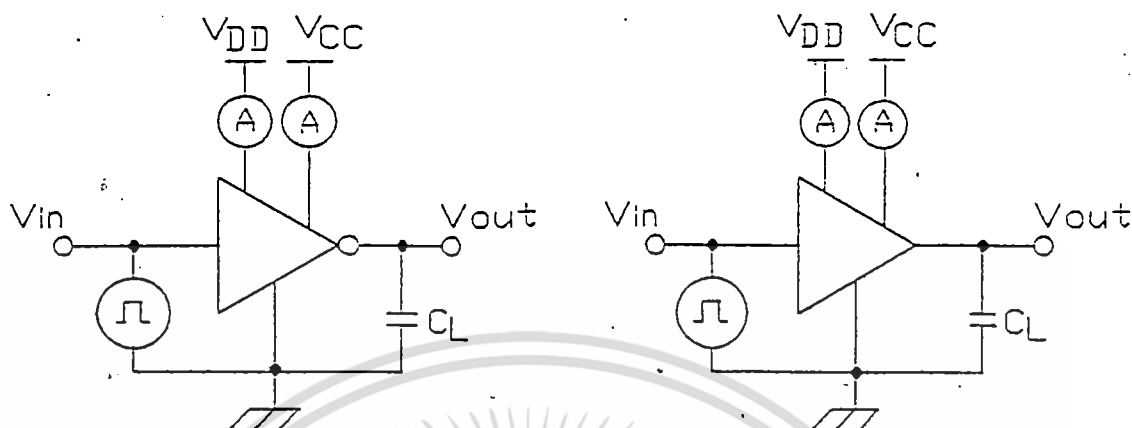


รูปที่ 4.7-5 แสดงค่ากำลังสูญเสียของวงจรขณะวงจรกำลังทำงาน

4.7.2 วงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสของสัญญาณขาเข้า

วงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้า ซึ่งมีวงจรเหมือนกับวงจรรับสัญญาณขาเข้า จะทำการทดสอบด้วยสภาวะเดียวกัน ซึ่งผลการทดลองที่ได้เป็นไปในลักษณะเดียวกันกับวงจรรับสัญญาณขาเข้า ดังนั้นจะไม่ขอกล่าวถึงในที่นี้ ในหัวข้อนี้จะทำการทดสอบค่ากำลังสูญเสียของวงจรเชื่อมแรงดันระหว่างระบบ CMOS และระบบ TTL แบบกลับเฟสและไม่กลับเฟส เนื่องจากวงจรดังกล่าวนี้เป็นวงจรส่งสัญญาณขาออกเช่นเดียวกัน

วงจรทดสอบค่ากำลังงานสูญเสียของวงจรเชื่อมแรงดันดังกล่าว แสดงได้ดังรูปที่ 4.7-6 วงจรนี้จะจ่ายค่าแรงดัน $V_{DD}=10$ โวลต์ และ $V_{CC}=5$ โวลต์ เพื่อให้ใกล้เคียงกับสภาพใช้งานจริงของวงจรมากที่สุด



(ก) วงจร converter

แบบกลับเฟสกับสัญญาณขาเข้า

(ข) วงจร converter

แบบไม่กลับเฟสกับสัญญาณขาเข้า

รูปที่ 4.7-6 แสดงวงจรทดสอบค่ากำลังงานสูญเสียแบบสถิตของวงจรเชื่อมแรงดัน ค่ากระแสที่ได้จากแอมป์มิเตอร์ทั้งสอง คือค่ากระแสที่ไหลออกจากแหล่งจ่ายไฟเลี้ยงลงสู่แรงดันอ้างอิง ในขณะที่ยังไม่มีสัญญาณขาเข้า ดังนั้นค่ากำลังงานสูญเสียของวงจร คือค่ากำลังงานสูญเสียของแหล่งจ่ายไฟเลี้ยงทั้งสองรวมกัน ผลการทดลองแสดงได้ดังตารางที่ 4.7.2-1

ตารางที่ 4.7.2-1 แสดงค่ากำลังงานสูญเสียแบบสถิตของวงจรเชื่อมแรงดัน

วงจร	กำลังงานสูญเสีย (μW)		
	ที่ V_{DD}	ที่ V_{CC}	รวม
converter กลับเฟส	140	35	175
converter ไม่กลับเฟส	240	84	324

การทดลองหาค่ากำลังงานสูญเสียของวงจร จะกระทำเช่นเดียวกับวงจรรับสัญญาณขาเข้า และในทำนองเดียวกันค่าความต้านทานที่ใช้ในการตรวจสอบค่ากระแส ที่ไหลออกจากแหล่งจ่ายไฟเลี้ยงจะมี 2 ชุด คือตัวที่ 1 ต่อกับแหล่งจ่ายไฟเลี้ยง V_{DD} และตัวที่ 2 ต่อกับแหล่งจ่ายไฟเลี้ยง V_{CC} การเปลี่ยน

แปลงสถานะแรงดันขาออกกระทำโดยป้อนสัญญาณรูปซายด์ที่จุดแรงดันขาเข้าของวงจร ผลการทดลอง
แสดงได้ดังตารางที่ 4.7.2-2

ตารางที่ 4.7.2-2 แสดงค่ากำลังงานสูญเสียของวงจร เชื่อมแรงดันขณะป้อนสัญญาณขาเข้า

วงจร	กำลังงานสูญเสีย (μW)		
	ที่ V_{DD}	ที่ V_{CC}	รวม
converter กลับเฟส	300	78	378
converter ไม่กลับเฟส	500	159	659

4.7.3 วงจรทางตรรกพื้นฐาน

การทดสอบค่าแรงดันสูญเสียแบบสถิตของ วงจรทางตรรกพื้นฐานทุกวงจรจะกระทำในลักษณะเดียวกันกับวงจรรับสัญญาณขาเข้า กล่าวคือวงจรจะได้รับแรงดันไฟเลี้ยง 5 , 10 , และ 15 โวลต์ แล้วทำการวัดกระแสที่ถูกจ่ายออกมาจากแหล่งจ่าย V_{DD} จากนั้นทำการคำนวณค่ากำลังงานสูญเสียของวงจร ผลการทดลองที่ได้แสดงดังตารางที่ 4.7.3-1

ตารางที่ 4.7.3-1 แสดงค่ากำลังงานสูญเสียแบบสถิตของวงจรทางตรรกพื้นฐาน

วงจร	กำลังงานสูญเสีย (μW)		
	$V_{DD}=5V$	$V_{DD}=10V$	$V_{DD}=15V$
4 input NAND	180	460	1011
4 input NOR	178	490	1101
inverter	14	115	250
exclusive OR	200	508	1129

การทดสอบค่ากำลังงานสูญเสียขณะที่วงจรกำลังทำงานตามฟังก์ชันของแต่ละวงจร จะทำการทดสอบโดยให้วงจรเกิดการเปลี่ยนแปลงสัญญาณขาออก ด้วยสัญญาณขาเข้าซึ่งเป็นสัญญาณชอร์ต ในกรณีต่าง ๆ ที่วงจรจะต้องเปลี่ยนแปลงสถานะแรงดัน ทำการบันทึกผลของค่ากำลังงานสูญเสียที่มากที่สุดของแต่ละวงจรที่ทดลองได้ ผลการทดลองแสดงได้ดังตารางที่ 4.7.3-2

ตารางที่ 4.7.3-2 แสดงค่ากำลังงานสูญเสียของวงจรทางตรรกพื้นฐานขณะป้อนสัญญาณขาเข้า

วงจร	กำลังงานสูญเสีย (μW)		
	$V_{DD}=5V$	$V_{DD}=10V$	$V_{DD}=15V$
4 input NAND	260	506	2169
4 input NOR	289	549	1978
inverter	39	281	423
exclusive OR	398	781	1461

4.7.4 วงจรทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกา

ในทำนองเดียวกันกับวงจรรวมทางตรรกพื้นฐาน การทดสอบค่ากำลังงานสูญเสียของวงจรรวมทางตรรกที่ควบคุมด้วยสัญญาณนาฬิกา จะใช้วิธีการวัดแบบเดียวกันคือ ค่าแรงดันไฟเลี้ยงที่ใช้ในการทดลองมีค่า 5 , 10 , และ 15 โวลต์ สำหรับการทดลองค่ากำลังงานสูญเสียแบบสถิต จากนั้นทำการบันทึกค่ากระแสที่ไหลออกจากแหล่งจ่าย ทำการคำนวณค่ากำลังงานสูญเสีย และบันทึกผลการทดลองได้ดังตารางที่ 4.7.4-1

ตารางที่ 4.7.4-1 แสดงค่ากำลังงานสูญเสียแบบสถิตของวงจรถ่ายทอดที่ควบคุมด้วยสัญญาณนาฬิกา

วงจร	กำลังงานสูญเสีย (μW)		
	$V_{DD}=5V$	$V_{DD}=10V$	$V_{DD}=15V$
D-flip flop	260	506	2169
RS-flip flop	289	549	1978
transmission gate	39	281	423

การทดลองค่ากำลังงานสูญเสียขณะวงจรถ่ายทอดกำลังทำงาน ของวงจรถ่ายทอดทั้งสอง คือ RS และ D จะทำการทดสอบเช่นเดียวกับวงจรถ่ายทอดพื้นฐาน ส่วนวงจรถ่ายทอดสมิทชั้นเกทจะทำการทดสอบโดยป้อนสัญญาณรูปซายด์แก่จุดแรงดันขาเข้าของวงจร แล้วทำการป้อนแรงดัน V_{DD} แก่จุดแรงดันขาเข้าซึ่งควบคุมค่าแรงดันขาออก โดยให้ค่าแรงดันขาเข้าไปปรากฏที่แรงดันขาออกด้วยค่ากำลังงานสูญเสีย จะวัดค่ากระแสขาเข้าทางจุดแรงดันขาเข้า A และ B ของวงจร ผลการทดลองค่ากำลังงานสูญเสียขณะวงจรถ่ายทอดแสดงได้ดังตารางที่ 4.7.4-2

ตารางที่ 4.7.4-2 แสดงค่ากำลังงานสูญเสียของวงจรถ่ายทอดที่ควบคุมด้วยสัญญาณนาฬิกาขณะป้อนสัญญาณขาเข้า

วงจร	กำลังงานสูญเสีย (μW)		
	$V_{DD}=5V$	$V_{DD}=10V$	$V_{DD}=15V$
D-flip flop	280	516	2010
RS-flip flop	289	519	2109
transmission gate	48	290	465

สรุปและวิจารณ์

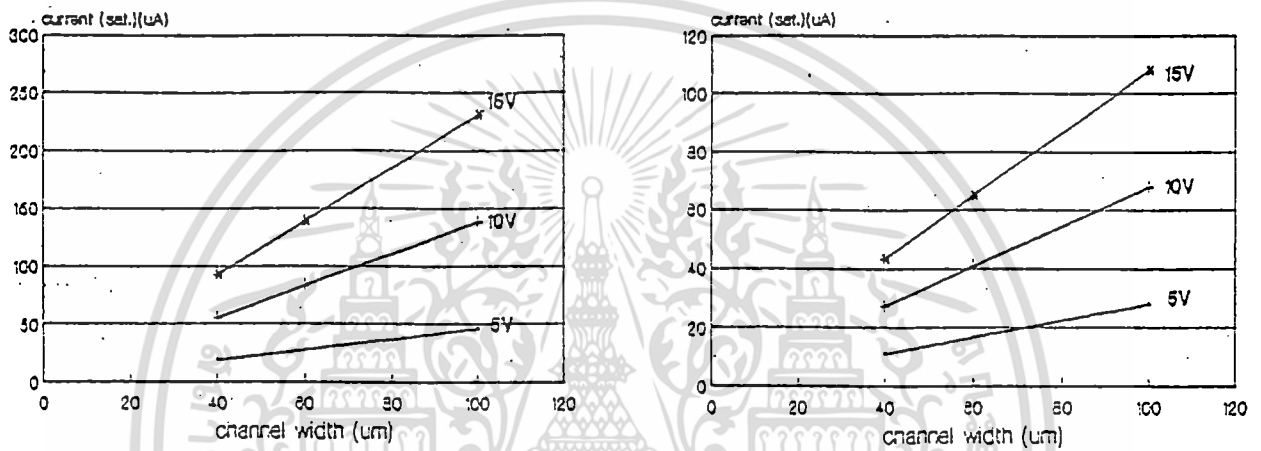
ได้ทำการออกแบบและสร้างวงจรรวมซึ่งเป็นวงจรพื้นฐานของการออกแบบเกทอะเรย์ขึ้นโดยประกอบด้วยวงจรถุ่มต่าง ๆ คือ 1. วงจรรับสัญญาณขาเข้า 2. วงจรทำงานตามฟังก์ชันทางตรรก 3. วงจรส่งแรงดันขาออก วงจรทั้งหมดถูกออกแบบด้วยการออกแบบวงจรมิสมมาตร (nonsymmetric design) ด้วยขนาดของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่เล็กที่สุดด้วยเทคโนโลยีการแพร่สารเจือด้วยความร้อน และการสกัดแบบเปียก โดยมีค่าความยาวของช่องทางเดินกระแสต่ำที่สุด 20 ไมโครเมตร และค่าความกว้างของช่องทางเดินกระแสต่ำสุด 60 ไมโครเมตร จากนั้นทำการทดสอบคุณสมบัติทางไฟฟ้าของวงจรในแง่ต่าง ๆ ที่เหมาะสม และเป็นข้อมูลพื้นฐานซึ่งผู้ออกแบบวงจรด้วยเกทอะเรย์ต้องการใช้งาน นอกจากนี้ยังทำการเสนอและทดสอบแบบจำลองทรานซิสเตอร์โครงสร้างแบบ MOIS เพื่อเป็นข้อมูลพื้นฐานของการวิเคราะห์วงจรต่าง ๆ ต่อไป ซึ่งผลการทดลองทั้งหมดสามารถสรุปได้ดังต่อไปนี้

แบบจำลองทางไฟตรงของทรานซิสเตอร์โครงสร้างแบบ MOIS ประกอบด้วยค่าความต้านทาน R_d และ R_s ซึ่งเกิดจากการออกแบบขั้วไฟฟ้าเดรนและซอส และประกอบด้วยแหล่งกำเนิดกระแสซึ่งถูกควบคุมด้วยค่าแรงดันเกต (V_G) ซึ่งมีค่าความต้านทานภายใน R_c ดังนั้นค่า R_c จึงเป็นค่าความต้านทานซึ่งถูกควบคุมด้วยแรงดันเกตเช่นเดียวกัน ในการทดลองหาค่าความต้านทานต่าง ๆ นั้น จำเป็นต้องทำการวัดค่าความต้านทานรวม $R_d+R_s+R_c$ ในครั้งเดียวกัน เนื่องจากตัวความต้านทาน R_d และ R_s เป็นความต้านทานที่เกิดจากเนื้อสารเจือที่แพร่เข้าไปในส่วนเดรนซอส ดังนั้นค่าความต้านทานทั้งสองนี้ควรมีค่าคงที่ตามขอบเขตการสร้าง แต่ความต้านทาน R_d , R_s และ R_c ต่อกันอยู่ในโครงสร้าง จึงพอจะประมาณได้ว่าค่าความต้านทานที่วัดได้เกิดจากอิทธิพลของ R_c มากที่สุด เนื่องจากเมื่อเปลี่ยนค่าแรงดันที่เกตจะทำให้ค่าความต้านทานรวมเกิดการเปลี่ยนแปลงมาก ดังนั้นสามารถกล่าวได้ว่าตัวความต้านทาน R_c ซึ่งเกิดจากความกว้างและความยาวของช่องทางเดินกระแสของทรานซิสเตอร์ เป็นตัวความต้านทานที่ส่งผลต่อแบบจำลองทางไฟตรงเป็นอย่างมาก โดยในวิทยานิพนธ์ฉบับนี้ ค่าความต้านทานสามารถสร้างออกมาได้ในช่วง 1 K Ω ถึง 150 K Ω

แบบจำลองทางไฟสลับของทรานซิสเตอร์โครงสร้างแบบ MOIS นอกจากตัวแปรต่าง ๆ ของแบบจำลองทางไฟตรงแล้ว จะประกอบด้วยค่าความจุไฟฟ้า C_D และ C_S ซึ่งเกิดจากโลหะขั้วเกตกระทำต่อขั้วเดรนและซอส และ C_G ซึ่งเกิดจากโลหะขั้วเกตกระทำต่อช่องทางเดินกระแสของทรานซิสเตอร์ และ C_{jD} , C_{jS} ที่เกิดจากรอยต่อขั้วเดรนและซอสกระทำต่อฐานรองที่ใช้ทรานซิสเตอร์ ซึ่งจากการศึกษาพบว่า เมื่อประกอบทรานซิสเตอร์ MOIS เป็นโครงสร้างแบบ CMOIS แล้วค่าความจุไฟฟ้า C_{jD} และ C_{jS} ไม่มีผลใด ๆ ต่อวงจรเลย เนื่องจากโครงสร้าง CMOIS ไม่มีการให้ไบอัสที่ฐานรอง ดังนั้นตัวเก็บประจุที่ส่งผลต่อการทำงานของทรานซิสเตอร์คือ C_G , C_D และ C_S ซึ่งค่าความจุไฟฟ้าทั้งสามนี้เกิดจาก

ชั้นฉนวนซิลิกอน ไดออกไซด์ เหมือนกัน และจากการทดลองพบว่าตัวเก็บประจุไฟฟ้าในทรานซิสเตอร์ที่ออกแบบในวิทยานิพนธ์ฉบับนี้มีการเชื่อมตัวเก็บประจุเพื่อทำการวัดค่าด้วยเครื่อง HP 4061A ทำให้เกิดรอยต่อต่าง ๆ มากขึ้น ซึ่งเมื่อเปรียบเทียบกับค่าที่คำนวณได้เป็นค่าที่คำนวณได้จากโครงสร้างภายในชั้นสารอย่างเดี่ยว ดังนั้นค่าที่ได้จากการทดลองจึงมีค่ามากกว่าค่าที่ได้จากการคำนวณ

จากการทดลองวัดกระแสขาเข้าของวงจรรับสัญญาณขาเข้าพบว่า เมื่อเปลี่ยนแปลงค่าความถี่เพิ่มขึ้นกระแสที่ไหลในวงจรเพิ่มมากขึ้นดังนั้นค่าแรงดันที่วัดได้จากผลปรากฏที่จอสโคปมีค่าเพิ่มขึ้น และสำหรับค่ากระแสขาออกของวงจรส่งสัญญาณขาออก ซึ่งหาได้จากการวัดคุณลักษณะของกราฟ I-V เป็น source current สำหรับ PMOIS และ sink current สำหรับ NMOIS ซึ่งสามารถเขียนเป็นกราฟแสดงความสัมพันธ์ของกระแสเปรียบเทียบกับความกว้างของช่องทางเดินกระแสได้ดังนี้



(ก) กระแสซอส

(ข) กระแสซิงค์

รูปที่ 5-1 แสดงการเปรียบเทียบระหว่างค่ากระแสขณะอิมิตที่ค่าความกว้างของช่องทางเดินกระแสค่าต่าง ๆ เมื่อ V_G ค่าต่าง ๆ ของ PMOIS และ NMOIS

สำหรับวงจรส่งสัญญาณขาออกแบบกลับเฟสและไม่กลับเฟสกับสัญญาณขาเข้าซึ่งใช้เป็นวงจรเชื่อมแรงดันระหว่างระบบ CMOIS กับระบบ TTL มีค่าแรงดันไฟเลี้ยงของระบบทั้งสองไม่เท่ากัน จากผลที่ได้เห็นว่าค่าแรงดันขาออกสถานะสูงและแรงดันขาออกสถานะต่ำมีค่าแตกต่างจากแรงดันไฟเลี้ยง V_{cc} อยู่ไม่เกิน 2% และค่าแรงดันการเปลี่ยนสถานะของวงจร (V_{th}) มีการเปลี่ยนแปลงต่างจาก $V_{cc}/2$ อยู่ 4 ถึง 8 เปอร์เซ็นต์ ซึ่งถือว่าวงจรสามารถใช้ในการเชื่อมต่อแรงดันได้

การตอบสนองต่อสัญญาณชั่วคราวของวงจรต่าง ๆ ในวิทยานิพนธ์นี้สามารถแสดงให้เห็นค่าความถี่สูงสุดของวงจร (Maximum frequency) ที่หาได้จากสมการ (5-1)

$$\text{Maximum Delay Time} = t_{TLH} + t_{THL} \quad (5-1)$$

จากนั้นใช้สมการ (5-2)

$$T = 1/f$$

(5-2)

ก็จะได้เป็นค่าความถี่สูงสุดของวงจร และค่าหน่วงเวลาของสัญญาณอินพุตกับเอาต์พุต (propagation delay time) ซึ่งหาได้จาก

$$\text{Propagation Delay Time} = (T_{PLH} + T_{PHL})/2 \quad (5-3)$$

ของแต่ละวงจรโดยแสดงได้ดังตารางต่อไปนี้

ตารางที่ 5-1 แสดงค่า Maximum Frequency และ Propagation Delay Time ของวงจร

วงจร	T_{PD} (μS)	Max.freq. (KHz)
วงจรรับสัญญาณ Inverting	4.8	58.9
Noninverting	11.9	23.3
วงจรส่งสัญญาณ Inverting	1.8	149.3
Noninverting	3.9	62.9
Converter แบบกลับเฟส		
ที่ $V_{CC}=10$ V	10.4	23.8
ที่ $V_{CC}=5$ V	20.5	11.9
Converter แบบไม่กลับเฟส		
ที่ $V_{CC}=10$ V	10.5	24.4
ที่ $V_{CC}=5$ V	16.5	14.9
NOR เกท All input switching	5.1	44.2
Single input switching	4.8	58.8
NAND เกท All input switching	36.5	7.9
Single input switching	5	58.8
Ex-OR A=GND B=CK	11.5	22.2
A= V_{DD} B=CK	11	22.7

วงจร	T_{PD} (μ S)	Max.freq. (KHz)
D-FF $V_{out} = Q$	17	17
$V_{out} = NOT Q$	12	20.3
RS-FF $V_{out} = Q$	5.6	45.2
$V_{out} = NOT Q$	6.3	39
Transmission gate 2 input	1.6	192.3

จากตารางที่ 5-1 ความถี่สูงสุดที่นำไปใช้งานในวงจรมีค่าต่ำสุดที่ 8 KHz และมีค่าสูงสุดที่ 192 KHz ซึ่งเป็นค่าความถี่ที่สามารถนำไปใช้งานได้

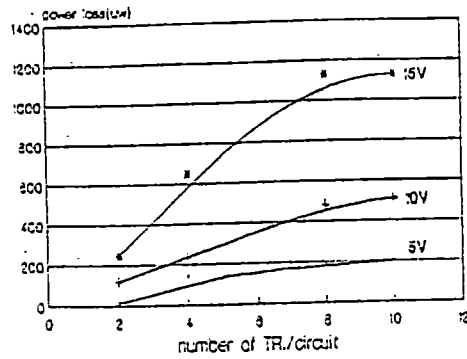
สำหรับค่ากำลังงานสูญเสียของวงจรในโครงสร้าง CMOS นั้นนำมาแสดงเป็นตารางได้ดังนี้

ตารางที่ 5-2 แสดงค่ากำลังงานสูญเสียของวงจรแบบสถิตและขณะป้อนสัญญาณอินพุตให้วงจร

วงจร	ค่ากำลังงานสูญเสียแบบสถิต (μ W)			ค่ากำลังงานสูญเสียขณะป้อนสัญญาณอินพุต (μ W)		
	$V_{DD}=5V$	$V_{DD}=10V$	$V_{DD}=15V$	$V_{DD}=5V$	$V_{DD}=10V$	$V_{DD}=15V$
Inverting	15	120	240	38	260	580
Noninverting	90	210	715	180	430	1190
4 input NAND	180	460	1011	260	506	2169
4 input NOR	178	490	1101	289	549	1978
Inverter	14	115	250	39	281	423
XOR	200	508	1129	398	781	1461
D-FF	190	480	1201	280	516	2010
RS-FF	178	490	1198	289	519	2109
TG	190	260	580	48	290	465

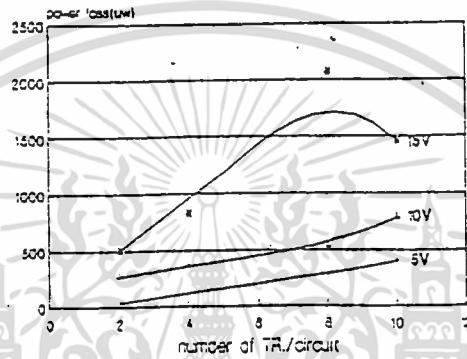
จากตารางข้างต้นจะเห็นว่าค่ากำลังงานสูญเสียในแต่ละวงจรมีค่าไม่เท่ากันซึ่งสามารถแสดงให้เห็นเป็น

กราฟความสัมพันธ์ระหว่างจำนวนทรานซิสเตอร์ในแต่ละวงจรเปรียบเทียบกับค่ากำลังงานสูญเสียได้ดังนี้



(ก) การสูญเสียแบบสถิต

รูปที่ 5-2 แสดงค่ากำลังงานสูญเสียเปรียบเทียบกับจำนวนทรานซิสเตอร์ต่อหนึ่งวงจร



(ข) การสูญเสียขณะบอานสัญญาณอินพุท

รูปที่ 5-2 แสดงค่ากำลังงานสูญเสียเปรียบเทียบกับจำนวนทรานซิสเตอร์ต่อหนึ่งวงจร

จากผลการทดลองที่กล่าวมาทั้งหมดนี้จากการวิเคราะห์ในกลุ่มวิจัยของ โครงสร้าง MOIS นั้น สามารถพัฒนาให้ค่าพารามิเตอร์ต่าง ๆ เป็นค่าที่ดีขึ้นได้ด้วยเทคโนโลยีการสร้างที่ทันสมัยขึ้น

กิติกรรมประกาศ

การที่ผู้เขียนสามารถดำเนินการทำวิทยานิพนธ์ฉบับนี้ได้สำเร็จเป็นฉบับสมบูรณ์นั้น ผู้เขียนขอขอบพระคุณ ผศ. วิสุทธิ์ จิตรุ่งเรือง ผู้ซึ่งได้ให้แนวความคิด คำแนะนำ ข้อปฏิบัติ ตลอดจนวิธีการแก้ปัญหาที่เป็นประโยชน์ต่องานวิจัยมาโดยตลอดเป็นอย่างดี ขอขอบพระคุณ รศ.ดร. สมเกียรติ ศุภเดช ที่ได้ให้การสนับสนุนงานวิจัยชิ้นนี้ตลอดมา ขอขอบคุณ อ.จิรวัดน์ ปานกลาง และเจ้าหน้าที่ทุกท่านที่ปฏิบัติการอยู่ ณ ศูนย์วิจัยอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ได้ให้ความช่วยเหลือในด้านเครื่องมือที่ใช้ในการสร้างและทดสอบอุปกรณ์เป็นอย่างดี

สุดท้ายนี้ผู้เขียนขอกราบขอบพระคุณ คุณพ่อและคุณแม่ที่ให้การสนับสนุนการเรียนมา โดยตลอดจนถึงทุกวันนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการ-93-เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. จิรวัดน์ ปานกลาง การศึกษา วิจัย และพัฒนาทรานซิสเตอร์โครงสร้าง CMOIS เป็นวงจรรวมขนาดเล็ก สำหรับปริญาโทวิศวกรรมศาสตร์มหาบัณฑิต สาขาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2535
2. วิสุทธิ์ ฐิติรุ่งเรือง , สัจจา ส่งศิริ และสมเกียรติ ศุภเดช ทรานซิสเตอร์ชนิดใหม่โครงสร้างแบบ MOIS , การประชุมวิชาการทางวิศวกรรมไฟฟ้า 9 สถาบันอุดมศึกษา ครั้งที่ 10 , เล่มที่ 1 , หน้า 1-205 - 1-215 , พฤศจิกายน 2530
3. จิรวัดน์ ปานกลาง, มนชนก ศรีเสื่อขาม, วิสุทธิ์ ฐิติรุ่งเรือง และ สมเกียรติ ศุภเดช คู่คอมพลีเมนต์ที่สมมาตรของสิ่งประดิษฐ์ประเภท CMOIS การประชุมใหญ่ทางวิชาการประจำปี 2534 วิศวกรรมสถานแห่งประเทศไทย ในพระบรมราชูปถัมภ์, หน้า 801-810, พฤศจิกายน 2534
4. The Engineering Staff of American Micro-System Inc. MOS Integrated Circuit Theory , Fabrication , Design and System Application of MOS LSI Van Nostrand Reinhold Company , 1992
5. สมเกียรติ ศุภเดช, วิสุทธิ์ ฐิติรุ่งเรือง, จิรวัดน์ ปานกลาง, อนุชา เรืองพานิช และ มนชนก ศรีเสื่อขาม ความคล่องตัวของประจุพาหะในสารกึ่งตัวนำซิลิกอนชนิดเอ็นที่เติมอะตอมทองคำ การประชุมทางวิชาการวิศวกรรมไฟฟ้า 9 สถาบันอุดมศึกษา ครั้งที่ 13, หน้า 280-290, พฤศจิกายน 2533 , หน้า 280 - 290
6. โกศล เพ็ชรสุวรรณ, มาชามอริ อีตะ เทคโนโลยีสารกึ่งตัวนำ บริษัท ดวงกลม จำกัด, 2522
7. John P. Uyemura Fundamentals of MOS Digital Integrated Circuit Addison - Wesley Publishing Company , 1988
8. Edward s. Yang Microelectronic Device McGraw-Hill Book Company , 1988
9. Randall L. Geiger , Phillip E. Allen , Noel R. Strader VLSI Design Techniques For Analog and Digital Circuit McGraw-Hill International Edition , 1990
10. Devid A. Hodges , Horace G Jackson Analysis and Design of Digital Integrated Circuit McGraw-Hill Book Company , 1988
11. สัจจา ส่งศิริ, จิรวัดน์ ปานกลาง, วิสุทธิ์ ฐิติรุ่งเรือง และ สมเกียรติ ศุภเดช

การศึกษามูลของโครงสร้างทางเรขาคณิตของวงจร CMOIS อินเวอร์เตอร์ การประชุมวิชาการ
ทางวิศวกรรมไฟฟ้า 9 สถาบันอุดมศึกษา ครั้งที่ 12, หน้า 583-593, พฤศจิกายน 2532

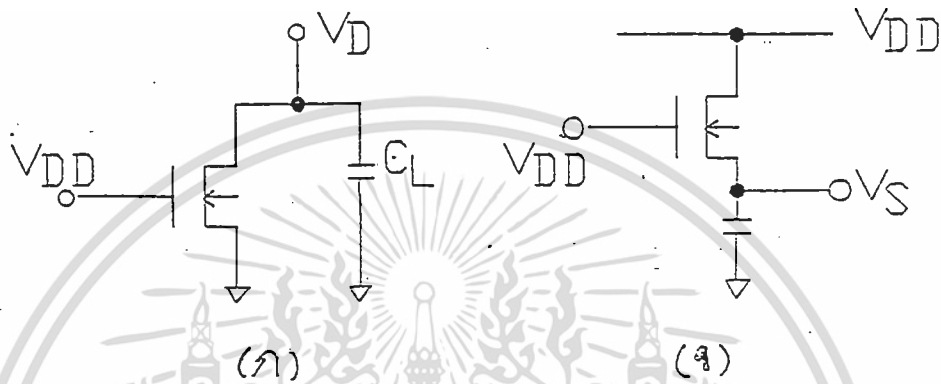
12. Masakazu Shoji CMOS Digital Circuit Technnology Prentice - Hall
International Inc. 1988



ภาคผนวก ก

การวิเคราะห์ช่วงเวลาในการเปลี่ยนสถานะของวงจรถูก

วิธีการที่สามารถเข้าใจอย่างรวดเร็วในการวิเคราะห์ช่วงเวลาเปลี่ยนสถานะของวงจรถูกแบบ CMOS คือการเข้าใจถึงลักษณะการประจุ และการคายประจุของตัวเก็บประจุที่ปรากฏแก่วงจรถูก ดังตัวอย่างในรูปที่ ก-1



รูปที่ ก-1 แสดงวงจรถูกที่ทำให้เกิดช่วงเวลาเปลี่ยนสถานะ

การเกิดช่วงเวลาเปลี่ยนสถานะที่เกิดจากวงจรถูกทั้งสองในรูปที่ ก-1 คือช่วงเวลาในการคายประจุของวงจรถูก (ช่วงขอบตอลง) สำหรับช่วงเวลาที่ใช้ในการพิจารณาเวลาในขอบตอลง ซึ่งส่วนใหญ่จะเป็นการคายประจุตัวเก็บประจุด้วยทรานซิสเตอร์ชนิดพี จะเป็นลักษณะเดียวกัน ตอนนี้จะพิจารณาวงจรถูกในรูปที่ ก-1 เพื่ออธิบายเวลาที่สูญหายไป

ก. การคายประจุไปยังทรานซิสเตอร์ชนิด NMOIS

ในรูปที่ ก-1 (ก) เราจะสมมติว่าตัวเก็บประจุมีประจุอยู่เต็มแล้ว และค่าแรงดันตกคร่อมตัวเก็บประจุจะมีค่า V_{DD} และค่าแรงดันที่ปรากฏที่ขั้วเกตของทรานซิสเตอร์ชนิด NMOIS ทำให้ค่าแรงดัน V_o เปลี่ยนแปลงจาก V_{DD} ไปสู่แรงดัน 0 โวลต์ ที่เวลา $t=0$ ดังนั้นค่าแรงดันที่จุด V_o คือ

$$C_L (dV_o/dt) = -I_N (V_{DD}, V_o) \tag{ก-1}$$

แทนค่าเงื่อนไขขอบเขตของสมการ

$$V_o(0) = V_{DD}$$

ค่ากระแส I_N ที่เป็นฟังก์ชันของ (V_{DD}, V_D) คือกระแสที่ทรานซิสเตอร์สามารถนำกระแสได้คือ ช่วงไม่มีตัว

$$I_N(V_{DD}, V_D) = \beta_n [V_{DD} - V_{tn} - (1/2)V_{DD}]V_{DD} \quad (ก-2)$$

และ ช่วงมีตัว

$$I_N(V_{DD}, V_D) = (\beta_n/2)(V_{DD} - V_{tn})^2 \quad (ก-3)$$

จนกระทั่งค่าแรงดันขาออกมีค่าลดลงจากค่า V_{DD} สู่ค่าแรงดัน $V_{DD} - V_{TN}$ ค่าแรงดัน V_D ที่เวลา t จะมีค่า

$$V_D(t) = V_{DD} - [\beta_n (V_{DD} - V_{tn})^2 t] / [2C_L] \quad (ก-4)$$

สมการที่ (ก-4) จะเป็นจริงในช่วงเวลา $0 < t < t_s$ เมื่อ

$$\begin{aligned} t_s &= [2C_L V_{tn}] / [\beta_n (V_{DD} - V_{tn})^2] \\ &= [(2V_{tn}) / (V_{DD} - V_{tn})] t_0 \end{aligned} \quad (ก-5)$$

โดยที่

$$t_0 = C_L / [\beta_n (V_{DD} - V_{tn})] \quad (ก-6)$$

และถ้าเวลา $t > t_s$ สมการที่ (ก-1) จะมีค่า

$$C_L (dv_D/dt) = \beta_n [V_{DD} - V_{tn} - (1/2)V_D]V_D$$

ในช่วงนี้จะมีเงื่อนไขขอบเขต

$$V_D(t_s) = V_{DD} - V_{tn}$$

และคำตอบของสมการคือ

$$V_o(t) = (V_{o0} - V_{tn}) \{ [2 \exp[(t_s - t)/t_o]] / [1 + \exp[(t_s - t)/t_o]] \} \quad (n-7)$$

จากสมการ (n-7) จะพบว่าเมื่อเวลาเข้าสู่ ∞ ค่าตัวหารของสมการจะหมดไป ดังนั้นช่วงเวลาดังกล่าวของวงจร คือช่วงเวลาที่แรงดัน V_o เปลี่ยนแปลงจากจุด 90 % ถึงจุด 10 % ของแรงดันไฟเลี้ยง ดังนั้นจึงสามารถแทนค่าลงในสมการเพื่อหาค่าของเวลาต่าง ๆ ได้

ข. การประจุตัวเก็บประจุผ่าน NMOIS

กรณีของการประจุตัวเก็บประจุผ่านจาก NMOIS แสดงได้ดังรูปที่ n-1(ข) ในช่วงเวลานี้ค่าแรงดันที่ปรากฏที่ขั้วเกตของทรานซิสเตอร์ NMOIS ในช่วงเวลา $t=0$ คือแรงดัน V_{DD} ค่าแรงดันที่ปรากฏที่ตัวเก็บประจุจะมีค่า 0 โวลต์ที่ $t=0$ ดังนั้นสมการแรงดันที่จุด V_s คือ

$$C_L (dV_s/dt) = I_N (V_{DD} - V_s, V_o - V_s) = (1/2) \beta_n (V_{DD} - V_s - V_{tn})^2 \quad (n-8)$$

คำตอบของสมการโดยแทนเงื่อนไขขอบเขต $V_s(0) = 0$ คือ

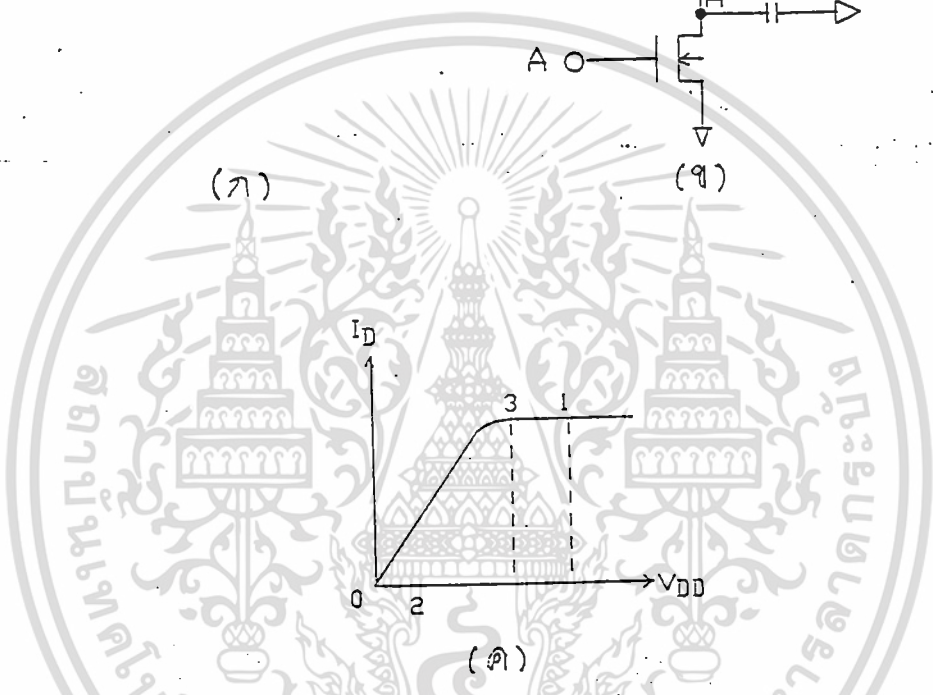
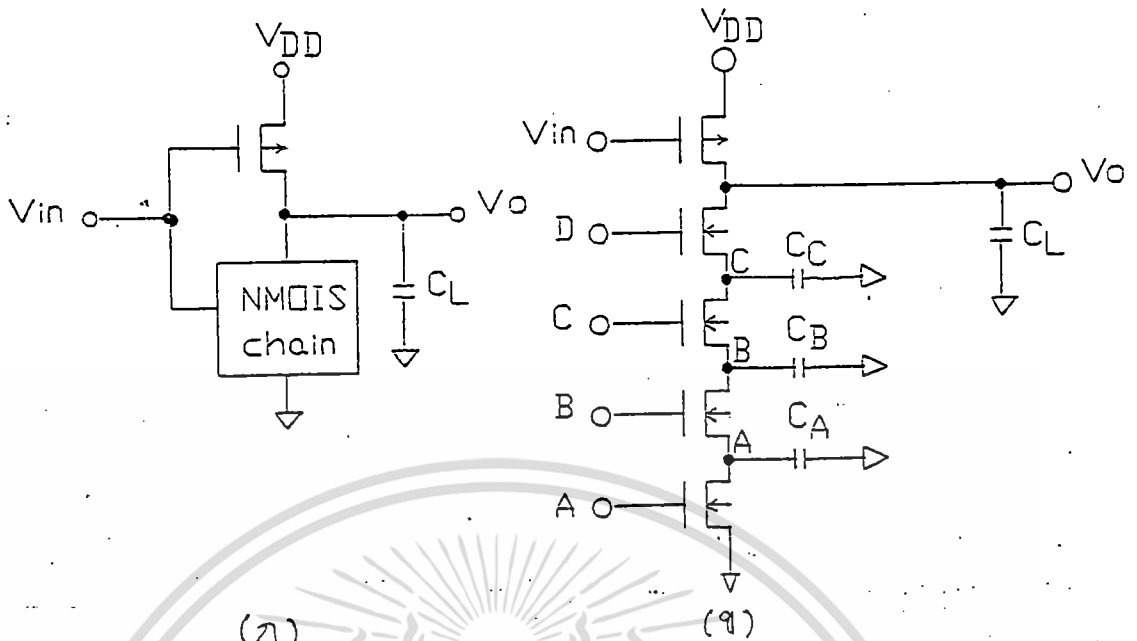
$$V_s(t) = (V_{DD} - V_{tn}) \{ (t/2t_o) / [1 + (t/2t_o)] \} \quad (n-9)$$

เมื่อ $t_o = C_L / \beta_n (V_{DD} - V_{tn})^2$ ดังที่ได้อธิบายไปแล้ว

ในกรณีที่วงจรประกอบด้วยทรานซิสเตอร์ชนิด PMOS ในลักษณะเช่นเดียวกับที่อธิบายไว้ตอนนี้จะ เป็นไปในทำนองเดียวกัน โดยการแทนค่าพารามิเตอร์ของ PMOS เข้าไปในสมการ และแทนค่า V_o คล้าย $V_{DD} - V_D$

ค. การคายประจุไปยังทรานซิสเตอร์ชนิด NMOIS ที่ต่ออนุกรมกัน

ลักษณะของวงจรที่ประกอบด้วยทรานซิสเตอร์ชนิด NMOIS ที่ต่ออนุกรมกันจะเป็นไปดังรูปที่ n-2



รูปที่ ก-2 แสดงวงจรที่ประกอบด้วยทรานซิสเตอร์ชนิด NMOIS ต่ออนุกรมกัน การคายประจุจากตัวเก็บประจุเข้าสู่ทรานซิสเตอร์ชนิด NMOIS จะทำให้วงจรเปลี่ยนแปลงสถานะ จากสถานะสูงไปสู่สถานะต่ำ และจากรูปที่ ก-2 (ข) ค่าแรงดันที่จุด C จะมีค่าเป็น V_{DD} หรือ $V_S = V_{DD} - V_{Tn}$ หรือมีค่าเป็น 0 โวลต์ ก็ได้ ขึ้นอยู่กับเงื่อนไขขอบเขตเริ่มต้น และเมื่อค่าแรงดันมีค่าเป็น 0 โวลต์ ตัว NMOIS ตัว D จะทำงานอยู่ที่สภาวะ 1 ดังในรูปแสดงคุณสมบัติกระแสและแรงดัน ในรูป (ก-2)ค ตัว NMOIS ตัว D จะนำกระแสซึ่งจะทำให้ประจุเคลื่อนที่จากจุด 0 ไปจุด C ค่าเวลาในการเปลี่ยนแปลงแรงดันจะเริ่มต้น ณ จุด านี้

เมื่อค่าแรงดันที่จุด A , B , ..., C มีค่าเป็น V_{DD} หรือ $V_{DD} - V_{Tn} = V_S$ ตัว NMOIS ตัวที่ D จะเข้าสู่สภาวะการทำงานที่จุด 0 หรือจุด 2 ในรูปที่ ก-2 (ก) ซึ่งเป็นสภาวะหยุดทำงาน หรือจุดที่ ทรานซิสเตอร์ทำงานในสภาวะอิมิตัว แต่กระแสที่ไหลมีค่าเป็น 0 A ถ้าค่าแรงดัน V_{DS} ของ NMOIS

ตัว D มีค่าลดลงตัว NMOIS ตัวที่ D จะนำกระแสทันที ในกรณีอื่น ๆ ตัวทรานซิสเตอร์ NMOIS ตัวที่ D จะไม่นำกระแสจนกว่าค่าแรงดันที่จุด C จะมีค่าต่ำกว่าค่าแรงดัน V_S และถึงแม้ว่าตัวเฟทที่ D จะนำกระแสแล้วค่าแรงดันที่จุด O จะยังคง ไม่เปลี่ยนแปลง

ถ้าจะให้การเปลี่ยนแปลงสถานะเป็น โปอย่างช้าที่สุด จะต้องกำหนดให้เงื่อนไขเริ่มต้นของตัวเก็บประจุทุกตัว (ที่จุด A ถึงจุด C) มีประจุอยู่เต็มจนทำให้มีค่าแรงดันเป็น V_{DD} และถ้าวงจรเป็นกรณีเช่นนี้ การคายประจุของวงจรจะเริ่มต้นจากเฟทตัวที่ A จะต้องนำกระแส (อยู่ที่สถานะ 1 ในรูปคุณสมบัติกระแสและแรงดัน) จนกระทั่งจุด A มีค่าแรงดันลดลงจนมีค่าเป็น 0 โวลต์ (หรือ V_S) อันเนื่องมาจากตัวเก็บประจุที่ปรากฏที่จุด A คายประจุผ่านเฟท A ลงสู่ V_S จนหมด ในช่วงเวลาที่คายประจุนี้ใช้เวลา T_{A1} โดย

$$T_{A1} = [C_A(V_{DD}-V_S)]/[I_{D(A)}] \quad (ก-10)$$

โดยที่ $I_{D(A)}$ คือค่ากระแสอิ่มตัวของทรานซิสเตอร์ A เมื่อมีค่าแรงดัน V_{DD} ปรากฏที่เกตของเฟท A และในทันทีที่ค่าแรงดันที่จุด A ตกลงจนมีค่าเป็น V_S ทรานซิสเตอร์ตัวที่ B จะเริ่มนำกระแสและคายประจุจากตัวเก็บประจุที่จุด B ลงสู่ V_S ผ่านทรานซิสเตอร์ A และ B จนหมดทำให้ค่าแรงดันที่จุด B มีค่าเป็น V_S เช่นเดียวกับที่อธิบายไปแล้ว ช่วงเวลาที่ใช้ไปคือ T_{B1} มีค่า

$$T_{B1} = [C_B(V_{DD}-V_S)]/[I_{D(A,B)}] \quad (ก-11)$$

ซึ่งค่า $I_{D(A,B)}$ คือค่ากระแสอิ่มตัวที่ประกอบด้วยตัวแปรที่เกิดจากทรานซิสเตอร์ A และ B และในทำนองเดียวกันที่จุด C จะเกิดการเปลี่ยนแปลงแรงดันจนทำให้จุด C มีค่าแรงดันเป็น V_S โดยใช้ เวลา T_{C1} มีค่า

$$T_{C1} = [C_C(V_{DD}-V_S)]/[I_{D(A,B,C)}] \quad (ก-12)$$

ในทำนองเดียวกันคือ $I_{D(A,B,C)}$ คือค่ากระแสอิ่มตัวที่เป็นส่วนประกอบของทรานซิสเตอร์ทั้ง 3 ตัว คือ A ,B และ C ดังนั้นค่าเวลาที่จุด O จะใช้ในการเปลี่ยนแปลงแรงดันจาก V_{DD} เป็นค่าแรงดัน V_S คือ

$$T_D = T_{A1} + T_{B1} + T_{C1} + \dots + T_{x1}$$

โดยที่ X คือค่าจำนวนที่สูงที่สุดของทรานซิสเตอร์ที่อนุกรมกัน

ถ้าให้ NMOIS ตัวที่ A, B, ... มีค่าความกว้างของช่องทางเดินกระแสเป็น W_A, W_B, \dots และค่าความยาวของช่องทางเดินกระแสเป็น L_A, L_B, \dots จะได้กระแสมีค่า

$$I_{D(A,B,C,\dots)} = (\mu\epsilon_{ox}/2T_{ox})(V_{DD}-V_{Tn})^2 [(L_A/W_A)+(L_B/W_B)+\dots] \quad (n-13)$$

และให้

$$R_{A1} = \rho_1(L_A/W_A) \quad , \quad R_{B1} = \rho_1(L_B/W_B) \quad , \quad \dots \quad (n-14)$$

โดยที่

$$\rho_1 = [2T_{ox}(1-v_{DS})]/[\epsilon_{ox}\mu V_{DD}(1-v_{Tn})^2] \quad (n-15)$$

จากสมการเราทราบว่า $1-v_{DS} > v_{Tn}$ เราจะได้

$$T_{A1} = R_{A1}C_A$$

$$T_{B1} = (R_{A1} + R_{B1})C_B$$

$$T_{X1} = (R_{A1} + R_{B1} + \dots)C_X$$

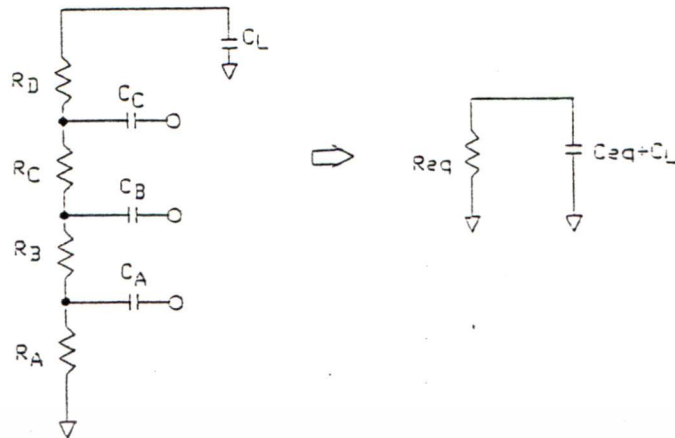
ดังนั้นจะได้ค่าเวลาในการเปลี่ยนแปลงสถานะคือ

$$T_{D1} = T_{A1} + T_{B1} + \dots$$

$$= R_{A1}C_A + (R_{A1} + R_{B1})C_B + \dots + (R_A + R_{B1} + \dots + R_{X1})C_L \quad (n-16)$$

จากสมการที่ (n-16) จะพบว่า เป็นวงจรที่ประกอบด้วยค่าความต้านทาน และตัวเก็บประจุที่ต่อกันเป็นโครงข่ายไฟฟ้า ซึ่งทำให้เกิดการหน่วงเวลาของสัญญาณขาออกได้ ดังนั้นเราจึงสามารถรวมค่าความต้านทานและตัวตัวเก็บประจุเหล่านั้นให้เหลือเป็นวงจรสมมูลอย่างง่ายเพียงวงจรเดียว โดยวงจร

ดังกล่าวจะเป็นไปดังรูปที่ ก-3



รูปที่ ก-3 แสดงวงจรสมมูลย์แทนวงจรในรูปที่ 1-2

ตัวความต้านทาน R_{eq} ในรูปที่ ก-3 คือตัวแสดงถึงเพทตัวเดียว ๆ ที่มีค่าความยาวและความกว้างของช่องทางเดินกระแสที่เป็นตัวแทนของเพทที่ต่อกันแบบอนุกรมได้ และในทำนองเดียวกันค่าความจุไฟฟ้า C_{eq} คือค่าความจุไฟฟ้ารวมของ C_A, C_B, C_C และ C_L ซึ่งโดยปกติแล้วจะมีค่าประมาณ C_L ดังนั้นสิ่งที่ต้องการทราบคือค่า R_{eq} จะมีค่าเป็นเท่าใด

ตามที่กล่าวแล้วว่า R_{eq} จะเป็นตัวแทนของเพทที่ต่ออนุกรมกันอยู่ดังนั้น

$$\beta_{กรรมา} = \mu[\epsilon_{ox}/T_{ox}] [(L_A/W_A) + (L_B/W_B) + \dots]^{-1}$$

ช่วงเวลาหน่วงของวงจรจะมีค่า

$$T_{D(2)} = (C_L + C_{eq})(R_{A2} + R_{B2} + \dots) \quad (ก-17)$$

โดยที่

$$R_{A2} = \rho_2 (L_A/W_A) \quad , \quad R_{B2} = \rho_2 (L_B/W_B)$$

และ

$$\rho_2 = \{T_{ox}/[\epsilon_{ox}\mu(V_{DD} - V_{Tn})]\} \log(3-4v_{tn}) \quad (ก-18)$$

ดังนั้นช่วงเวลาหน่วงทั้งหมดของวงจรคือ

$$T_D = T_{D(1)} + T_{D(2)}$$

$$R (R_A + R_B + R_C + \dots + R_X) C_L \quad (ก-19)$$

โดยที่

$$R_A = (\rho_1 + \rho_2)(L_A/W_A) \quad , \quad R_B = (\rho_1 + \rho_2)(L_B/W_B)$$

$$\rho = V/I$$

$$= V_{DS} / [\beta/2(V_G - V_T)V_{DS} - (V_{DS}^2/2)]$$



ภาคผนวก ข.

สัญลักษณ์

สัญลักษณ์	ความหมาย	หน่วย
a	ระยะห่างระหว่างทรานซิสเตอร์สองตัว	μm
C_{ox}	นิกิตความจุไฟฟ้าที่เกตออกไซด์	F/cm^2
d	ความหนาของช่วงปลอดประจุพาหะ	cm
E_c	ระดับพลังงานของแถบความนำ	eV
E_o	ระดับพลังงานของแถบวาเลนซ์	eV
E_{fe}	ระดับพลังงานของอิเล็กตรอนในสารกึ่งตัวนำชนิดอื่น	eV
E_{fh}	ระดับพลังงานของอิเล็กตรอนในสารกึ่งตัวนำชนิดนี้	eV
f	ตัวแปรของความยาวช่องทางเดินกระแสสั้น ๆ	-
g	ตัวแปรของความกว้างช่องทางเดินกระแสแคบ ๆ	-
g_m	ทรานคอนดักแตนซ์	mho
I_{DS}	กระแสเดรนซอส	A
k'	ตัวแปรความนำของทรานซิสเตอร์ที่เกิดจากการสร้าง	A/V^2
L	ความยาวของช่องทางเดินกระแสของทรานซิสเตอร์	μm
L_{eff}	ค่าความยาวของช่องทางเดินกระแสที่แท้จริง	μm
N_c	ปริมาณประจุอิเล็กตรอนในชั้นความนำ	C
N_e	ปริมาณของประจุอิเล็กตรอน	C
N_h	ปริมาณของประจุโฮล	C
n_1	ปริมาณของประจุพาหะในสารกึ่งตัวนำบริสุทธิ์	C
N_v	ปริมาณประจุอิเล็กตรอนในชั้นวาเลนซ์	C
NM_H	ขอบเขตของสัญญาณรบกวนที่วงจรมีได้ขณะมีศักดาสูง	V
NM_L	ขอบเขตของสัญญาณรบกวนที่วงจรมีได้ขณะมีศักดาต่ำ	V
Q_i	จำนวนประจุในช่วงตีลชีชั้น	C
Q_s	ค่าประจุในช่องทางเดินกระแสของทรานซิสเตอร์	C
q	ค่าประจุอิเล็กตรอน	C

สัญลักษณ์	ความหมาย	หน่วย
R	ค่าความต้านทาน	ohm
T	อุณหภูมิสัมบูรณ์	K
T_p	ค่าเวลาหน่วงของวงจร	sec
T_{ox}	ค่าความหนาของชั้นฉนวนในบริเวณช่องทางเดินกระแส	\AA
V_{OH}	ค่าแรงดันขาออกสถานะสูงของวงจร	V
V_{OL}	ค่าแรงดันขาออกสถานะต่ำของวงจร	V
V_{IH}	ค่าแรงดันขาเข้าสถานะสูงของวงจร	V
V_{IL}	ค่าแรงดันขาเข้าสถานะต่ำของวงจร	V
V_{IN}	ค่าแรงดันขาเข้าวงจร	V
V_{OUT}	ค่าแรงดันขาออกของวงจร	V
V_{GS}	ค่าแรงดันเกตซอส	V
V_{DS}	ค่าแรงดันเดรนซอส	V
V_T	ค่าแรงดันขีดเริ่มของทรานซิสเตอร์	V
V_{FB}	ค่าความแตกต่างฟังก์ชันงานของซิลิกอนกับซิลิกอนไดออกไซด์	V
w	ค่าความกว้างของช่องทางเดินกระแส	μm
x_j	ค่าความลึกของรอยต่อสารกึ่งตัวนำ	μm
β	ค่าอัตราขยายของทรานซิสเตอร์	A/V^2
ϵ_o	ค่าเปอร์มิติวิตีของสุญญากาศ	F/cm
ϵ_{ox}	ค่าคงที่ไดอิเล็กทริกของซิลิกอนไดออกไซด์	
ϵ_s	ค่าคงที่ไดอิเล็กทริกของซิลิกอน	
μ_{nau}	ความคล่องตัวของอิเล็กตรอนในซิลิกอนที่เติมอะตอมทองคำ	$\text{cm}^2/v\text{-sec.}$
μ_{pau}	ความคล่องตัวของโฮลในซิลิกอนที่เติมอะตอมทองคำ	$\text{cm}^2/v\text{-sec.}$
ρ	พิกัดความต้านทาน	ohm-cm
σ	ความนำไฟฟ้า	$(\text{ohm-cm})^{-1}$
ϕ_{fe}	ความต่างศักดาระหว่างระดับพลังงานอินทรีนซิกกับระดับพลังงานเฟอร์มิทีอิเล็กตรอนอยู่	V
ϕ_{fh}	ความต่างศักดาระหว่างระดับพลังงานอินทรีนซิกกับระดับพลังงานเฟอร์มิทีโฮลอยู่	V
ϕ_s	ความต่างศักดาไฟฟ้าที่ผิวของซิลิกอน	V

สัญลักษณ์	ความหมาย	หน่วย
σ_{so}	ความต่างศักย์ไฟฟ้าระหว่างขอบของแถบความนำซิลิกอนไดออกไซด์กับขอบของแถบความนำซิลิกอน	V
σ_M	ความต่างศักย์ไฟฟ้าระหว่างขอบของแถบความนำซิลิกอนไดออกไซด์กับระดับพลังงานเฟอร์มิของ เกท โลหะ	V
σ_{MS}	ความแตกต่างฟังก์ชันงานระหว่าง เกท โลหะกับซิลิกอน	V
σ_s	ความต่างศักย์ไฟฟ้าระหว่างขอบของแถบความนำซิลิกอนไดออกไซด์กับระดับพลังงานเฟอร์มิซิลิกอน	V
Ω	โอห์ม	ohm
Ψ	โหม้	mho

