สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

รายงานฉบับสมบูรณ์โครงการวิจัย

เรื่อง

การออกแบบวงจรถอดรากที่สอง โดยใช้มอสเทคโนโลยี

หัวหน้าโครงการ

นาย วัลลภ สุระกำพลธร

RCH
TK
7874
.3445
เลขหมู่.....
เลขทะเบียน 32075
วัน, เดือน, ปี - 9 ก.พ. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรถอดรากที่สอง โดยใช้มอสเทคโนโลยี

A CMOS Based Square-root Circuit

บทคัดย่อ

ในโครงการนี้เป็นการนำเสนอการออกแบบวงจรที่มีคุณสมบัติในการถอดรากที่สองในรูปของวงจรรวม โดยใช้มอสเทคโนโลยี การทำงานของวงจรอาศัยสมการกำลังสองของมอสทรานซิสเตอร์เป็นหลัก วงจรที่ได้พัฒนาขึ้นนี้มีการทำงานในรูปของกระแส สมรรถนะของวงจรสามารถยืนยันได้ด้วยผลการทดลองโดยการต่อวงจรจริง และผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE ผลที่ได้แสดงให้เห็นถึงความมีประสิทธิภาพและความเที่ยงตรงเป็นไปตามหลักการที่ได้นำเสนอ

Abstract

A CMOS integrable current mode square-root circuit is proposed in this article. It is based on the square-law characteristics of MOS transistor. Experimental results and PSPICE simulation results confirm that the circuits performance are agreed with the theoretical results.

1. บทนำ

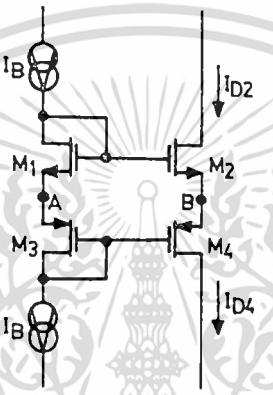
วงจรถอดรากที่สองเป็นวงจรที่มีการใช้งานกันมากทั้งในด้านการสื่อสารโทรคมนาคม และในเครื่องมือวัดวิเคราะห์ต่าง ๆ ที่ผ่านมาได้มีการเสนอหลักการออกแบบวงจรถอดรากที่สองไว้บ้าง [1] แต่เป็นการเสนอหลักการที่ไม่เหมาะสมที่จะสร้างเป็นวงจรรวม เนื่องจากเป็นการใช้ CMOS ต่อร่วมกับออปแอมป์ซึ่งเป็นวงจรรวมขนาดใหญ่ทำให้ต้องเสียค่าใช้จ่ายสูงจึงได้มีการพัฒนาวงจรขึ้นใหม่ที่เหมาะสม สำหรับสร้างเป็นวงจรรวม แต่เป็นการเสนอหลักการที่เหมาะกับการสร้างเป็นวงจรรวม โดยใช้เทคโนโลยีของไบโพล่าร์ (Bipolar Technology) ในโครงการนี้จะเป็นการเสนอหลักการออกแบบวงจรถอดรากที่สองที่เหมาะสำหรับนำไปสร้างเป็นวงจรรวมโดยใช้คุณสมบัติสมการกำลังสองของมอสทรานซิสเตอร์เป็นหลัก วงจรที่ได้พัฒนาขึ้นนี้เมื่อป้อนกระแสอินพุทให้กับวงจร ผลที่ได้ทางเอาท์พุทจะมีค่าเป็นรากที่สองของกระแสอินพุทที่มีความเที่ยงตรงและมีประสิทธิภาพ อีกทั้งยังมีช่วงปฏิบัติการทั้งทางด้านขนาดและความถี่ที่กว้าง จากการออกแบบและผลที่ได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองรวมทั้งการเลียนแบบการทำงานของวงจรที่ได้นำเสนอโดยใช้โปรแกรมสำเร็จรูป PSPICE ได้แสดงให้เห็นแนวทางในการพัฒนาวงจรขึ้นใหม่อีกแนวทางหนึ่ง

2. หลักการเบื้องต้น

จากรูปที่ 1 แสดงวงจรขยายคลาส AB แบบ CMOS ถ้าสมมติให้ทรานซิสเตอร์ M_1 , M_2 ,M_3 และ M_4 มีคุณสมบัติเหมือนกันทุกประการความสัมพันธ์ของศักดาระหว่างขาเกท และขาซอส (V_{GS}) ของทรานซิสเตอร์ M , M_2 ,M_3 และ M_4 จะสามารถเขียนได้ดังนี้ [2]



รูปที่ 1 วงจรขยายคราส AB แบบ CMOS

$$V_{GS1} + V_{GS3} = V_{GS2} + V_{GS4} \quad (1)$$

เมื่อ $V_{GS} = \sqrt{\frac{I_D}{\beta}} + V_T$, $I_{D2} = I_{D4}$

จาก (1) เราจะได้

$$I_{D2} = \frac{I_{D1}}{4} + \frac{\sqrt{I_{D1}}\sqrt{I_{D3}}}{2} + \frac{I_{D3}}{4} \quad (2)$$

2.1. วงจรถอดรากที่สองและการทำงาน

จากรูปที่ 2 กำหนดให้

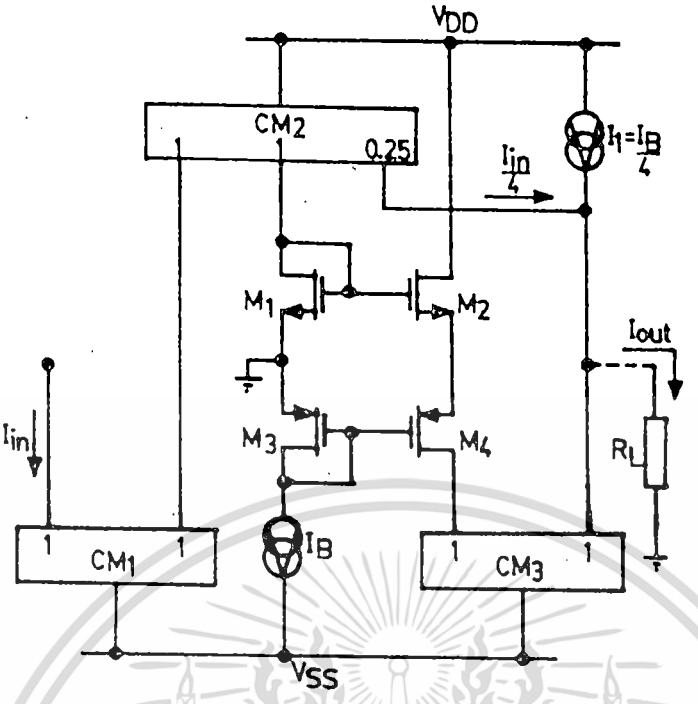
I_{D1} : กระแสอินพุท I_{in}

I_{D2} : กระแสเอาท์พุท I_{out}

$I_1 = \frac{I_B}{4}$

$I_{D3} = I_B$ = constant

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



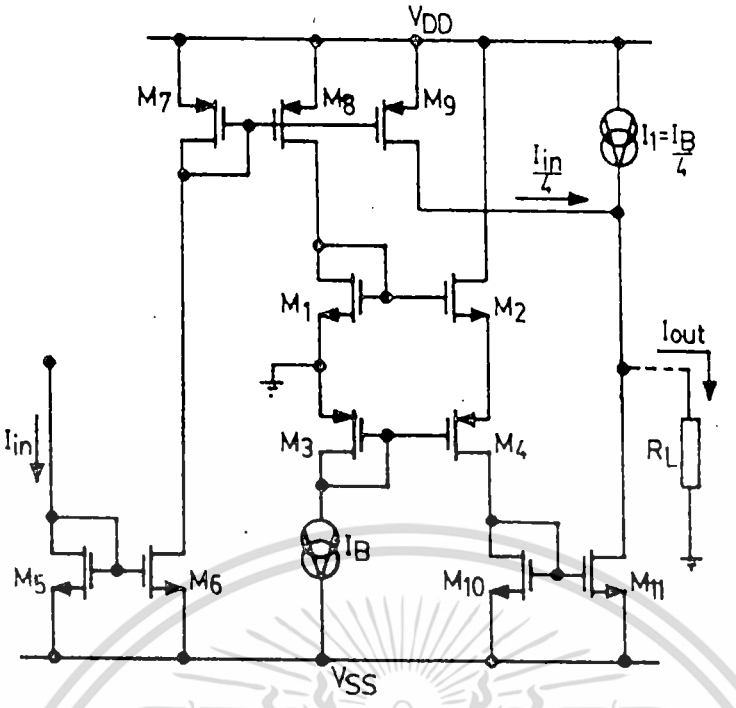
รูปที่ 2 วงจรถอดรากที่สอง

จากวงจรถอดรากที่สอง โดยใช้คุณสมบัติสมการกำลังสองของมอสทรานซิสเตอร์ แสดงดังในรูปที่ 2 ซึ่งประกอบไปด้วย M_1 , M_2 ,M_3 และ M_4 ที่เป็นส่วนของวงจรขยายคลาส AB วงจร CM_1 , CM_2 และ CM_3 เป็นวงจรสะท้อนกระแส I_B และ I_1 เป็นแหล่งจ่ายกระแสคงที่ การทำงานของวงจรเมื่อป้อนกระแสอินพุท I_{in} ให้กับอินพุทของวงจรสะท้อนกระแส CM_1ซึ่งจะทำหน้าที่สะท้อนกระแสด้วยอัตราส่วน 1: 1 ส่งผ่านกระแสอินพุท I_{in} ไปยังอินพุทของวงจรสะท้อนกระแส CM_2 ซึ่งมีสองเอาท์พุท ทำหน้าที่สะท้อนกระแสด้วยอัตราส่วน 1:1 และ 1:0.25 ตามลำดับ โดยเอาท์พุทแรกจะสะท้อนกระแสอินพุท I_{in} ไปที่ขาเดรน (Drian) ของทรานซิสเตอร์ M_1 เป็นกระแส I_{D1}เพื่อเป็นกระแสไบอัสให้วงจรทำงานในคลาส AB และมีแหล่งจ่ายกระแสคงที่ I_B ต่อที่ขาเดรนของทรานซิสเตอร์ M_3 เป็นกระแส I_{D3} เพื่อเป็นกระแสไบอัสให้วงจรทำงานในคลาส AB ที่ขาเดรนของทรานซิสเตอร์ M_4 ต่ออยู่กับอินพุทของวงจรสะท้อนกระแส CM_3 ซึ่งจะทำหน้าที่สะท้อนกระแสด้วยอัตราส่วน 1: 1 จะทำหน้าที่สะท้อนกระแส I_{D4}ไปยังจุดออกที่จุด B เนื่องจากสมการที่ (2) เราต้องกำจัดกระแส $I_{in}/4$ และ $I_B/4$ ทิ้งไป ดังนั้นเราจึงใช้เอาท์พุทที่สองของวงจรสะท้อนกระแส CM_2 ซึ่งสะท้อนกระแสด้วยอัตราส่วน 1 : 0.25 สะท้อนกระแสจำนวน $I_{in}/4$ และใช้แหล่งจ่ายกระแสคงที่ I_1 จ่ายกระแสจำนวนเท่ากับ $I_B/4$ ไปยังจุดออกที่จุด B เพื่อกำจัดกระแสที่เราไม่ต้องการทิ้งไป

ซึ่งกระแสที่จุดออก I_{out} จะสามารถหาได้โดยการแทนค่าในสมการที่ (2) ได้เป็น

$$I_{out} = \frac{\sqrt{I_B}}{2}\sqrt{I_{in}} \qquad (3)$$

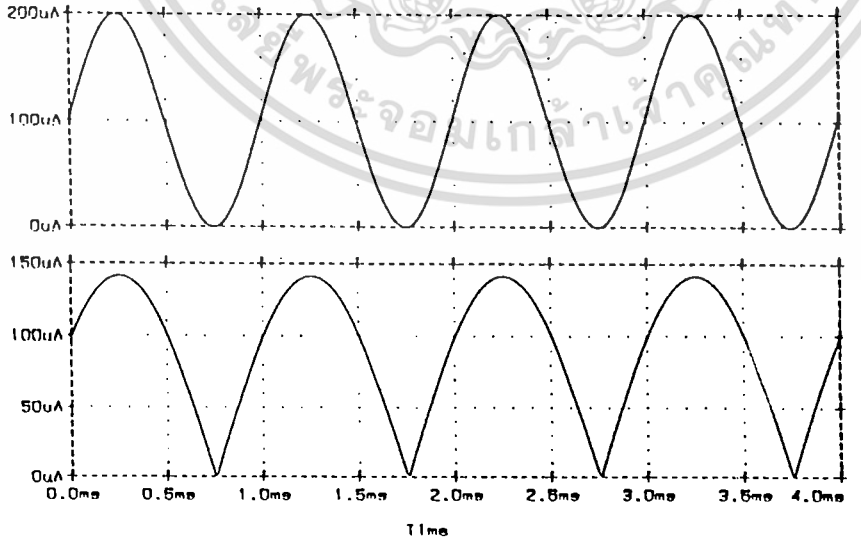
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 วงจรถอดรากที่สอง แบบที่ใช้ทำเป็นวงจรรวม

2. ผลการวิเคราะห์โดยใช้โปรแกรม PSPICE

จากวงจรในรูปที่ 3 ได้ถูกนำมาเลียนแบบการทำงานโดยใช้โปรแกรม PSPICE โดยกำหนดให้ I_B = 400 μA , I_1 = 100 μA , V_{DD} = 5V และ V_{SS} = -5V .ในรูปที่ 4 เป็นผลการเลียนแบบวงจรถอดรากที่สอง โดยที่ I_{in} แปรค่าจาก 0 μA ถึง 200 μA

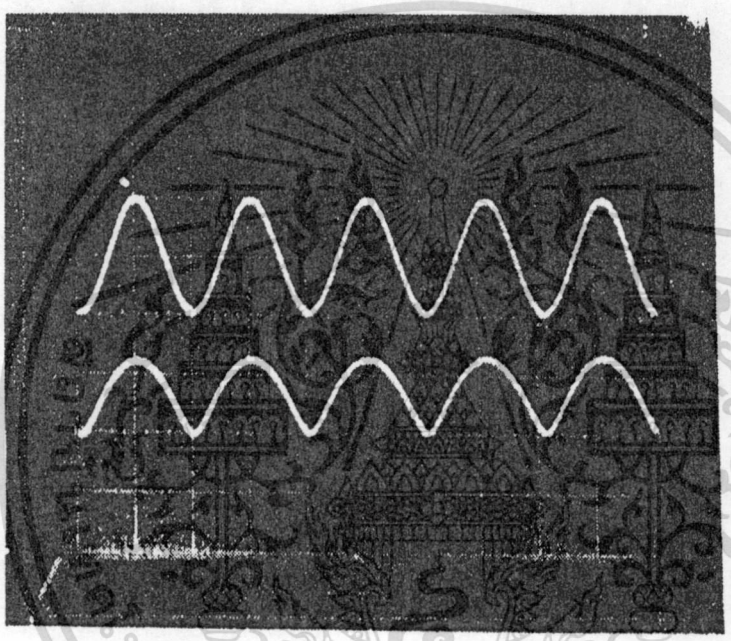


รูปที่ 4 แสดงผลการเลียนแบบวงจรถอดรากที่สองโดยโปรแกรม PSPICE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การทดลองและผลการทดลอง

ได้ทำการทดลองสร้างวงจรจริงตามรูปที่ 3 โดยทำการต่ออุปกรณ์บนแผงทดลองวงจรต้นแบบ (Protoboard โดยมอสเฟทที่ใช้เป็น เอ็น-มอสและพี-มอส นำมาจากมอสเฟทภายในไอซี เบอร์ MC 14007 ซึ่งภายในประกอบด้วยเอ็น-มอสและพี-มอส อย่างละ 3 ตัว โดยทรานซิสเตอร์ M , M_2 ,M_3 และ M_4 ต้องมีความสมพงษ์กันมากที่สุด ในรูปที่ 5 เป็นผลที่ได้จากการทดลองวงจรถอดรากที่สองในรูปที่ 3 ผลจากการทดลองจะเห็นว่า กระแสเอาท์พุท I_{out} จะมีค่าเป็นรากที่สองของกระแสอินพุท I_{in}



รูปที่ 5 ผลการทดลองของวงจรในรูปที่ 3

จากการทดลองโดยการป้อนสัญญาณอินพุท ซึ่งเป็นสัญญาณความถี่ซายน์ 1 KHz ขนาดของกระแสเท่ากับ 200 μA และกำหนดให้ I_B = 400 μA , $I_1 = I_B / 4$ = 100 μA , V_{DD} = 5 V , V_{SS} = -5 V และ R_L = 10 KΩ ซึ่งจะได้ว่าวงจรสามารถทำหน้าที่ถอดรากที่สองได้เป็นไปตามหลักการที่ได้นำเสนอ

4. บทสรุป

วงจรถอดรากที่สองโดยใช้คุณสมบัติสมการกำลังสองของมอสทรานซิสเตอร์ ที่ได้นำเสนอในโครงการนี้สามารถที่จะทำงานได้อย่างถูกต้องตามหลักการที่ได้เสนอขึ้น สมรรถนะของวงจรนี้สามารถยืนยันได้ด้วยผลการทดลอง และผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] I.M. Filanovsky and H.P. Baltes,"Simple CMOS Analog Square-Rooting and Squaring Circuits," IEEE Trans. Circuits and Systems.,Vol.39,No.4. pp.312-315, 1982.

[2] N.C. Battersby and C. Toumazou, "Class AB switched-current memory for analogue sampled-datasystem, " Electron. Lett., Vol.27,pp.873-875,1991.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

From t.thornton@ic.ac.uk Tue Oct 28 11:04:42 1997
Date: Wed, 8 Oct 97 18:21:29 BST
From: Trevor Thornton <t.thornton@ic.ac.uk>
To: vanchai@mvlsi.eng.kmit1.ac.th
Cc: vanchai@mvlsi.eng.kmitl.ac.th

INTERNATIONAL JOURNAL OF ELECTRONICS

Editor:
Dr T J Thornton
Department of Electrical & Electronic Engineering
Imperial College of Science, Technology & Medicine
Exhibition Road, London SW7 2BT, UK

Associate Editor:
Prof M Kelly
Department of Physics
The University of Surrey
Guildford, Surrey GU2 5XH,UK

Dear Dr Riewaruja,

re: A class AB CMOS square-rooting circuit
ref: IJE/97/68

I am pleased to advise you that the above paper has been accepted for publication in the International Journal of Electronics. If you have not already supplied them please send original drawings, suitable for direct photographic reproduction, of any figures that appear in your paper to Mr. M. Brace at Taylor and Francis, 1 Gunpowder Square, London EC4 3DE, UK.

Please quote the above reference number in all correspondence relating to this paper. In due course you will be receiving proofs from our Production Department.

Thank you for considering our Journal for your paper.

Yours sincerely,

Dr Trevor Thornton

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A class AB CMOS square rooting circuit

Vanchai Riewruja, Kongsak Anuntahirunrat

and Wanlop Surakampontorn.

The Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,

Ladkrabang, Bangkok 10520, Thailand.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A class AB CMOS square rooting circuit

Abstract

In this paper, an integrable CMOS square rooting circuit based on a class AB configuration is described. The circuit achieves wide dynamic range and wide-band capability. The accuracy of the circuit is also high over the entire dynamic range. Simulation and experimental results demonstrating the characteristic of the proposed circuit are also included.

1. Introduction

A square rooting circuit is a useful circuit building block used in analog measurement and instrumentation. For example, it can be used to linearize a signal from differential pressure flow meter, or to calculate the RMS value of an arbitrary waveform (Doebelin 1990). Usually, one fundamental approache to realize a square root function is based on the use of an operational amplifier (op-amp) attached to bipolar transistor to form as the log and antilog amplifier (Millman and Grabel, 1992). This approach provides the logarithmic principle to realize a square root function. However, the frequency performance achieved by this circuit is limited by the narrow bandwidth of an op-amp topology. Alternatively, an approach based on the characteristic of the translinear configuration of bipolar junction transistors, which is suitable for implementing in monolithic integrated circuit form, has been shown to realize a square root function (Toumazou et al, 1990). The advantage of this technique is wide bandwidth due to the circuit operated in current mode. In addition, two approaches have been reported on the realization of a square root function using MOS transistors. The first approach is based on the use of weak inverted MOS transistors (Van Der Gevel and Kuenen 1994). This approach obtains low power consumption and low voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

operation. In contrast, the accuracy and the frequency performance are limited by the small transconductance value of the weak inverted MOS transistors restriction (Gray and Meyer 1993). The second approach is based on the use of the second generation current conveyor (CCII) connected with nonsaturated MOS transistors and op-amp (Liu 1995). The high frequency limitation of this approach is due to the finite gain bandwidth product of the op-amp and parasitic capacitances of the nonsaturated MOS transistors. The purpose of this paper is to propose a CMOS integrated circuit technique for the realization of square rooting circuit. The circuit consists of a CMOS class AB configuration, current mirrors and current sources. The resulting performances of the circuit have high accuracy, wide-band capability and wide dynamic range.

2. Circuit description

2.1 Basic principle

Figure 1 shows a CMOS class AB configuration formed by transistors M_1-M_4. The constant current source I_B provides the bias current for the circuit. Ideally, it is required that the transistors M_1 and M_2 as well as M_3 and M_4 are closely matched and all the transistors operate in their saturation region. If the input signal current I_{in} is applied to the circuit, then the relationship of the current I_{D2}, I_{D4} and I_{in}, since the current I_{D2} and I_{D4} have same magnitude, can be expressed as

$$I_{D2} = -I_{D4} = \frac{I_{in} + I_B}{4} + \sqrt{\frac{I_B}{2}}\sqrt{I_{in}} \qquad (1)$$

where I_{D2} and I_{D4} are drain currents of the transistors M_2 and M_4, respectively.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 Square rooting circuit

The proposed circuit diagram is shown in figure 2. Groups of transistors M_5-M_8 function as a current-mode full-wave rectifier (Wang, 1990). If the input signal current $I_{in} > 0$, the current I_{in} turns M_6 'on' and M_5 'off', thus $I_{D5} = 0$ and $I_{D6} = I_{in}$. For the input signal current $I_{in} < 0$, the current I_{in} will turn M_5 'on' and M_6 'off,' therefore $I_{D5} = I_{in}$ and $I_{D6} = 0$. The unity gain current mirror M_7-M_8 reflects the current I_{D5} in order to add to the current I_{D6}. Thus the current I_{D9}, the sum of I_{D5} and I_{D6}, is full-wave rectified. The current mirror M_9 and M_{11} reflects the current $|I_{in}|$ to the current mirror M_{12}-M_{14}. The current mirror M_9-M_{10} and M_{12}-M_{13}, which have current gain equal to 4, forces current $|4I_{in}|$ into transistor M_3 of a class AB stage and the current source I_1 and I_2, which are set equal to $4I_B$, provide the bias current. The current I_{D4} can be written as

$$I_{D4} = I_B + |I_{in}| + \sqrt{I_B}\sqrt{|I_{in}|} \qquad (2)$$

where I_{D4} is the drain current of M_4. The unity gain current mirrors M_9, M_{11}, M_{12}, M_{14} and M_{15}-M_{16} reflect the current $I_{D9} = |I_{in}|$ and I_{D4}, respectively, into an output node and the current source $I_3 = I_B$ provides an elimination of the output current offset. Then the output current I_{out} becomes

$$I_{out} = \sqrt{I_B}\sqrt{|I_{in}|} \qquad (3)$$

which means that the output current I_{out} is a square root of the input signal current I_{in} with the current gain equal to $\sqrt{I_B}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Circuit performance

In practical realization, the devices mismatch between n and p channel MOS transistors of a class AB circuit is the major factor that contribute to the errors from the ideal performance. The error of the output current I_{out}, ε_1, is due to the cancelling remainder current of the signal current I_{in} and the current I_{D16}. The percentage of error ε_1 can be expressed as

$$\varepsilon_1 = \frac{\sqrt{\beta_n \beta_p I_B}}{2(\beta_n + 2\sqrt{\beta_n \beta_p} - 3\beta_p)} \times 100\% \qquad (4)$$

where β_n and β_p are the transconductance parameters of n and p channel MOS transistors, respectively and I_B is the bias current of the class AB circuit. If $\beta_n = 4.919 \times 10^{-4} A/V^2$, $\beta_p = 1.73 \times 10^{-4} A/V^2$ and $I_B = 25\mu A$, then the resulting error ε_1 is equal to 0.13%

For high frequency response, the first major high frequency limitation is due to the device capacitance of a class AB circuit (M_1-M_4). The single dominant pole of a class AB circuit, P_{AB}, can be approximately given by

$$P_{AB} = \frac{1}{\left[1 + \frac{C_1 s}{gm_1}\right]} \qquad (5)$$

where gm_1 and C_1 are the MOSFET transconductance and the gate-to-source capacitance of transistor M_1, respectively. If C_1 = 0.2pF, $gm_1 = 2.21 \times 10^{-4} A/V$, then this pole will be located at 175.86MHz. The second dominant pole P_m is due to the bandwidth of negative current mirror M_{12}-M_{14}, which can be written as

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$P_m = \frac{1}{\left[1 + \frac{C_{12}s}{gm_{12}}\right]} \qquad (6)$$

where gm_{12} and C_{12} are the MOSFET transconductance and the gate-to-source capacitance of transistor M_{12}, respectively. For C_{12} = 1.5pF and $gm_{12} = 2.68 \times 10^{-4}$A/V, then the cut-off frequency of this pole is located at about 28.43MHz. This pole should be the high frequency limitation of the circuit.

4. Experimental and simulation results

The circuit in Figure 2 has been constructed using CD4007 devices for experimental purpose, where the bias current $I_1 = I_2 = 4I_B$ and the current source $I_3 = I_B$ are set to 100μA and 25μA, respectively, and V_{DD} = 7V. Figure 3 shows the measured DC transfer characteristic for the input current I_{in} which is varied from -1mA to 1mA. Figure 4 shows the output current waveform for a 20kHz triangular wave input waveform of peak amplitude 1mA. It is evident that the performance of the experimental circuit is in close agreement with the expected value.

The high frequency response of the proposed circuit was observed using the PSPICE analog simulation program. The MOSIS 2.0μm CMOS process parameters were used for the circuit simulation. The ratio of channel width and length (W/L) of the devices used are as follows, $W_5/L_5 = W_6/L_6$ = 2μm/2μm , $W_{10}/L_{10} = W_{13}/L_{13}$ = 80μm/2μm, $W_1/L_1 = W_2/L_2 = W_3/L_3 = W_4/L_4$ = 10μm/2μm and the other devices were set identical to 20μm/2μm. The simulated frequency response of the proposed circuit is shown in figure 5. It should be noted that the bandwidth about 32MHz is observed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

5. Conclusion

A current-controlled square rooting circuit has been presented in this paper. The realization method is based on the principle of class AB configuration and suitable for implementing in CMOS integrated circuit form. The experimental results as well as the simulation results have shown that the circuit performance is highly accurate and wide-band capability

References

Doebelin O. E., 1990, Measurement Systems: Application and Design (New York: McGRAW-HILL).

Gray P. R., and Meyer R. G., 1993, Analysis and Design of Analog Integrated Circuits (John Wiley & Sons).

Liu S. -I., 1995, Square-rooting and vector summation circuits using current conveyors, IEE Proccessings Circuits Devices and Systems, **142**, 223-226.

Millman J., and Grabel A., 1992, Microelectronics (New York: McGRAW-HILL).

Toumazou C., Lidgey F. J., and Haigh D. G., 1990, Analogue IC Design: the Current-Mode Approach (London, U. K.: Peter Peregrinus).

Van der Gevel M., and Kuenen J. C., 1994, $\sqrt{x}$ circuit based on a novel, back-gate-using multiplier, Electronics letters, **30**, 183-184.

Wang Z., 1990, Novel pseudo RMS current converter for sinusoidal signal using a CMOS precision current rectifier, IEEE Transaction on Instrumentation and measurement, **39**, 670-671.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

32075

Figure captions

Figure 1. CMOS class AB configuration.

Figure 2. The proposed square rooting circuit.

Figure 3. Measured DC transfer characteristic.

Figure 4. Triangular wave response of circuit in Fig. 2.

Upper trace input: 500μA/div ; lower trace output: 100μA/div ; time-base: 10μs/div

Figure 5. Simulated for high frequency response.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

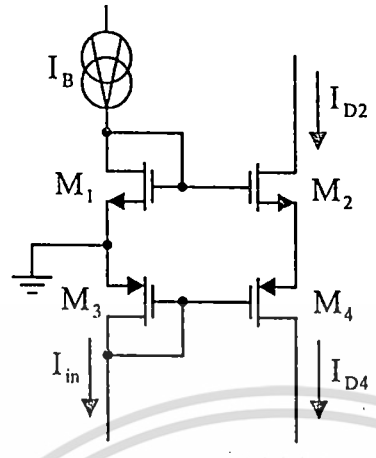


Fig. 1 V. Riewjx et al

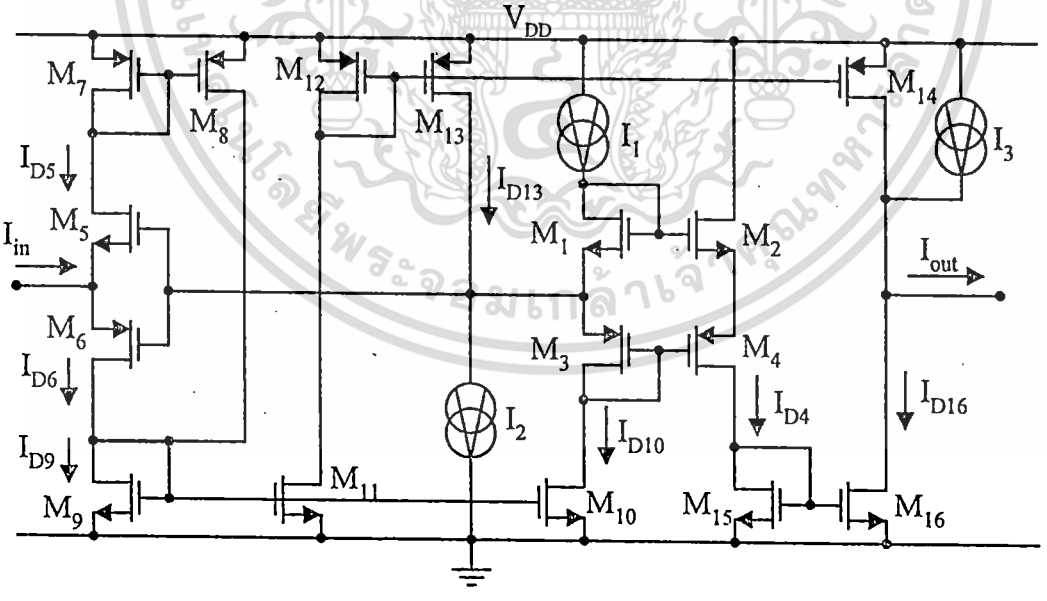


Fig. 2 V. Riewjx et al

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

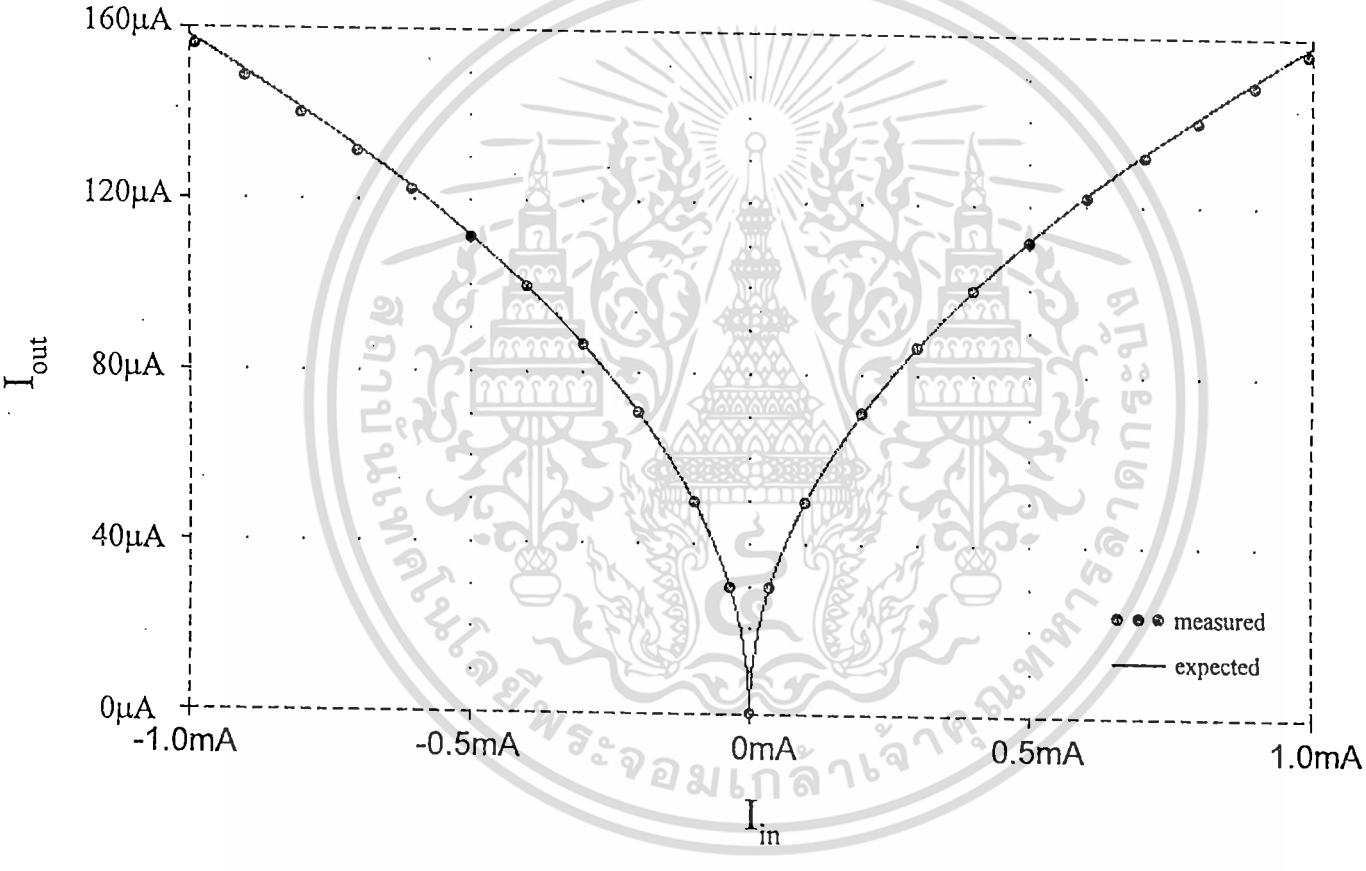


Fig. 3 V. Riewjs et al

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

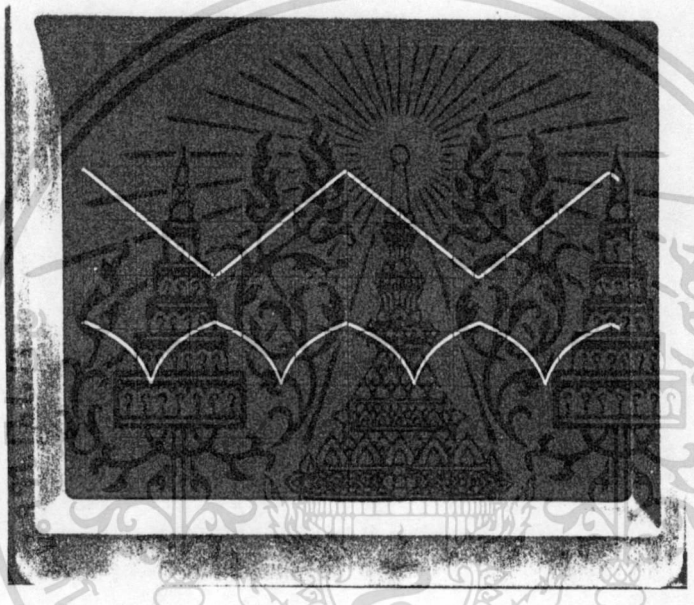


Fig. 4 V. Rieux et al

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

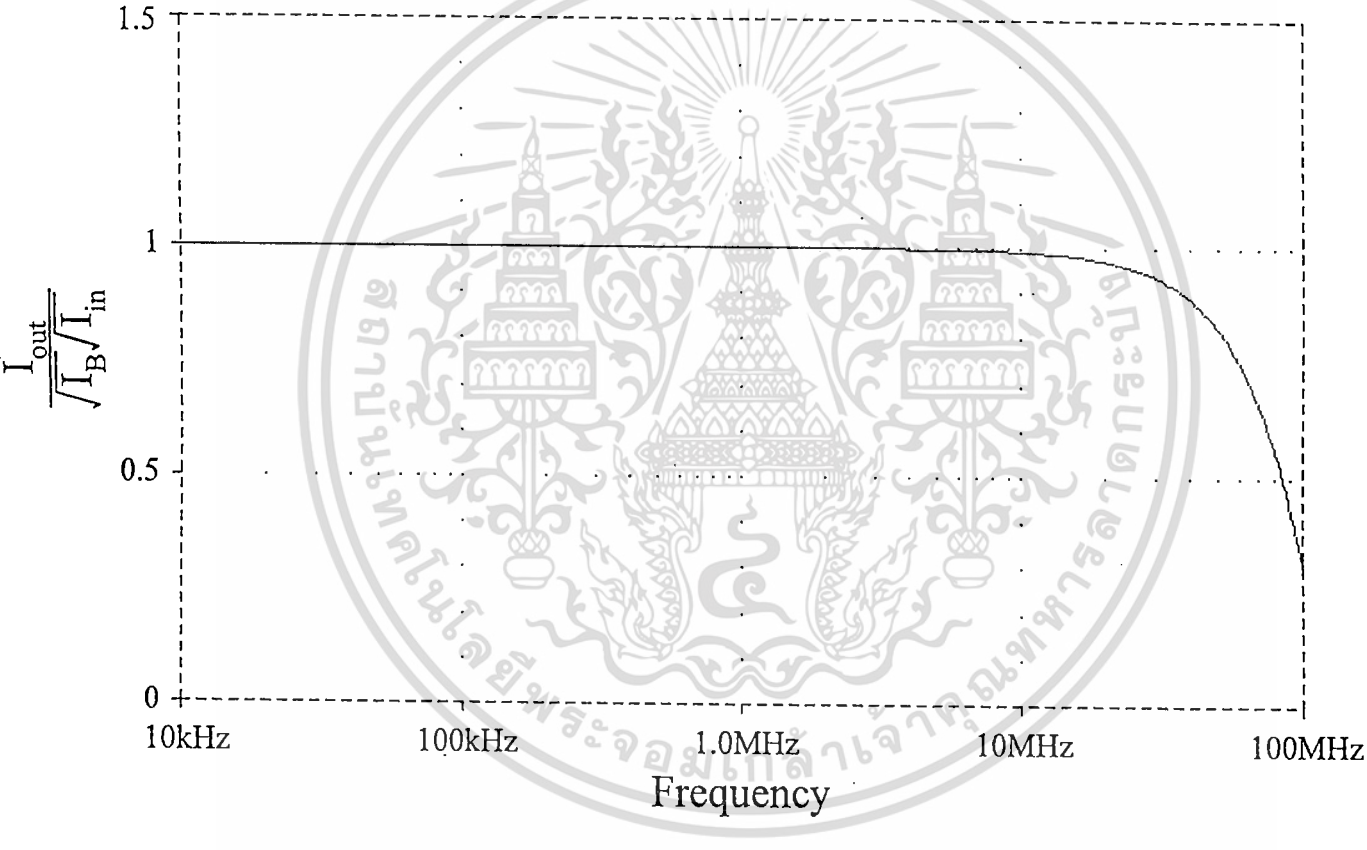


Fig. 5 V. Riemja et al

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้