สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

รายงานการวิจัยและการพัฒนาฉบับสมบูรณ์

เครื่องกระจายการให้บริการร่วมสำหรับบ้านผ่านโครงข่ายไฮบริดสายใยแสงและสายเคเบิล

อิทธิชัย อรุณศรีแสงไชย

T034419

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ได้รับทุนอุดหนุนการทำวิจัยจากสำนักงานคณะกรรมการวิจัยแห่งชาติ
ปีงบประมาณ 2540

RCH
TK
7872
.M6
ต72ห๙
เลขหมู่.....
เลขทะเบียน 34419
วัน, เดือน, ปี 1 พ.ย. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องกระจายการให้บริการร่วมสำหรับบ้านผ่านโครงข่าย ไฮบริดสายใยแสงและสายเคเบิล

บทคัดย่อ

บทความนี้นำเสนองานวิจัย และมอดูเลเตอร์เพื่อใช้ในการกระจายการให้บริการร่วมสำหรับบ้านผ่านโครงข่ายไฮบริดสายใยแสงและสายเคเบิล (Hybrid Fiber / Coaxial : HFC) โดยตั้งจุดประสงค์ให้เป็นเครื่องต้นแบบเพื่อเป็นแนวทางในการพัฒนาให้เป็นไปตามมาตรฐานของ DOCSIS (Data Over Cable Service Interface Specifications) และ IEEE 802.14 ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	สถาปัตยกรรมของโครงข่าย HFC	3
	2.1. สถาปัตยกรรมของโครงข่ายเคเบิลทีวีแบบ HFC	3
	2.2. การสื่อสารข้อมูลความเร็วสูงบนโครงข่าย HFC	4
บทที่ 3	การออกแบบมอดูเลเตอร์	6
	3.1. ส่วนควบคุมหลัก	7
	3.2. ส่วนแปลงสัญญาณดิจิตอลเป็นอะนาล็อค และเชื่อมต่อย่านความถี่วิทยุ	14
บทที่ 4	การทดสอบและผลการทดสอบมอดูเลเตอร์	15
	4.1. การทดสอบและผลการทดสอบวงจรมอดูเลเตอร์ในโหมดของ BPSK	18
	4.2. การทดสอบและผลการทดสอบวงจรมอดูเลเตอร์ในโหมด QPSK	23
บทที่ 5	บทวิจารณ์	28
	5.1. ปัญหาและแนวทางแก้ไข	28
	5.2. บทสรุป	28
	5.3. รายชื่อบทความที่ได้รับการตีพิมพ์เผยแพร่จากโครงการนี้	28
เอกสารอ้างอิง		29

บทความที่ได้รับการเผยแพร่จากโครงการนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบัน การสื่อสารข้อมูลได้มีความสำคัญต่อการพัฒนาเศรษฐกิจมากไม่จำกัดเฉพาะในหน่วยงานราชการและเอกชนเท่านั้น แต่ได้ขยายตัวเข้าสู่ประชาชนเกือบทุกระดับดังจะเห็นได้จากการเพิ่มจำนวนขึ้นของบริษัทที่ทำธุรกิจเกี่ยวกับการจัดหาบริการอินเตอร์เน็ต(Internet Service Provider) อย่างมาก นอกจากการสื่อสารข้อมูลที่ทำการเชื่อมต่อระหว่างคอมพิวเตอร์เพื่อทำการรับและ ส่งไฟล์แล้วยังมีการขยายตัวของเทคโนโลยีสารสนเทศที่ต้องการให้บริการสื่อสารข้อมูลทุกรูปแบบไม่ว่าจะเป็นบริการ Videoconference หรือ Video-on-demand ซึ่งบริการต่างๆดังกล่าวจำเป็นที่จะต้องรับและส่งข้อมูลที่มีจำนวนมากในเวลาจำกัด จึงต้องใช้โครงข่ายที่มีการรับและส่งข้อมูลความเร็วสูง โครงข่ายเคเบิลทีวีแบบ Hybrid Fiber / Coaxial (HFC) จึงเป็นอีกเทคโนโลยีหนึ่งที่มีศักยภาพเพียงพอที่จะรองรับบริการต่างๆดังกล่าว

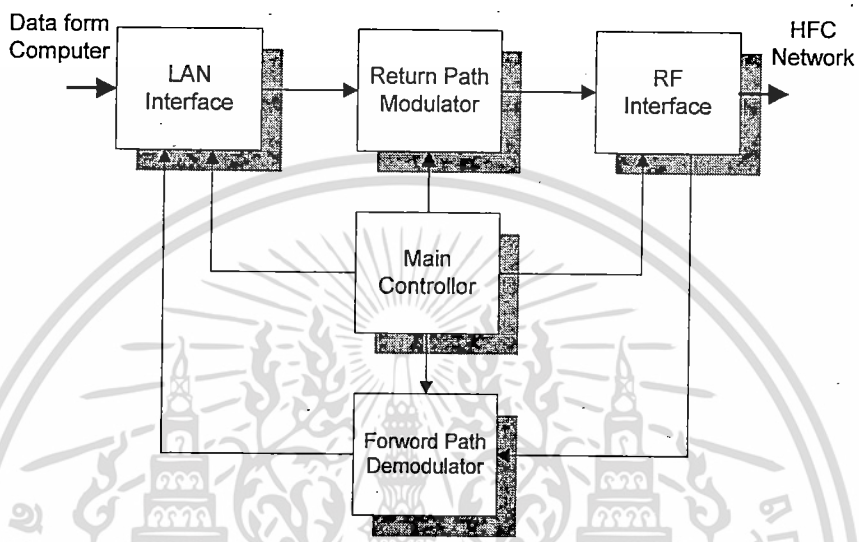
โครงข่ายเคเบิลทีวีแบบ HFC เป็นเทคโนโลยีที่มีการพัฒนาโครงสร้างหลักในการส่งสัญญาณของเคเบิลทีวีแบบเดิมโดยการนำสายใยแก้วนำแสงมาใช้ร่วมกับสายโคแอคเชียล ทำให้คุณภาพในการส่งสัญญาณของระบบดีขึ้นกว่าเดิม อีกทั้งยังมีการกำหนดให้สามารถส่งสัญญาณย้อนกลับไปยังสถานีหลัก(Headend) ทำให้สามารถสื่อสารได้ใน 2 ทิศทาง อันจะนำมาซึ่งบริการใหม่ในระบบเคเบิลทีวีชนิดนี้

จากแนวโน้มของเทคโนโลยีดังกล่าวจึงมีหน่วยงานต่างๆ เกิดขึ้นเพื่อที่จะกำหนดมาตรฐานในการส่งข้อมูลเข้าไปในเครือข่ายดังกล่าว โดยแบ่งเป็น 2 หน่วยงานใหญ่ดังนี้ 1) Data Over Cable Service Interface Specifications (DOCSIS) และ 2) Institute of Electrical and Electronics Engineers (IEEE) ซึ่งกำหนดอยู่ในหัวข้อ IEEE 802.14 มาตรฐานทั้งสองจะมีความแตกต่างกันเพียงเล็กน้อยในส่วนของโปรโตคอล Datalink Layer เท่านั้น

งานวิจัยนี้มุ่งที่จะศึกษาและทดลองสร้างเครื่องต้นแบบมอดูเลเตอร์ย่านความถี่วิทยุ เพื่อเป็นแนวทางในการพัฒนาให้สามารถใช้งานได้ตามมาตรฐาน DOCSIS และ IEEE 802.14 ต่อไป ซึ่งจะช่วยลดต้นทุนในการนำเข้ามอดูเลเตอร์สำหรับสื่อสารข้อมูลในโครงข่าย HFC ดังกล่าว (Cable Modem) มอดูเลเตอร์ที่สร้างขึ้นเป็นงานหนึ่งใน 4 ส่วนของอุปกรณ์ CM (Cable Modem) ตามมาตรฐาน DOCSIS ซึ่งประกอบไปด้วย มอดูเลเตอร์บนเส้นทางกลับ (BPSK, QPSK หรือ 16 QAM), ดีมอดูเลเตอร์บนเส้นทางไปหน้า (QPSK, 64QAM หรือ 256QAM), LAN Interface ตามมาตรฐานของ IEEE 802.3 และ ส่วนควบคุม (ส่วนควบคุมหลักของมอดูเลเตอร์ในงานวิจัยนี้เป็นเพียงส่วนหนึ่งของส่วนควบคุมจริงตามมาตรฐาน DOCSIS เท่านั้น) ดังรูปที่ 1.1 การดำเนินการวิจัยจะทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างมอดูเลเตอร์ขึ้น จากนั้นทำการจำลองระบบการมอดูเลตของมอดูเลเตอร์ตามมาตรฐาน และกระบวนการทำงานของมอดูเลเตอร์ที่สร้างขึ้น ท้ายที่สุด ทำการเปรียบเทียบผลที่ได้จากการจำลองและจากมอดูเลเตอร์ที่ได้สร้างขึ้น



รูปที่ 1.1 ส่วนประกอบหลักของอุปกรณ์ Cable Modem ตามมาตรฐาน DOCSIS และ IEEE 802.14

บทความนี้ได้จัดแบ่งเนื้อหาออกเป็น 5 ส่วน คือ ส่วนแรกจะกล่าวถึงสถาปัตยกรรมตามมาตรฐานของ DOCSIS และ IEEE 802.14 ส่วนที่สอง จะกล่าวถึงการออกแบบของมอดูเลเตอร์ดังกล่าว ส่วนที่สาม กล่าวถึงการทดสอบและผลการทดสอบวงจรมอดูเลเตอร์ที่ได้สร้างขึ้น ส่วนที่ห้า กล่าวถึงข้อวิจารณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

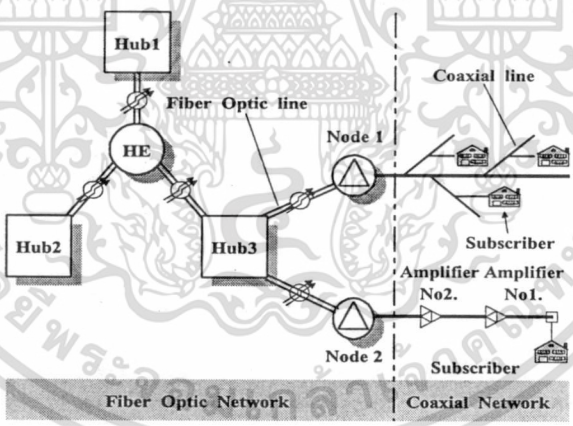
บทที่ 2
สถาปัตยกรรมของโครงข่ายเคเบิลทีวี และทฤษฎีการมอดูเลต

2.1 สถาปัตยกรรมของโครงข่ายเคเบิลทีวีแบบ HFC

สถาปัตยกรรมของโครงข่าย Hybrid Fiber Coaxial (HFC) ประกอบไปด้วยสองส่วนหลัก ดังนี้คือ 1) โครงข่ายใยแก้วนำแสง และ 2) โครงข่ายโคแอคเชียล ดังแสดงในรูปที่ 2.1

1) โครงข่ายใยแก้วนำแสง จะใช้เพื่อส่งสัญญาณวิดีโอคุณภาพสูงจากสถานีหลัก (Headend) ไปสู่สถานีย่อย(Hub) และกระจายสู่ fiber nodes เพื่อทำการแปลงสัญญาณแสงเป็นสัญญาณไฟฟ้า เพื่อนำส่งเข้าสู่โครงข่ายโคแอคเชียลต่อไป

2) โครงข่ายโคแอคเชียล เริ่มต้นจาก fiber node ซึ่งเป็นตำแหน่งที่สัญญาณแสงถูกแปลงเป็นสัญญาณไฟฟ้า และถูกส่งต่อไปยังเครื่องขยายหลัก(Trunk Amplifier) โดยผ่านเคเบิลหลัก (Trunk cable) เพื่อทำการปรับลักษณะสัญญาณ (Equalize) และขยายสัญญาณ (Amplify) ท้ายสุดสัญญาณจะถูกแยกออกไปสู่ผู้ใช้โดยแท็ปออฟ(Tap-off)

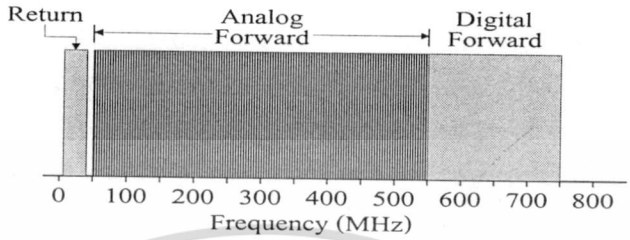


รูปที่ 2.1 สถาปัตยกรรมของโครงข่ายเคเบิลทีวีแบบ HFC

ในโครงข่ายเคเบิลทีวีแบบ HFC มีการแบ่งเส้นทางการเดินของสัญญาณหลักออกเป็น 2 ส่วน ด้วยกันคือเส้นทางกลับ(Return path) และเส้นทางไปหน้า(Forward path) โดยกำหนดให้ย่านความถี่ตั้งแต่ 5 ถึง 42 MHz เป็นเส้นทางกลับ ส่วนย่านความถี่ตั้งแต่ 50 ถึง 750 MHz เป็นเส้นทางไปหน้า ซึ่งมีการแบ่งช่องสัญญาณของเส้นทางไปหน้าออกอีกสองส่วนคือ ย่านความถี่ตั้งแต่ 50 ถึง 550 MHz จะถูกใช้ในการส่งกระจาย(Broadcast) สัญญาณอะนาล็อคเคเบิลทีวีโดยทั่วไป ส่วนย่านความถี่ที่เหลือคือตั้งแต่ 550 ถึง 750 MHz จะถูกใช้ในการส่งกระจายสัญญาณดิจิตอล และบริการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

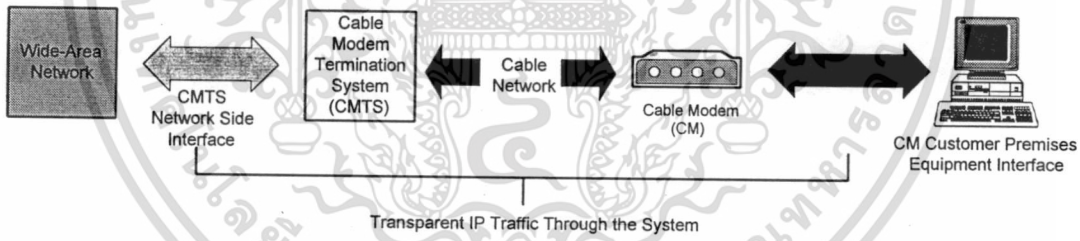
พิเศษในอนาคตซึ่งรวมถึงบริการ Videoconference, Video-on-demand และบริการสื่อสารข้อมูลความเร็วสูงดังแสดงผังการจัดสรรความถี่ดังรูปที่ 2.2



รูปที่ 2.2 ผังการจัดสรรความถี่ในโครงข่าย

2.2 การสื่อสารข้อมูลความเร็วสูงบนโครงข่าย HFC

ในระบบการสื่อสารข้อมูลความเร็วสูงบนเส้นทางกลับของโครงข่าย HFC จะประกอบไปด้วยอุปกรณ์หลักสองส่วนคือ Cable modem (CM) และ Cable modem termination system (CMTS) ซึ่งสามารถแสดงการเชื่อมต่อของระบบส่งสัญญาณในโครงข่าย HFC ได้ดังรูปที่ 2.3



รูปที่ 2.3 บล็อกไดอะแกรมการสื่อสารข้อมูลผ่านโครงข่าย HFC

จากรูปที่ 2.3 อุปกรณ์ CM จะทำหน้าที่เชื่อมต่อข้อมูลระหว่างคอมพิวเตอร์ของผู้ใช้และโครงข่าย HFC สำหรับ CMTS จะถูกติดตั้งอยู่แต่ละสถานีย่อย(Hub)เพื่อรับสัญญาณจาก CM บนเส้นทางกลับ และนำข้อมูลดังกล่าวส่งกระจายต่อให้กับ CM ตัวอื่นๆบนเส้นทางไปหน้า นอกจากนี้ CMTS ยังทำหน้าที่ในการในการเชื่อมต่อโครงข่าย HFC เข้ากับโครงข่ายอื่นๆอีกด้วย

ในการสื่อสารข้อมูลบนเส้นทางกลับนั้นตามมาตรฐานของ IEEE 802.14 และ DOCSIS ได้กำหนดให้ใช้เทคนิคการมอดูเลตไว้ 3 แบบคือ BPSK, QPSK และ 16QAM ที่ความเร็วในการมอดูเลต 5 ระดับคือ 160, 320, 640, 1280 และ 2,560 Ksymbols / sec ในย่านความถี่ 5 - 42 MHz และ

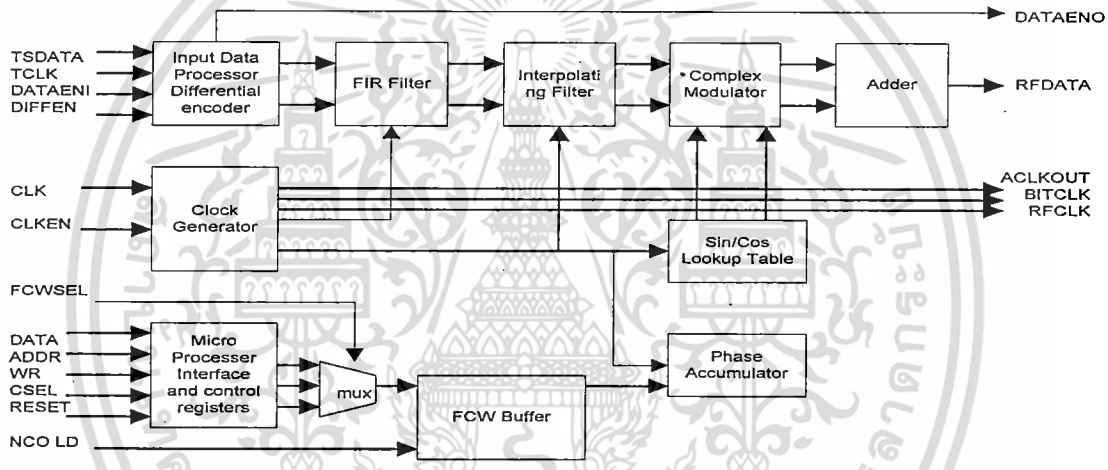
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำลังในการส่ง 8 - 58 dBmV แต่สำหรับงานวิจัยนี้ได้ทำการสร้างเฉพาะ BPSK ที่ความเร็ว 1.28 Mbps และ QPSK ที่ความเร็ว 2.56 Mbps เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบมอดูเลเตอร์

มอดูเลเตอร์ย่านความถี่วิทยุสำหรับโครงข่ายเคเบิลทีวีที่ได้ออกแบบในงานวิจัยนี้ กำหนดให้รับสัญญาณดิจิตอลอินพุทแบบTTL มาทำการมอดูเลตโดยใช้เทคนิค BPSK หรือ QPSK ที่ Symbol Rate สูงสุด 1.28 Msymbols / sec และ สามารถเปลี่ยนความถี่ของคลื่นพาหะได้ตั้งแต่ 5 ถึง 20 MHz โดยเลือกใช้ ASIC ของบริษัท Stanford Telecom เบอร์ STEL 1108 เป็นตัวประมวลผลหลักในการมอดูเลต ซึ่งแสดงการทำงานดังรูป



รูปที่ 3.1 บล็อกไดอะแกรมการทำงานของ STEL 1108

จากรูปแสดงบล็อกไดอะแกรมการทำงานของ STEL 1108 ข้อมูลดิจิตอลแบบ TTL จะถูกส่งเข้ามายังส่วนประมวลผลข้อมูลขาเข้า(Input Data Processor / Differential Encoder) ซึ่งทำหน้าที่ในการสุ่มสัญญาณอินพุท เข้ารหัสข้อมูลในกรณีที่ต้องการมอดูเลตในแบบ Differential และจัดเรียงบิตใน I และ Q channel ในกรณีต้องการมอดูเลตในแบบ QPSK จากนั้นจึงส่งต่อให้กับ FIR filter ซึ่งทำหน้าที่ในการปรับรูปสัญญาณ จากรูปสี่เหลี่ยมให้มีความราบรื่นขึ้นโดยใช้ Square Root Raised-Cosine filter เพื่อลดแบนวิดท์ของสัญญาณหลังจากมอดูเลต สัญญาณที่ออกจาก FIR filter จะถูกส่งต่อมาให้กับ Interpolate filter เพื่อเพิ่มอัตราการสุ่มสัญญาณจากเดิม ซึ่งเดิมมีค่าเท่ากับ 4 เท่าของ Symbols Rate เป็นความถี่ของสัญญาณ clock (f_{clk}) เพื่อนำไปประมวลผลต่อในส่วนของ complex modulator และ Adder ในส่วนนี้จะทำหน้าที่ในการมอดูเลตสัญญาณตามการควบคุมของส่วนเชื่อมต่อกับไมโครโพรเซสเซอร์และควบคุมรีจีสเตอร์ ซึ่งเป็นส่วนสำคัญในการควบคุมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงานทั้งหมด ส่วน clock generator จะทำหน้าที่ในการผลิตสัญญาณเวลาต่างๆ ป้อนให้กับส่วนประกอบ เพื่อให้มีการทำงานระหว่างส่วนประกอบต่างๆ อย่างเป็นจังหวะเดียวกัน โดย clock generator จะต้องรับสัญญาณเวลาความถี่สูง (50 MHz - 126 MHz) จากภายนอก

การออกแบบมอดูเลเตอร์ดังกล่าวเราสามารถแบ่งออกเป็น 2 ส่วนคือ ส่วนควบคุมหลักและส่วนเชื่อมต่อย่านความถี่วิทยุ

3.1 ส่วนควบคุมหลัก (Main Controller)

ส่วนควบคุมหลัก ทำหน้าที่ในการควบคุมรีจิสเตอร์ของ STEL 1108 โดยใช้ Single Board 31 ของบริษัท ETT รุ่น CP-SB31 (CPU ในตระกูล MCS51 เบอร์ 8031) ซึ่งการเขียนโปรแกรมควบคุมทั้งหมดจะใช้ภาษา Assembly เป็นหลัก เพื่อช่วยในการแก้ไขข้อมูลในรีจิสเตอร์ของ STEL 1108 เราสามารถแสดงโครงสร้างรีจิสเตอร์ของ STEL 1108 ได้ดังตารางต่อไปนี้

ตารางที่ 3.1 โครงสร้างของรีจิสเตอร์ใน STEL 1108

Address	Contents							
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00-02H	NCO Frequency Control Word 'A' (24 bit)							
03-05H	NCO Frequency Control Word 'B' (24 bit)							
06-08H	NCO Frequency Control Word 'B' (24 bit)							
09-28H	FIR Filter Coefficients							
29H	Sampling Rate, Symbol Rate and Bit Rate Control							
2AH	Interpolation Filter Input Gain Control				Auxiliary Clock Rate Control			
2BH			Int. Filt. Bypass Control		Dis. MSBs		Invert I/Q Channels	
2CH	Ext. Tx Clock Sel.	RFCLK Control			BPSK Select		FIR Bypass Control	
2DH						Offset Bin. Select	PN Code Select	PN Data Mode
2EH								Bit Clock Sync Cont.

จากตารางที่ 3.1 เราใช้ CP-SB31 พอร์ต C บิต 0 ถึง 6 ในการป้อนข้อมูลให้ STEL 1108, พอร์ต B ทั้ง 8 บิตในการป้อน Address และพอร์ต A บิต 0 ในการกำหนดให้เขียนข้อมูลจากพอร์ต B ไปให้กับ Address ที่ถูกกำหนดไว้ในพอร์ต C

3.1.1 NCO Frequency Control Words

รีจิสเตอร์ดังกล่าวจะอยู่ที่ address 00-08H แบ่งออกเป็น 3 ตัว ตัวละ 24 บิต โดยบิตที่มีนัยสำคัญต่ำสุดจะอยู่ที่บิตศูนย์ของแต่ละรีจิสเตอร์ และสามารถเรียงนัยสำคัญในแต่ละรีจิสเตอร์จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มากไปน้อยได้ดังนี้ 02H 01H และ 00H ในกรณีของ FCW 'A' ค่าของ FCW ที่จะป้อนให้กับชุดของรีจีสเตอร์ดังกล่าวจะขึ้นอยู่กับค่าของความถี่คลื่นพาหะที่เราต้องการดังสมการต่อไปนี้

$$FCW = \frac{f_{carrier} \times 2^{24}}{f_{clk}} \qquad (3.1)$$

โดย FCW คือ ข้อมูลที่จะป้อนให้กับรีจีสเตอร์ FCW 'A' , FCW 'B' หรือ FCW 'C'

$f_{carrier}$ คือ ความถี่ของคลื่นพาหะที่ต้องการ

f_{clk} คือ ความถี่ของ Clock ที่ป้อนให้แก่ IC

ตัวอย่างการคำนวณ

ในกรณีทีเราใช้ f_{clk} เท่ากับ 50 MHz และต้องการ $f_{carrier}$ เท่ากับ 10 MHz

$$FCW = \frac{10\ MHz \times 2^{24}}{51.2\ MHz}$$

$$= 3276800 \text{ หรือ } 32\ 00\ 00\ H$$

ดังนั้น FCW จะมีค่าเท่ากับ 32 00 00 H

ในกรณีของ FCW 'A' : address 02H จะมีค่าเท่ากับ 32H : address 01H จะมีค่าเท่ากับ 00H : address 00H จะมีค่าเท่ากับ 00H

จะเห็นว่ารีจีสเตอร์ FCW มีทั้งหมด 3 ตัว ซึ่งสามารถโปรแกรมข้อมูลได้อย่างเป็นอิสระต่อกัน ดังนั้นหมายความว่าเราสามารถเปลี่ยนความถี่ของคลื่นพาหะ ได้ทั้งหมด 3 ค่าโดยไม่จำเป็นต้องโปรแกรมข้อมูลในรีจีสเตอร์ใหม่ เพียงแต่เลือก FCW ที่ต้องการจากขา FCWSEL (ตามรูปที่ 3.1) และป้อน Logic '1' ให้แก่ขา NCO LD โดยเราสามารถแสดงการใช้งานขา FCWSEL ดังตารางต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.2 การใช้งานขา FCWSEL

FCWSEL	FCW data register / address
00	FCW 'A'
01	FCW 'B'
10	FCW 'C'
11	FCW-0 (Zero frequency)

3.1.2 FIR Filter Coeffiecients

รีจีสเตอร์นี้จะถูกจัดเก็บอยู่ใน address 09H - 28H และถูกใช้งานโดยส่วนของ FIR filter block (ตามรูปที่ 3.1) เพื่อใช้ในการกรองสัญญาณดิจิตอลแบบเบสแบนที่ออกจากส่วนประมวลผลข้อมูลขาเข้าเพื่อช่วยลดพูข้าง(Sidelobes) ของสเปกตรัมสัญญาณ โดยใช้ตัวกรองดิจิตอลชนิด Square-root raised-cosine filter ซึ่งมีคุณสมบัติเป็น linear phase FIR filter ขนาด 32 tab และมีค่า coefficients ขนาด 10 bit สัญญาณจาก Input data processor จะถูกสุ่ม(Sampling) ที่ความถี่สี่เท่าของ symbol rate ก่อนกรองโดย FIR filter ข้อมูลการกำหนดอัตราการสุ่มจะถูกจัดเก็บไว้ใน address 29H ซึ่งได้กล่าวถึงในหัวข้อต่อไป

เราสามารถแสดงความสัมพันธ์ผลตอบสนองในโดเมนของเวลาของ Square-root raised-cosine (ตามมาตรฐานของ DOCSIS และ IEEE 802.14) ได้ดังสมการต่อไปนี้

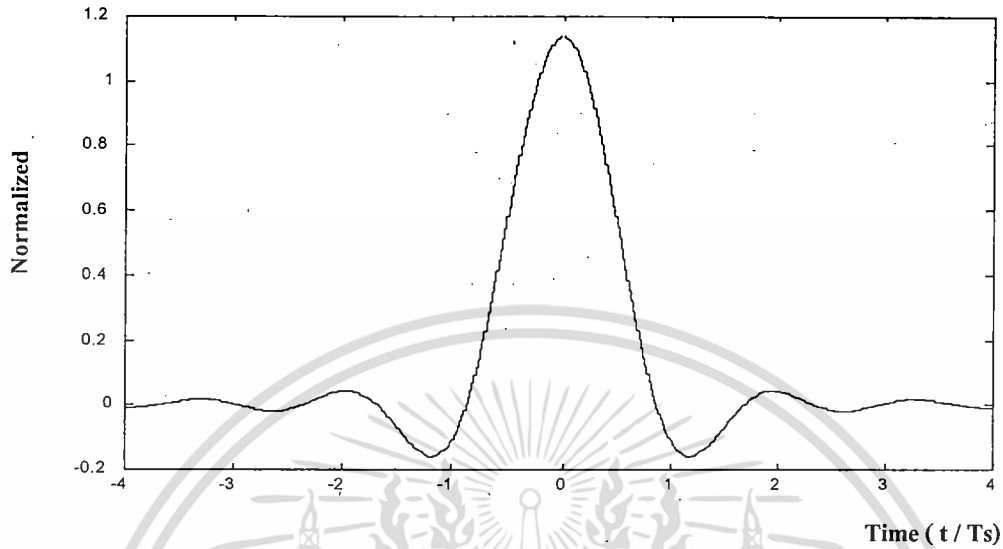
$$g(t) = \frac{\sin\left[\frac{\pi t}{T_s}(1-\alpha)\right] + \frac{4\alpha t}{T_s}\cos\left[\frac{\pi t}{T_s}(1+\alpha)\right]}{\frac{\pi t}{T_s}\left[1-\left(\frac{4\alpha t}{T_s}\right)^2\right]} \qquad (3.1)$$

โดย α คือ ค่า Rolloff factor ในที่นี้จะกำหนดให้มีค่าเป็น 0.4 (ตามมาตรฐานของ DOCSIS)

T_s คือ ค่าคาบของ Symbol

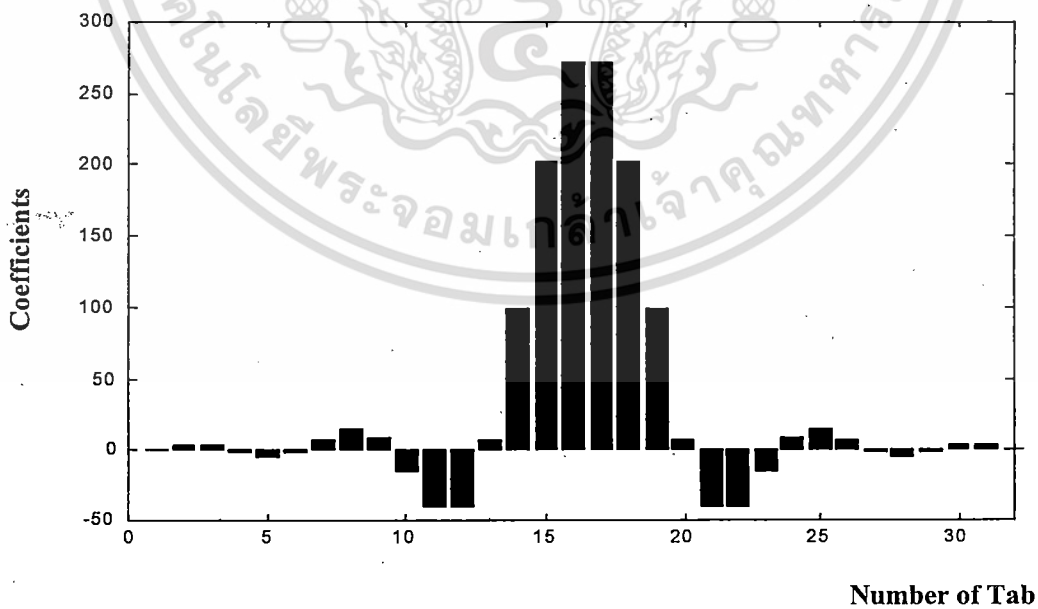
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 3.1 เราสามารถแสดงความสัมพันธ์ได้ดังรูปต่อไปนี้



รูปที่ 3.2 ผลตอบสนองอิมพัลส์ของ Square-root Raised-Cosine โดยใช้ $\alpha = 0.4$

จากรูปที่ 3.2 เรานำค่าเวลา (t / T_s) ตั้งแต่ -4 จนถึง 0 มาแบ่งออกเป็น 16 ช่องเท่าๆกันค่า Normalized Amplitude $\times$ 1 ที่ได้ก็คือค่า coefficients ทั้ง 16 ค่าที่จะต้องป้อนให้กับ address 09H - 28H โดยค่า 1 คือ ค่าการขยายสัญญาณที่ต้องการ และ เป็นจำนวนเต็มที่มีค่าไม่เกิน 500 สำหรับในงานวิจัยนี้เราได้เลือกใช้ค่า coefficients ดังรูปต่อไปนี้



รูปที่ 3.3 ค่า Coefficients ที่ป้อนให้กับ address 09H ถึง 28H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.3 Sampling Rate, Symbol Rate and Bit Rate Control

รีจีสเตอร์นี้ทำหน้าที่ในการเก็บข้อมูลของอัตราการสุ่มตัวอย่างข้อมูลอินพุท โดยมี address อยู่ที่ 29H และจะถูกใช้งานโดย Clock Generator Block (รูปที่ 3.1) เพื่อใช้ในการกำหนด Bit Rate, Symbol Rate และ Sampling Rate ของ FIR filter ซึ่งสามารถกำหนดได้จากค่า 'n' ตามสมการต่อนี้

$$\text{Sampling Rate} = 4 \times \text{Symbol Rate} = \frac{f_{clk}}{n+1} \tag{3.2}$$

$$\text{Interpolation Ratio} = \frac{f_{clk}}{\text{Sampling Rate}} \tag{3.3}$$

โดย n คือ ข้อมูลที่จะถูกป้อนให้แก่รีจีสเตอร์ 29H มีค่าตั้งแต่ 4 ถึง 255

f_{clk} คือ ความถี่ของ Clock ที่ป้อนให้แก่ IC

Interpolation Ratio คือ อัตราส่วนระหว่าง f_{clk} กับ Sampling Rate ของ FIR filter

3.1.4 Interpolation Filter Input Gain Control

รีจีสเตอร์นี้จะทำหน้าที่ในการควบคุมอัตราการขยายสัญญาณของ FIR filter ก่อนนำไปเข้าวงจร Interpolating filter ซึ่งสามารถปรับได้ตั้งแต่ 0H ถึง 8H จากบิตที่ 7-4 ใน address 2AH

3.1.5 Auxiliary Clock Rate Control

รีจีสเตอร์ดังกล่าวจะอยู่ address 2AH บิตที่ 0-3 และถูกใช้งานโดย Clock Generator Block เพื่อนำไปสร้างสัญญาณ clock เอาท์พุทให้กับวงจรสนับสนุนอื่นๆ โดยสามารถหาได้จากสมการต่อไปนี้

$$\text{Auxiliary output clock} = \frac{f_{clk}}{m+1} \tag{3.4}$$

โดย f_{clk} คือ ความถี่ของ Clock ที่ป้อนให้แก่ IC

m คือ ข้อมูลที่จะถูกป้อนให้แก่รีจีสเตอร์ดังกล่าวซึ่งสามารถปรับค่าได้ตั้งแต่ 2 ถึง 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.6 ข้อมูลใน address 2BH-2EH

ข้อมูลใน address 2BH จนถึง 2EH นั้นจะประกอบด้วยฟังก์ชันต่างๆอย่างหลากหลายจึงจำเป็นต้องอธิบายเป็นบิตๆ ไป ดังนี้

Address 2BH

บิต 1-0 จะทำหน้าที่ในการสลับ I และ Q channel ซึ่งสามารถสรุปการทำงานได้ดังต่อไปนี้

ตารางที่ 3.3 การทำงานของบิต 1-0 ใน address 2BH

Bit 1-0	Output of Adder Block
00	Sum = I×COS(ωt) + Q×SIN(ωt)
01	Sum = - I×COS(ωt) + Q×SIN(ωt)
10	Sum = I×COS(ωt) - Q×SIN(ωt)
11	Sum = - I×COS(ωt) - Q×SIN(ωt)

บิต 3 กำหนดจำนวนบิตของข้อมูลเอาท์พุท ในกรณีที่เป็น Logic '1' จำนวนบิตเอาท์พุทจะมีค่าเท่ากับ 10 บิต และในกรณีที่เป็น Logic '0' จำนวนบิตเอาท์พุทจะมีค่าเท่ากับ 12

บิต 5-4 จะทำหน้าที่ในการ Bypass การทำงานของ Interpolation filter ในบาง stages โดย STEL 1108 จะใช้ Interpolation filter ทั้งหมด 3 stages ด้วยกัน เพื่อช่วยในการ Interpolate สัญญาณ เราสามารถสรุปการทำงานได้ดังต่อไปนี้

ตารางที่ 3.4 การทำงานของบิต 5-4 ใน address 2BH

Bit 5-4	Number of Interpolations Selected
00	3
01	2
10	2
11	1

Address 2CH

บิต 1 จะทำหน้าที่ในการ Bypass FIR Filter ในกรณีที่เป็น Logic '1' ข้อมูลดิจิตอลจะไม่ถูกนำมาผ่าน FIR filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต 3 ทำหน้าที่ในการเลือกฟังก์ชันในการมอดูเลต ในกรณีที่เป็น Logic '1' Complex modulator จะทำการมอดูเลตสัญญาณในแบบ BPSK ในกรณีที่เป็น Logic '0' Complex modulator จะทำการมอดูเลตสัญญาณในแบบ QPSK

บิต 6-5 ทำหน้าที่ในการหน่วงเวลา RF CLK ซึ่งจะนำไปใช้เป็น สัญญาณ clock ให้กับ IC DAC (Digital to Analog Converter) โดยสามารถแสดงการทำงานได้ดังต่อไปนี้

ตารางที่ 3.5 การทำงานของบิต 6-5 ใน address 2CH

Bit 6-5	RFCLK delay
00	5
01	7
10	9
11	Disabled

บิต 7 ทำหน้าที่ในการเลือกใช้ฟังก์ชันการ Synchronize จากภายในหรือภายนอก (ในงานวิจัยนี้เลือก Slave mode ซึ่งจะต้องทำการ Synchronize ระหว่าง TSDATA และ TCLK มาแล้ว) ในกรณีที่เป็น Logic '1' จะกำหนดให้ดิจิตอลอินพุทจะต้องทำการ synchronizes กับ TCLK มาแล้ว

Address 2DH

บิต 0 ทำหน้าที่ในการเลือกใช้ฟังก์ชัน 'Pseudo random number (PN)' โดยฟังก์ชันนี้จะทำหน้าที่ในการสุ่มสัญญาณดิจิตอลอินพุท ในกรณีที่เป็น Logic '1' ฟังก์ชันนี้จะเริ่มการทำงาน

บิต 1 ทำหน้าที่ในการเลือกโหมดของ PN ในกรณีที่เป็น Logic '1' จะใช้โหมด (23, 18) ในกรณีที่เป็น Logic '0' จะใช้โหมด (10, 3)

บิต 2 ทำหน้าที่ในการกำหนดรูปแบบของข้อมูลเอาท์พุท ในกรณีที่เป็น Logic '1' ข้อมูลเอาท์พุทจะมีรูปแบบเป็น two's complement ในกรณีที่เป็น Logic '0' ข้อมูลเอาท์พุทจะมีรูปแบบเป็น offset binary ซึ่งสามารถแสดงรายละเอียดดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.6 รายละเอียดของสัญญาณเอาท์พุท

Signal Level	RFOUT	
	Bit 2 = 1 (2's Comp)	Bit 2 = 0 (O. Bin)
Max. +	7FFH	FFFH
Zero	000H	800H
Max -	800H	000H

Address 2EH บิต 0 ทำหน้าที่ในการควบคุมการ synchronized ของสัญญาณดิจิตอลอินพุท ในกรณีที่เรากำหนดให้บิต 7 address 2CH มีค่าเป็น Logic '0' ซึ่งจำเป็นต้องทำการ Synchronized ภายใน IC

3.2 ส่วนแปลงสัญญาณดิจิตอลเป็นอะนาล็อค และ เชื่อมต่อย่านความถี่วิทยุ (D/A Convert and RF interface)

ในส่วนของการแปลงสัญญาณดิจิตอลเป็นอะนาล็อคจะรับข้อมูลดิจิตอล 10 บิตจาก STEL 1108 มาทำการแปลงข้อมูลดังกล่าวเป็นสัญญาณอะนาล็อค โดยในงานวิจัยนี้ได้เลือกใช้ IC ของ Harris เบอร์ HI5721 ซึ่งเป็น IC ที่ทำงานบน sampling rate ได้สูงถึง 125 Msps จากนั้นจะถูกนำไปเข้าวงจรกรองแถบความถี่ผ่าน (Bandpass Filter) และ Matching Impedance เพื่อส่งข้อมูลออกไปตามสายโคแอคเชียล 75 Ω ต่อไป

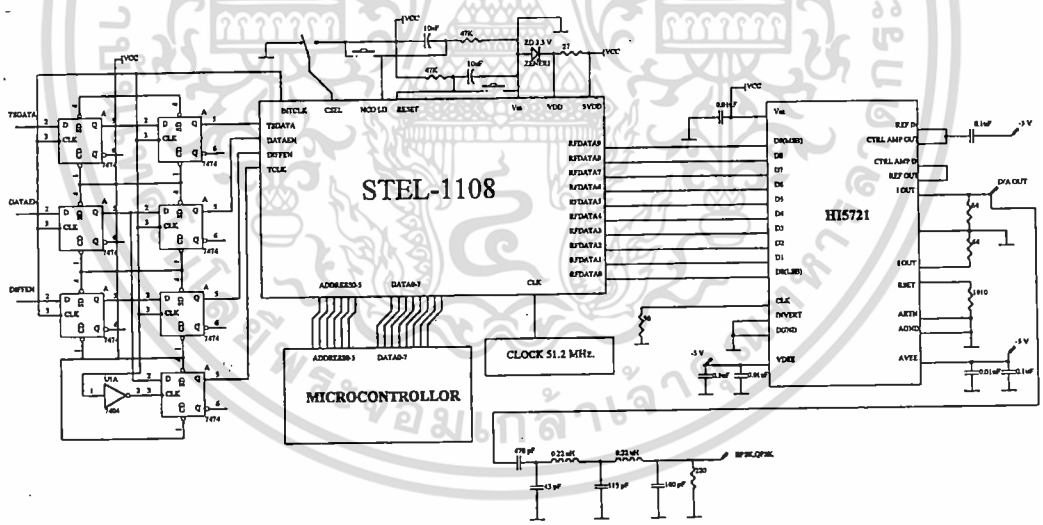
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดสอบ และผลการทดสอบวงจรมอดูเลเตอร์

การทดสอบการทำงานของส่วนมอดูเลเตอร์ทำโดยการประกอบวงจรตามรูปที่ 4.1 ซึ่งสามารถแยกส่วนต่างๆได้ดังนี้คือ

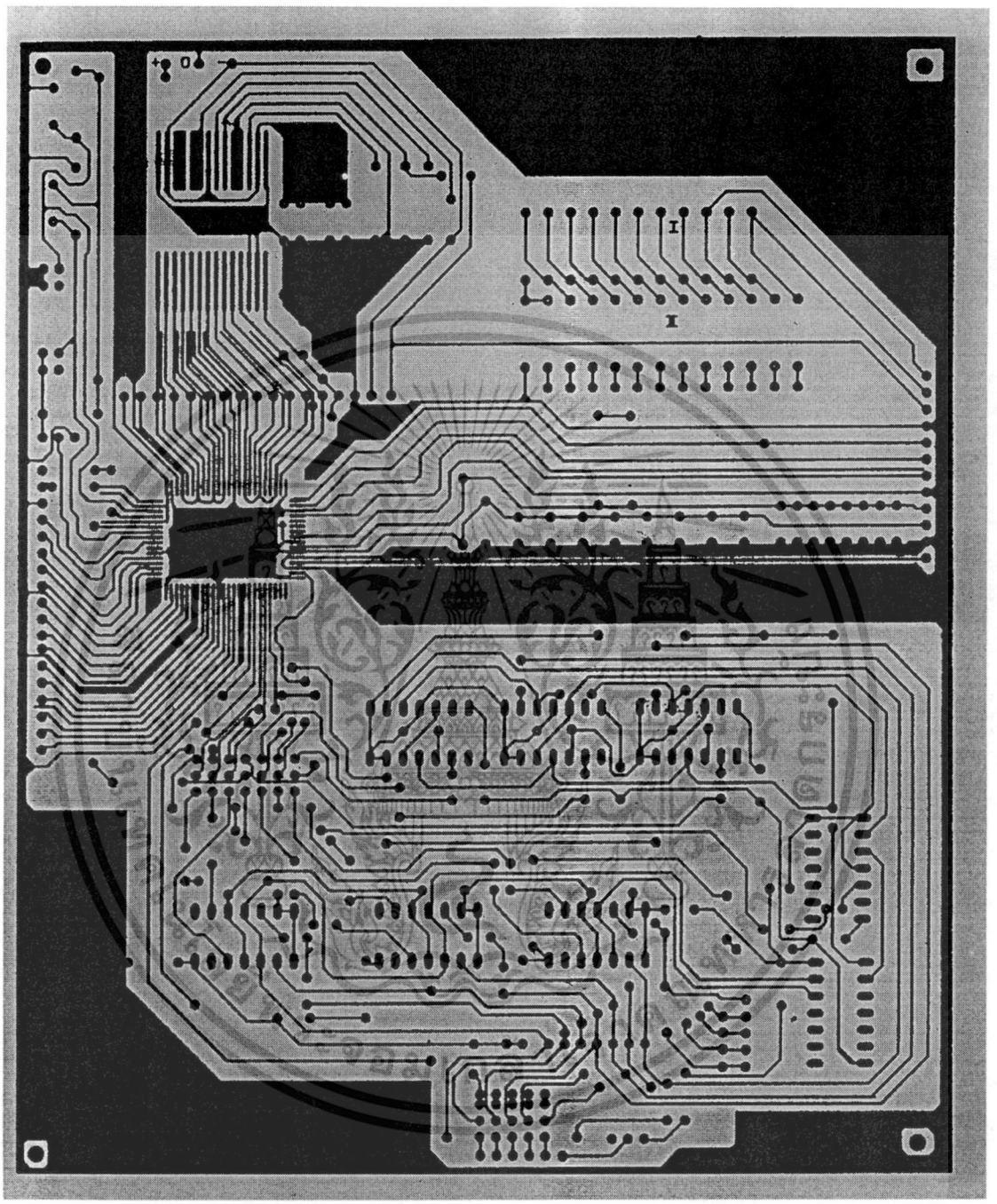
1) ส่วนควบคุมการทำงานหลัก เพื่อกำหนดการทำงานและรูปแบบการมอดูเลต ใช้ไมโครคอลโทลเลอร์ MCS 8031
2) ส่วนประมวลผลการมอดูเลตเพื่อรับสัญญาณ TTL เข้ามาทำการมอดูเลต ประกอบด้วย
   - ASIC เบอร์ STEL-1108
   - ส่วนรับข้อมูลเข้าใช้ดีฟลิปฟลอป
   - ส่วนกำเนิดสัญญาณ clock 51.2 MHz.
3) ส่วนแปลงสัญญาณดิจิตอลเป็นอะนาล็อค และส่วนกรองความถี่



รูปที่ 4.1 ผังวงจรมอดูเลเตอร์

จากผังวงจรมอดูเลเตอร์เรานำมาออกแบบลายวงจรซึ่งแสดงไว้ในรูปที่ 4.2 จากนั้นจึงนำมาใส่อุปกรณ์ดังแสดงในรูป 4.3 การทดสอบมอดูเลเตอร์ที่สร้างขึ้น เราได้ทำการวัดสัญญาณมอดูเลตที่ชุดมอดูเลเตอร์ผลิตขึ้นในโดเมนของเวลา และความถี่ โดยแบ่งเป็นสองส่วนคือ การทดสอบในโหมดของ BPSK และในโหมดของ QPSK ซึ่งแสดงการจัดวางอุปกรณ์ดังรูปที่ 4.4

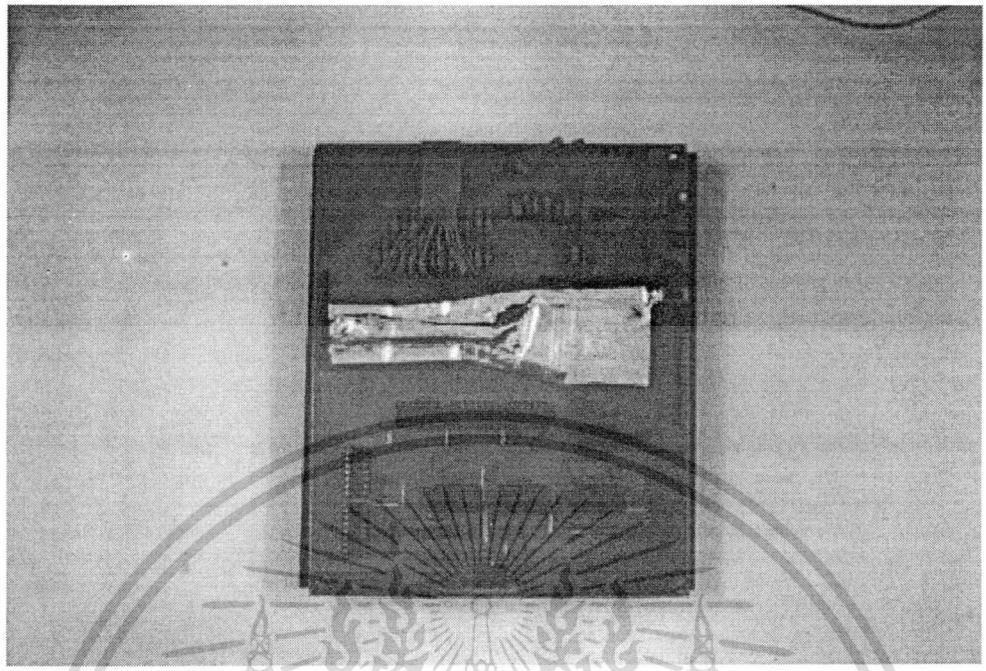
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



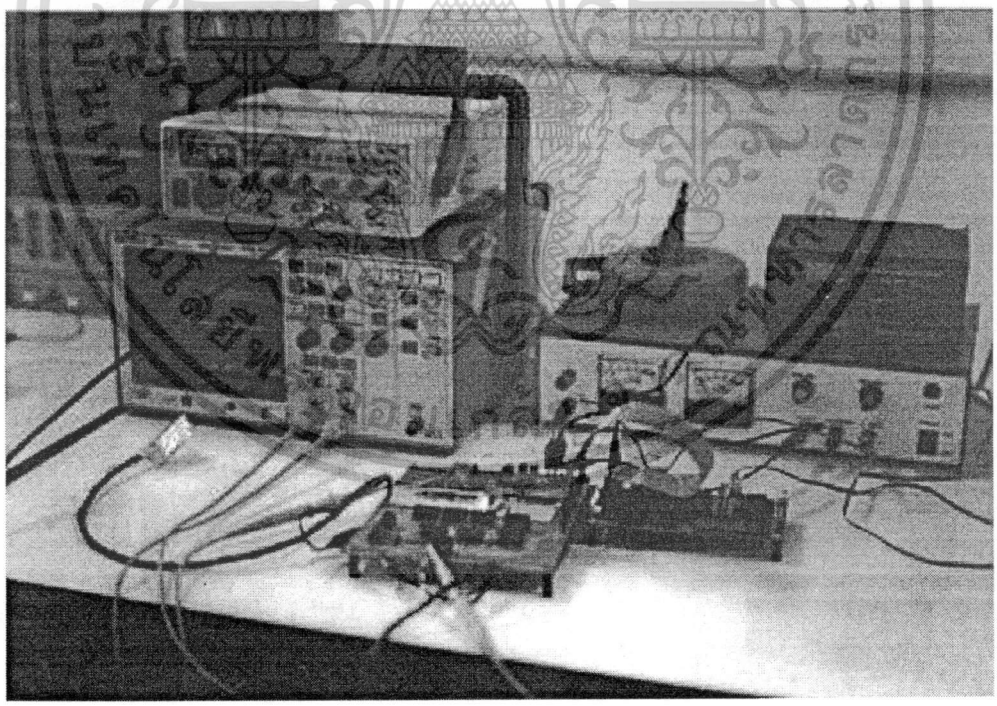
รูปที่ 4.2 ลายวงจรพิมพ์ของชุดมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 4.3 การวางอุปกรณ์ของชุดมอดูเลเตอร์



รูปที่ 4.4 ชุดอุปกรณ์ที่ใช้ทดสอบการทำงานของมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

34419

4.1 การทดสอบและผลการทดสอบวงจรมอดูเลเตอร์ในโหมดของ BPSK

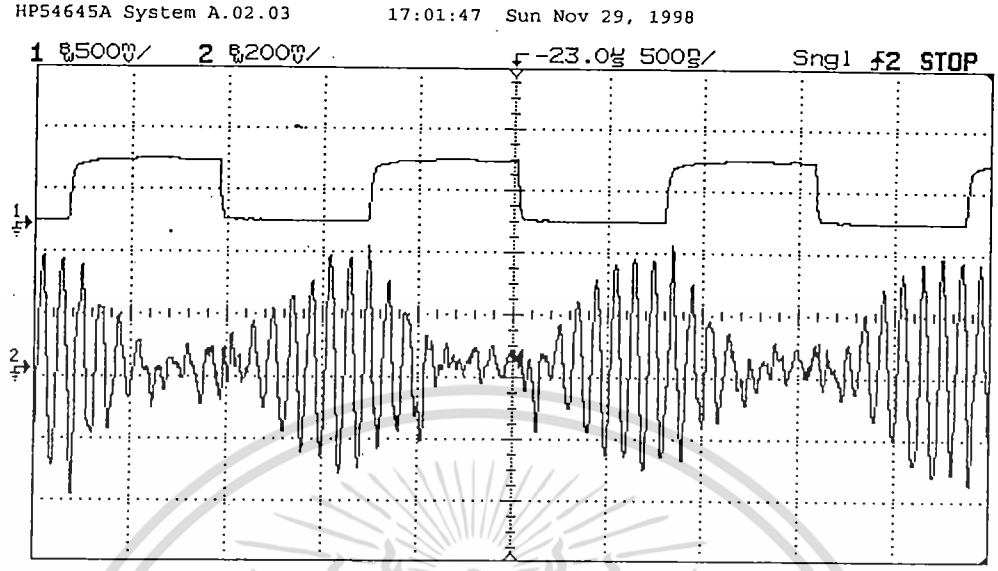
การทดสอบวงจรมอดูเลเตอร์ในโหมดของ BPSK จะทำการทดสอบที่ความเร็วอินพุท 1.28 Mbps , f_{clk} เท่ากับ 51.2 MHz โดยทำการเปรียบเทียบกันระหว่าง กรณีที่ใช้ FIR filter กับ ไม่ใช้ FIR filter

4.1.1 การทดสอบและผลการทดสอบในกรณีที่ใช้ FIR filter

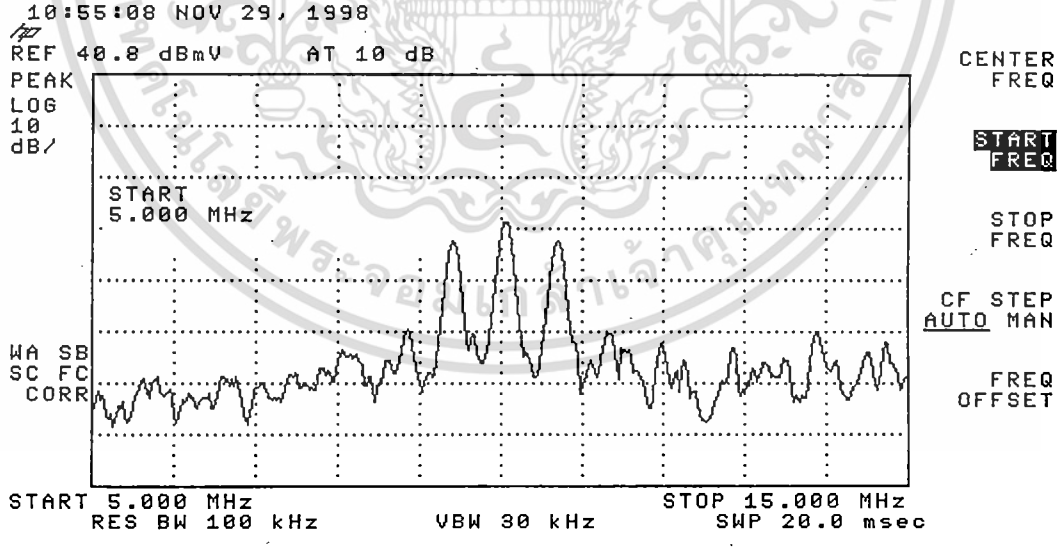
ตารางที่ 4.1 ข้อมูลในรีจีสเตอร์ในโหมดของ BPSK ที่ใช้ FIR filter

Address	Contents	DATA
00-02H	NCO Frequency Control Word 'A' (24 bit)	00 00 32
03-05H	NCO Frequency Control Word 'B' (24 bit)	00 00 32
06-08H	NCO Frequency Control Word 'B' (24 bit)	00 00 32
09-28H	FIR Filter Coefficients	00 00 00 00 00 00 00 00 FF 03 00 00 04 00 04 00 02 00 FC 03 F4 03 F4 03 02 00 19 00 32 00 44 00
29H	Sampling Rate, Symbol Rate and Bit Rate Control	09
2AH	Interpolation Filter Input Gain Control Auxiliary Clock Rate Control	84
2BH	Int. Filt. Bypass Control Dis. MSBs Invert I/Q Channels	08
2CH	Ext. Tx Clock Sel. RFCLK Control BPSK Select FIR Bypass Control	88
2DH	Offset Bin. Select PN Code Select PN Data Mode	00
2EH	Bit Clock Sync Cont.	00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 ผลที่ได้ในโดเมนเวลาของการมอดูเลตแบบ BPSK ในกรณีที่ใช้ FIR filter



รูปที่ 4.6 ผลที่ได้ในโดเมนความถี่ของการมอดูเลตแบบ BPSK ในกรณีที่ใช้ FIR filte

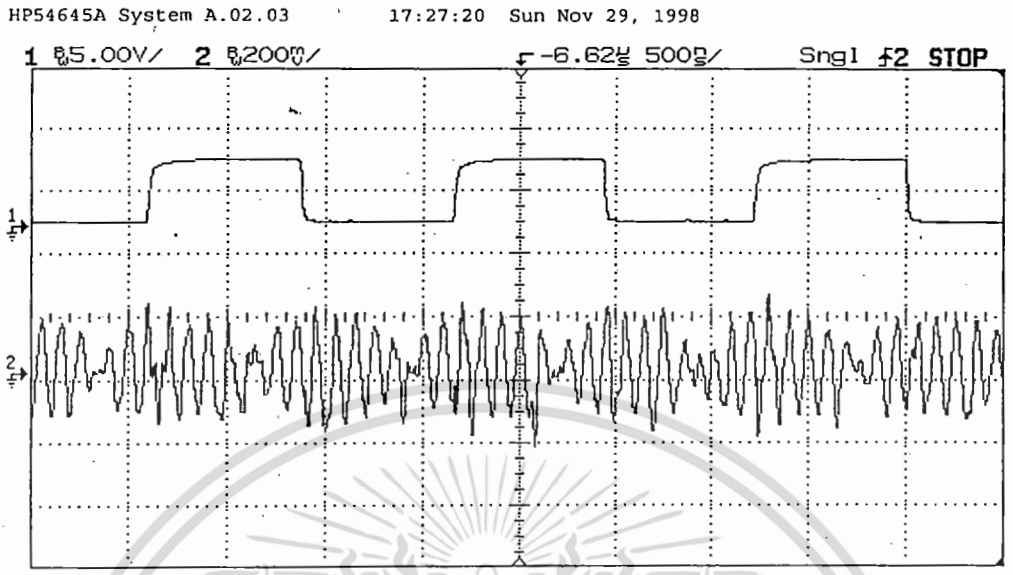
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 การทดสอบและผลการทดสอบในกรณีที่ไม่ใช้ FIR filter

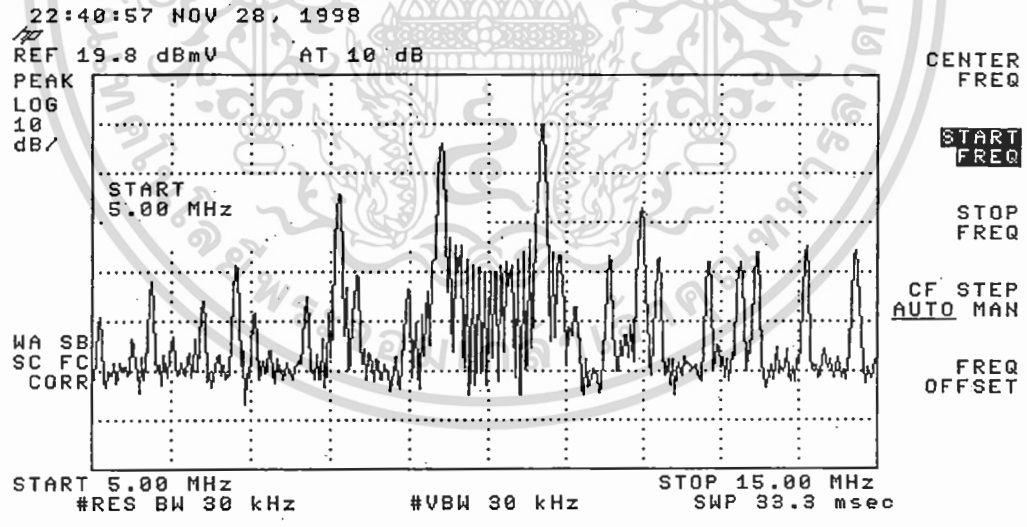
ตารางที่ 4.2 ข้อมูลในรีจีสเตอร์ในโหมดของ BPSK ที่ไม่ใช้ FIR filter

Address	Contents	DATA
00-02H	NCO Frequency Control Word 'A' (24 bit)	00 00 32
03-05H	NCO Frequency Control Word 'B' (24 bit)	00 00 32
06-08H	NCO Frequency Control Word 'B' (24 bit)	00 00 32
09-28H	FIR Filter Coefficients	00 00 00 00 00 00 00 00 FF 03 00 00 04 00 04 00 02 00 FC 03 F4 03 F4 03 02 00 19 00 32 00 44 00
29H	Sampling Rate, Symbol Rate and Bit Rate Control	09
2AH	Interpolation Filter Input Gain Control Auxiliary Clock Rate Control	14
2BH	Int. Filt. Bypass Control Dis. MSBs Invert I/Q Channels	08
2CH	Ext. Tx Clock Sel. RFCLK Control BPSK Select FIR Bypass Control	8A
2DH	Offset Bin. Select PN Code Select PN Data Mode	00
2EH	Bit Clock Sync Cont.	00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 ผลที่ได้ในโดเมนเวลาของการมอดูเลตแบบ BPSK ในกรณีที่ไม่ใช้ FIR filter



รูปที่ 4.8 ผลที่ได้ในโดเมนความถี่ของการมอดูเลตแบบ BPSK ในกรณีที่ไม่ใช้ FIR filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดสอบการทำงานของวงจรมอดูเลเตอร์ในโหมดของ BPSK จะเห็นว่าเราได้ความถี่คลื่นพาหะที่ 10 MHz. ตามที่ได้ออกแแบบไว้ และมีการเปลี่ยนแปลงรูปคลื่นตามการเปลี่ยนลอจิก ของข้อมูลที่ป้อนเข้าไป สำหรับการใช้ FIR filter จะช่วยทำให้สัญญาณในโดเมนเวลามีรูปร่างที่ราบเรียบขึ้น (เปรียบเทียบรูปที่ 4.7 และ 4.5) สำหรับในโดเมนความถี่ในกรณีที่ใช้ FIR filter (รูปที่ 4.6) เราจะได้ค่า C/N เท่ากับ 30 dB และ Bandwidth เท่ากับ 1.8 MHz. เมื่อเปรียบเทียบรูปที่ 4.8 ซึ่งมี C/N เท่ากับ 25 dB และมี Bandwidth เท่ากับ 4.3 MHz. จะเห็นว่าในกรณีที่ใช้ FIR filter จะสามารถลด Bandwidth ของสัญญาณได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดสอบและผลการทดสอบวงจรมอดูเลเตอร์ในโหมดของ QPSK

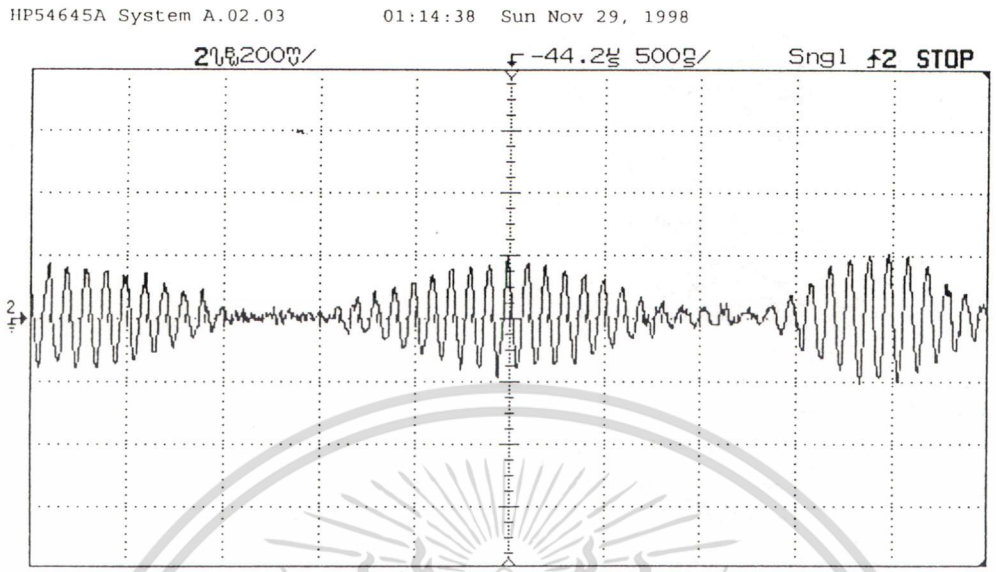
การทดสอบวงจรมอดูเลเตอร์ในโหมดของ QPSK จะทำการทดสอบที่ความเร็วอินพุท 2.56 Mbps , f_{clk} เท่ากับ 51.2 MHz โดยทำการเปรียบเทียบกันระหว่าง กรณีที่ใช้ FIR filter กับ ไม่ใช้ FIR filter ในการทดลองใช้ข้อมูลอินพุทจาก Pseudo random number จากภายใน

4.2.1 การทดสอบและผลการทดสอบในกรณีที่ใช้ FIR filter

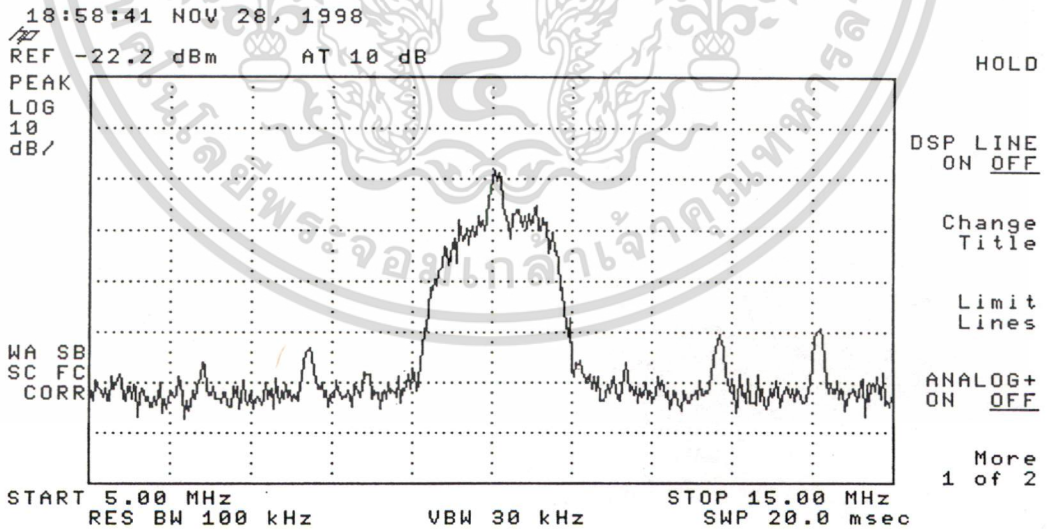
ตารางที่ 4.3 ข้อมูลในรีจีสเตอร์ในโหมดของ QPSK ที่ใช้ FIR filter

Address	Contents	DATA
00-02H	NCO Frequency Control Word 'A' (24 bit)	00 00 32
03-05H	NCO Frequency Control Word 'B' (24 bit)	00 00 32
06-08H	NCO Frequency Control Word 'B' (24 bit)	00 00 32
09-28H	FIR Filter Coefficients	00 00 00 00 00 00 00 00 FF 03 00 00 04 00 04 00 02 00 FC 03 F4 03 F4 03 02 00 19 00 32 00 44 00
29H	Sampling Rate, Symbol Rate and Bit Rate Control	09
2AH	Interpolation Filter Input Gain Control Auxiliary Clock Rate Control	04
2BH	Int. Filt. Bypass Control Dis. MSBs Invert I/Q Channels	08
2CH	Ext. Tx Clock Sel. RFCLK Control BPSK Select FIR Bypass Control	80
2DH	Offset Bin. Select PN Code Select PN Data Mode	01
2EH	Bit Clock Sync Cont.	00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 ผลที่ได้ในโดเมนเวลาของการมอดูเลตแบบ QPSK ในกรณีที่ใช้ FIR filter



รูปที่ 4.10 ผลที่ได้ในโดเมนความถี่ของการมอดูเลตแบบ QPSK ในกรณีที่ใช้ FIR filte

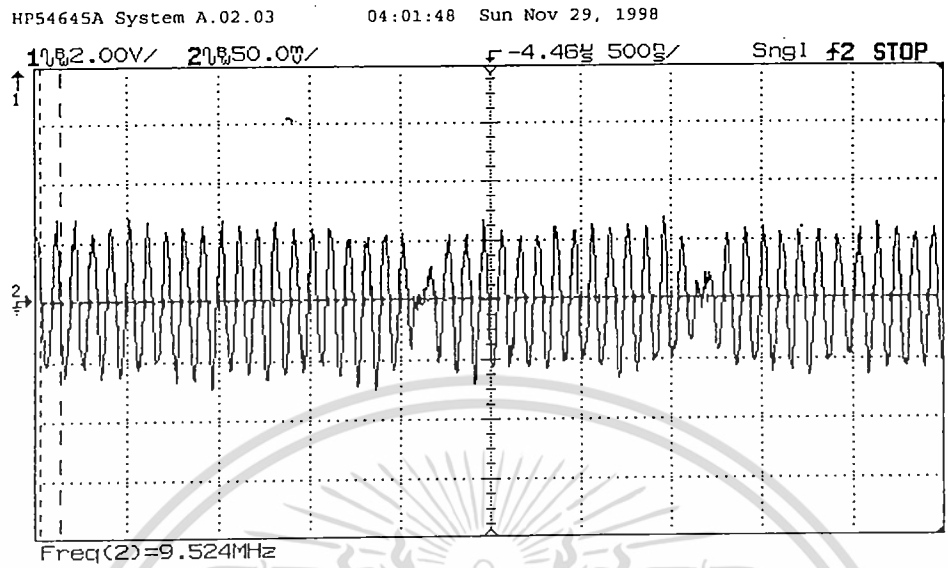
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 การทดสอบและผลการทดสอบในกรณีที่ไม่ใช้ FIR filter

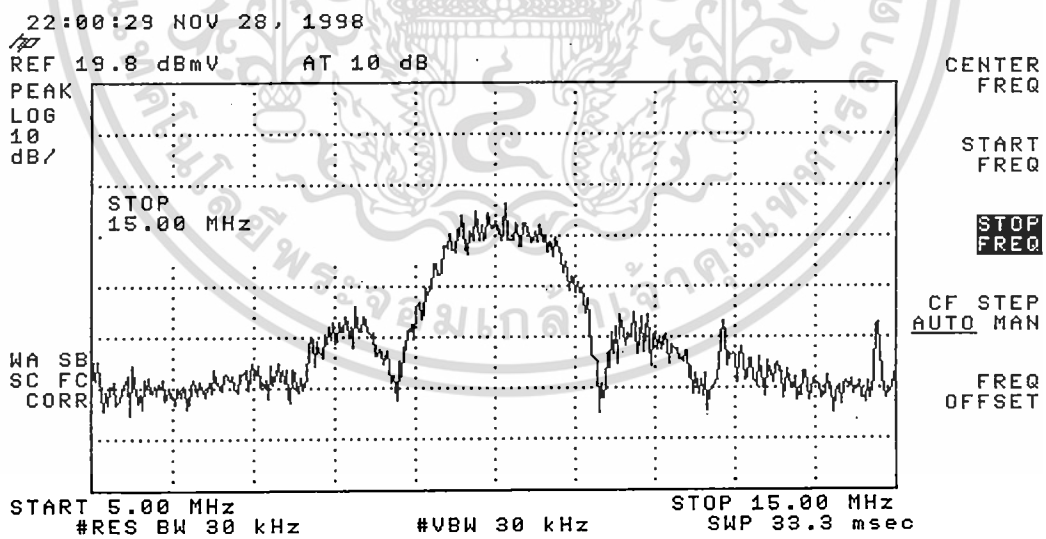
ตารางที่ 4.4 ข้อมูลในรีจีสเตอร์ในโหมดของ QPSK ที่ไม่ใช้ FIR filter

Address	Contents	DATA
00-02H	NCO Frequency Control Word 'A' (24 bit)	00 00 32
03-05H	NCO Frequency Control Word 'B' (24 bit)	00 00 32
06-08H	NCO Frequency Control Word 'B' (24 bit)	00 00 32
09-28H	FIR Filter Coefficients	00 00 00 00 00 00 00 00 FF 03 00 00 04 00 04 00 02 00 FC 03 F4 03 F4 03 02 00 19 00 32 00 44 00
29H	Sampling Rate, Symbol Rate and Bit Rate Control	09
2AH	Interpolation Filter Input Gain Control Auxiliary Clock Rate Control	74
2BH	Int. Filt. Bypass Control Dis. MSBs Invert I/Q Channels	08
2CH	Ext. Tx Clock Sel. RFCLK Control BPSK Select FIR Bypass Control	82
2DH	Offset Bin. Select PN Code Select PN Data Mode	01
2EH	Bit Clock Sync Cont.	00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 ผลที่ได้ในโดเมนเวลาของการมอดูเลตแบบ QPSK ในกรณีที่ไม่ใช้ FIR filter



รูปที่ 4.12 ผลที่ได้ในโดเมนความถี่ของการมอดูเลตแบบ QPSK ในกรณีที่ไม่ใช้ FIR filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดสอบการทำงานของวงจรมอดูเลเตอร์ในโหมดของ QPSK จะเห็นว่าเราได้ความถี่คลื่นพาหะที่ 10 MHz. ตามที่ได้ออกแบบไว้ สำหรับในกรณีที่ใช้ FIR filter จะช่วยทำให้สัญญาณในโดเมนเวลามีรูปร่างที่ราบเรียบขึ้น (เปรียบเทียบรูปที่ 4.9 และ 4.11) สำหรับในโดเมนความถี่ในกรณีที่ใช้ FIR filter เราจะได้ side lobe ของสัญญาณที่น้อยกว่า (เปรียบเทียบรูปที่ 4.10 และ 4.12)

จากรูปที่ 4.10 เราจะได้ค่า C/N เท่ากับ 42 dB และ Bandwidth เท่ากับ 2.3 MHz. เมื่อเปรียบเทียบรูปที่ 4.12 ซึ่งมี C/N เท่ากับ 34 dB และมี Bandwidth เท่ากับ 5 MHz. จะเห็นว่า ในกรณีที่ใช้ FIR filter จะสามารถลด Bandwidth ของสัญญาณได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์

5.1 ปัญหาและแนวทางแก้ไข

ในการสร้างมอดูเลเตอร์มีปัญหาที่เกิดขึ้นดังนี้

6.2.1 ASIC ของ Stanford Telecom เบอร์ STEL 1108 ซึ่งใช้ในส่วนประมวลผลการมอดูเลต เป็น IC ที่ใช้เทคโนโลยี surface mount ทำให้การติดตั้งลงแผ่นวงจรทำได้ลำบาก และมีโอกาสเสียหายได้ง่าย จึงแก้ไขโดยจ้างให้ช่างเทคนิคที่ชำนาญในการซ่อมโทรศัพท์มือถือทำการติดตั้งให้

6.2.2 ในส่วนประมวลผลการมอดูเลตจำเป็นต้องใช้สัญญาณเวลาความถี่สูง (102.4 MHz) ทำให้สัญญาณเวลาดังกล่าวเข้าไปแทรกอยู่ในสัญญาณมอดูเลต จึงแก้ไขโดยใช้วงจรกรองแถบความถี่ผ่านในย่าน 5 MHz จนถึง 20 MHz

5.2 บทสรุป

งานวิจัยนี้ได้มุ่งเน้นในด้านการศึกษา และสร้างเครื่องต้นแบบของมอดูเลเตอร์ย่านความถี่วิทยุ เพื่อนำไปใช้งานกับโครงข่ายเคเบิลทีวี บนเส้นทางย้อนกลับ ซึ่งประกอบด้วยส่วนสำคัญ 3 ส่วน คือ ส่วนควบคุมการทำงานหลัก ส่วนประมวลผลการมอดูเลต และส่วนวงจรความถี่สูง โดยมีโหมดการมอดูเลต 2 โหมดคือ BPSK และ QPSK ที่ Symbol Rate สูงสุด 1.28 Msymbol / sec และสามารถเลือกสัญญาณคลื่นพาหะได้ตั้งแต่ 5 MHz จนถึง 20 MHz

มอดูเลเตอร์ที่ได้สร้างขึ้นจะเป็นแนวทางในการพัฒนาให้มอดูเลเตอร์ดังกล่าวสามารถทำงานได้ใน Burst mode ตามมาตรฐานของ DOCSIS ต่อไป

5.3 รายชื่อบทความที่ได้รับการตีพิมพ์เผยแพร่จากโครงการนี้

การพัฒนามอดูเลเตอร์สำหรับการสื่อสารข้อมูลบนเส้นทางกลับของโครงข่ายเคเบิลทีวีแบบ HFC เสนอในการประชุมวิชาการประจำปี วิทยาศาสตร์ เทคโนโลยีกับการปรับโครงสร้างเศรษฐกิจไทย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] ดร. อำไพ พรประเสริฐกุล ดร. ไกรสิน ส่งวัฒนา " วิดีโอออนดีมานด์ " Telecom magazine ประจำเดือน กรกฎาคม 2538

[2] Marvin E. Frenking " Digital Signal Processing in Communication System " VAN NOSTRAND REINHOLD.

[3] K. Songwatana " Hybrid Fiber Coaxial Network for Interactive Multimedia Applications " International Teletraffic Seminar, 28 NOV – 1 DEC 1995.

[4] Mischa Shwartz " Information transmission, Modulation, and Noise " McGRAW-HILL Internaitonal Editions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทความที่ได้รับการเผยแพร่จากโครงการนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NECTEC Technical Journal, Vol. 1, No. 1, March 1999.

การพัฒนามอดูเลเตอร์สำหรับการสื่อสารข้อมูลบนเส้นทางกลับของโครงข่ายเคเบิลทีวีแบบ HFC

A Development of the Modulator for Data Communication in the Return Path of HFC Cable TV Network

ทิษณุ งามเธียรธนา [†] *ชวลิต ชั้นไพบูลย์* [†] *ไกรสิน ส่งวัฒนา* [††] *อิทธิชัย อรุณศรีแสงไชย* [††]

[†]*นักศึกษาปริญญาโท คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง*

[††]*อาจารย์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง*

ABSTRACT – This paper presents a development of the modulator for data communication in the return path of HFC(Hybrid Fiber / Coaxial) Cable TV network, with reference to DOCSIS(Data Over Cable Service Interface Specifications) and IEEE 802.14 standards. The modulator uses STEL1108 ASIC from Stanford Telecom. It provides 2 methods of modulations, BPSK and QPSK, at maximum speed of 1.28 Msymbol/sec. The carrier frequency is variable from 5 to 20 MHz and the spectrum is controlled by using a square-root raised-cosine filter for minimize side lobe of adjustment.

KEY WORDS – Data Communication System, Return Path, Hybrid Fiber Coaxial Network

บทคัดย่อ – บทความนี้นำเสนอการพัฒนามอดูเลเตอร์สำหรับการสื่อสารข้อมูลบนเส้นทางกลับของโครงข่ายเคเบิลทีวีแบบ HFC (Hybrid Fiber / Coaxial) ตามมาตรฐาน DOCSIS (Data Over Cable Service Interface Specifications) และ IEEE 802.14 โดยมอดูเลเตอร์ดังกล่าวได้เลือก ASIC เบอร์ 1108 ของ Stanford Telecom เป็น IC หลักในการทำงาน มอดูเลเตอร์ที่ได้พัฒนาขึ้นสามารถมอดูเลทได้ 2 วิธีคือ BPSK และ QPSK ความเร็วสูงสุด 1.28 Msymbol / sec สามารถเปลี่ยนคลื่นความถี่พาหะได้ตั้งแต่ 5 ถึง 20 MHz และสามารถปรับแต่งสเปกตรัมโดยใช้ฟิลเตอร์แบบ Square-root raised-cosine เพื่อลดพูข้างของสัญญาณ

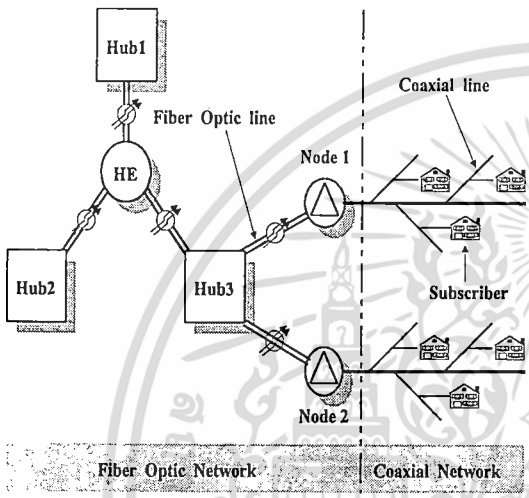
คำสำคัญ – ระบบการสื่อสารข้อมูล เส้นทางกลับ โครงข่ายแบบ Hybrid Fiber Coaxial

1. บทนำ

โครงข่าย HFC เป็นโครงข่ายที่ถูกพัฒนามาจากโครงข่ายเคเบิลทีวี ซึ่งเป็นการทำงานร่วมกันระหว่างโครงข่ายใยแก้วนำแสงและโครงข่ายโคแอกเซียล ดังรูปที่ 1. ในปัจจุบันระบบรับส่งข้อมูลดิจิตอลความเร็วสูงในโครงข่าย HFC ถูกกำหนดเป็นมาตรฐานโดยกลุ่มของบริษัทที่ทำงานเกี่ยวกับโครงข่ายดังกล่าวในชื่อมาตรฐาน DOCSIS (Data Over Cable Service Interface Specifications)[1] จากมาตรฐานดังกล่าวกำหนดให้ผู้ใช้สามารถส่งข้อมูลกลับไปยังสถานีปลายทาง (HeadEnd: HE) โดยใช้เส้นทางกลับ(Return Path) ในย่านความถี่ 5-42 MHz และใช้วิธีการมอดูเลทแบบ BPSK(Binary Phase Shift Keying) และ QPSK (Quadrature Phase Shift Keying) ซึ่งจะต้องผ่านการปรับแต่งสเปกตรัมโดยใช้ฟิลเตอร์แบบ Square-root raised-cosine ที่ Roll-off factor เท่ากับ 0.4 เพื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นการป้องกันการรบกวนกันของช่องสัญญาณข้างเคียง[2] นอกจากนั้นยังกำหนดให้สามารถใช้ความเร็วในการมอดูเลท 5 ระดับคือ 160, 320, 640, 1,280 และ 2,560 Ksymbols/sec โดยความกว้างของช่องสัญญาณที่ความเร็วต่างๆมีค่าเท่ากับ 200, 400, 800, 1,600 และ 3,200 KHz ตามลำดับ

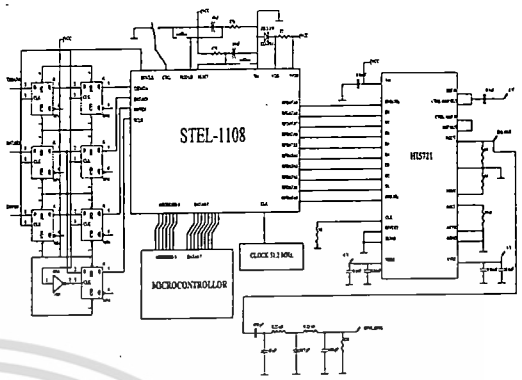


รูปที่ 1. แสดงสถาปัตยกรรมของโครงข่าย HFC

2. การออกแบบมอดูเลเตอร์

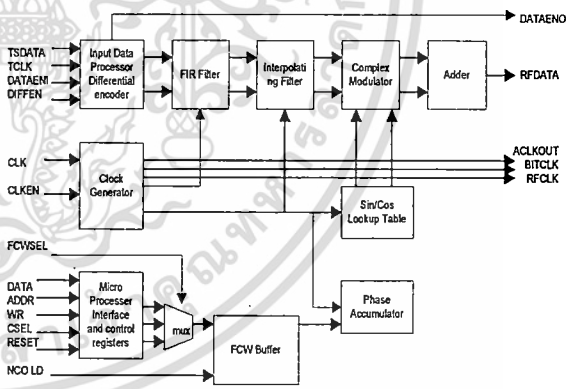
มอดูเลเตอร์ที่ได้ทำการออกแบบในงานวิจัยนี้สามารถมอดูเลทได้ 2 วิธีคือ BPSK และ QPSK ความเร็วสูงสุด 1.28 Msymbol / sec สามารถเปลี่ยนความถี่คลื่นพาหะได้ตั้งแต่ 5 ถึง 20 MHz และสามารถปรับแต่งสเปกตรัมโดยใช้ฟิลเตอร์แบบ Square-root raised-cosine ที่ Roll-off factor เท่ากับ 0.4 โดยสามารถแสดงผังวงจรได้ดังรูปที่ 2.

จากรูปที่ 2. จะเห็นว่าผังวงจรประกอบไปด้วย ASIC เบอร์ STEL 1108 ของบริษัท Stanford Telecom [3] ทำหน้าที่เป็นตัวประมวลผลหลักในการ มอดูเลท ซึ่งสามารถกำหนดฟังก์ชั่นการทำงานและความถี่ในการมอดูเลทโดยใช้ไมโครคอลโทลเลอร์เบอร์ MCS 8031 และ IC 10 bit DAC (Digital to Analog Converter) เบอร์ HI5721 ทำหน้าที่ในการแปลงสัญญาณดิจิตอลที่ออกจาก STEL 1108 เป็นสัญญาณแอนะล็อก [4]



รูปที่ 2. แสดงผังวงจรของมอดูเลเตอร์

STEL 1108 เป็น ASIC ที่พัฒนามาจากเทคโนโลยีทางด้าน DSP (Digital Signal Processing) มีข้อดีที่สามารถเปลี่ยนวิธีการมอดูเลท และความถี่ในการมอดูเลทโดยไม่จำเป็นต้องปรับแต่งฮาร์ดแวร์ใหม่ ซึ่งทำให้มอดูเลเตอร์มีขนาดเล็กลง และมีความยืดหยุ่นสูงขึ้น โดยสามารถแสดงการทำงานได้ดังรูปที่ 3.



รูปที่ 3. แสดงบล็อกไดอะแกรมการทำงานของ STEL 1108

จากรูปที่ 3. แสดงบล็อกไดอะแกรมการทำงานของ STEL 1108 ข้อมูลดิจิตอลแบบ TTL จะถูกส่งเข้ามายังส่วนประมวลผลข้อมูลขาเข้า(Input Data Processor / Differential Encoder) ซึ่งทำหน้าที่ในการสุ่มสัญญาณอินพุท เข้ารหัสข้อมูล และจัดเรียงบิตใน I และ Q channel ในกรณีต้องการมอดูเลตในแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

QPSK จากนั้นจึงส่งต่อให้กับ FIR filter ซึ่งทำหน้าที่ในการปรับรูปสัญญาณ จากรูปสี่เหลี่ยมให้มีความราบรื่นขึ้นโดยใช้ Square Root Raised-Cosine filter เพื่อลดแบนวิดท์ของสัญญาณหลังจากมอดูเลต สัญญาณที่ออกจาก FIR filter จะถูกส่งต่อมาให้กับ Interpolate filter เพื่อเพิ่มอัตราการสุ่มสัญญาณจากเดิม ซึ่งเดิมมีค่าเท่ากับ 4 เท่าของ Symbols Rate เป็นความถี่ของสัญญาณ clock (f_{clk}) เพื่อนำไปประมวลผลต่อในส่วนของ complex modulator และ Adder ในส่วนนี้จะทำหน้าที่ในการมอดูเลตสัญญาณตามการควบคุมของส่วนเชื่อมต่อกับไมโครโพรเซสเซอร์และควบคุมรีจีสเตอร์ ซึ่งเป็นส่วนสำคัญในการควบคุมการทำงานทั้งหมด ส่วน clock generator จะทำหน้าที่ในการผลิตสัญญาณเวลาต่างๆ ป้อนให้กับส่วนประกอบ เพื่อให้มีการทำงานระหว่างส่วนประกอบต่างๆ อย่างเป็นจังหวะเดียวกัน โดย clock generator จะต้องรับสัญญาณเวลาความถี่สูง (50 MHz - 126 MHz) จากภายนอก

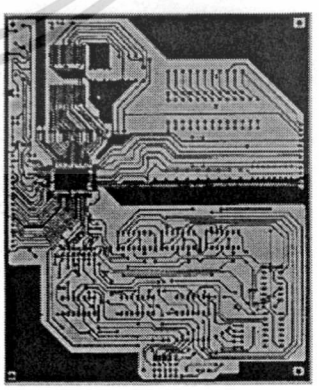
3. การทดสอบและผลของการมอดูเลท

การทดสอบมอดูเลเตอร์ที่ได้ออกแบบสร้างขึ้นจะแบ่งออกเป็น 2 ส่วนคือ การทดสอบในโหมดของ BPSK และโหมดของ QPSK โดยทำการวัดสัญญาณมอดูเลททั้งในโดเมนของเวลา และความถี่

การทดสอบการมอดูเลทของ IC เบอร์ STEL 1108 เริ่มจากการทดสอบส่วนประกอบที่จะต้องนำมาใช้ร่วมกับ STEL 1108 ในการมอดูเลทแต่ละส่วนดังนี้ ส่วนแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาล็อก ส่วนกำเนิดสัญญาณนาฬิกา ส่วน MICROCONTROLLOR ส่วนฟลิปฟลอป และส่วนกรองความถี่ ต่อจากนั้นประกอบวงจรดังรูปที่ 2 แล้วจึงเริ่มทำการทดสอบการมอดูเลทโดยจะต้องกดสวิทช์รีเซตในรูปที่ 2 ให้เป็นลอจิก "0 " แล้วปล่อยสวิทช์รีเซต ให้เป็นลอจิก "1" ตามเดิม เพื่อเริ่มต้นกำหนดการทำงาน ต่อจากนั้นจึงเขียนข้อมูลเข้า โดยใช้ MICROCONTROLLOR เป็นตัวส่งข้อมูลตาม Data sheet ของ STEL1108 เพื่อกำหนดการมอดูเลท ความถี่คลื่นพาห์ และความเร็วในการส่งข้อมูล เมื่อทำการกำหนดการทำงานเรียบร้อยแล้ว จะต้องกดสวิทช์ NCO LD ในรูปที่ 2 ให้เป็นลอจิก "1 " แล้วปล่อยสวิทช์ NCO LD ให้เป็นลอจิก "0" ตามเดิม เพื่อให้ STEL 1108 เริ่มทำงาน ต่อจากนั้นจึงเริ่มป้อนข้อมูลเข้าทางขา TSDATA ในการป้อนข้อมูลกรณีโหมด BPSK จะใช้ FUNCTION GENERATOR ส่งสัญญาณพัลซ์ ส่วนกรณีโหมด QPSK จะไม่ต้องป้อนข้อมูลเข้าทางขา TSDATA เนื่องจากข้อมูลที่ใช้กำหนดให้เป็นฟังก์ชั่น Pseudo Random Number ภายใน IC STEL 1108 เอง โดยกำหนดในขั้นของการเขียนข้อมูลเข้า STEL 1108 ผ่านทาง MICROCONTROLLOR

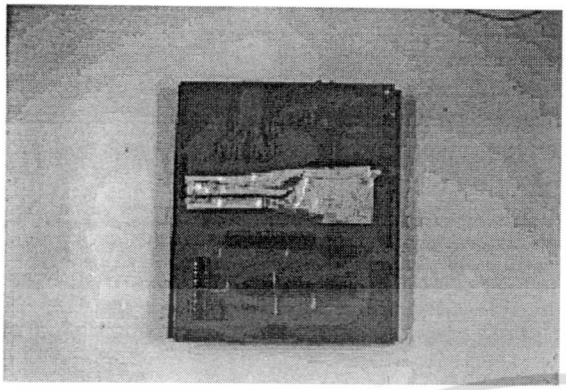
อุปกรณ์ที่ใช้ในการทดสอบการมอดูเลทของ IC เบอร์ STEL1108 ประกอบด้วย ออสซิลโลสโคป สเปกตรัมอะนาไลท์เซอร์ เรกกูเลเตอร์(+5V,0V,-5V) Function Generator และบอร์ด Microcontrollor

เมื่อได้ผลการทดสอบการมอดูเลทสอดคล้องกับทฤษฎีการมอดูเลทแล้ว ต่อจากนั้นจึงออกแบบลายวงจรพิมพ์โดยใช้โปรแกรม Protel ดังรูปที่ 4. เพื่อรวมอุปกรณ์แต่ละส่วนให้อยู่ในแผ่นวงจรพิมพ์แผ่นเดียวกัน ดังรูปที่ 5. ต่อจากนั้นนำอุปกรณ์ต่างๆ ประกอบวางลงบนแผ่นวงจรพิมพ์ แล้วทำการทดสอบผลการมอดูเลทอีกครั้ง

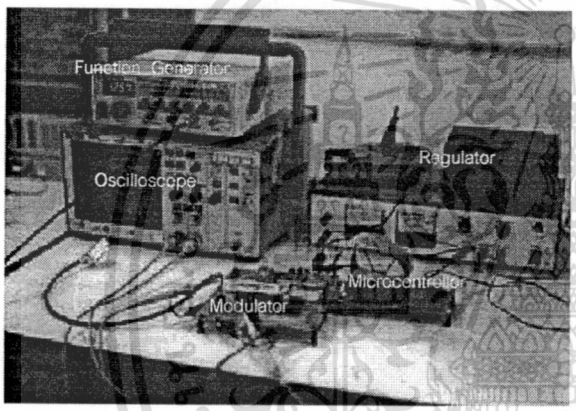


รูปที่ 4. ลายวงจรพิมพ์ของชุดมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

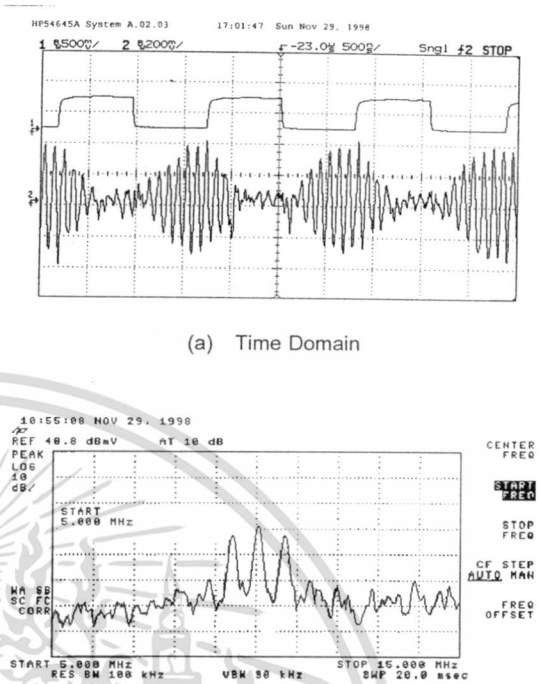


รูปที่ 5. การวางอุปกรณ์ของชุดมอดูเลเตอร์



รูปที่ 6. ชุดอุปกรณ์ที่ใช้ทดสอบการมอดูเลท

ในโหมดของ BPSK การทดสอบจะทำที่ความเร็วอินพุท 1.28 Mbps และกำหนดให้ใช้คลื่นพาหะ 10 MHz ซึ่งสามารถแสดงผลที่ได้จากการวัดสัญญาณมอดูเลทในโหมด BPSK ได้ดังรูปที่ 7.



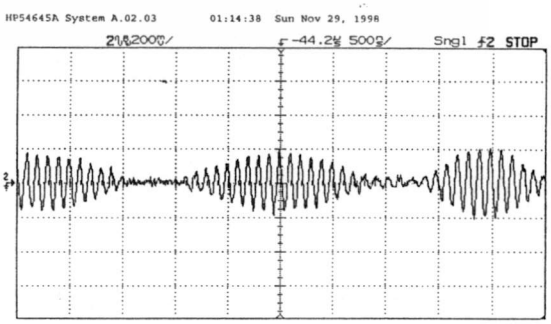
(a) Time Domain

(b) Frequency Domain

รูปที่ 7. แสดงผลที่ได้จากการวัดสัญญาณมอดูเลทในโหมด BPSK (a) ในโดเมนเวลา (b) ในโดเมนความถี่

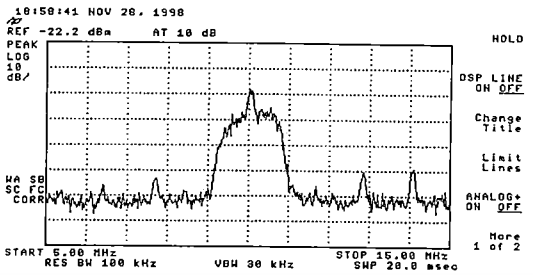
จากรูปที่ 7 (a) แสดงให้เห็นผลการทดสอบในโดเมนของเวลาจะเห็นว่าเราได้ความถี่ของคลื่นพาหะที่ 10 MHz ตามที่ได้กำหนดไว้และมีการเปลี่ยนรูปคลื่นตามการเปลี่ยนลอจิกของข้อมูลที่ป้อนเข้า สำหรับรูปที่ 7 (b) จะเห็นว่า C/N มีค่าเท่ากับ 30 dB และแบนด์วิดท์เท่ากับ 1.8 MHz ซึ่งเมื่อเทียบกับข้อกำหนดของมาตรฐาน (1.6 MHz) จะเห็นว่าแบนด์วิดท์ที่ได้มีค่ามากกว่ามาตรฐาน 200 KHz

ในโหมดของ QPSK การทดสอบจะทำที่ความเร็วอินพุท 2.56 Mbps (1.28 Symbol / sec) และกำหนดให้ใช้คลื่นพาหะ 10 MHz โดยที่สัญญาณอินพุทจะใช้ฟังก์ชั่น Pseudo Random Number ภายใน IC STEL 1108เอง ซึ่งสามารถแสดงผลที่ได้จากการวัดสัญญาณมอดูเลทในโหมด BPSK ได้ดังรูปที่ 8.



(a) Time Domain

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b) Frequency Domain

รูปที่ 8. แสดงผลที่ได้จากการวัดสัญญาณมอดูเลท ในโหมด QPSK (a) ในโดเมนเวลา (b) ในโดเมนความถี่

จากรูปที่ 8 (a) แสดงให้เห็นผลการทดสอบในโดเมนของเวลาจะเห็นว่าเราได้ความถี่ของคลื่นพาหะที่ 10 MHz ตามที่ได้กำหนดไว้ และรูปที่ 8 (b) จะได้ค่า C/N มีเท่ากับ 41 dB และแบนด์วิดท์เท่ากับ 2 MHz ซึ่งเมื่อเทียบกับข้อกำหนดของมาตรฐาน (1.6 MHz) จะเห็นว่าแบนด์วิดท์ที่ทำได้มีค่ามากกว่ามาตรฐาน 400 kHz

ปัญหาในการทดสอบคือ สัญญาณมอดูเลทที่ได้ จะถูกรบกวนโดยสัญญาณนาฬิกาความถี่ 51.2 MHz. ที่ใช้ในการควบคุมจังหวะการทำงานของ STEL 1108 ซึ่งสามารถแก้ไข โดยต่อวงจรกรองความถี่เพิ่มทางด้านเอ้าพุทของส่วนแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาล็อก ซึ่งจะกรองความถี่ในช่วงความถี่ต่ำกว่า 50 MHz. สามารถผ่านได้

4. สรุป

บทความนี้ได้นำเสนอการพัฒนามอดูเลเตอร์สำหรับการสื่อสารข้อมูลบนเส้นทางกลับของโครงข่ายเคเบิลทีวีแบบ HFC โดยมีจุดมุ่งหมายให้ประเทศไทยสามารถพัฒนาศักยภาพทางเทคโนโลยีประเภทนี้ให้ทัดเทียมกับต่างประเทศ ซึ่งจะเห็นว่าเราสามารถใช้มอดูเลเตอร์ที่พัฒนาจาก ASIC เบอร์ STEL 1108 มาใช้งานได้ดี เนื่องจากเป็น IC ที่มีความยืดหยุ่นสูง สามารถปรับแต่งพารามิเตอร์ต่างๆได้โดยไม่จำเป็นต้องแก้ไขฮาร์ดแวร์ ผลที่ได้จากการวัดสัญญาณมอดูเลททั้งในโดเมนของเวลาและโดเมนความถี่ แสดงให้เห็นว่าทั้งโหมด BPSK และ QPSK สามารถทำงานได้เป็นที่หน้าพอใจโดยในโหมด BPSK จะมีค่า C/N เท่ากับ 30 dB และใช้แบนด์วิดท์สูงกว่ามาตรฐาน 200 KHz และโหมด QPSK มีค่า C/N เท่ากับ 41 dB และใช้แบนด์วิดท์สูงกว่ามาตรฐาน 400 KHz

เอกสารอ้างอิง

[1] Radio Frequency Interface Specification, DOCSIS Interim Specification for Data Over Cable Service Interface, March 21, 1997.

[2] S. Haykin, "Digital Communication," John Wiley & Sons, 1988.

[3] Data Sheet, "STEL 1108/CR 126 MHz BPSK/QPSK Digital Modulator", Stanford Telecom.

[4] Data Sheet, " HI 5721 10 Bit, 125 MSPS, High Speed D/A Converter," Harris.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้