

รายงานผลการวิจัยในโครงการวิจัยโดยใช้เงินรายได้คณะวิศวกรรมศาสตร์
ประจำปีงบประมาณ 2550 และ 2551

เรื่อง

การพัฒนาแหล่งจ่ายกำลังไฟฟ้าแบบสวิทซ์ที่มีค่าตัวประกอบกำลังไฟฟ้าสูงสำหรับอุปกรณ์

อิเล็กทรอนิกส์สมัยใหม่

(Development of a High-Power-Factor Power Supply for Modern Electronic
Equipment)

ผู้รับผิดชอบโครงการวิจัย

ดร. ชรินทร์ บุญลักษณานุสรณ์

เลขหมู่.....
เลขทะเบียน.....

RCH
TK
7868
.Sg
๙ 1547

120291

วันที่เดือน ปี 13 ก.พ. 2555

b. 12029169
i.

เอกสารนี้เป็นเอกสารที่สละลิขสิทธิ์ให้ทางหอสมุดกลางเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายงานฉบับนี้นำเสนอผลการวิจัยเรื่องการพัฒนาแหล่งจ่ายกำลังไฟฟ้าแบบสวิตซ์ที่มีค่าตัวประกอบกำลังไฟฟ้าสูงสำหรับอุปกรณ์อิเล็กทรอนิกส์สมัยใหม่ (Development of a High-Power-Factor Power Supply for Modern Electronic Equipment) ซึ่งได้รับงบประมาณสำหรับการทำวิจัยจากเงินรายได้คณะวิศวกรรมศาสตร์ สจล ประจำปี 2550 และ 2551 โดยเนื้อหาในรายงานฉบับนี้ประกอบไปด้วย

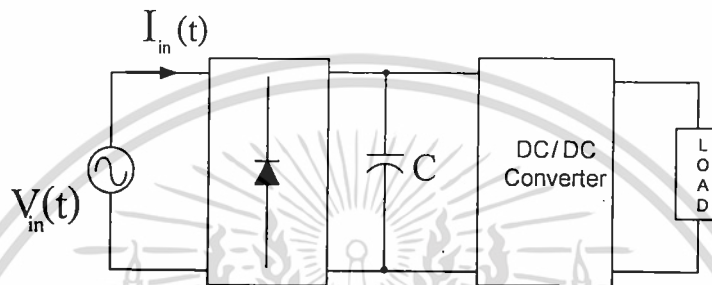
1. บทนำ
2. หลักการทำงานของวงจร
3. หลักการออกแบบวงจร
4. การออกแบบวงจรต้นแบบ
5. ผลการทดสอบการทำงานของวงจรต้นแบบ
6. สรุป
7. เอกสารอ้างอิง
8. ผลงานที่ได้รับการตีพิมพ์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

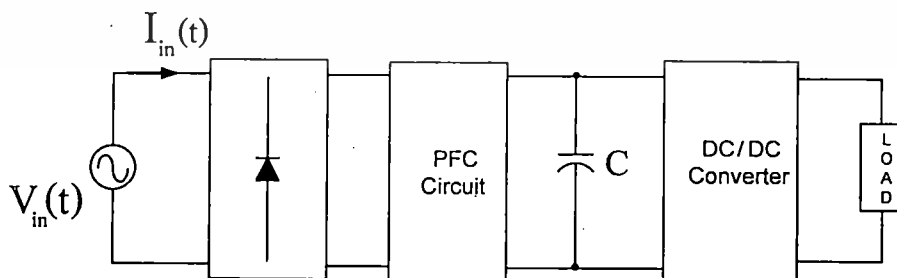
1. บทนำ

ปัจจุบันแหล่งจ่ายกำลังไฟฟ้าแบบสวิตช์ (Switched mode power supply) มีการใช้งานอย่างแพร่หลายในอุปกรณ์อิเล็กทรอนิกส์และอุปกรณ์ไอทีสมัยใหม่ อาทิเช่น คอมพิวเตอร์แบบพกพา (Notebook) จอคอมพิวเตอร์ (Monitor) เครื่องพิมพ์ (Printer) และ เครื่องถ่ายเอกสาร (Copying machine) เป็นต้น แหล่งจ่ายกำลังไฟฟ้าแบบสวิตช์ทำหน้าที่แปลงแรงดันไฟฟ้าเอซีอินพุทจากการไฟฟ้า (AC mains) ไปเป็นแรงดันไฟฟ้าดีซีที่มีขนาดเหมาะสมจ่ายให้กับโหลดซึ่งก็คือวงจรอิเล็กทรอนิกส์ต่างๆที่อยู่ในอุปกรณ์ องค์ประกอบของวงจรแหล่งจ่ายกำลังไฟฟ้าแบบสวิตช์แสดงดังรูปที่ 1 [1]



รูปที่ 1 โครงสร้างของแหล่งจ่ายกำลังไฟฟ้าแบบสวิตช์

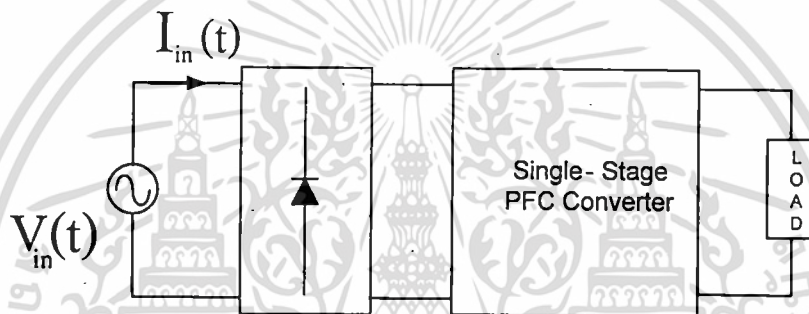
โดยภาคอินพุทจะเป็นวงจรบริดจ์เรกติไฟเออร์ซึ่งทำหน้าที่แปลงแรงดันไฟฟ้าเอซีจากการไฟฟ้า (ขนาด 220V) เป็นแรงดันไฟฟ้าดีซี (ขนาด 310V) ป้อนให้กับภาคดีซี-ดีซีคอนเวอร์เตอร์เพื่อสร้างแรงดันไฟฟ้าดีซี (ขนาด 12V, 5V, 3.3V เป็นต้น) จ่ายให้กับโหลด การทำงานของวงจรบริดจ์เรกติไฟเออร์ทำให้กระแสที่ดึงจากการไฟฟ้ามีรูปร่างผิดเพี้ยนจากรูปคลื่นไซน์ทำให้ตัวประกอบกำลัง (Power Factor, PF) มีค่าต่ำ (มีค่าประมาณ 0.5) และเกิดกระแสฮาร์โมนิก (Harmonic current) ในระบบของการไฟฟ้า ค่า PF ที่ต่ำบ่งบอกถึงการ ใช้พลังงานไฟฟ้าเป็นอย่างไรไม่คุ้มค่าและกระแสฮาร์โมนิกที่เกิดขึ้นก็สร้างผลเสียหลายอย่าง อาทิเช่น ทำให้การทำงานของเซอร์กิตเบรกเกอร์ (Circuit breaker) ผิดเพี้ยน หม้อแปลงในระบบจำหน่ายเกิดความร้อนอย่างผิดปกติ เป็นต้น ดังนั้นการเพิ่มค่า PF และลดกระแสฮาร์โมนิกของแหล่งจ่ายกำลังไฟฟ้าแบบสวิตช์จึงเป็นสิ่งสำคัญและจำเป็น ปัจจุบันวิธีที่นิยมใช้ในการปรับปรุงค่า PF และลดกระแสฮาร์โมนิกคือการนำวงจร Power Factor Correction (PFC) มาต่ออยู่หลังวงจรบริดจ์เรกติไฟเออร์ ดังแสดงในรูปที่ 2



รูปที่ 2 โครงสร้างของแหล่งจ่ายกำลังไฟฟ้าแบบสวิตช์ที่นิยมใช้ในปัจจุบัน

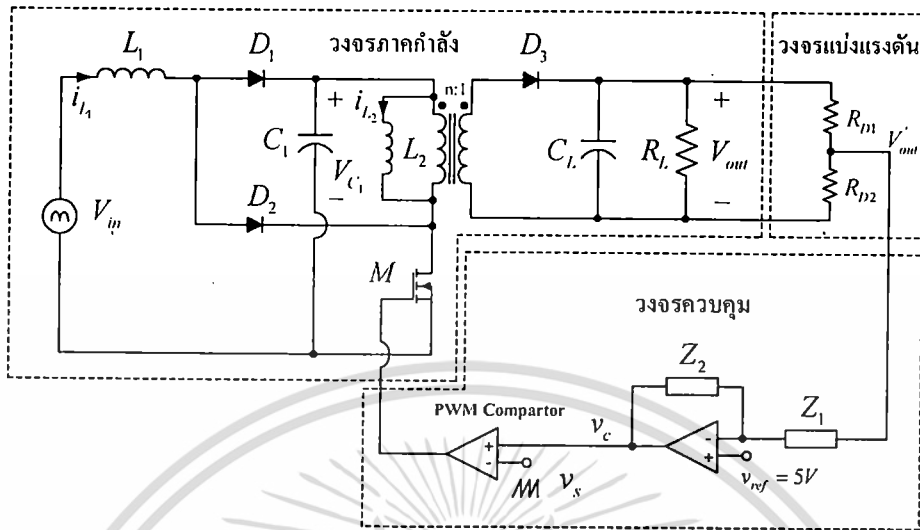
โดยวงจร PFC ที่ใช้ส่วนใหญ่คือวงจร Boost DC-DC converter ที่ถูกควบคุมให้ดึงกระแสอินพุทเป็นรูปคลื่นไซน์ [2] การแก้ไขปัญหาดังกล่าวโดยวิธีนี้ถึงแม้ว่าจะได้ค่า PF ที่สูงใกล้เคียงหนึ่งและสามารถลดกระแสฮาร์มอนิกส์ลงได้อย่างมากแต่ก็ต้องใช้อุปกรณ์จำนวนมากขึ้นขึ้นเนื่องจากส่วนวงจร PFC ที่เพิ่มเข้ามา ทำให้แหล่งจ่ายกำลังไฟฟ้ามีขนาดใหญ่และราคาแพงขึ้น นอกจากนี้ระบบยังต้องการตัวควบคุมจำนวนสองชุดคือ (1) ชุดการควบคุมกระแสอินพุทให้เป็นรูปคลื่นไซน์ในภาค PFC และ (2) ชุดการควบคุมแรงดันไฟฟ้าโหลดให้มีค่าคงที่ในภาค DC-DC converter

จากปัญหาที่กล่าวมาข้างต้น ในโครงการนี้จะทำการศึกษาวิธีแก้แหล่งจ่ายกำลังไฟฟ้าแบบสวิตช์แบบใหม่ที่ได้การรวมกันของภาค PFC และ ภาค DC-DC converter เป็นวงจรเดียวเรียกว่า แหล่งจ่ายกำลังไฟฟ้าแบบภาคเดียว ดังแสดงในรูปที่ 3 ซึ่งทำให้วงจรมีขนาดเล็กลง ใช้อุปกรณ์จำนวนน้อยขึ้น และมีตัวควบคุมเพียงชุดเดียวที่ทำหน้าที่ควบคุมทั้งกระแสอินพุทและแรงดันไฟฟ้าโหลดในเวลาเดียวกัน



รูปที่ 3 โครงสร้างของแหล่งจ่ายกำลังไฟฟ้าแบบภาคเดียวที่มีส่วน PFC และส่วน DC-DC converter รวมกันเป็นวงจรเดียวที่จะทำการศึกษาในโครงการวิจัยนี้

2. หลักการทำงานของวงจร



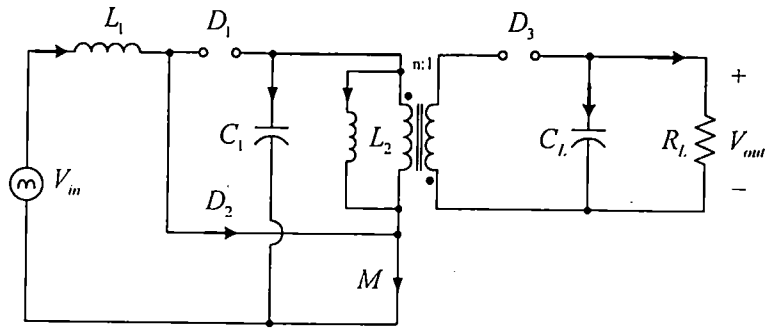
รูปที่ 4 แหล่งจ่ายกำลังไฟฟ้าแบบวงจรภาคเดียว

แหล่งจ่ายกำลังไฟฟ้าแบบวงจรภาคเดียวที่ได้ทำการศึกษาแสดงในรูปที่ 4 โดยได้จากการรวมกันของวงจรบูสต์คอนเวอเตอร์กับวงจรฟลายแบคคอนเวอเตอร์ (Integrated boost-flyback converter) [3] แรงดันไฟฟ้าอินพุตของวงจร V_{in} เป็นรูปคลื่นไซน์เต็มคลื่นความถี่ $f_{in} = 100\text{Hz}$ ที่ได้จากการเรกติไฟร์แรงดันไฟฟ้าเอซีจากการไฟฟ้าความถี่ 50Hz มอสเฟต M สวิตช์ที่ $f_s = 100\text{kHz}$ ซึ่งสูงกว่า f_{in} มากทำให้ในหนึ่งคาบเวลาการสวิตช์ของมอสเฟตสามารถมองว่า V_{in} มีค่าคงที่ได้ ตัวเก็บประจุไฟฟ้า C_1 ทำหน้าที่สมดุลกำลังไฟฟ้าระหว่างอินพุตและเอาต์พุต ที่สภาวะคงตัว (steady state condition) ในหนึ่งคาบเวลาการสวิตช์ใดๆของมอสเฟต การทำงานของวงจรแบ่งออกเป็น 4 สถานะคือ

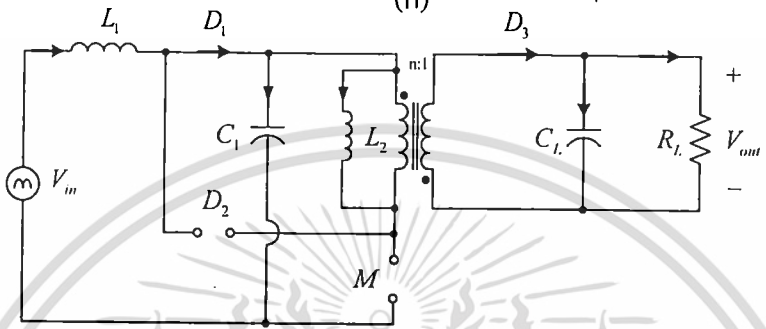
(1) มอสเฟตนำกระแสไฟฟ้า (โดยมีระยะเวลาการทำงานเท่ากับ dT_s) วงจรสมมูลย์แสดงดังรูปที่ 5(ก) ในสถานะนี้ไดโอด D_2 จะถูกไบแอสตรงทำให้พลังงานจาก V_{in} ถูกสะสมในตัวเหนี่ยวนำ L_1 ขณะเดียวกันตัวเก็บประจุ C_1 ย้ายพลังงานไปสะสมที่ตัวเหนี่ยวนำ L_2 ของหม้อแปลงฟลายแบค และตัวเก็บประจุ C_L ย้ายพลังงานไปที่ความต้านทานโหลด R_L ในสถานะนี้ไดโอด D_1 และ D_3 จะถูกไบแอสกลับทำให้ไม่นำกระแสไฟฟ้า

(2) มอสเฟตหยุดนำกระแสไฟฟ้า วงจรสมมูลย์แสดงดังรูปที่ 5(ข) ในสถานะนี้ D_2 จะหยุดนำกระแสไฟฟ้าด้วย ส่วน D_1 จะถูกไบแอสตรงทำให้พลังงานที่สะสมใน L_1 ถูกย้ายไปที่ C_1 ขณะเดียวกัน D_3 จะถูกไบแอสตรงทำให้พลังงานที่สะสมใน L_2 ถูกย้ายไปที่ C_L และ R_L

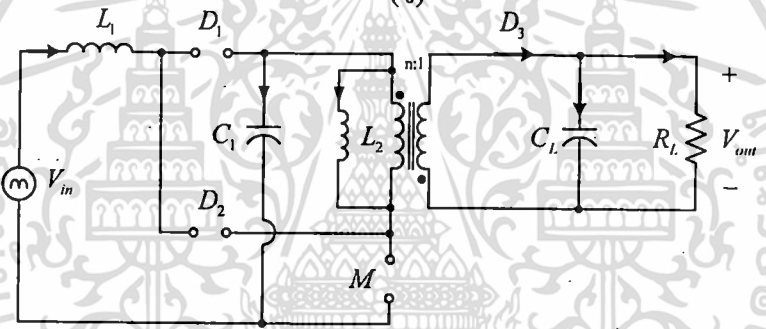
(3) วงจรสมมูลย์แสดงดังรูปที่ 5(ค) ในสถานะนี้พลังงานที่สะสมใน L_1 หมดลง D_1 จะหยุดนำกระแสไฟฟ้า ส่วนพลังงานที่สะสมในตัวเหนี่ยวนำ L_2 ยังไม่หมดและยังคงย้ายไปที่ C_L และ R_L (การที่พลังงานที่สะสมใน L_1 หมดลงก่อนเนื่องจาก L_1 มีค่าน้อยกว่า L_2)



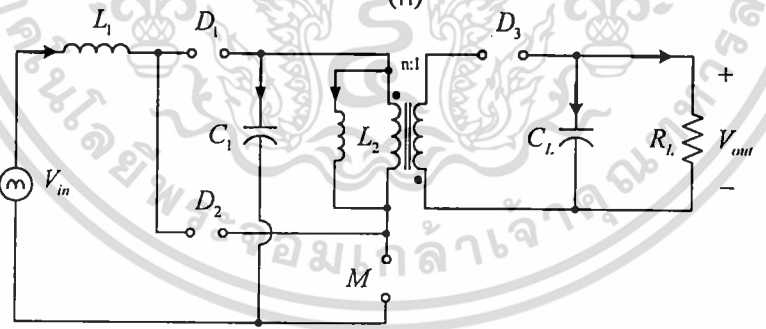
(ก)



(ข)



(ค)



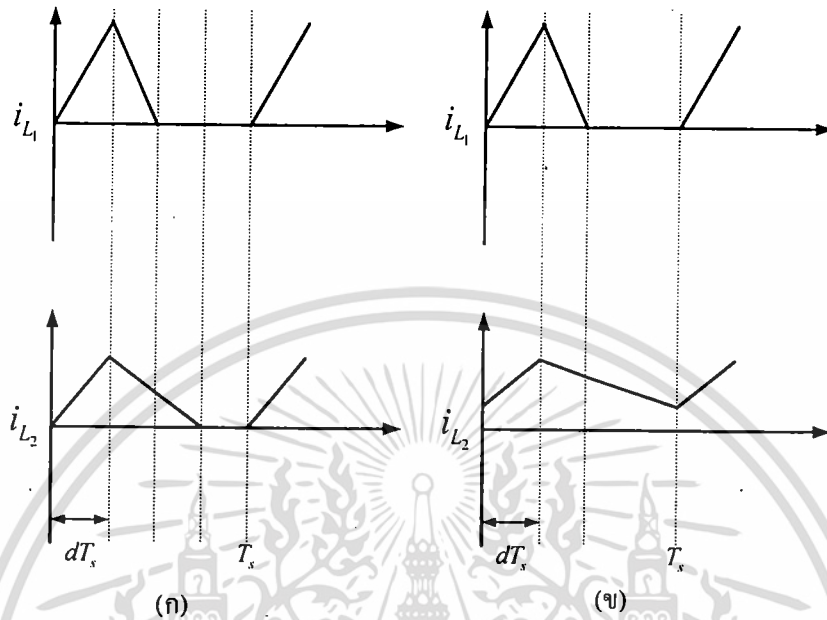
(ง)

รูปที่ 5 การทำงานของแหล่งจ่ายกำลังไฟฟ้าแบบวงจรภาคเดียวในหนึ่งคาบเวลาการสวิตช์

(4) วงจรสมมูลย์แสดงดังรูปที่ 5(ง) สถานะนี้จะเกิดขึ้นที่กระแสโหลดมีค่าน้อย (Light load) โดยพลังงานที่สะสมใน L_2 หมดลง ทำให้ D_3 หยุดนำกระแสไฟฟ้าก่อนที่มอสเฟตจะนำกระแสไฟฟ้าอีกครั้งหนึ่ง (รูปที่ 5(ก)) สถานะนี้จะไม่เกิดขึ้นเมื่อกระแสโหลดมีค่ามาก (Heavy load) โดยพลังงานที่สะสมในตัวเหนี่ยวนำ L_2 ยังคงจ่ายไปที่ C_L และ R_L ต่อไปจนกระทั่งสิ้นสุดคาบเวลาการสวิตช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

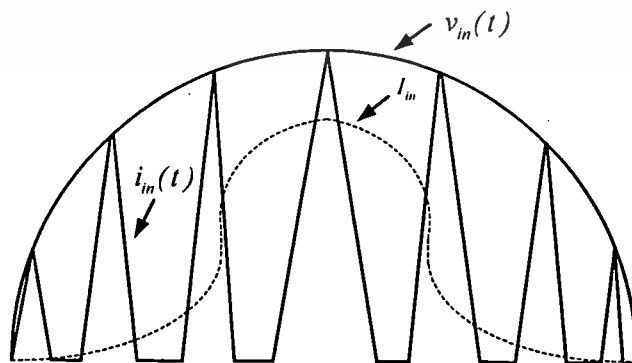
จากการทำงานดังกล่าวข้างต้น เมื่อเขียนรูปคลื่นกระแสไฟฟ้า i_{L1} และ i_{L2} ในหนึ่งคาบเวลาการสวิตช์ของมอสเฟตจะได้ดังรูปที่ 6



รูปที่ 6 รูปคลื่นกระแสไฟฟ้า i_{L1} และ i_{L2} ในหนึ่งคาบเวลาการสวิตช์ของมอสเฟต (ก) สภาวะ light load และ (ข) สภาวะ heavy load

จะเห็นว่ากระแส i_{L1} เป็นกระแสไฟฟ้าไม่ต่อเนื่อง (DCM) เสมอ ส่วนกระแส i_{L2} เป็นกระแสไม่ต่อเนื่องที่สภาวะ light load และเป็นกระแสต่อเนื่อง (CCM) ที่สภาวะ heavy load จากคุณสมบัติของตัวเหนี่ยวนำ boost

รูปที่ 7 แสดงรูปคลื่นแรงดันไฟฟ้าอินพุต V_{in} และกระแสไฟฟ้าอินพุต (กระแส i_{L1}) ของวงจรในหนึ่งคาบเวลาของ V_{in} โดยจะเห็นได้ว่ากระแสไฟฟ้าเฉลี่ยอินพุตมีรูปสัญญาณใกล้เคียงรูปคลื่นไซน์ การที่กระแสไฟฟ้าเฉลี่ยอินพุตมีรูปร่างใกล้เคียงรูปคลื่นไซน์และมีเฟสตรงกันกับ V_{in} นี้เองที่ทำให้วงจรมีค่า PF สูงและมีองค์ประกอบกระแสฮาร์มอนิกส์ที่ลดลง

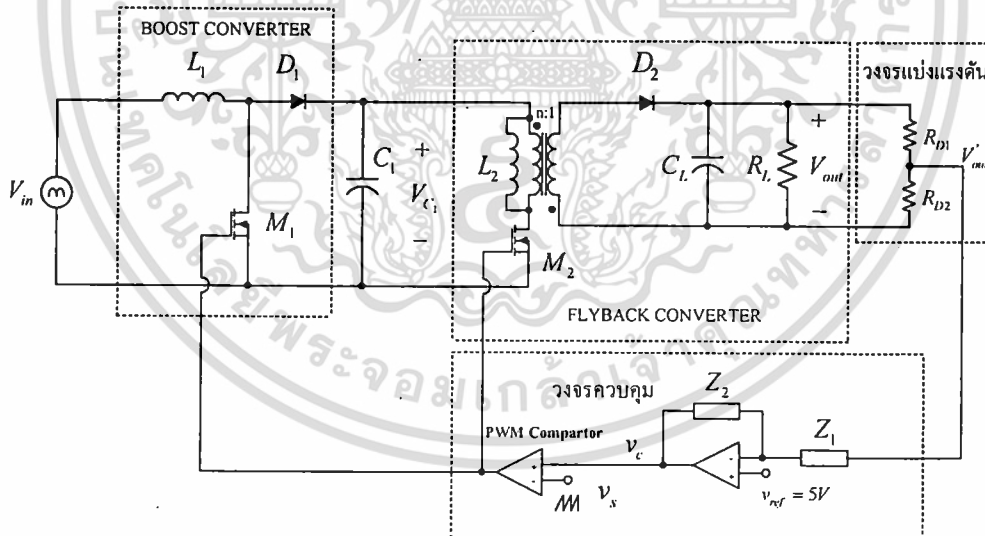


เอกสารนี้ 7 รูปคลื่นแรงดันไฟฟ้าและกระแสไฟฟ้า (i_{L1}) ทางด้านอินพุตใน 1 คาบเวลาของ V_{in} ด้านการค้ำ
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4 การควบคุมแรงดันไฟฟ้าเอาต์พุตทำได้โดยการป้อนกลับ V_{out} ผ่านวงจรแบ่งแรงดัน (voltage divider) ไปยังวงจรขยายความผิดพลาด (error amplifier) ที่มีแรงดันไฟฟ้าอ้างอิงเท่ากับ V_{ref} สัญญาณเอาต์พุตที่ได้เป็นสัญญาณควบคุม V_c ซึ่งจะถูกเปรียบเทียบกับสัญญาณไฟฟ้าฟันเลื่อย V_s เพื่อสร้างสัญญาณพีดับบลิวเอ็ม (PWM) ขับเกตของมอสเฟตเพื่อรักษา V_{out} ให้มีค่าคงที่ รูปการควบคุมแรงดันไฟฟ้าเอาต์พุตนี้จะต้องถูกออกแบบให้ V_{out} มีเสถียรภาพและมีผลตอบสนองที่รวดเร็ว ซึ่งทำได้โดยการชดเชยวงจขยายความผิดพลาดดังที่ได้กล่าวในหัวข้อที่ 3.2

3. หลักการออกแบบวงจร

แหล่งจ่ายกำลังไฟฟ้าแบบวงจรภาคเดียวในรูปที่ 4 มีพื้นฐานมาจากวงจรบูสต์คอนเวอเตอร์ต่ออนุกรมกับวงจรฟลายแบคคอนเวอเตอร์ดังแสดงในรูปที่ 8 โดยมีมอสเฟต M_1 และ M_2 ทำงานพร้อมกัน ดังนั้นจึงสามารถพิจารณาได้ว่าวงจรในรูปที่ 8 เป็นวงจรสมมูลย์ของแหล่งจ่ายกำลังไฟฟ้าแบบวงจรภาคเดียวในรูปที่ 4 ด้วยเหตุนี้จึงจะใช้วงจรสมมูลย์ในรูปที่ 8 ในการหาสมการการออกแบบของแหล่งจ่ายกำลังไฟฟ้าแบบวงจรภาคเดียวที่น่าเสนอ



รูปที่ 8 วงจรสมมูลย์ของแหล่งจ่ายกำลังไฟฟ้าแบบภาคเดียวในรูปที่ 4

3.1 หลักการออกแบบวงจรภาคกำลัง

จากวงจรสมมูลย์ในรูปที่ 8 แรงดัน V_{c1} เป็นแรงดันเอาพุทของวงจรบูสต์คอนเวอเตอร์และเป็นแรงดันอินพุทของวงจรฟลายแบคคอนเวอเตอร์ V_{c1} จะเป็นตัวแปรที่มีค่าไม่คงที่ โดยจะมีขนาดขึ้นอยู่กับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดของแรงดันอินพุทและกระแสโหลด เราสามารถหาสมการของ V_{C1} ได้จากหลักสมดุลกำลังไฟฟ้า (power balance) โดยกำหนดให้กำลังไฟฟ้าอินพุทของวงจรในรูปที่ 8 มีค่าเท่ากับกำลังไฟฟ้าเอาพุท

ที่สภาวะ light load วงจรบูสต์คอนเวอเตอร์ทำงานในโหมด DCM และวงจรฟลายแบคคอนเวอเตอร์ทำงานในโหมด DCM จากหลักสมดุลกำลังไฟฟ้าจะได้

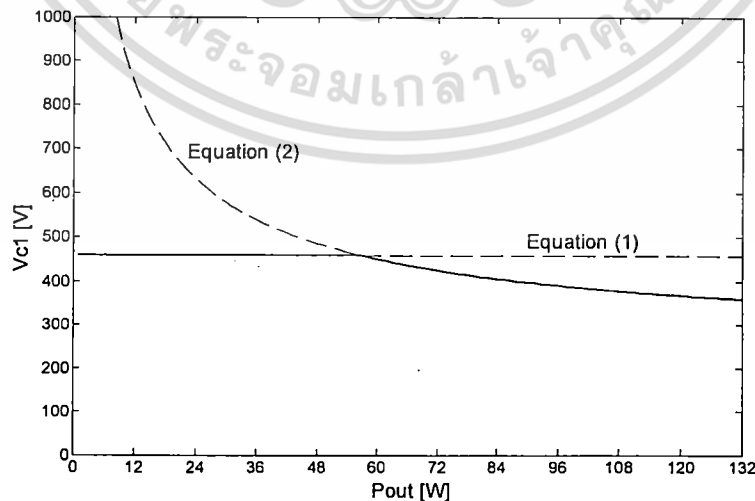
$$\left(\frac{1}{T_m}\right)\left(\frac{V_{in,pk}^2}{V_{C1}}\right)\left(\frac{L_2}{L_1}\right)\int_0^{T_m}\left(\frac{\sin^2(\omega t)}{V_{C1}-V_{in,pk}\sin(\omega t)}\right)dt = 1 \quad (1)$$

โดย $V_{in,pk}$ คือค่า peak ของแรงดันอินพุท และ T_m คือคาบเวลาของแรงดันอินพุท

ที่สภาวะ heavy load วงจรบูสต์คอนเวอเตอร์ยังคงทำงานในโหมด DCM แต่วงจรฟลายแบคคอนเวอเตอร์ทำงานในโหมด CCM จากหลักสมดุลกำลังไฟฟ้าจะได้

$$\left(\frac{T_s}{T_m}\right)\left(\frac{\left(\frac{nV_{out}}{V_{C1}+(n\cdot V_{out})}\right)^2 V_{in,pk}^2 V_{C1}}{2L_1}\right)\int_0^{T_m}\left(\frac{\sin^2(\omega t)}{V_{C1}-V_{in,pk}\sin(\omega t)}\right)dt - P_{out} = 0 \quad (2)$$

โดย n คืออัตราส่วนจำนวนรอบขดลวดปฐมภูมิต่อจำนวนรอบขดลวดทุติยภูมิของหม้อแปลงฟลายแบค T_s คือคาบเวลาการสวิตช์ และ P_{out} คือกำลังไฟฟ้าโหลด สมการที่ (1) และ (2) เป็นสมการแบบ implicit function ในการหาคำตอบของสมการต้องใช้หลักการคำนวณเชิงเลข (numerical technique) แก่สมการ (1) และ (2) จะได้กราฟความสัมพันธ์ระหว่าง V_{C1} และ P_{out} ดังรูปที่ 9



รูปที่ 9 กราฟความสัมพันธ์ระหว่าง V_{C1} และ P_{out} พล็อตจากสมการที่ (1) และ (2)

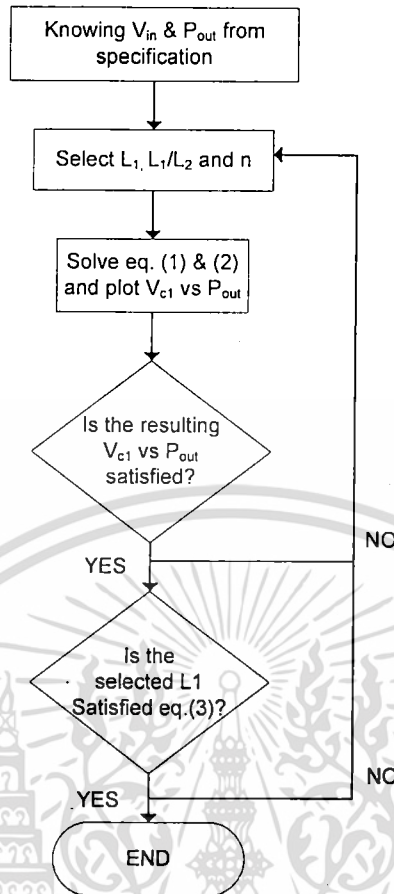
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปจุดตัดของกราฟแสดงถึงจุดแบ่งการทำงานระหว่างโหมด CCM และ DCM ของตัวเหนี่ยวนำ L_2 จากรูปจะเห็นว่าเมื่อ L_2 ทำงานในโหมด DCM (สภาวะ light load) V_{C1} จะมีค่าสูงและไม่ขึ้นอยู่กับกำลังไฟฟ้าเอาพุท แต่เมื่อ L_2 เปลี่ยนสภาวะมาทำงานในโหมด CCM (สภาวะ heavy load) V_{C1} จะมีค่าลดลงและจะลดลงมากขึ้นที่กำลังไฟฟ้าเอาพุทสูงขึ้น

จากสมการที่ (1) และ (2) จะต้องมีการระบุตัวแปร V_{in} , P_{out} , L_1 , L_1/L_2 และ n ก่อนที่จะคำนวณหา V_{C1} โดยปกติ V_{in} และ P_{out} จะถูกระบุมาใน specification ของวงจร ตัวแปร L_1/L_2 จะมีผลเฉพาะในกรณี L_2 ทำงานในโหมด DCM เท่านั้น (สมการที่ (1)) โดยถ้า L_1/L_2 ยิ่งมีค่ามาก แรงดัน V_{C1} ก็จะมีค่าน้อยลง ตัวแปร n จะมีผลเฉพาะในกรณี L_2 ทำงานในโหมด CCM เท่านั้น (สมการที่ (2)) โดยถ้า n ยิ่งมีค่าน้อย แรงดัน V_{C1} ก็จะมีค่าน้อยลงตามไปด้วย ค่าตัวเหนี่ยวนำ L_1 โดยปกติจะเลือกให้มีค่าน้อยเพื่อที่จะให้มั่นใจว่า L_1 ทำงานในโหมด DCM ตลอดย่านการทำงานของวงจร จากนั้นนำค่า V_{in} , P_{out} , L_1 , L_1/L_2 และ n ที่เลือกไว้ มาใช้ในการแก้สมการที่ (1) และ (2) เพื่อพล็อตกราฟความสัมพันธ์ระหว่าง V_{C1} และ P_{out} ถ้ากราฟความสัมพันธ์ที่ได้ยังไม่เป็นที่น่าพอใจ (กล่าวคือ V_{C1} มีค่าสูงเกินไปตลอดย่าน P_{out}) ก็จะต้องทำการเลือกค่า L_1 , L_1/L_2 และใหม่จนกระทั่งกราฟความสัมพันธ์เป็นที่น่าพอใจ การทำซ้ำนี้อาจจะต้องทำอยู่หลายรอบกว่าที่จะได้รับผลตามที่ต้องการ จากนั้นจำเป็นต้องตรวจสอบว่าตัวเหนี่ยวนำ L_1 ที่เลือกนั้นทำงานในโหมด DCM ตลอดย่านการทำงานของวงจรจริงหรือไม่ซึ่งสามารถตรวจสอบโดยสมการตัวเหนี่ยวนำของ DCM boost PFC [ref] แสดงดังสมการที่ (3)

$$L_1 < \frac{\eta V_{in, \min}^2 T_S (V_{C1, \min} - \sqrt{2} V_{in, \min})}{2 P_{out, \max} V_{C1, \min}} \quad (3)$$

โดย $V_{in, \min}$ คือค่า RMS ของแรงดันอินพุทต่ำสุด $V_{C1, \min}$ คือค่าแรงดันต่ำสุดของ V_{C1} η คือค่าประสิทธิภาพของ DCM boost PFC ซึ่งปกติกำหนดให้มีค่าประมาณ 0.8 และ $P_{out, \max}$ คือค่ากำลังเอาพุทสูงสุด สาเหตุที่ต้องตรวจสอบ L_1 ในขั้นตอนหลังสุดเพราะ $V_{C1, \min}$ ในสมการที่ (3) เป็นค่าที่ต้องอ่านจากกราฟความสัมพันธ์ระหว่าง V_{C1} และ P_{out} ขั้นตอนการออกแบบวงจรสามารถสรุปได้ดัง flow chart ในรูปที่ 10



รูปที่ 10 Flow chart แสดงขั้นตอนการออกแบบวงจรภาคกำลัง

ค่าตัวเก็บประจุ C_1 สามารถได้จากสมการ

$$C_1 > \frac{2P_{out, max} t_H}{V_{C1, min}^2 - (V_{C1, min} - \Delta V_{C1})^2} \quad (4)$$

โดย t_H คือค่า hold-up time และ ΔV_{C1} คือแรงดัน V_{C1} ที่ลดลงในช่วงเวลา t_H

ค่าตัวเก็บประจุเอาพุท C_L สามารถได้จากสมการ

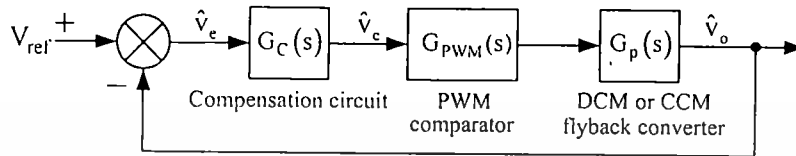
$$C_L > \frac{D_{max} T_S V_{out}}{R_{min} \Delta V_{out}} \quad (5)$$

โดย $D_{max} = nV_{out} / (V_{C1, min} + nV_{out})$ คือค่าดิวิตีไซเคิลสูงสุด และ R_{min} คือความต้านทานโหลดต่ำสุด

สำหรับการหาค่าพิกัดกำลังของอุปกรณ์สวิตช์และไดโอดในวงจรจะต้องทราบค่าแรงดันและกระแสสูงสุดที่อุปกรณ์เหล่านี้ได้รับซึ่งวิธีหนึ่งที่ทำให้คือการจำลองวงจรในรูปที่ 4

3.2 หลักการออกแบบวงจรรควบคุม

จากวงจรสมมูลย์ในรูปที่ 8 พบว่าการออกแบบวงจรรควบคุมของแหล่งจ่ายกำลังไฟฟ้าแบบภาคเดียวในรูปที่ 4 ก็คือการออกแบบวงจรรควบคุมของฟลายแบคคอนเวอร์เตอร์ที่มีแรงดันอินพุทเท่ากับ V_{Cl} ซึ่งมีบล็อกไดอะแกรมการควบคุมแสดงดังรูปที่ 11



รูปที่ 11 บล็อกไดอะแกรมการควบคุมแรงดันเอาพุท

ฟังก์ชันถ่ายโอนของส่วนต่างๆมีสมการดังนี้

Flyback converter in DCM [4]

$$G_p(s) = K_p \frac{\left(1 + \frac{s}{\omega_{zC}}\right) \left(1 - \frac{s}{\omega_{zRHP}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (6)$$

โดย $K_p = \frac{V_{Cl}}{n\sqrt{K}}$, $K = \frac{2L_2 f_s}{n^2 R_L}$, $M = \frac{nV_{om}}{V_{Cl}}$, $\omega_{zC} = \frac{1}{r_{CL} C_L}$, $\omega_{zRHP} = \frac{n^2 R_L}{L_2} \frac{1}{M(M+1)}$, $\omega_{p1} = \frac{2}{R_L C_L}$

$\omega_{p2} = \frac{n^2 R_L}{L_2} \frac{1}{(M+1)^2}$ และ r_{CL} คือ equivalent series resistance (ESR) ของ C_L .

Flyback converter in CCM [4]

$$G_p(s) = K_p \frac{\left(1 + \frac{s}{\omega_{zC}}\right) \left(1 - \frac{s}{\omega_{zRHP}}\right)}{\left(1 + \frac{s}{Q\omega_o} + \frac{s^2}{\omega_o^2}\right)} \quad (7)$$

โดย $K_p = \frac{V_{Cl}}{nD^2}$, $D' = 1 - D$, $\omega_{zC} = \frac{1}{r_{CL} C_L}$, $\omega_{zRHP} = \frac{n^2 D'^2 R_L}{DL_2}$, $\omega_o = \frac{n}{\sqrt{L_2 C_L}} \sqrt{\frac{D'^2 R_L}{R_L + r_{CL}}}$,

$$Q = \frac{1}{\omega_o} \frac{1}{\frac{L_2}{n^2 D'^2 R_L} + r_{CL} C_L}$$

PWM comparator

$$G_{pwm}(s) = \frac{1}{V_s} \quad (8)$$

โดย V_s คือขนาดของสัญญาณฟันเลื่อย (sawtooth signal)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Error amplifier's compensation circuit

$$G_c(s) = K_D \frac{\left(1 + \frac{s}{\omega_{z1}}\right) \left(1 + \frac{s}{\omega_{z2}}\right)}{\left(\frac{s}{\omega_1}\right) \left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (9)$$

$$\text{โดย } K_D = \frac{R_{D2}}{R_{D1} + R_{D2}}, \omega_{z1} = \frac{1}{R_{C3}C_{C2}}, \omega_{z2} = \frac{1}{(R_{C2} + R_{C1})C_{C1}}, \omega_1 = \frac{1}{R_{C1}(C_{C2} + C_{C3})},$$

$$\omega_{p1} = \frac{1}{R_{C2}C_{C1}}, \omega_{p2} = \frac{1}{R_F \left(\frac{C_{C2}C_{C3}}{C_{C2} + C_{C3}} \right)}$$

การออกแบบวงจรควบคุมในที่นี้คือการออกแบบวงจรชดเชย EA (Error Amplifier's compensation circuit) ซึ่งทำโดยการวางตำแหน่งโพลและซีโรของ $G_c(s)$ ในสมการที่ 9 เพื่อให้ฟังก์ชันถ่ายโอนวงเปิดของระบบ $G_c(s)G_{pwm}(s)G_p(s)$ มีคุณลักษณะอันพึงประสงค์กล่าวคือ (1) มีค่าดีซีเกนสูงเพื่อการรักษาแรงดันเอาพุทที่ดี (2) มีความถี่ครอสโอเวอร์ (crossover frequency) ประมาณ 1/10 ถึง 1/4 ของความถี่ในการสวิตช์เพื่อการมีผลตอบสนองที่รวดเร็วต่อการเปลี่ยนแปลง และ (3) มีค่าเฟสมารจิน (phase margin) ไม่น้อยกว่า 45 องศาเพื่อความมีเสถียรภาพที่ดี

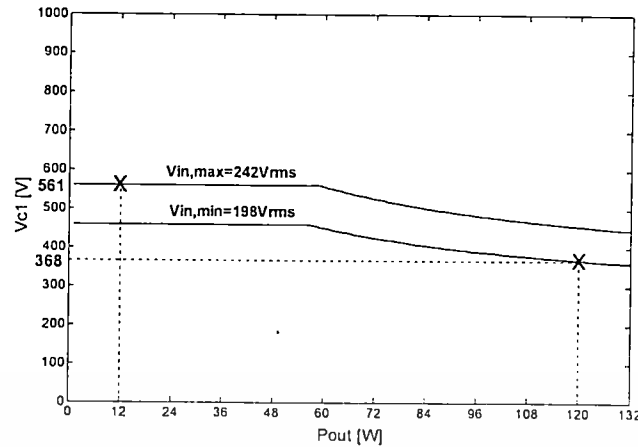
4. การออกแบบแหล่งจ่ายกำลังไฟฟ้าแบบวงจรภาคเดียวต้นแบบ

4.1 วงจรภาคกำลัง

แหล่งจ่ายกำลังไฟฟ้าแบบวงจรภาคเดียวที่ทำการออกแบบมีคุณสมบัติทางไฟฟ้า (Electrical specification) ดังนี้ $V_{in,AC} = 220V_{rms} \pm 10\%$, $f_{in,AC} = 50Hz$, $V_o = 12V$, $\Delta V_o = 5\%$ of V_o , $I_o = 1-10A$, switching frequency ($f_s = 1/T_s$) = 100kHz แรงดัน $V_{in,AC}$ ที่ความถี่ $f_{in,AC}$ นี้จะถูกเร็คตีไฟร์กลายเป็นแรงดันไซน์ฟลูเวฟแบบเต็มคลื่น (full-wave sinusoid) ที่ความถี่ 100Hz ($T_{in} = 10ms$) เพื่อเป็นแรงดันอินพุท V_{in} ให้กับวงจรคอนเวอร์เตอร์โดย V_{in} นี้จะมีค่าสูงสุด (peak value) อยู่ระหว่าง 280V ถึง 342V และมีค่า RMS (RMS value) อยู่ระหว่าง 198V ถึง 242V เนื่องจากแรงดันเอาพุทมีค่าเท่ากับ 12V และกระแสโหลดสามารถเปลี่ยนแปลงได้ระหว่าง 1A ถึง 10A ดังนั้นกำลังเอาพุทเปลี่ยนแปลงได้ระหว่าง 12W ถึง 120W

ในการออกแบบนี้เลือกค่า L_1/L_2 n L_1 และ L_2 เท่ากับ 0.4 0.5 100 μ H และ 250 μ H ตามลำดับ นำค่าที่ได้เลือกนี้ไปใช้แก่สมการที่ (1) และ (2) เพื่อพล็อตกราฟความสัมพันธ์ระหว่าง V_{C1} และ P_{out} จะได้ดังรูปที่ 12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 12 กราฟความสัมพันธ์ระหว่าง V_{CI} และ P_{out} ของวงจรที่ออกแบบ

จากรูปพบว่า $V_{CI, min} = 368V$ โดยเกิดขึ้นที่ $V_{in, min} = 198V_{rms}$, $P_{out, max} = 120W$ และ $V_{CI, max} = 561V$ โดยเกิดขึ้นที่ $V_{in, max} = 242V_{rms}$, $P_{o, min} = 12W$ ซึ่ง V_{CI} ที่มีค่าเปลี่ยนแปลงอยู่ระหว่าง 368V ถึง 561V เป็นที่ยอมรับได้ในการออกแบบนี้ เมื่อได้ค่า V_{CI} ที่ยอมรับได้แล้วขั้นตอนต่อไปคือการตรวจสอบว่าค่า L_1 ที่เลือก ($L_1 = 100\mu H$) ยังคงทำงานในโหมด DCM หรือไม่เมื่อแรงดันอินพุตมีค่าต่ำสุดและกำลังโหลดมีค่าสูงสุดซึ่งทำโดยการแทนค่า $V_{in, min} = 198V_{rms}$, $V_{CI, min} = 368V$, $P_{out, max} = 120W$, $T_s = 10\mu s$ ลงในสมการที่ (3) จะได้ $L_1 < 312\mu H$ นั่นคือค่า $L_1 = 100\mu H$ ที่เลือกสามารถใช้งานได้

กำหนดค่า hold-up time $t_H = 5ms$ และ $\Delta V_{CI} = 20V$ จากสมการที่ (4) จะได้ $C_1 > 84\mu F$ ดังนั้นเลือก $C_1 = 110\mu F$ ตัวเก็บประจุ C_1 นี้จะต้องสามารถทนแรงดัน $V_{CI, max} = 561V$ ได้ ในการสร้างวงจรจะเลือกใช้ตัวเก็บประจุแบบอิเล็กโทรไลติก (electrolytic capacitor) ขนาด $220\mu F$ แรงดัน 450V สองตัวต่ออนุกรมกัน จากสมการที่ (5) สามารถเลือก $C_L = 990\mu F$ ในการสร้างวงจรจะเลือกใช้ตัวเก็บประจุแบบอิเล็กโทรไลติกขนาด $330\mu F$ แรงดัน 50V สามตัวต่อขนานกัน และได้ค่า ESR รวม = 0.13Ω

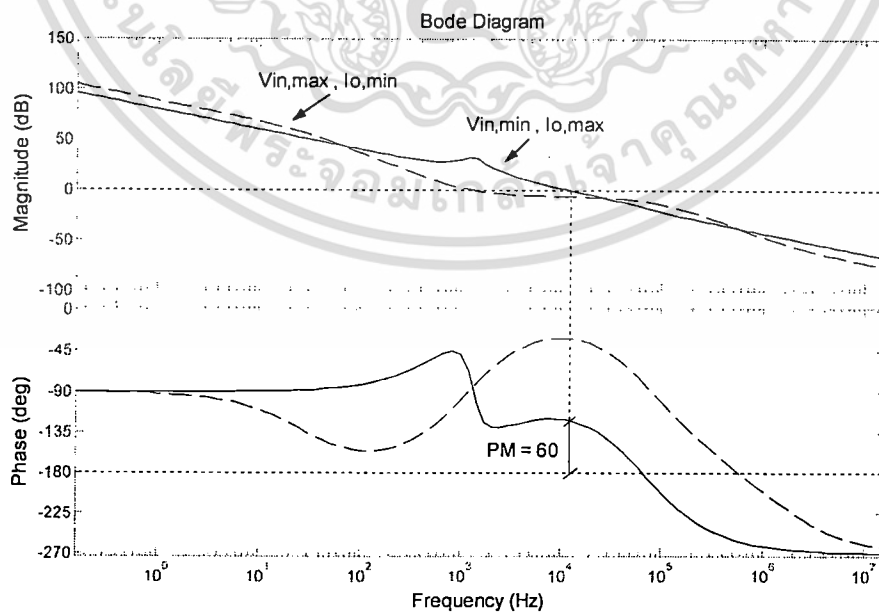
การหาค่าพิกัดกำลังของอุปกรณ์สวิตช์และไดโอดจะทำได้โดยการจำลองวงจรแหล่งจ่ายกำลังไฟฟ้าแบบวงจรภาคเดียวในรูปที่ 4 ด้วยโปรแกรม PSPICE ตัวอย่างผลการจำลองแสดงดังรูปที่ 9 ซึ่งเป็นรูปคลื่นกระแสสวิตช์ที่สถานะ full load ($V_{in, min} = 198V_{rms}$, $I_{o, max} = 10A$) เมื่อคำนวณหาค่ากระแส RMS ของรูปคลื่นกระแสสวิตช์นี้ภายในหนึ่งคาบเวลาของ V_{in} โดยใช้ built-in mathematical function ในโปรแกรม PSPICE พบว่า กระแส RMS มีค่าเท่ากับ 1.5A นั่นคือต้องเลือกอุปกรณ์สวิตช์ที่สามารถทนกระแสได้มากกว่า 1.5A การเลือกพิกัดแรงดันและกระแสของอุปกรณ์อื่นก็สามารถทำได้ในทำนองเดียวกัน

4.2 วงจรควบคุม

การออกแบบวงจรควบคุมจะพิจารณาที่สภาวะ full load ($V_{in, min} = 198V_{rms}$, $I_{o, max} = 10A$) ภายใต้สภาวะนี้ ตัวเหนี่ยวนำ L_2 จะทำงานในโหมด CCM ดังนั้นจะนำฟังก์ชันถ่ายโอนฟลายแบคคอนเวอร์เตอร์ในโหมด CCM ในสมการที่ 7 มาใช้ในการออกแบบ แทนค่าตัวแปรที่เกี่ยวข้องลงในสมการที่ 7 และ $V_s = 1.8$ ลงในสมการที่ 8 จะได้ฟังก์ชันถ่ายโอน $G_{pwm}(s)G_p(s)$ ดังสมการ

$$G_p(s)G_{pwm}(s) = 63.14 \frac{(1 + 42.57 \times 10^{-6} s)(1 - 2.41 \times 10^{-6} s)}{(1 + 60.09 \times 10^{-6} s + 20.16 \times 10^{-9} s^2)} \quad (10)$$

จากสมการที่ (10) เราสามารถออกแบบวงจรชดเชย EA เพื่อให้ระบบมีฟังก์ชันถ่ายโอนวงเปิดที่มีคุณลักษณะตามที่ต้องการ โดยจะเลือกค่าความถี่ครอสโอเวอร์ที่ $f_c = 10kHz$ วางซีโรทั้งสองตัวของ $G_c(s)$ ที่ความถี่ $f_{z1} = f_{z2} = 1kHz$ วางโพลตัวแรกจะอยู่ที่จุดกำหนด (origin) วางโพลตัวที่สองที่ความถี่ $f_{p1} = 3kHz$ และวางโพลตัวที่สามที่ความถี่ $f_{p2} = 80kHz$ จากค่า f_c และตำแหน่งของโพลและซีโรที่เลือก สามารถคำนวณค่าอุปกรณ์ของวงจรชดเชย EA ได้ดังนี้ $R_{C1} = 400k\Omega$, $R_{C2} = 240k\Omega$, $R_{C3} = 150k\Omega$, $C_{C1} = 220pF$, $C_{C2} = 1nF$, and $C_{C3} = 20pF$ เมื่อนำวงจรชดเชย EA ที่ออกแบบได้มาพล็อตฟังก์ชันถ่ายโอนวงเปิดของระบบ $G_c(s)G_{pwm}(s)G_p(s)$ จะได้ดังรูปที่ 13 (เส้นทึบ) จะเห็นว่าระบบมีค่าความถี่ครอสโอเวอร์ประมาณ 10kHz ตามที่ได้ออกแบบไว้ มีค่าคิซีเกินที่สูง และมีค่าเฟสมาจิ้นประมาณ 60องศา ผลที่ได้นี้แสดงให้เห็นว่าระบบมีเสถียรภาพและมีการรักษาแรงดันเอาพุทที่ดี

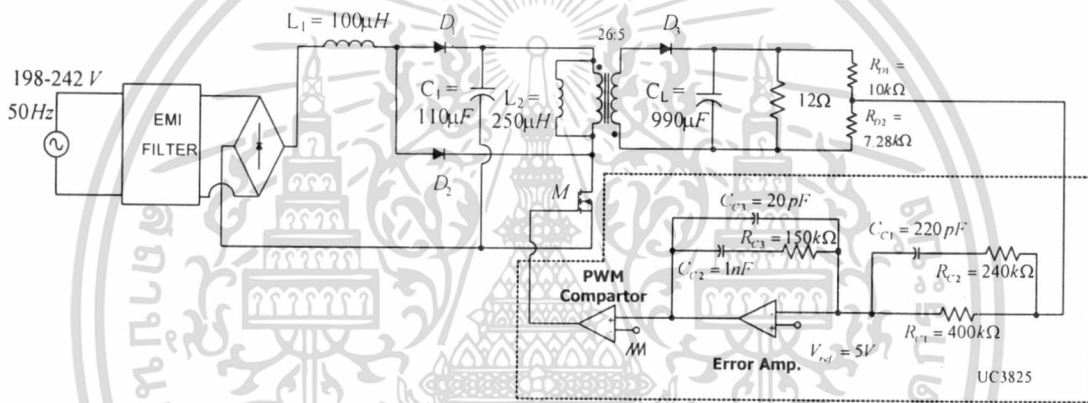


รูปที่ 13 โพลพล็อต (Bode plot) ของฟังก์ชันถ่ายโอนวงเปิด $G_c(s)G_{pwm}(s)G_p(s)$

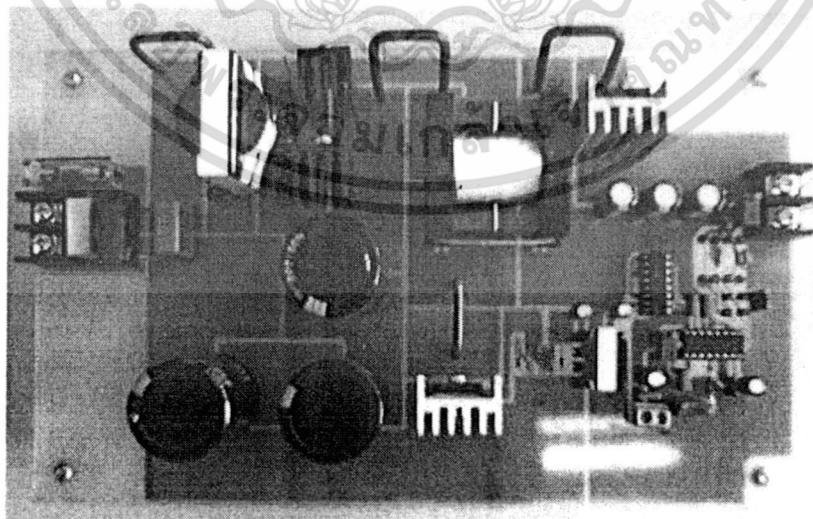
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เส้นประในรูปที่ 13 แสดงโบทพล็อตของฟังก์ชันถ่ายโอนวงเปิดที่สภาวะ light load ($V_{in,max} = 242V_{rms}$, $I_{o,max} = 1A$) ภายใต้สภาวะนี้ตัวเหนี่ยวนำ L_2 จะทำงานในโหมด DCM ดังนั้นฟังก์ชันถ่ายโอนฟลายแบคคอนเวอร์เตอร์จะเปลี่ยนเป็นสมการที่ (6) จากรูปจะเห็นว่าถึงแม้ว่าฟังก์ชันถ่ายโอนฟลายแบคคอนเวอร์เตอร์จะเปลี่ยนไปแต่ช่วงจรชดเชยที่ออกแบบยังคงทำให้ระบบมีเสถียรภาพและมีค่าชีเกนที่สูง อย่างไรก็ตามก็ตีความถี่ครอสโอเวอร์ได้ลดลงมีค่าประมาณ 1kHz ซึ่งจะมีผลทำให้วงจรมีผลตอบสนองที่ช้าลง

แผนภาพวงจรต้นแบบที่ได้ออกแบบแสดงในรูปที่ 14 ในส่วนของวงจรควบคุมใช้ไอซี UC3825 ซึ่งภายในประกอบไปด้วยวงจรสร้างแรงดันอ้างอิง (reference voltage) วงจร EA วงจร PWM comparator และวงจรเอาพุทสำหรับขับสวิตช์มอสเฟต อุปกรณ์ของวงจรชดเชย EA ที่ได้ออกแบบจะต่ออยู่ระหว่างขา 1 และ 3 ซึ่งเป็นขา inverting และ output ของ EA ภายในตัวไอซี รูปที่ 15 แสดงภาพถ่ายของวงจรต้นแบบที่ได้สร้างขึ้น



รูปที่ 14 แผนภาพวงจรต้นแบบ



รูปที่ 15 ภาพถ่ายวงจรต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. ผลการทดสอบการทำงานของวงจรต้นแบบ

ตารางที่ 1 และ 2 แสดงผลการวัดแรงดันเอาพุทและค่าตัวประกอบกำลังของวงจรต้นแบบที่สภาวะการทำงานต่างๆ

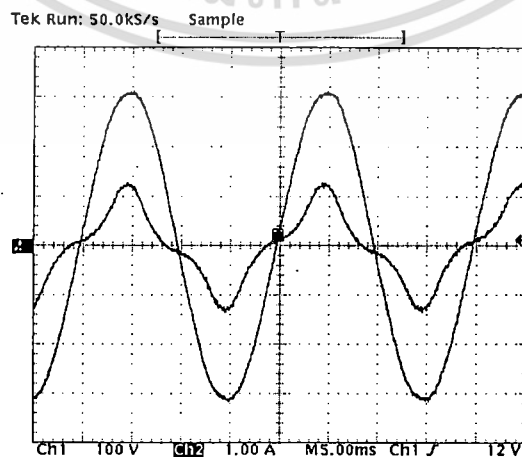
ตารางที่ 1 ผลการวัดค่าแรงดันเอาพุท

V _{in}	V _{out}					
	1A	2A	4A	6A	8A	10A
198V	12.00	12.00	11.99	11.99	11.98	11.97
242V	12.00	12.00	11.99	11.99	11.98	11.97

ตารางที่ 2 ผลการวัดค่าตัวประกอบกำลัง (power factor)

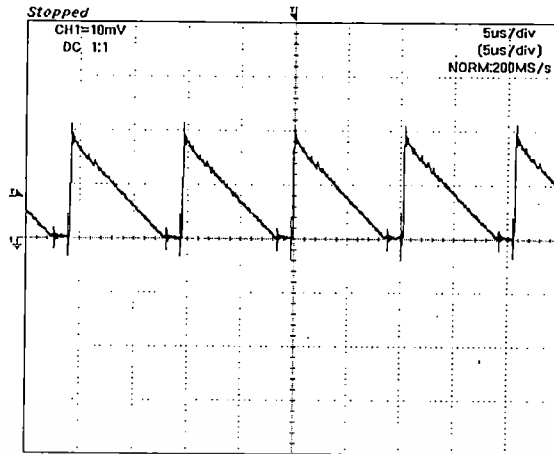
V _{in}	PF					
	1A	2A	4A	6A	8A	10A
198V	0.803	0.913	0.960	0.961	0.955	0.948
242V	0.718	0.846	0.939	0.950	0.950	0.944

จากตารางที่ 1 จะพบว่าแรงดันเอาพุทของวงจรต้นแบบจะถูกรักษาไว้ที่ประมาณ 12V ตลอดย่านการทำงานของวงจร โดยผลที่ได้นี้สอดคล้องกับแผนภาพโบทในรูปที่ 13 ที่แสดงฟังก์ชันถ่ายโอนวงเปิดของระบบมีค่าคิซีเกนที่สูงซึ่งหมายถึงระบบมีการรักษาแรงดันเอาพุทที่ดี จากตารางที่ 2 จะพบว่าค่าตัวประกอบกำลังทางด้านเอซีอินพุทของวงจรส่วนใหญ่มีค่าสูงกว่า 0.9 ยกเว้นที่สภาวะ light load สาเหตุที่เป็นเช่นนี้เพราะกระแสอินพุทของวงจรที่สภาวะ light load มีรูปร่างผิดเพี้ยนไปจากรูปคลื่นไซน์ค่อนข้างมากเมื่อเทียบกับการทำงานที่สภาวะอื่น ตัวอย่างรูปคลื่นแรงดันและกระแสเอซีอินพุทของวงจรต้นแบบแสดงดังรูปที่ 15 ซึ่งเป็นการทำงานที่สภาวะ V_{in} = 220V_{rms} และ I_o = 10A

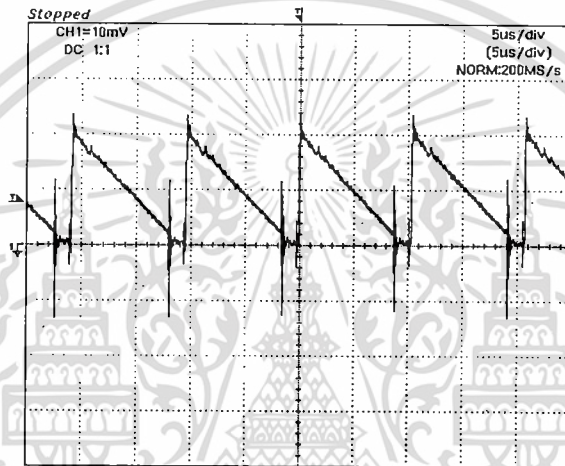


รูปที่ 15 รูปคลื่นแรงดันและกระแสเอซีอินพุทของวงจรต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้ไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



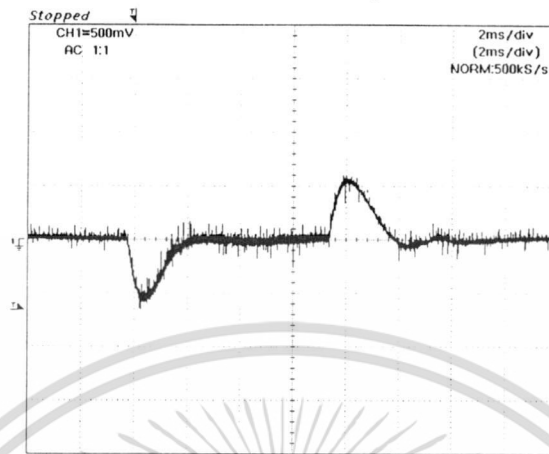
(ข)

รูปที่ 16 รูปคลื่นกระแสไดโอดทางด้าน secondary (i_{D3}) ที่ (ก) $I_o = 4A$ (ข) $I_o = 5A$

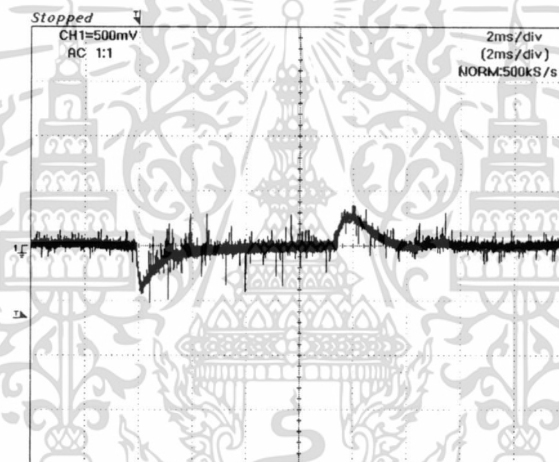
ผลการวัดรูปคลื่นกระแสไดโอดทางด้าน secondary (i_{D3}) แสดงดังรูปที่ 16 ซึ่งพบว่าที่ $I_o = 4A$ ($P_o = 48W$) กระแส i_{D3} เป็นกระแสในโหมด DCM (รูปที่ 16(ก)) และที่ $I_o = 5A$ ($P_o = 60W$) กระแส i_{D3} เป็นกระแสในโหมด CCM นั่นคือตัวเหนี่ยวนำ L_2 เกิดการเปลี่ยนโหมดการทำงานจากโหมด DCM ไปเป็นโหมด CCM ที่กระแสไหลระหว่าง 4A และ 5A (กำลังเอาพุระหว่าง 48W และ 60W) ผลที่ได้นี้จะสอดคล้องกับกราฟความสัมพันธ์ระหว่าง V_{C1} และ P_{out} ในรูปที่ 12 ซึ่งแสดงการเปลี่ยนโหมดการทำงานของ L_2 เกิดขึ้นที่กำลังเอาพุประมาณ 56W

ผลการวัดการตอบสนองของแรงดันเอาพุเมื่อกระแสไหลดเปลี่ยนแปลงอย่างทันทีทันใดแสดงในรูปที่ 17 ในรูปที่ 17(ก) การเปลี่ยนแปลงโหลดยังคงทำให้ L_2 ทำงานในโหมด DCM ในรูปที่ 17(ข) การเปลี่ยนแปลงโหลดทำให้ L_2 มีการเปลี่ยนโหมดการทำงานระหว่าง DCM และ CCM ในรูปที่ 17(ค) การเปลี่ยนแปลงโหลดยังคงทำให้ L_2 ทำงานในโหมด CCM จากทั้งสามกรณีนี้จะพบว่าผลตอบสนองในรูป 17(ค) จะดีที่สุดกล่าวคือแรงดันตกชั่วขณะ (transient voltage drop) จะต่ำที่สุดและเวลาที่ใช้ในการคืนตัว (settling) จะสั้นที่สุด สาเหตุที่เป็นเช่นนี้เพราะวงจรชดเชย EA ได้ถูกออกแบบสำหรับสถานะที่ L_2 เอกสารฉบับเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้เผยแพร่ข้อมูลด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

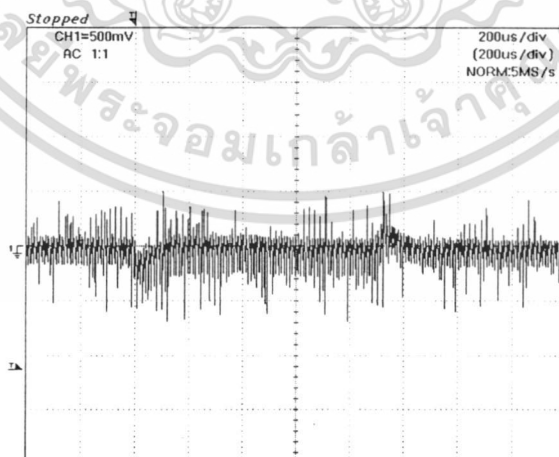
ทำงานในโหมด CCM (หัวข้อที่ 4.2) นั้นเอง ผลตอบสนองในรูป 17(ก) จะช้าเมื่อเทียบกับรูปที่ 17(ค) เนื่องจากในสถานะที่ L_2 ทำงานในโหมด DCM ระบบจะมีค่าความถี่ความถี่ครอสโอเวอร์ที่ต่ำกว่ากรณีสถานะที่ L_2 ทำงานในโหมด CCM ค่อนข้างมากดังแสดงในรูปที่ 13



(ก)



(ข)



(ค)

รูปที่ 17 ผลตอบสนองของแรงดันเอาพุทเมื่อกระแสโหลดเปลี่ยนแปลงอย่างทันทีทันใดกลับไปมา

ระหว่าง (ก) 1A และ 3A (ข) 3A และ 6A (ค) 6A และ 10A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. สรุป

รายงานฉบับนี้เสนอผลการวิจัยเรื่องการพัฒนาแหล่งจ่ายกำลังไฟฟ้าแบบสวิตช์ที่มีค่าตัวประกอบกำลังไฟฟ้าสูงสำหรับอุปกรณ์อิเล็กทรอนิกส์สมัยใหม่ โดยวงจรได้จากการรวมกันของ วงจรบูสต์คอนเวอเตอร์กับวงจรฟลายแบคคอนเวอเตอร์ (Integrated boost-flyback converter) ในการ ออกแบบวงจร จะใช้วงจรสมมูลย์ในรูปที่ 8 ซึ่งเป็นวงจรบูสต์คอนเวอเตอร์ต่ออนุกรมกับวงจรฟลายแบคคอนเวอเตอร์ โดยภาควงจรบูสต์คอนเวอเตอร์อินพุททำหน้าที่แก้ตัวประกอบกำลัง (power factor corrector) ทำงานในโหมด DCM เสมอ และภาควงจรฟลายแบคคอนเวอเตอร์เอาพุททำหน้าที่แปลงแรงดันดีซี-ดีซี ทำงานในโหมด DCM ที่สภาวะ light load และ CCM ที่ สภาวะ heavy load จากวงจรสมมูลย์นี้จะเห็นว่าแรงดันคร่อมตัวเก็บประจุ C_1 (V_{C1}) เป็นแรงดันเอาพุทของภาคบูสต์คอนเวอเตอร์และเป็นแรงดันอินพุทของภาคฟลายแบคคอนเวอเตอร์ สมการของ V_{C1} สามารถหาได้จากหลักสมมูลย์กำลังไฟฟ้าระหว่างอินพุทและเอาพุท โดยแสดงอยู่ในสมการที่ (1) และ (2) สมการ V_{C1} นี้เป็นสมการไม่เป็นเชิงเส้นและขึ้นอยู่กับตัวแปร V_{in} , L_1 , L_1/L_2 , P_{out} และ n เราสามารถหาพล็อตกราฟความสัมพันธ์ระหว่าง V_{C1} และ P_{out} ได้โดยการแก้สมการ (1) และ (2) โดยต้องกำหนดค่า V_{in} , P_{out} , L_1 , L_1/L_2 และ n โดยปกติค่า V_{in} และ P_{out} จะถูกระบุใน specification ของวงจร ดังนั้นในการคำนวณเราจะทำการเลือกค่า L_1 , L_1/L_2 และ n โดยกระบวนการทำซ้ำ (iterative process) ดังแสดงใน flow chart รูปที่ 15 จนกว่าจะได้กราฟความสัมพันธ์ระหว่าง V_{C1} และ P_{out} เป็นที่น่าพอใจ

สำหรับหลักการการออกแบบวงจรควบคุม เมื่อพิจารณาวงจรสมมูลย์ในรูปที่ 8 จะพบว่าก็คือการออกแบบวงจรควบคุมของฟลายแบคคอนเวอเตอร์ที่มีแรงดันอินพุทเท่ากับ V_{C1} ดังนั้นเมื่อทราบค่าแรงดัน V_{C1} เราก็สามารถทำการออกแบบวงจรชดเชย E/A โดยใช้วิธีผลตอบสนองเชิงความถี่ (frequency response design method) ได้ หลักการการออกแบบวงจรควบคุมและรายละเอียดการออกแบบแสดงอยู่ในหัวข้อที่ 3.2 และ 4.2

ผลการทดสอบที่ได้นำเสนอแสดงให้เห็นว่าวงจรแหล่งจ่ายกำลังไฟฟ้าแบบภาคเดียวใบที่ทำการวิจัยศึกษามีสมรรถนะการทำงานเป็นที่น่าสนใจโดยวงจรสามารถรักษาแรงดันเอาพุทให้มีค่าคงที่และมีค่าตัวประกอบกำลังไฟฟ้าด้านอินพุทที่สูงตลอดช่วงการทำงาน (ตารางที่ 1 และ 2) นอกจากนี้ผลการทดสอบวงจรในรูปที่ 16 และ 17 ยังสอดคล้องกับผลที่คาดการณ์ไว้จากการออกแบบด้วย ดังนั้นจึงสามารถสรุปได้ว่าวิธีการออกแบบโดยใช้วงจรสมมูลย์ที่นำเสนอ สามารถนำไปใช้ในการออกแบบได้จริง

7. เอกสารอ้างอิง

- [1] L. Rossetto, G. spiazzi, P. Tenti, "Control Techniques for Power Factor Correction Converters", Power Electronics and Motion Control Conference, 1994.
- [2] L. H. Dixon, "Average current mode control of switching power supplies", Unitrode Power Supply Design Seminar, SEM-700, 1990.
- [3] R. Redl, L. Balogh, and N.O Sokal, "A new family of single-stage isolated power-factor correctors with fast regulation of the output voltage", *Power Electronics Specialists Conference*, pp. 1137-1144, 1994.
- [4] W. Kleebchampee, "Modeling of a Current Mode Controlled Flyback Converter with optocoupler Feedback", M.S. thesis, King Mongkut's Institute of Technology Landkrabang, 2004.

8. ผลงานที่ได้รับการตีพิมพ์

- [1] P. Kongthawornwattana, C. Bunlaksananusorn, and S. Kittiratsatcha, "Design of a Single-Stage Single-Switch Power-Factor-Corrected AC/DC Converter", Proceeding 7th International Conference on Power Electronics and Drive Systems pp. 772-777, Bangkok, Thailand



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

 PEDS 2007

The Seventh International Conference on Power Electronics and Drive Systems



November 27-30, 2007, Bangkok, Thailand

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Referring back to Fig. 1, the converter's output voltage is regulated by a simple PWM control loop. The error amplifier amplifies the difference between the reference voltage and the feedback output voltage. The resulting control signal, V_c , is then compared with the sawtooth signal, V_s , producing a duty cycle signal to drive the power switch, M , to maintain a constant output voltage. For the converter to have good regulation characteristics, the error amplifier must be properly compensated.

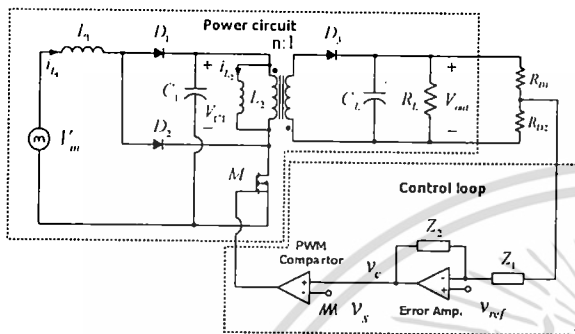


Fig. 1. S^4 -PFC boost-flyback AC/DC converter

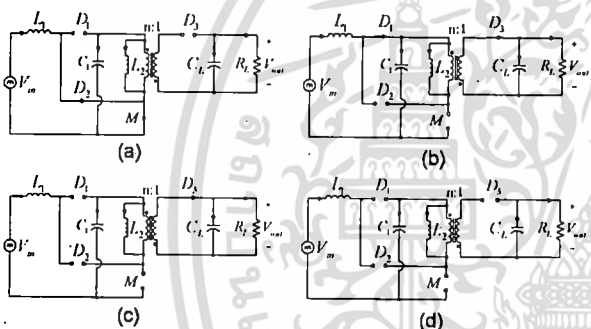


Fig. 2. Circuit topologies in one switching period

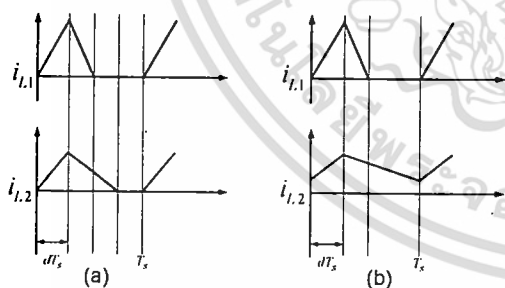


Fig. 3. Waveforms of i_{L1} and i_{L2} : (a) light loads (b) heavy loads

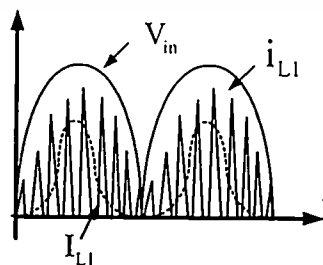


Fig. 4. Input voltage and current waveforms

III. DESIGN CONCEPT

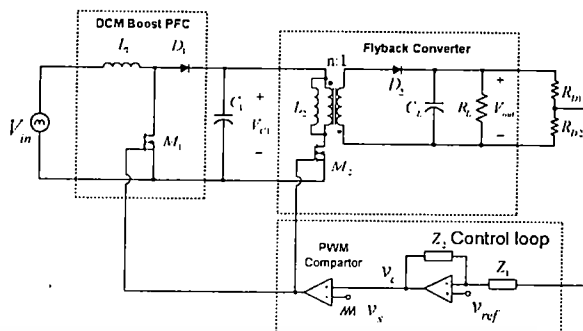


Fig. 5. DCM boost PFC cascaded with flyback converter

The operation of converter in Fig. 1 is the same as that of a DCM boost PFC cascaded with a flyback converter in Fig. 5, given that the power switches M_1 and M_2 are driven by the same duty cycle signal, and turned on and off at the same time. Therefore, the converter in Fig. 5 can be considered to be an equivalent circuit of the converter in Fig. 1. Thus, it will be used to develop the design equations for the S^4 -PFC converter.

A. Power Circuit Design

In Fig. 5, V_{C1} is the output of the boost converter and the input of the flyback converter. It is normally an unknown and depends on the line and load conditions. The expression for V_{C1} can be determined from the equivalent circuit in Fig. 5 by equating the input power to the output power. At light loads, Fig. 5 will be a combination of a DCM boost PFC and DCM flyback converter, where application of power balance yields

$$\left(\frac{1}{T_m}\right) \left(\frac{V_{in,pk}^2}{V_{C1}}\right) \left(\frac{L_2}{L_1}\right) \int_0^{T_s} \left(\frac{\sin^2(\alpha t)}{V_{C1} - V_{in,pk} \sin(\alpha t)}\right) dt = 1 \quad (1)$$

where $V_{in,pk}$ is a peak rectified input voltage and T_m is a time period of the rectified input voltage. At heavy loads, Fig. 5 will be a combination of a DCM boost PFC and CCM flyback converter and the power balance gives

$$\left(\frac{T_s}{T_m}\right) \left(\frac{(nV_{out})^2}{V_{C1} + (n \cdot V_{out})}\right) \frac{V_{in,pk}^2 V_{C1}}{2L_1} \int_0^{T_s} \left(\frac{\sin^2(\alpha t)}{V_{C1} - V_{in,pk} \sin(\alpha t)}\right) dt - P_{out} = 0 \quad (2)$$

where n is a primary-to-secondary turn ratio of the flyback transformer, T_s is a switching period, and P_{out} is an output power. Equations (1) and (2) are an implicit function and V_{C1} can be solved by a numerical method. A sample plot of V_{C1} versus P_{out} is given Fig. 6. The point, where (1) and (2) intersect, defines a DCM/CCM boundary of L_2 . V_{C1} is largest and independent of P_{out} , when L_2 is in DCM. V_{C1} becomes lower as L_2 enters CCM.

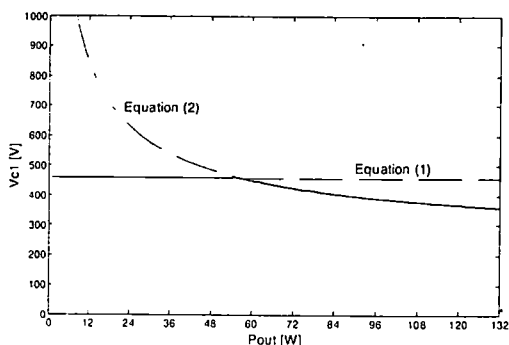


Fig. 6. V_{C1} versus P_{out} curve

From (1) and (2) it can be seen that V_{in} , P_{out} , L_1 , L_1/L_2 , and n have to be specified before V_{C1} can be computed. The ranges of V_{in} and P_{out} are normally specified in a specification. The inductance L_1/L_2 affects V_{C1} only when L_2 is in DCM; the larger is L_1/L_2 , the lower is V_{C1} . By contrast, the turn ratio n affects V_{C1} only when L_2 is in CCM; the larger is n , the lower is V_{C1} . The input inductance L_1 should be small to ensure its operation in DCM. Given V_{in} , P_{out} and the arbitrarily selected L_1 , L_1/L_2 , and n , (1) and (2) can be solved for V_{C1} . Many rounds of iterations may be required before the right values of L_1 , L_1/L_2 , and n that yield the satisfied value of V_{C1} are found. Next, it is essential to check if the selected L_1 will be operated in DCM throughout the converter's operating range. This can be verified by the inductance equation of the DCM boost PFC [6]

$$L_1 < \frac{\eta V_{in, \min}^2 T_s (V_{C1, \min} - \sqrt{2} V_{in, \min})}{2 P_{out, \max} V_{C1, \min}} \quad (3)$$

where $V_{in, \min}$ is a minimum RMS input voltage, $V_{C1, \min}$ is a minimum bulk capacitor voltage, η is an efficiency of the boost PFC (≈ 0.8), and $P_{out, \max}$ is a maximum output power.

The bulk capacitor, C_1 , can be chosen based on its hold-up time, as given by (4)

$$C_1 > \frac{2 P_{out, \max} t_H}{V_{C1, \min}^2 - (V_{C1, \min} - 20)^2} \quad (4)$$

where t_H is a hold-up time. The output capacitor, C_L , can be selected as in a standard flyback converter [7]

$$C_L > \frac{D_{\max} T_s V_{out}}{R_{\min} \Delta V_{out}} \quad (5)$$

where $D_{\max} = n V_{out} / (V_{C1, \min} + n V_{out})$ is a maximum duty cycle and R_{\min} a minimum load resistance.

To specify ratings of the components and switching devices, voltage and current stresses that these devices have to endure in the actual circuit must be determined. For this purpose, simulation of Fig. 1 can be performed to estimate the values.

B. Control Loop Design

From Fig. 5, it can be observed that control loop design of the S^4 -PFC AC/DC converter is equivalent to that of the flyback converter with V_{C1} as the input voltage. The control block diagram of the converter, hence, can be drawn as shown in Fig. 7.

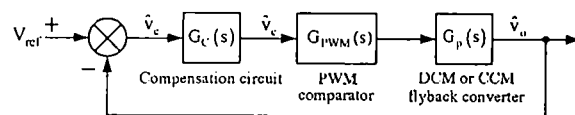


Fig. 7. Control block diagram

Transfer functions of each block are given below:

- Flyback converter in DCM [8]:

$$G_p(s) = K_p \frac{\left(1 + \frac{s}{\omega_{zc}}\right) \left(1 - \frac{s}{\omega_{zHP}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (6)$$

where $K_p = \frac{V_{C1}}{n\sqrt{K}}$, $K = \frac{2L_2 f_s}{n^2 R_L}$, $M = \frac{nV_{out}}{V_{C1}}$, $\omega_{zc} = \frac{1}{r_{cL} C_L}$,

$\omega_{zHP} = \frac{n^2 R_L}{L_2} \frac{1}{M(M+1)}$, $\omega_{p1} = \frac{2}{R_L C_L}$, $\omega_{p2} = \frac{n^2 R_L}{L_2} \frac{1}{(M+1)^2}$. r_{cL} is an equivalent series resistance (ESR) of C_L .

- Flyback converter in CCM [8]:

$$G_p(s) = K_p \frac{\left(1 + \frac{s}{\omega_{zc}}\right) \left(1 - \frac{s}{\omega_{zHP}}\right)}{\left(1 + \frac{s}{Q\omega_0} + \frac{s^2}{\omega_0^2}\right)} \quad (7)$$

where $K_p = \frac{V_{C1}}{nD^2}$, $D' = 1 - D$, $\omega_{zc} = \frac{1}{r_{cL} C_L}$, $\omega_{zHP} = \frac{n^2 D^2 R_L}{DL_2}$,

$\omega_0 = \frac{n}{\sqrt{L_2 C_L} \sqrt{R_L + r_{cL}}}$, $Q = \frac{1}{\omega_0} \frac{L_2}{n^2 D^2 R_L + r_{cL} C_L}$.

- PWM comparator:

$$G_{pwm}(s) = \frac{1}{V_s} \quad (8)$$

- Error amplifier's compensation circuit

$$G_c(s) = K_D \frac{\left(1 + \frac{s}{\omega_{z1}}\right) \left(1 + \frac{s}{\omega_{z2}}\right)}{\left(\frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (9)$$

where $K_D = \frac{R_{D2}}{R_{D1} + R_{D2}}$, $\omega_{z1} = \frac{1}{R_{C3} C_{C2}}$, $\omega_{z2} = \frac{1}{(R_{C2} + R_{C1}) C_{C1}}$

$\omega_{p1} = \frac{1}{R_{C1} (C_{C2} + C_{C3})}$, $\omega_{p2} = \frac{1}{R_F \left(\frac{C_{C2} C_{C3}}{C_{C2} + C_{C3}}\right)}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design of the error amplifier's compensation circuit involves positioning of poles and zeros of $G_c(s)$ to give the open-loop transfer function, $G_c(s)G_{pwm}(s)G_p(s)$: (1) a high DC gain for good output voltage regulation, (2) a crossover frequency between one tenth and one fourth of the switching frequency for fast response, and (3) a phase margin of at least 45° for an adequate stability margin.

IV. PROTOTYPE CIRCUIT DESIGN

In this section the design of a S^1 -PFC AC/DC converter is illustrated. The converter has the following specifications: $V_{in,AC} = 220V_{rms} \pm 10\%$, $f_{in,AC} = 50Hz$, $V_o = 12V$, $\Delta V_o = 5\%$ of V_o , $I_o = 1-10A$, and switching frequency ($f_s = 1/T_s$) = 100kHz. The 50Hz AC voltage, $V_{in,AC}$, is rectified by an input bridge rectifier, giving the full-wave sinusoidal voltage, V_{in} , as an input to the converter. V_{in} is ranged from 198V to 242V in terms of an RMS value, or 280V to 342V in terms of a peak value. The time period of V_{in} (T_{in}) is 10ms. The converter's output power (P_{out}) is ranged from 12W to 120W.

In the design, L_1/L_2 , n , L_1 , and L_2 are selected to be 0.4, 5, 100 μ H, and 250 μ H respectively. Given these values, the minimum and maximum bulk capacitor voltage can be computed from (1) and (2), yielding $V_{C1, min} = 368V$ (at $V_{in, min} = 198V_{rms}$, $P_{out, max} = 120W$) and $V_{C1, max} = 561V$ (at $V_{in, max} = 242V_{rms}$, $P_{o, min} = 12W$). These two extreme operating points are marked on the V_{C1} - P_{out} plot shown in Fig. 8. Next, it is essential to check if the selected L_1 will be operating in DCM throughout the converter's operating range. Substitution of $V_{in, min} = 198V_{rms}$, $V_{C1, min} = 368V$, $P_{out, max} = 120W$, $T_s = 10\mu s$ into (3) found $L_1 < 312\mu H$. Thus, the selected L_1 of 100 μ H is a valid value. Given the hold-up time, t_H , of 5ms, C_1 is selected according to (4), which gives $C_1 > 84\mu F$. Here, C_1 of 110 μ F is chosen. Since this capacitor must be able to withstand $V_{C1, max} = 561V$, it is assembled from two 220 μ F, 450V electrolytic capacitors connected in series. From (5), C_L of 990 μ F is chosen. It is assembled from three 330 μ F, 50V, ESR= 0.13 Ω , electrolytic capacitors connected in parallel.

The ratings of devices or components in the circuit can be determined with an aid of simulation. Fig.9 shows the PSpice simulation result of the power switch current in Fig. 1, at the full-load condition ($V_{in, min} = 198V_{rms}$, $I_{o, max} = 10A$). Only five cycles of the current is shown here for clarity. The RMS value of this current over one period of

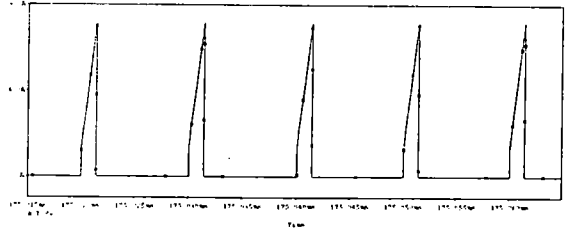


Fig. 9. Simulated waveform of the power switch current

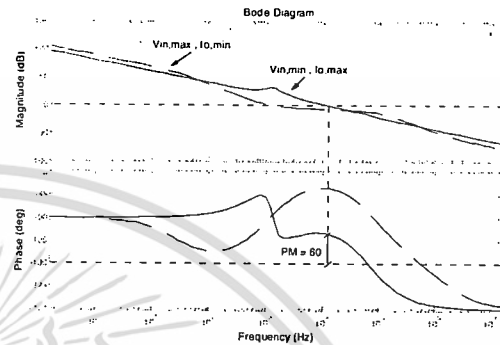


Fig. 10. Open loop frequency responses of the designed converter

V_{in} can be computed using a built-in mathematical function in PSpice program, which yields the value of 1.5A. Thus, the power switch current handling capability must be rated higher than 1.5A. Ratings of other devices can be quantified in a similar manner.

The error amplifier's compensation circuit in (9) is designed assumed that the converter is operated at the full-load condition ($V_{in, min} = 198V_{rms}$, $I_{o, max} = 10A$). Under this condition, L_2 is in CCM and thus the transfer function of a flyback converter in CCM in (7) is used in the design. Substituting the relevant parameters into (7) and the peak-to-peak sawtooth voltage, V_s , of 1.8V into (8), the transfer function $G_{pwm}(s)G_p(s)$ can be determined

$$G_p(s)G_{pwm}(s) = 63.14 \frac{(1 + 42.57 \times 10^{-6} s)(1 - 2.41 \times 10^{-6} s)}{(1 + 60.09 \times 10^{-6} s + 20.16 \times 10^{-9} s^2)} \quad (10)$$

Given $G_{pwm}(s)G_p(s)$ in (10), the error amplifier's compensation circuit can be designed to give the open-loop transfer function the desired frequency response. The crossover frequency, f_c , is chosen at 10kHz. The two zeros of $G_c(s)$ are placed at $\omega_{z1} = \omega_{z2} = 1kHz$. The first pole of $G_c(s)$ is at origin, the second pole is placed at $\omega_{p1} = 3kHz$, and the third pole placed at $\omega_{p21} = 80kHz$. Based on the selected f_c and pole and zero location of $G_c(s)$, the compensation circuit component values are calculated and rounded off to the nearest standard values, obtaining $R_{C1} = 400k\Omega$, $R_{C2} = 240k\Omega$, $R_{C3} = 150k\Omega$, $C_{C1} = 220pF$, $C_{C2} = 1nF$, and $C_{C3} = 20pF$. With the designed compensation circuit, the open-loop frequency response (i.e. the frequency response of $G_c(s)G_{pwm}(s)G_p(s)$) is plotted and shown in Fig. 10 by the solid line. The plot indicates the high DC gain, the phase margin of 60° and the crossover frequency of about 10kHz. It predicts that the converter will be stable and exhibit good output voltage regulation.

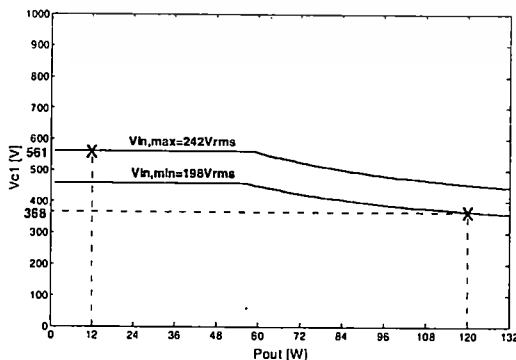


Fig. 8. V_{C1} versus P_{out} curve of the designed converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The dashed line in Fig. 10 shows the open-loop frequency response at the light-load condition ($V_{in,max} = 242V_{rms}$, $I_{o,max} = 1A$). At this condition, L_2 is in DCM and hence the converter's transfer function has changed to (6). In spite of this, the designed compensation circuit is still able to maintain the converter's stability and high DC gain. However, the deterioration in the output voltage response should be expected, as the crossover frequency has reduced to about 1kHz. Fig. 11 shows a circuit schematic of the designed prototype converter.

V. EXPERIMENTAL RESULTS

Tables I and II show the output voltage and input power factor measured from the prototype converter. The output voltage is well regulated at around 12V throughout the converter's operating range. This result agrees with the prediction in Fig. 10 that the high DC loop gain would yield the converter good output voltage regulation. The input power factor is above 0.9 in most cases, except some conditions at high lines and light loads that the power factor falls under 0.9. The low power factor is caused by the much distorted input current occurred at those conditions. The AC input voltage and current waveforms at the nominal input voltage and maximum load current (i.e. $V_{in} = 220V_{rms}$, $I_o = 10A$) are shown in Fig. 12. It should be noted that these waveforms were measured at the input of an EMI filter located on an AC side of the input bridge rectifier. The current waveform was analyzed and its harmonics were found to be below the limits set by the IEC1000-3-2 Class D harmonic standards.

Fig. 13 shows the secondary diode current waveform, i_{D3} . At $I_o = 4A$ ($P_o = 48W$), i_{D3} is in DCM (Fig. 13(a)). At $I_o = 5A$ ($P_o = 60W$), i_{D3} is in CCM (Fig. 13(b)). Therefore, transition of L_2 from DCM to CCM has taken place at some points between these two loading conditions. This result corresponds with the prediction in Fig. 8, in which the operational mode transition of L_2 was seen to have occurred when the output power is approximately 56W. The output voltage transient responses of the converter due to the load application/rejection are shown in Fig. 14. In Fig. 14(b), the load application/rejection causes L_2 to change between DCM and CCM, while L_2 remains in DCM in Fig. 14(a) and CCM in Fig. 14(c) after the load change. Of the three cases, the output response when L_2 is in CCM (Fig 14(c)) is the most satisfactory because the

error amplifier's compensation circuit has been designed for this mode of operation. The output response is sluggish when L_2 is in DCM (Fig. 14(a)), due to the dwindling crossover frequency in this mode of operation (see the dashed line in Fig. 10).

TABLE I
MEASURED OUTPUT VOLTAGE

Vin	Vout					
	1A	2A	4A	6A	8A	10A
198V	12.00	12.00	11.99	11.99	11.98	11.97
242V	12.00	12.00	11.99	11.99	11.98	11.97

TABLE II
MEASURED INPUT POWER FACTOR

Vin	PF					
	1A	2A	4A	6A	8A	10A
198V	0.803	0.913	0.960	0.961	0.955	0.948
242V	0.718	0.846	0.939	0.950	0.950	0.944

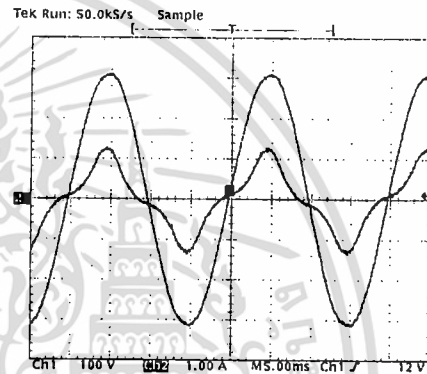
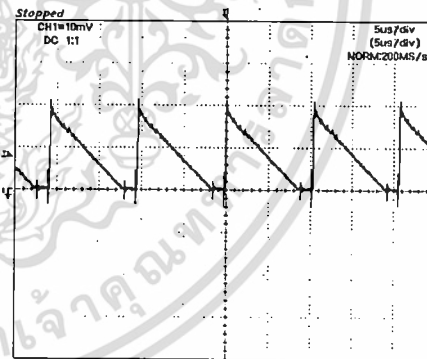


Fig. 12. Waveforms of the AC input voltage and current



(a)

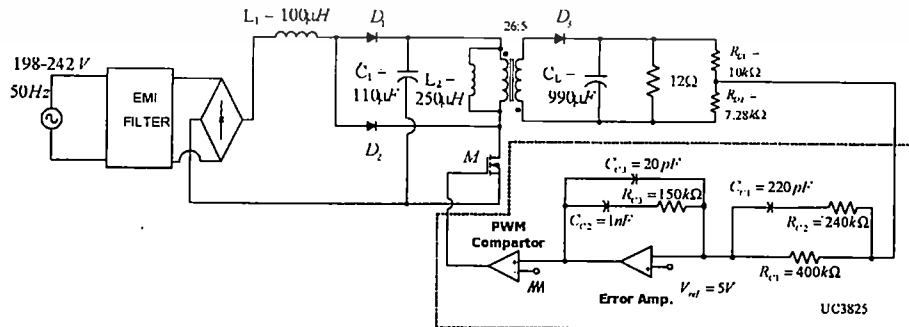


Fig. 11. Circuit schematic of the prototype S^1 -PFC AC/DC converter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

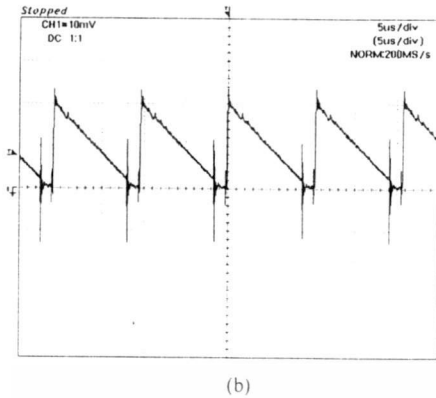


Fig. 13. Waveforms of I_{D3} when: (a) $I_o = 4A$ (b) $I_o = 5A$

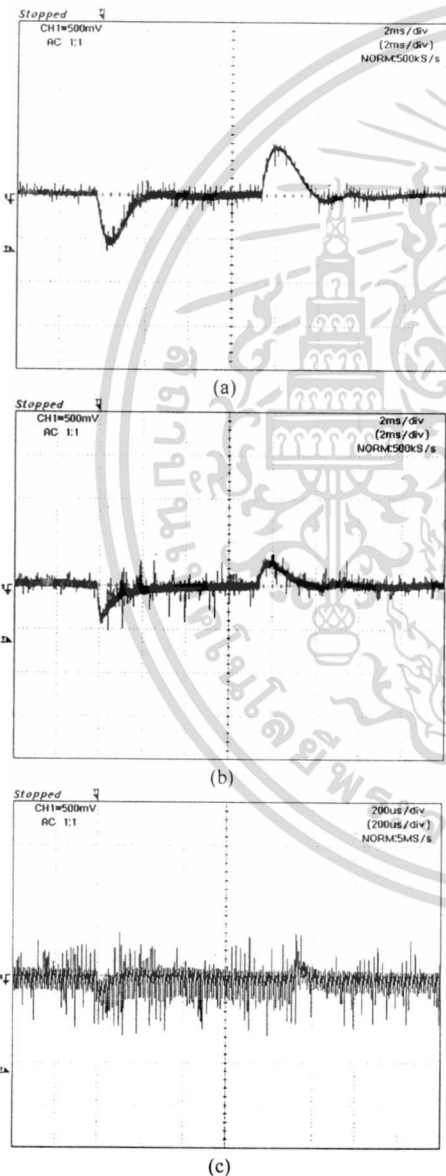


Fig. 14. Output voltage transient response, when: (a) I_o is stepped from 1A to 3A (b) I_o is stepped from 3A to 6A (c) I_o is stepped from 6A to 10A

VI. CONCLUSION

Design of a Single-Stage Single-Switch Power-Factor-Corrected (S^4 PFC) boost-flyback AC/DC converter has been described in this paper. The design is based on the equivalent circuit in Fig. 5 which is a DCM boost PFC cascaded with a flyback converter, where the flyback converter is operated in DCM at light loads and CCM at high loads. From the equivalent circuit, it is seen that the bulk capacitor voltage, V_{C1} , is the output of the DCM boost PFC and the input of the flyback converter. The expression for V_{C1} can be derived from the power balance principle. As given in (1) and (2), V_{C1} is a nonlinear function of the input voltage, V_{in} , the output power, P_{out} , the input inductance L_1 , the inductance ratio L_1/L_2 and the flyback transformer's turn ratio, n . Given V_{in} , P_{out} and the arbitrarily selected L_1 , L_1/L_2 , and n , (1) and (2) can be solved for V_{C1} . It is an iterative process to find L_1 , L_1/L_2 , and n that gives the satisfied value of V_{C1} . From the equivalent circuit, it is observed that control loop design of the S^4 -PFC AC/DC converter is the same as that of the flyback converter with V_{C1} as the input voltage. Therefore, once the value of V_{C1} has been determined, design of the error amplifier compensation circuit can be proceeded using the standard frequency response design method. In the paper, various experimental results are presented to support the design validity.

REFERENCES

- [1] L. H. Dixon, "Average current mode control of switching power supplies", Unitrode Power Supply Design Seminar, SEM-700, 1990.
- [2] C. Qian and K. M. Smedly, "A topology survey of single-stage power factor correction with a boost type input-current shaper", *IEEE Applied Power Electronics Conference*, pp. 460-467, 2000.
- [3] R. Redl, L. Balogh, and N.O Sokal, "A new family of single-stage isolated power-factor correctors with fast regulation of the output voltage", *Power Electronics Specialists Conference*, pp. 1137-1144, 1994.
- [4] F. Tsai, P. Markowski, and E. Whitecomb, "Off-line flyback converter with input harmonic current correction", *IEEE International Telecommunications Energy Conference*, pp. 120-124, 1996.
- [5] J. Qian, Q. Zhao, and F.C. Lee, "Single-stage single-switch power-factor-correction ac/dc converters with DC-bus voltage feedback for universal line applications", *IEEE Transactions on Power Electronics*, Vol. 13, No. 6, pp. 1079-1088, 1998.
- [6] F. K. Siu, "Analysis and Measurement of DCM Power Factor Correctors", M.S. thesis, The Hong Kong University of Science and Technology, 1998.
- [7] V. Quercioi, "Pulse Width Modulated (PWM) Power Supplies", Elsevier, Amsterdam, 1993.
- [8] W. Kleebchampee, "Modeling of a Current Mode Controlled Flyback Converter with optocoupler Feedback", M.S. thesis, King Mongkut's Institute of Technology Landkrabang, 2004.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้