สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

รายงานการวิจัย

การออกแบบวงจรประมวลผลสัญญาณเชิงเลขสำหรับการสื่อสาร

Digital Signal Processing Circuit Design for Communication

รศ.ดร.กอบชัย เดชหาญ
หัวหน้าห้องปฏิบัติการวิจัยการออกแบบวงจรทางการสื่อสาร

RCH
TK
7868
.D5
ก3635
เลขหมู่.....
เลขทะเบียน 67407
วัน,เดือน,ปี 29 พ.ย. 2549
.b 11665208
.i.....

ห้องปฏิบัติการวิจัยการออกแบบวงจรทางการสื่อสาร
โครงการสำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ (ReCCIT)

2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทคัดย่อ

รายงานนี้นำเสนอการออกแบบและสร้างวงจรกรองสัญญาณเชิงเลขที่ใช้โครงสร้างเลขคณิตกระจาย ซึ่งโดยทั่วไปจะสร้างขึ้นมาจากฟังก์ชั่นถ่ายโอนโดยตรง ส่วนในโครงงานนี้ได้ใช้วิธีการแทนให้อยู่ในรูปของปริภูมิสเตทก่อน ส่งผลให้จำนวนของสัญญาณอินพุทที่ใช้ในการอ้างอิงตำแหน่งของหน่วยความจำลดลง นอกจากนั้นยังได้นำเสนอวิธีการดัดแปลงสเปกตรัมค่าผิดพลาดซึ่งใช้ในการลดผล ของสัญญาณรบกวนที่เกิดจากการปัดเศษจากการคำนวณ เนื่องจากผลของความยาวคำจำกัดซึ่งส่งผลโดย ตรงต่อค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนที่เกิดขึ้นที่เอาท์พุท ส่วนในแง่ของการสร้างได้ใช้ภาษา VHDL ในการบรรยายการทำงานของวงจรที่ได้ออกแบบ แล้วทำการสังเคราะห์เป็นวงจร โดยวงจรที่ได้จะ ถูกนำไปแม็ปลงไปยังอุปกรณ์ FPGA เพื่อทดสอบการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSTRACT

This project presents a design and implementation of digital filter based on Distributed Arithmetic (DA). Generally, it can be obtained from transfer function directly, but this project is used state-space representation which results in order to reduce a number of input for memory addressing. Not only that, this project also proposes the Error Spectrum Shaping (ESS) which is the technique to reduce the roundoff noise from finite wordlength effect which affects directly with signal to noise ratio (SNR) at the output. An implementation is used VHDL to describe the hardware of this proposed design of digital filter. Finally, the synthesis and mapping onto FPGA for testing is carried out.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1. บทนำ	1
1.1 ปัญหาและที่มาของปริญญานิพนธ์	1
1.2 วัตถุประสงค์ของงานวิจัย	1
1.3 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย	1
1.4 ขั้นตอนการวิจัย	2
บทที่ 2. ทฤษฎีและหลักการ	3
2.1 ทฤษฎีหลักการเบื้องต้นของโครงสร้างเลขคณิตกระจาย	3
2.1.1 ระบบตัวเลข	3
2.1.1.1 รูปแบบโดยตรง	3
2.1.1.2 รูปแบบจำนวนอิงดรรชนี	4
2.1.2 ทฤษฎีเลขคณิตกระจาย	6
2.1.3 การนำโครงสร้างเลขคณิตกระจายมาใช้กับวงจรกรองสัญญาณเชิงเลข	12
2.2 ทฤษฎีการออกแบบวงจรกรองสัญญาณป้อนกลับเชิงเลข	15
2.3 ทฤษฎีการวิเคราะห์โครงสร้างเลขคณิตกระจายโดยการแทนปริภูมิสเตท	15
2.4 สัญญาณรบกวนจากการปัดเศษและย่านพลวัตรในวงจรกรองสัญญาณเชิงเลข	16
2.4.1 การอธิบายตัวแปรสเตทของวงจรกรองสัญญาณเชิงเลข	16
บทที่ 3. การออกแบบและผลการออกแบบวงจรกรองสัญญาณเชิงเลข	20
3.1 การออกแบบสถาปัตยกรรมของวงจรกรองสัญญาณด้วยโครงสร้างเลขคณิตกระจาย	20
3.1.1 โครงสร้างโดยตรง 1	20
3.1.2 โครงสร้างปริภูมิสเตทโดยทั่วไป	21
3.1.3 โครงสร้างปริภูมิสเตทแบบที่นำเสนอ	22
3.1.4 โครงสร้างเลขคณิตกระจายของวงจรกรองสัญญาณเชิงเลขแบบปริภูมิสเตท	24
3.2 การออกแบบวงจรกรองสัญญาณเชิงเลขที่ใช้โครงสร้างเลขคณิตกระจายโดยการแทนด้วยปริภูมิสเตทในอันดับที่ 2	27
3.3 ผลการใช้โปรแกรม Matlab ในการออกแบบ	27
3.4 การเปรียบเทียบคุณสมบัติระหว่างโครงสร้าง Controllable Canonical Form กับโครงสร้าง Minimum Noise Structure	34
3.5 ขั้นตอนในการออกแบบและทดสอบการทำงานของวงจรภายใน	35
บทที่ 4. การทดลองและผลการทดลอง	44
4.1 ผลการออกแบบการทดลองของสัญญาณควบคุมภายใน	45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การออกแบบการทดลองสำหรับโครงสร้างแบบ Controllable Canonical Form 47
4.2.1 การออกแบบการทดลองสำหรับการวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบ 47
4.2.2 ผลการทดลองและการวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบ 49
4.2.3 ผลตอบสนองความถี่ของวงจรกรองสัญญาณที่ออกแบบ 51
4.3 การออกแบบการทดลองสำหรับโครงสร้างแบบ Minimum Noise 53
4.3.1 ผลการทดลองและการวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบ 53
4.3.2 ผลตอบสนองความถี่ของวงจรกรองสัญญาณที่ออกแบบ 56
4.3.3 การออกแบบการทดลองสำหรับดูผลการทำงานของวงจรเปรียบเทียบกับการจำลองการทำงานด้วยโปรแกรม Matlab 57
4.3.4 ผลการทำงานของวงจรเปรียบเทียบกับการจำลองการทำงานด้วยโปรแกรม Matlab 58
บทที่ 5. วิจารณ์และสรุป 64
บรรณานุกรม 65

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่		หน้า
2.1	คุณสมบัติที่สำคัญของรูปแบบจำนวนโดยตรง	4
2.2	คุณสมบัติทางคณิตศาสตร์ของรูปแบบจำนวนทั้ง 2 แบบ	6
2.3	ขั้นตอนการคูณเลขส่วนเติมเต็มสอง	9
2.4	ค่าผลคูณย่อยที่เก็บไว้ในตารางเปิดดูที่กำหนดโดยข้อมูลอินพุท	12
3.1	ค่า $\phi_n(i)$ ที่บรรจุไว้ในตารางเปิดดูของโครงสร้าง Controllable Canonical Form	28
3.2	ค่า $\theta_n(i)$ ที่บรรจุไว้ในตารางเปิดดูของโครงสร้าง Controllable Canonical Form	28
3.3	ค่า $\phi_1(i)$ ที่บรรจุไว้ในตารางเปิดดูของโครงสร้างแบบ Minimum Noise Structure	29
3.4	ค่า $\phi_2(i)$ ที่บรรจุไว้ในตารางเปิดดูของโครงสร้างแบบ Minimum Noise Structure	29
3.5	ค่า $\theta_n(i)$ ที่บรรจุไว้ในตารางเปิดดูของโครงสร้างแบบ Minimum Noise Structure	30
4.1	ค่าแรงดันของสัญญาณเอาท์พุตที่อ่านได้ ณ ความถี่ต่าง ๆ	52
4.2	ผลตอบสนองความถี่ของวงจรกรองสัญญาณที่ออกแบบ	56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 2.1	การจัดรูปแบบจำนวนโดยตรงที่ประกอบด้วยบิทจำนวนเต็มและบิทเศษส่วน	4
รูปที่ 2.2	การจัดรูปแบบจำนวนอิงดรรชนี	5
รูปที่ 2.3	การคูณแบบเลขส่วนเติมเต็มสองโดยใช้บูทอัลกอริธึม	10
รูปที่ 2.4	โครงสร้างวงจรกรองสัญญาณป้อนกลับเชิงเลขอันดับที่สอง	14
รูปที่ 2.5	แบบจำลองวงจรกรองสัญญาณเชิงเลขที่แทนด้วยปริภูมิสเตท	16
รูปที่ 2.6	กราฟการไหลของสัญญาณ $g(n)$	17
รูปที่ 3.1	โครงสร้างแบบโดยตรง 1 ที่แทนด้วยโครงสร้างเลขคณิตกระจาย	20
รูปที่ 3.2	โครงสร้างแบบปริภูมิสเตทโดยทั่วไป ที่แทนด้วยโครงสร้างเลขคณิตกระจาย	21
รูปที่ 3.3	โครงสร้างปริภูมิสเตทแบบ Controllable Canonical Form	22
รูปที่ 3.4	โครงสร้างแบบ Minimum Noise Structure	23
รูปที่ 3.5	โครงสร้างแบบ Minimum Noise Structure ที่แทนด้วยโครงสร้างเลขคณิตกระจาย	24
รูปที่ 3.6	โครงสร้าง Controllable Canonical Form ที่แทนด้วยโครงสร้างเลขคณิตกระจาย	25
รูปที่ 3.7	โครงสร้างวงจรกรองสัญญาณเชิงเลขอันดับที่ N แบบ Controllable Canonical Form	26
รูปที่ 3.8	การจำลองผลตอบสนองทางความถี่	30
รูปที่ 3.9	การเปรียบเทียบของค่าคงที่การปัดเศษของสัญญาณรบกวน	31
รูปที่ 3.10	กำลังงานของสัญญาณรบกวนเนื่องจากการปัดเศษของทั้งสองโครงสร้าง	32
รูปที่ 3.11	โครงสร้างของวงจรกรองสัญญาณเชิงเลขอันดับที่ 2 จากการแทนด้วยปริภูมิสเตทแบบ Controllable Canonical Form	33
รูปที่ 3.12	ไทม์มิ่งไดอะแกรมของสัญญาณควบคุม	34
รูปที่ 3.13	การจำลองการทำงานของ PISO	34
รูปที่ 3.14	สัญลักษณ์วงจร Parallel-in Serial-out ที่เกิดจากการ Schematic	34
รูปที่ 3.15	การจำลองการทำงานของ SISO	35
รูปที่ 3.16	สัญลักษณ์วงจร Serial-in Serial-out ที่เกิดจากการ Schematic	35
รูปที่ 3.17	การจำลองการทำงานของ Buffer	35
รูปที่ 3.18	สัญลักษณ์วงจร Buffer ที่เกิดจากการ Schematic	35
รูปที่ 3.19	การจำลองการทำงานของหน่วยความจำ EPROM 1 และ EPROM 2	35
รูปที่ 3.20	สัญลักษณ์ตัวเก็บข้อมูล EPROM1 ที่เกิดจากการ Schematic	36
รูปที่ 3.21	สัญลักษณ์ตัวเก็บข้อมูล EPROM2 ที่เกิดจากการ Schematic	37
รูปที่ 3.22	วงจรสเกลลิ่งแอคคิวมูเลเตอร์	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.23	วงจรภายในของ Scaling Accumulator ซึ่งประกอบไปด้วย วงจรบวกลบ วงจรบวกสะสม และวงจรหารสอง	37
รูปที่ 3.24	การจำลองการทำงานของวงจรบวกลบสัญญาณ Add/Sub	38
รูปที่ 3.25	การจำลองการทำงานของวงจรบวกสะสม Accumulator	38
รูปที่ 3.26	การจำลองการทำงานของสเกลลิ่งแอคคิวมูเลเตอร์	39
รูปที่ 3.27	สัญลักษณ์วงจรสเกลลิ่งแอคคิวมูเลเตอร์ ที่เกิดจากการ Schematic	39
รูปที่ 3.28	วงจรสเกลลิ่งแอคคิวมูเลเตอร์ที่มีการคูณ2 กลับคืน	39
รูปที่ 3.29	สเตทไดอะแกรมของ Control Unit	40
รูปที่ 3.30	การจำลองการทำงานของ Control Unit	40
รูปที่ 3.31	สัญลักษณ์วงจร Control Unit ที่เกิดจากการ Schematic	41
รูปที่ 3.32	วงจรกรองสัญญาณเชิงเลขโครงสร้าง Controllable Canonical Form ที่จะทำการบรรจุลงใน FPGA	41
รูปที่ 3.33	โครงสร้างของวงจรกรองสัญญาณเชิงเลขอันดับที่ 2 โดยใช้โครงสร้างเลขคณิตกระจายจากการแทนด้วยปริภูมิสเตทแบบ Minimum Noise	42
รูปที่ 3.34	โครงสร้างของวงจรกรองสัญญาณเชิงเลข แบบ Minimum Noise ที่จะบรรจุลงใน FPGA	43
รูปที่ 4.1	วงจรแปลงสัญญาณเชิงอนาลอกเป็นสัญญาณดิจิตอล	44
รูปที่ 4.2	วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณเชิงอนาลอก	45
รูปที่ 4.3	การเปรียบเทียบสัญญาณ sys_clk, clk, s_a และ lacc	45
รูปที่ 4.4	สัญญาณ lacc, lr, clacc และ sc	46
รูปที่ 4.5	สัญญาณ sys_clk เทียบกับ clk	46
รูปที่ 4.6	สัญญาณ sys_clk เทียบกับ sc	47
รูปที่ 4.7	การเตรียมอุปกรณ์สำหรับการทดลองวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบขึ้น	48
รูปที่ 4.8	ผลการ Sweep ความถี่	49
รูปที่ 4.9	ผลการทดลองเมื่อป้อน แรงดัน 1.5 Vpp ความถี่ 500 Hz	50
รูปที่ 4.10	ผลการทดลองเมื่อป้อน แรงดัน 1.5 Vpp ความถี่ 1 kHz	50
รูปที่ 4.11	ผลการทดลองเมื่อป้อน แรงดัน 1.5 Vpp ความถี่ 10 kHz	51
รูปที่ 4.12	ผลการทดลองเมื่อป้อน แรงดัน 1.5 Vpp ความถี่ 20 kHz	51
รูปที่ 4.13	กราฟผลตอบสนองทางขนาดที่ได้จากการทดลองเปรียบเทียบกับผลที่ได้จากการเลียนแบบด้วยโปรแกรม Matlab	53
รูปที่ 4.14	ผลการทดลองเมื่อป้อน แรงดัน 1.5 Vpp ความถี่ 500 Hz	54
รูปที่ 4.15	ผลการทดลองเมื่อป้อน แรงดัน 1.5 Vpp ความถี่ 1 kHz	54
รูปที่ 4.16	ผลการทดลองเมื่อป้อน แรงดัน 1.5 Vpp ความถี่ 20 kHz	55
รูปที่ 4.17	ผลการทดลองเมื่อป้อน แรงดัน 1.5 Vpp ความถี่ 31.25 kHz	55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.18	กราฟผลตอบสนองทางขนาดที่ได้จากการทดลองเปรียบเทียบกับผลที่ได้จากการเลียนแบบด้วยโปรแกรม Matlab	57
รูปที่ 4.19	การเตรียมอุปกรณ์สำหรับการทดลองดูผลการทำงานของวงจร	58
รูปที่ 4.20	ผลการจำลองการทำงานเทียบกับผลการทดลอง โดย f_1=1 kHz และ f_2= 8 kHz	59
รูปที่ 4.21	ผลการจำลองการทำงานเทียบกับผลการทดลอง โดย f_1=1 kHz และ f_2=25kHz	59
รูปที่ 4.22	ผลการจำลองการทำงานเทียบกับผลการทดลอง โดย f_1=1 kHz และ f_2=30kHz	60
รูปที่ 4.23	ผลการจำลองการทำงานเทียบกับผลการทดลอง โดย f_1=1 kHz และ f_2= 8 kHz	60
รูปที่ 4.24	ผลการจำลองการทำงานเทียบกับผลการทดลอง โดย f_1=1 kHz และ f_2=25kHz	61
รูปที่ 4.25	ผลการจำลองการทำงานเทียบกับผลการทดลอง โดย f_1=1 kHz และ f_2=30kHz	61
รูปที่ 4.26	ผลการจำลองการทำงานเทียบกับผลการทดลอง โดย Amplitude ของ Noise เป็น 2 เท่าของ f_1	62
รูปที่ 4.27	แสดงผลการจำลองการทำงานเทียบกับผลการทดลอง โดย Amplitude ของ Noise เป็น 1 เท่าของ f_1	62
รูปที่ 4.28	แสดงผลการจำลองการทำงานเทียบกับผลการทดลอง โดย Amplitude ของ Noise เป็น 0.5 เท่าของ f_1	63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ปัญหาและที่มา

โดยทั่วไปการสร้างวงจรกรองสัญญาณเชิงเลข (Digital Filter) สามารถที่จะแบ่งออกได้เป็น 2 แบบ คือ สร้างโดยการเลียนแบบ (Simulation) โครงสร้างของวงจรกรองด้วยคอมพิวเตอร์ โดยการเขียนโปรแกรมฟังก์ชั่นถ่ายโอน (Transfer Function) ของวงจรเก็บไว้แล้วนำสัญญาณที่จะกรองป้อนเข้าไปคำนวณกับโปรแกรมของฟังก์ชั่นถ่ายโอน ผลที่ได้ก็คือสัญญาณที่ผ่านวงจรกรอง การกรองแบบนี้อาจถือได้ว่าเป็นการกรองเชิงเลขในระบบเวลาไม่จริง (Non–Real Time System) อีกวิธีคือการสร้างวงจรฮาร์ดแวร์ โดยนำเอาอุปกรณ์ทางดิจิตอล เช่น ตัวเลื่อนข้อมูล (Shift Register), ตัวบวก/ลบ (Adder/Subtractor) และตัวคูณ (Multiplier) มาต่อเป็นวงจร หรือใช้ไมโครโปรเซสเซอร์, DSP Chip ก็ได้ ซึ่งการกรองแบบนี้ส่วนใหญ่เป็นการกรองในระบบเวลาจริง (Real Time System) ในปริญญานิพนธ์ฉบับนี้ได้ใช้วิธีการทางฮาร์ดแวร์ในการสร้างวงจรกรองสัญญาณ โดยนำโครงสร้างของตัวประมวลผลเลขคณิตกระจาย (Distributed Arithmetic) มาออกแบบสร้างวงจรกรองสัญญาณเชิงเลข ซึ่งส่งผลให้ความเร็วในการประมวลผลสูงทั้งยังใช้จำนวนของอุปกรณ์ต่าง ๆ น้อยทำให้วงจรกรองสัญญาณเชิงเลขที่ได้มีประสิทธิภาพสูงในการทำงาน

1.2 วัตถุประสงค์

เนื่องจากในการใช้ไมโครโปรเซสเซอร์ หรือ DSP Chip เป็นตัวประมวลผลโดยตรง ต่างก็มีขีดจำกัดในเรื่องของความเร็วที่ใช้ในการประมวลผล เพราะในการกรองสัญญาณเชิงเลขจะต้องมีการคูณกันของสัญญาณอินพุทกับฟังก์ชั่นถ่ายโอน ซึ่งกระบวนการคูณนี้จะใช้เวลาในการทำงานมาก ส่วนในงานวิจัยนี้ได้ใช้โครงสร้างเลขคณิตกระจายในการสร้างเป็นวงจรกรองสัญญาณเชิงเลข ซึ่งจะใช้การคูณแบบเปิดตาราง (Look–up table) โดยผลบวกของผลคูณระหว่างสัญญาณอินพุทกับค่าสัมประสิทธิ์ของฟังก์ชั่นถ่ายโอนจะถูกเก็บไว้ในหน่วยความจำชนิดอ่านได้อย่างเดียว (ROM หรือ EPROM) และจะใช้สัญญาณอินพุทเป็นแอดเดรส (Address) ของหน่วยความจำโดยตรง ทำให้ลดเวลาที่ใช้ไปในกระบวนการคูณลงไปได้มาก

1.3 ทฤษฎีหรือแนวความคิด

โครงสร้างเลขคณิตกระจาย เป็นการจัดรูปแบบทางคณิตศาสตร์ของสมการที่อยู่ในรูปของผลบวกของผลคูณ (Sum of Product) ระหว่างเลขฐานสิบให้กระจายออกเป็นบิท เพื่อให้การคำนวณทางคณิตศาสตร์สามารถแปลงเป็นวงจรดิจิตอลอิเล็กทรอนิกส์ได้ หลักการของโครงสร้างเลขคณิตกระจายคือการแปลงฟังก์ชั่นถ่ายโอนซึ่งอยู่ในรูปสมการผลบวกของผลคูณระหว่างสัญญาณอินพุทกับค่าสัมประสิทธิ์ของวงจรกรอง โดยในการคูณกันระหว่างค่าสัมประสิทธิ์ของวงจรกรองกับสัญญาณอินพุทสำหรับโครงสร้างเลขคณิตกระจาย จะใช้แบบเปิดตาราง โดยค่าผลบวกของผลคูณระหว่างค่าสัมประสิทธิ์และอินพุทจะถูกเก็บไว้ในหน่วยความจำ และจะใช้สัญญาณอินพุทเป็นแอดเดรสของหน่วยความจำโดยตรง ซึ่งในปริญญานิพนธ์ฉบับนี้ สัญญาณที่ใช้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอดเดรสของหน่วยความจำจะแตกต่างจากหลักการที่มีอยู่เดิม โดยได้ใช้เทคนิคการแทนสมการผลต่างสืบเนื่อง (Difference Equation) ด้วยปริภูมิสเตท (State–Space) ซึ่งจากหลักการที่มีอยู่เดิมจะใช้สมการผลต่างสืบเนื่องในการสร้างวงจรโดยตรง ส่วนหลักการที่นำเสนอนี้จะทำการนำสมการผลต่างสืบเนื่องมาแทนให้อยู่ในรูปของปริภูมิสเตทก่อน แล้วจึงนำสมการสเตท (State Equation) และสมการเอาท์พุท (Output Equation) ที่ได้จากการแทนด้วยปริภูมิสเตทมาสร้างเป็นวงจรกรองสัญญาณ ส่งผลให้จำนวนสัญญาณอินพุทที่ใช้ในการอ้างอิงตำแหน่งของหน่วยความจำมีค่าลดลง ทำให้สามารถใช้งานหน่วยความจำได้อย่างมีประสิทธิภาพขึ้น และมีขั้นตอนในการประมวลผลแตกต่างกันออกไปจากของเดิม

1.4 ขั้นตอนของการทำงาน

ในการทำงานนี้ได้แบ่งขั้นตอนการทำงานออกเป็นหัวข้อต่าง ๆ ดังนี้

1.4.1 ทำการศึกษาและออกแบบวงจรกรองสัญญาณป้อนกลับเชิงเลข โดยการออกแบบวงจรกรองสัญญาณเชิงอุปมานต้นแบบก่อน จากนั้นทำการแปลงให้เป็นวงจรกรองสัญญาณเชิงเลข โดยใช้การแปลงเชิงเส้นคู่

1.4.2 ทำการศึกษาถึงการนำฟังก์ชั่นถ่ายโอนของวงจรกรองสัญญาณเชิงเลขที่ได้ มาทำการสร้างให้ เป็นฮาร์ดแวร์โดยใช้โครงสร้างเลขคณิตกระจาย

1.4.3 ทำการศึกษาถึงรูปแบบการแทนสมการผลต่างสืบเนื่องให้อยู่ในรูปของปริภูมิสเตท รวมถึงทำการออกแบบโครงสร้างของวงจรกรองสัญญาณเชิงเลขที่ได้จากการแทนด้วยปริภูมิสเตท โดยใช้โครงสร้างเลขคณิตกระจาย

1.4.4 ทำการทดสอบการทำงานของวงจรกรองสัญญาณเชิงเลขที่ได้

1.4.5 สรุปผลการทดลอง รวมทั้งข้อเสนอแนะต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 ทฤษฎีหลักการเบื้องต้นของโครงสร้างเลขคณิตกระจาย

โครงสร้างเลขคณิตกระจาย (Distributed Arithmetic) หรือเรียกอย่างย่อๆว่า "DA" เป็นการจัดรูปแบบทางคณิตศาสตร์ของสมการที่อยู่ในรูปของผลบวกของผลคูณ (Sum of Product) ของเลขฐานสิบให้กระจายออกเป็นบิทหรือในรูปแบบของเลขฐานสอง เพื่อให้การคำนวณทางคณิตศาสตร์สามารถแปลงเป็นวงจรดิจิตอลอิเล็กทรอนิกส์ได้ โดยจะปรากฏอยู่ในงานทางด้านการประมวลผลสัญญาณเชิงเลข หลักการเบื้องต้นของโครงสร้างเลขคณิตกระจายที่นำมาใช้งานด้านการประมวลผลสัญญาณเชิงเลข คือการแปลงฟังก์ชันถ่ายโอน (Transfer Function) ซึ่งเป็นสมการที่อยู่ในรูปผลบวกของผลคูณระหว่างสัญญาณอินพุทกับค่าสัมประสิทธิ์ของวงจรกรอง โดยในการคูณกันระหว่างค่าสัมประสิทธิ์ของวงจรกรองกับสัญญาณอินพุท จะใช้การคูณเลขฐานสองแบบส่วนเติมเต็มสอง (2's Complement) และการคูณจะใช้แบบเปิดตาราง (Look-Up Table) โดยค่าผลบวกของผลคูณระหว่างสัมประสิทธิ์และสัญญาณอินพุทจะถูกเก็บไว้ในหน่วยความจำ EPROM และจะใช้สัญญาณอินพุทเป็นแอดเดรสของ EPROM โดยตรง ทั้งค่าสัมประสิทธิ์ของวงจรกรองและสัญญาณอินพุทจะถูกแทนด้วยเลขส่วนเติมเต็มสอง ดังนั้นโครงสร้างเลขคณิตกระจายจึงมีทฤษฎีพื้นฐานอยู่บนการคูณแบบเลขส่วนเติมเต็มสอง (2's Complement Multiplication)

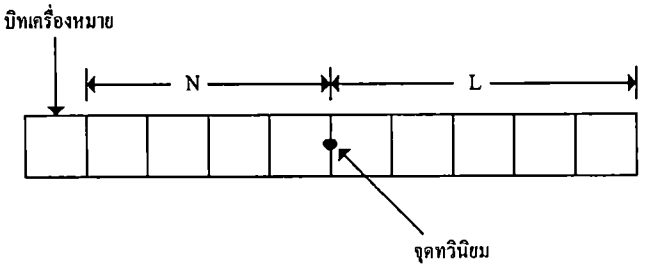
2.1.1 ระบบตัวเลข

สำหรับระบบเชิงเลข ตัวเลขต่างๆจะถูกแทนด้วยเลขฐานสอง ซึ่งโดยทั่วไปมีรูปแบบที่นิยมใช้กันอยู่ 2 รูปแบบ คือ รูปแบบจำนวนโดยตรง (Fixed Point Format) และรูปแบบจำนวนอิงดรรชนี (Floating Point Format) ซึ่งรูปแบบจำนวนโดยตรงจะมีวงจรฮาร์ดแวร์ที่ใช้ในการคำนวณที่ง่ายกว่า แต่ให้ค่าจากการคูณค่อนข้างจำกัด ส่วนรูปแบบจำนวนอิงดรรชนีจะสามารถแทนค่าของสัญญาณ คือให้ย่านพลวัตร (Dynamic Range) ได้มากกว่า แต่ต้องใช้วงจรฮาร์ดแวร์ที่สลับซับซ้อน แพงกว่า และให้ความเร็วในการประมวลผลที่ลดลง

2.1.1.1 รูปแบบจำนวนโดยตรง

รูปแบบจำนวนโดยตรงปกติจะประกอบไปด้วย 3 ส่วน คือ บิทเครื่องหมาย (Sign bit) 1 บิท บิทจำนวนเต็ม (Integer bit) N บิท และบิทเศษส่วน (Fractional bit) L บิท โดยจะมีจุดทวินิยม (Binary point) อยู่ระหว่างบิทจำนวนเต็มและบิทเศษส่วน ดังแสดงในรูปที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 การจัดรูปแบบจำนวนโดยตรงที่ประกอบด้วยบิทจำนวนเต็มและบิทเศษส่วน

โดยทั่วไปเลขฐานสองแบบจำนวนโดยตรงแบ่งออกได้เป็น 3 รูปแบบด้วยกัน คือ (1) แบบขนาดและเครื่องหมาย (Sign Magnitude) (2) แบบส่วนเติมเต็มหนึ่ง (1's Complement) (3) แบบส่วนเติมเต็มสอง (2's Complement) โดยคุณลักษณะที่สำคัญบางประการของการแทนตัวเลขด้วยเลขฐานสองแบบจำนวนโดยตรงทั้ง 3 รูปแบบสามารถสรุปได้ดังตารางที่ 2.1

ตารางที่ 2.1 คุณสมบัติที่สำคัญของรูปแบบจำนวนโดยตรง

Features	Sign and magnitude	2's complement	1's complement
Range	$-(1-2^{-L}) \le x \le (1-2^{-L})$	$-1 \le x \le (1-2^{-L})$	$-(1-2^{-L}) \le x \le (1-2^{-L})$
Representation of zero	0.000 and 1.000	0.000	0.000 and 1.111
Arithmetic rules	Simple must be kept track of, separately	Simple; negative numbers elegantly handled	Simple, but "end around carry" should be carefully handled
Suitability for serial arithmetic	Fair	Excellent	Good

2.1.1.2 รูปแบบจำนวนอิงดรรชนี

รูปแบบจำนวนโดยตรงมีข้อเสียที่สำคัญ 2 ประการ คือ (1) ย่านพลวัตรของตัวเลขมีค่าน้อย เช่น การแทนด้วยเลขส่วนเติมเต็มสอง ค่าที่น้อยที่สุดคือ –1 และค่าที่มากที่สุด คือ $1-2^{-L}$ (2) เปอร์เซ็นต์ความผิดพลาดที่เกิดจากการตัด (Truncation) หรือการปัด (Rounding) จะเพิ่มมากขึ้นเมื่อขนาดของตัวเลขมีค่าลดลง ตัวอย่างเช่น ถ้าจำนวน 0.11011010 และ 0.000110101 ถูกตัดให้จำนวนบิทเศษส่วนเหลือเพียง 4 บิท

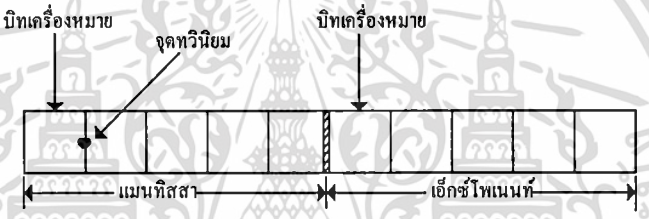
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปอร์เซ็นต์ความผิดพลาดจะเป็น 4.59 % และ 39.6 % ตามลำดับ โดยข้อเสียนี้สามารถแก้ไขได้โดยการใช้รูปแบบจำนวนอิงดรรชนี ซึ่งตัวเลข X แสดงได้โดย

$$X = M \times 2^{e} \tag{2.1}$$

โดย e เป็นจำนวนเต็ม และ $\frac{1}{2} \le |M| < 1$

M และ e เรียกว่า แมนทิสสา (Mantissa) และ เอ็กซ์โพเนนท์ (Exponent) ตามลำดับ ตัวอย่างเช่น จำนวน 0.00110101 และ 01001.11 สามารถแทนได้โดย 0.110101×2^{-2} และ 0.100111×2^{4} ตามลำดับ ส่วนจำนวนที่มีค่าเป็นลบก็ทำในลักษณะเดียวกัน รูปแบบจำนวนอิงดรรชนีสามารถแสดงได้ดังรูปที่ 2.2 โดยแบ่งเป็น 2 ส่วน คือส่วนหนึ่งสำหรับแมนทิสสา และอีกส่วนสำหรับเอ็กซ์โพเนนท์



รูปที่ 2.2 การจัดรูปแบบจำนวนอิงดรรชนี

ข้อดีของการใช้จำนวนอิงดรรชนี คือแทนค่าของสัญญาณได้ละเอียดกว่า และแม่นยำกว่าแบบจำนวนโดยตรง แต่การบวก ลบ หรือคูณจะยุ่งยากกว่ามาก วงจรจึงซับซ้อนและแพงกว่าแบบจำนวนโดยตรงมาก นอกจากนี้ความเร็วในการประมวลผลยังช้ากว่าด้วย ดังนั้นสำหรับการประมวลผลแบบเวลาจริง (Real Time) จึงนิยมใช้ระบบตัวเลขแบบจำนวนโดยตรง ตารางที่ 2.2 เป็นการสรุปคุณสมบัติทางด้านคณิตศาสตร์ของตัวเลขรูปแบบจำนวนโดยตรงและรูปแบบจำนวนอิงดรรชนี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 คุณสมบัติทางคณิตศาสตร์ของรูปแบบจำนวนทั้ง 2 แบบ

Features	Fixed-point fractions	Fixed-point integers	Floating-point
Overflow under multiplication	Impossible	Possible	Possible but unlikely
Overflow under addition	Possible but not harmful in most occasions	Possible	Possible but unlikely
Roundoff noise due to addition	No	No	Yes
Roundoff noise due to multiplication	Yes	No	Yes
Dynamic range available	Moderate	Moderate	Enormous
Implementation	Simple	Simple	Involved; more hardware and/or execution time required

2.1.2 ทฤษฎีเลขคณิตกระจาย

จากที่ได้กล่าวมาแล้วว่า โครงสร้างเลขคณิตกระจายมีพื้นฐานอยู่บนการคูณแบบเลขส่วนเติมเต็มสอง ดังนั้นในหัวข้อนี้จะได้อธิบายถึงหลักการของการคูณเลขส่วนเติมเต็มสอง

ให้เลขส่วนเติมเต็มสองของ X ซึ่งแทนด้วย $\overline{X}$ และนิยามโดย

$$\overline{X} = \begin{cases} X & , X \geq 0 \\ 2 - |X| & , X < 0 \end{cases} \qquad (2.2)$$

โดย X เป็นเลขที่เป็นเศษส่วน (Fractional Number)

ในระบบเลขส่วนเติมเต็มสองจะใช้บิทที่มีนัยสำคัญสูงสุด (MSB) เป็นบิทแสดงเครื่องหมาย โดยถ้าเป็นบวกแทนด้วย "0" และถ้าเป็นลบแทนด้วย "1" ถ้าให้ X แทนด้วยเลขฐานสองขนาด L+1 บิท ดังนั้นรูปแบบของเลขส่วนเติมเต็มสองจะเขียนได้ดังนี้

$$\overline{X} = X_0.X_1X_2...X_L \qquad (2.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าของ $\overline{X}$ ในรูปของเลขฐานสิบสามารถหาได้ดังนี้

$$X = -X_0 + \sum_{i=1}^{L} X_i\, 2^{-i} \tag{2.4}$$

จากนั้นพิจารณาผลคูณต่อไปนี้

$$Y = X\, m \tag{2.5}$$

ให้ $\overline{Y}$, $\overline{X}$ และ $\overline{m}$ เป็นเลขส่วนเติมเต็มสองของ Y, X และ m ตามลำดับ จากนั้นพิจารณาจากสมการที่ (2.4) และ สมการที่ (2.5) จะได้

$$\begin{aligned} Y &= -Y_0 + \sum_{i=1}^{L} Y_i\, 2^{-i} \\ &= -X_0 m + \sum_{i=1}^{L} X_i\, m\, 2^{-i} \end{aligned} \tag{2.6}$$

ดังนั้น

$$\begin{aligned} \overline{Y} &= \text{ส่วนเติมเต็มสองของ} \left| -X_0 m + 2^{-1} X_1 m + 2^{-2} X_2 m + 2^{-3} X_3 m + \ldots + 2^{-L} X_L m \right| \\ &= \text{ส่วนเติมเต็มสองของ} \left| -X_0 m + 2^{-1}(X_1 m + \ldots + 2^{-1}(X_{L-1} m + 2^{-1}(X_L m))) \right| \end{aligned} \tag{2.7}$$

ต่อไปพิจารณาส่วนเติมเต็มสองของ $2^{-1}U$ โดย

$$\overline{U} = U_0 . U_1 U_2 \ldots U_M$$

สำหรับ $U \geq 0$ (หรือ $U_0 = 0$)

ส่วนเติมเต็มสองของ $(2^{-1}U) = 2^{-1}\overline{U}$

และสำหรับ $U < 0$ (หรือ $U_0 = 1$)

ส่วนเติมเต็มสองของ $(2^{-1}U) = 2 - \left| 2^{-1}U \right| = 1 + 2^{-1}\left(2 - \left| U \right|\right) = 1 + 2^{-1}\overline{U}$

ดังนั้นสรุปได้ว่า

$$\text{ส่วนเติมเต็มสองของ } (2^{-1}U) = \begin{cases} 2^{-1}\overline{U} & \text{ถ้า } U_0 = 0 \\ 1 + 2^{-1}\overline{U} & \text{ถ้า } U_0 = 1 \end{cases}$$

สมการที่ (2.8) นี้แสดงให้เห็นได้ว่า ส่วนเติมเต็มสองของ $(2^{-1}U)$ เป็นการเลื่อนข้อมูลของ $\overline{U}$ ไปทางขวา 1 บิท

$$\therefore \text{ ส่วนเติมเต็มสองของ } (2^{-1}U) = 2_2^{-1}\overline{U} \tag{2.9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย $2_2^{-1}\overline{U}$ แสดงถึงการเลื่อนข้อมูลของ $\overline{U}$ ไปทางขวา 1 บิท แบบเลขส่วนเติมเต็มสอง ซึ่งสัญลักษณ์ 2_2^{-1} (ซึ่งโดยทั่วไปนิยมเขียนเป็น 2^{-1}) เป็นการแสดงว่าในกรณีที่ $\overline{U}$ เป็นเลขบวก ซึ่งบิทเครื่องหมายจะเป็นเลขศูนย์ โดยหลังจากเลื่อนข้อมูลไปทางขวา 1 บิทแล้ว บิทที่มาแทนบิทเครื่องหมายก็ยังคงเป็นเลขศูนย์ ส่วนในกรณีที่ $\overline{U}$ เป็นเลขลบ หลังจากเลื่อนข้อมูลไปทางขวา 1 บิทแล้ว บิทที่มาแทนบิทเครื่องหมายจะเป็นเลขหนึ่ง (จาก $1+2^{-1}\overline{U}$) ซึ่งในการสร้างเพื่อใช้งานจริงจำเป็นจะต้องมีวงจรที่ใช้ในการตรวจสอบบิทเครื่องหมาย (Sign Digit) ทุกครั้งที่มีการเลื่อนข้อมูลโดยรายละเอียดจะกล่าวถึงในบทที่ 4

จากนั้นพิจารณาสมการที่ (2.7) และสมการที่ (2.8) จะได้ว่า

$$\begin{aligned}\overline{Y} &= -X_0\overline{m}+2^{-1}X_1\overline{m}+2^{-2}X_2\overline{m}+2^{-3}X_3\overline{m}+\ldots+2^{-L}X_L\overline{m} \\ &= -X_0\overline{m}+2^{-1}(X_1\overline{m}+\ldots+2^{-1}(X_{L-1}\overline{m}+2^{-1}(X_L\overline{m}))) \qquad (2.10)\end{aligned}$$

ซึ่งจากสมการที่ (2.10) จะเห็นได้ว่าผลคูณจากสมการที่ (2.5) สามารถหาได้โดยการใช้หลักการเลื่อนและบวก (Shift and add) หรืออัลกอริธึมนั่นเอง โดยผลลัพธ์ที่ได้จากการคูณแบบเลขส่วนเติมเต็มสอง สามารถหาได้ตามขั้นตอน ดังนี้

1. เคลียร์ค่าข้อมูลในแอคคิวมูเลเตอร์รีจิสเตอร์
2. บวก $X_L\overline{m}$ กับค่าที่อยู่ในแอคคิวมูเลเตอร์รีจิสเตอร์
3. เลื่อนค่าที่อยู่ในแอคคิวมูเลเตอร์รีจิสเตอร์ไปทางขวา 1 บิท
4. ทำซ้ำข้อ 2 และ 3 สำหรับค่า $X_{L-1},\ldots,X_1$
5. ลบค่า $X_0\overline{m}$ ออกจากค่าที่อยู่ในแอคคิวมูเลเตอร์รีจิสเตอร์ (ลบแบบเลขส่วนเติมเต็มสอง)

ตัวอย่างการทำงานตามอัลกอริธึมนี้

$Y = Xm = 0.8125(-0.390625)$ โดยสมมุติให้ใช้แอคคิวมูเลเตอร์รีจิสเตอร์ขนาด 12 บิท

$m = -0.390625$

$\overline{m} = 2-|m| \quad \because m$ เป็นเลขลบ

$= 2-0.390625$

$= 1.609375$

$\therefore \ \overline{m} = 1.100111$

$X = 0.8125 = \overline{X} \quad \because X$ เป็นเลขบวก

$\therefore \ \overline{X} = 0.1101 = X_0.X_1X_2X_3X_4$

โดยมีขั้นตอนการทำงาน ดังตารางต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.3 ขั้นตอนการคูณเลขส่วนเติมเต็มสอง

การดำเนินการ	ข้อมูลในแอคคิวมูเลเตอร์รีจิสเตอร์
เคลียร์ ACC	0.000 0000 0000
ACC+ $X_4\overline{m}$	1.100 1110 0000
เลื่อนข้อมูลใน ACC ไปทางขวา 1 บิท	1.110 0111 0000
ACC+ $X_3\overline{m}$	1.110 0111 0000
เลื่อนข้อมูลใน ACC ไปทางขวา 1 บิท	1.111 0011 1000
ACC+ $X_2\overline{m}$	1.100 0001 1000
เลื่อนข้อมูลใน ACC ไปทางขวา 1 บิท	1.110 0000 1100
ACC+ $X_1\overline{m}$	1.010 1110 1100
เลื่อนข้อมูลใน ACC ไปทางขวา 1 บิท	1.101 0111 0110
ACC- $X_0\overline{m}$	1.101 0111 0110

$$\therefore \quad \overline{Y} = 1.101 \quad 0111 \quad 0110 \quad = Y_0.Y_1Y_2...Y_{11}$$

จะได้

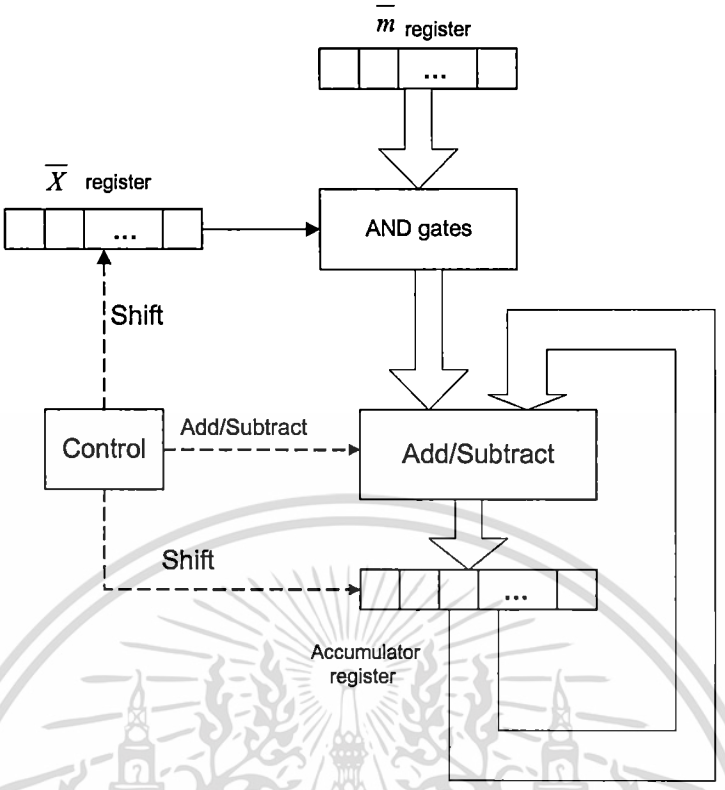
$$Y = -Y_0 + \sum_{i=1}^{11} Y_i\, 2^{-i}$$

$$= -1 + \left[2^{-1} + 2^{-3} + 2^{-5} + 2^{-6} + 2^{-7} + 2^{-9} + 2^{-10}\right]$$

$$= -0.3173828125$$

จากอัลกอริธึมดังกล่าว สามารถออกแบบการทำงานและสร้างวงจร แสดงได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 การคูณแบบเลขส่วนเติมเต็มสองโดยใช้บูทอัลกอริธึม

ที่ผ่านมาเป็นหลักการคูณแบบเลขส่วนเติมเต็มสอง ส่วนทฤษฎีเลขคณิตกระจายก็อาศัยหลักการดังกล่าวมาใช้ โดยทำการกระจายสมการที่อยู่ในรูปผลบวกของผลคูณให้แตกออกมาอยู่ในระดับบิท (Bit Level) ดังนี้

พิจารณาผลบวกของผลคูณต่อไปนี้

$$Y = \sum_{i=0}^{N} m_i X_i \qquad (2.11)$$

โดย m_i เป็นค่าสัมประสิทธิ์ซึ่งมีค่าคงที่

X_i เป็นข้อมูลอินพุท

ถ้า X_i แต่ละค่าเป็นเลขส่วนเติมเต็มสอง โดย $|X_i| < 1$ สามารถแสดง X_i แต่ละค่าได้ดังนี้

$$X_i = -X_{i0} + \sum_{j=1}^{L} X_{ij} 2^{-j} \qquad (2.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย X_{ij} = บิทต่างๆของข้อมูล X_i มีค่าเป็น 0 หรือ 1

X_{i0} = บิทแสดงเครื่องหมาย

X_{iL} = บิทที่มีนัยสำคัญต่ำสุด (LSB)

$L+1$ = จำนวนบิทที่แทนข้อมูลอินพุท

แทนค่า X_i ในสมการที่ (2.12) ลงในสมการที่ (2.11) จะได้

$$Y = \sum_{i=0}^{N} m_i \left[-X_{i0} + \sum_{j=1}^{L} X_{ij} 2^{-j} \right] \tag{2.13}$$

จัดเทอมของผลบวกใหม่จะได้

$$\begin{aligned} Y &= -X_{i0} \sum_{i=0}^{N} m_i + \sum_{j=1}^{L} X_{ij} 2^{-j} \sum_{i=0}^{N} m_i \\ &= -\sum_{i=0}^{N} X_{i0} m_i + \sum_{i=0}^{N} \sum_{j=1}^{L} X_{ij} m_i 2^{-j} \end{aligned} \tag{2.14}$$

จากนั้นทำการกระจายออกให้เป็นระดับบิท ได้ดังนี้

$$\begin{aligned} Y = &-(X_{00}m_0 + X_{10}m_1 + X_{20}m_2 + ... + X_{N0}m_N) \\ &+2^{-1}(X_{01}m_0 + X_{11}m_1 + X_{21}m_2 + ... + X_{N1}m_N) \\ &+2^{-2}(X_{02}m_0 + X_{12}m_1 + X_{22}m_2 + ... + X_{N2}m_N) \\ &+ ... + 2^{-L}(X_{0L}m_0 + X_{1L}m_1 + X_{2L}m_2 + ... + X_{NL}m_N) \end{aligned} \tag{2.15}$$

สมการที่ (2.15) นี้ ถูกกระจายออกให้อยู่ในรูปผลบวกของผลคูณระหว่างสัมประสิทธิ์กับข้อมูลอินพุทในระดับบิท ซึ่งเป็นนิยามของการคำนวณแบบเลขคณิตกระจาย และเมื่อเปรียบเทียบสมการที่ (2.15) กับ สมการที่ (2.10) จะเห็นว่าการคำนวณหาค่า Y ก็ใช้บูทอัลกอริธึมนั่นเอง เพียงแต่นำค่าผลคูณย่อย (Partial Product) ที่คำนวณไว้ล่วงหน้าแล้วสำหรับแต่ละค่าที่สอดคล้องกับแต่ละบิทของข้อมูลอินพุทไปเก็บไว้ในตารางเปิดดู ซึ่งเป็นหน่วยความจำ EPROM และใช้ข้อมูลอินพุทเป็นแอดเดรสของหน่วยความจำ เพื่อนำค่าในตารางเปิดดูมาผ่านขั้นตอนการคำนวณตามบูทอัลกอริธึม ซึ่งค่าในตารางเปิดดู สามารถแสดงได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.4 ค่าผลคูณย่อยที่เก็บไว้ในตารางเปิดดูที่กำหนดโดยข้อมูลอินพุท

Bit pattern ของข้อมูลอินพุท X_{Nj} ..... X_{2j} X_{1j} X_{0j}	ผลคูณย่อยที่เก็บไว้ในตารางเปิดดู
0 ..... 0 0 0	0
0 ..... 0 0 1	m_0
0 ..... 0 1 0	m_1
0 ..... 0 1 1	$m_1 + m_0$
0 ..... 1 0 0	m_2
0 ..... 1 0 1	$m_2 + m_0$
0 ..... 1 1 0	$m_2 + m_1$
0 ..... 1 1 1	$m_2 + m_1 + m_0$
⋮	⋮
1 ..... 1 1 1	$m_N + m_{N-1} + ... + m_2 + m_1 + m_0$

2.1.3 การนำโครงสร้างเลขคณิตกระจายมาใช้กับวงจรกรองสัญญาณเชิงเลข

ในการนำโครงสร้างเลขคณิตกระจายมาใช้ในการออกแบบ สำหรับวงจรกรองสัญญาณเชิงเลขนั้น เพื่อความสะดวกจะใช้สมการผลต่างสืบเนื่องอันดับที่สอง (Second order difference equation) มาพิจารณาเพื่อเป็นพื้นฐานในการสร้างวงจรกรองที่มีอันดับที่สูงขึ้นต่อไป

พิจารณาสมการผลต่างสืบเนื่องอันดับสองดังนี้

$$Y(n) = a_0 X(n) + a_1 X(n-1) + a_2 X(n-2) - b_1 Y(n-1) - b_2 Y(n-2) \qquad (2.16)$$

แทนลำดับสัญญาณอินพุท $X(n)$ และลำดับสัญญาณเอาต์พุท $Y(n)$ ด้วยเลขส่วนเติมเต็มสองได้ดังนี้

$$\overline{X}(n) = X_0(n).X_1(n)\ X_2(n) \ldots X_L(n)$$
$$\overline{Y}(n) = Y_0(n).Y_1(n)\ Y_2(n) \ldots Y_L(n)$$

และให้ $\overline{a}_i$ และ $\overline{b}_i$ เป็นเลขส่วนเติมเต็มสองของ a_i และ b_i ตามลำดับ

$X(n)$ และ $Y(n)$ สามารถแสดงได้โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$X(n) = -X_0(n) + \sum_{i=1}^{L} X_i(n)\, 2^{-i}$$

$$Y(n) = -Y_0(n) + \sum_{i=1}^{L} Y_i(n)\, 2^{-i}$$

นำค่า $X(n)$ และ $Y(n)$ แทนลงในสมการที่ (2.16) ได้

$$Y(n) = \sum_{i=1}^{L} 2^{-i} \left[a_0 X_i(n) + a_1 X_i(n-1) + a_2 X_i(n-2) - b_1 Y_i(n-1) - b_2 Y_i(n-2) \right] - \left[a_0 X_0(n) + a_1 X_0(n-1) + a_2 X_0(n-2) - b_1 Y_0(n-1) - b_2 Y_0(n-2) \right] \quad (2.17)$$

คูณ 2^{-1} ทั้ง 2 ข้างได้

$$2^{-1}Y(n) = \sum_{i=1}^{L} 2^{-i} \left[2^{-1} a_0 X_i(n) + 2^{-1} a_1 X_i(n-1) + 2^{-1} a_2 X_i(n-2) - 2^{-1} b_1 Y_i(n-1) - 2^{-1} b_2 Y_i(n-2) \right] - \left[2^{-1} a_0 X_0(n) + 2^{-1} a_1 X_0(n-1) + 2^{-1} a_2 X_0(n-2) - 2^{-1} b_1 Y_0(n-1) - 2^{-1} b_2 Y_0(n-2) \right] \quad (2.18)$$

พิจารณาสมการที่ (2.18) และสมการที่ (2.9) จะได้

$$2^{-1}\overline{Y}(n) = \sum_{i=1}^{L} 2_2^{-i} \left[2^{-1} \overline{a}_0 X_i(n) + 2^{-1} \overline{a}_1 X_i(n-1) + 2^{-1} \overline{a}_2 X_i(n-2) - 2^{-1} \overline{b}_1 Y_i(n-1) - 2^{-1} \overline{b}_2 Y_i(n-2) \right] - \left[2^{-1} \overline{a}_0 X_0(n) + 2^{-1} \overline{a}_1 X_0(n-1) + 2^{-1} \overline{a}_2 X_0(n-2) - 2^{-1} \overline{b}_1 Y_0(n-1) - 2^{-1} \overline{b}_2 Y_0(n-2) \right] \quad (2.19)$$

เพราะฉะนั้น

$$\overline{Y}(n) = \sum_{i=1}^{L} 2_2^{-i}\, F_i - F_0 \quad (2.20)$$

โดย

$$F_i = \overline{a}_0 X_i(n) + \overline{a}_1 X_i(n-1) + \overline{a}_2 X_i(n-2) - \overline{b}_1 Y_i(n-1) - \overline{b}_2 Y_i(n-2) \quad (2.21)$$

$$F_0 = \overline{a}_0 X_0(n) + \overline{a}_1 X_0(n-1) + \overline{a}_2 X_0(n-2) - \overline{b}_1 Y_0(n-1) - \overline{b}_2 Y_0(n-2) \quad (2.22)$$

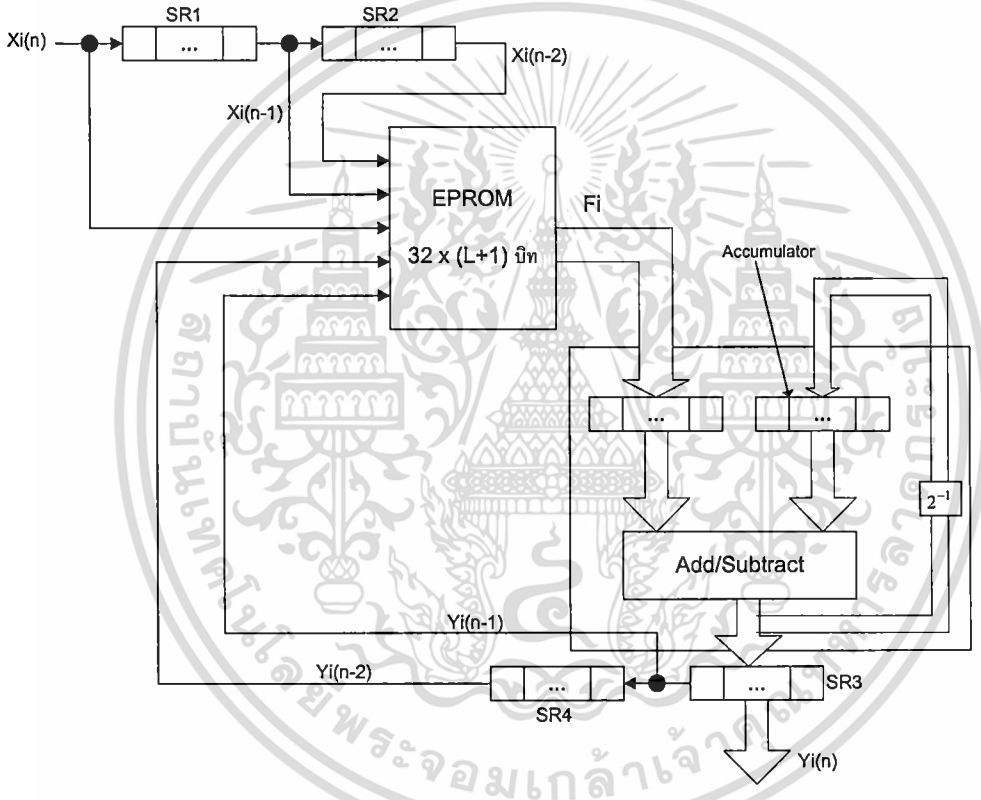
ส่วนเติมเต็มสองของ $Y(n)$ สามารถหาได้โดยใช้อัลกอริธึมดังนี้

1. เคลียร์ค่าของข้อมูลในแอคคิวมูเลเตอร์รีจิสเตอร์
2. คำนวณค่า F_i สำหรับ $i = L$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. บวกค่า F_i กับค่าที่บรรจุอยู่ในแอคคิวมูเลเตอร์รีจิสเตอร์
4. เลื่อนค่าที่บรรจุอยู่ในแอคคิวมูเลเตอร์รีจิสเตอร์ไปทางขวา1บิต (เลื่อนข้อมูลแบบเลขส่วนเติมเต็มสอง)
5. ทำซ้ำข้อ2 ถึง 4 สำหรับ i = L-1, L-2,...,1
6. คำนวณค่า F_0
7. ลบค่า F_0 ออกจากค่าที่บรรจุอยู่ในแอคคิวมูเลเตอร์รีจิสเตอร์ (ลบแบบเลขส่วนเติมเต็มสอง)

โดยอัลกอริธึมที่กล่าวมาสามารถออกแบบการทำงานและสร้างวงจรดังแสดงได้ดังรูป



รูปที่ 2.4 โครงสร้างวงจรกรองสัญญาณป้อนกลับเชิงเลขอันดับที่สอง

จากรูปที่ 2.4 ส่วนที่อยู่ในเส้นประนิยมเรียกกันว่าวงจรสเกลลิ่งแอคคิวมูเลเตอร์ (Scaling Accumulator) โดยค่าที่อยู่ในแอคคิวมูเลเตอร์ ก่อนที่จะส่งไปบวกกับค่าผลลัพธ์จาก EPROM (หรือ Partial Sum ตัวต่อไป) จะต้องทำการเลื่อนข้อมูลไปทางขวา 1 บิทก่อน ดังที่กล่าวมาแล้ว ซึ่งการเลื่อนข้อมูลไปทางขวา 1 บิทนี้ เขียนแทนด้วยการคูณด้วย 2^{-1} และผลจากสมการที่ (2.21) นำมาสร้างเป็นตารางเปิดดู บรรจุไว้ใน EPROM ค่าในตารางเปิดดูเป็นค่าของ F_i ซึ่งเกิดจากตัวแปรที่เป็นลำดับสัญญาณอินพุท 5 ตัว ดังนั้นค่าของ F_i จะมีค่า 2^5 = 32 ค่า โดยขนาดของ EPROM จะมีขนาด $32\times(L+1)$ บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ทฤษฎีการออกแบบวงจรกรองสัญญาณป้อนกลับเชิงเลข

การออกแบบวงจรกรองสัญญาณป้อนกลับเชิงเลขนั้น โดยทั่วไปมีวิธีการออกแบบที่สำคัญอยู่ 2 วิธี คือ วิธีการออกแบบในโดเมน Z โดยตรง และวิธีการออกแบบโดยทำการแปลงจากฟังก์ชั่นถ่ายโอนของตัวกรองเชิงอุปมานที่มีเสถียรภาพดี โดยวิธีการนี้หากใช้การแปลงที่ดี การออกแบบก็ไม่ต้องคำนึงถึงเสถียรภาพของวงจรกรองอีก โดยที่ได้ผลตอบสนองแอมปลิจูดตามต้องการ ดังนั้นสิ่งสำคัญก็คือ การแปลงฟังก์ชั่นทางคณิตศาสตร์ของวงจรกรองสัญญาณเชิงอุปมานให้กลายเป็นฟังก์ชั่นทางคณิตศาสตร์ของวงจรกรองสัญญาณเชิงเลข โดยปกติวงจรกรองสัญญาณเชิงอุปมานจะเป็นฟังก์ชั่นของตัวแปร S (Laplace Variables) ขณะที่วงจรกรองสัญญาณเชิงเลขจะเป็นฟังก์ชั่นของตัวแปร Z ส่วนวิธีการออกแบบที่ใช้ในปริญญานิพนธ์นี้ได้เลือกใช้วิธีการหลัง ดังนั้นขั้นตอนในการออกแบบจึงแบ่งได้เป็นสองขั้นตอนคือ ออกแบบวงจรกรองสัญญาณเชิงอุปมานให้มีเสถียรภาพที่ดีซึ่งในที่นี้จะไม่กล่าวถึงรายละเอียด เนื่องจากมีการค้นคว้า ศึกษา และรวบรวมเป็นหลักการไว้อย่างดี จากนั้นจึงแปลงฟังก์ชั่นถ่ายโอนของวงจรกรองสัญญาณเชิงอุปมานที่ได้ไปเป็นฟังก์ชั่นถ่ายโอนของวงจรกรองสัญญาณเชิงเลข โดยได้เลือกใช้วิธีการแปลงเชิงเส้นคู่ (Bilinear Transform)

2.3 ทฤษฎีการวิเคราะห์โครงสร้างเลขคณิตกระจายโดยการแทนด้วยปริภูมิสเตท

การนำโครงสร้างเลขคณิตกระจายมาใช้ในการสร้างวงจรกรองสัญญาณเชิงเลขดังที่นำเสนอไว้ใน ถูกสร้างขึ้นมาจากฟังก์ชั่นถ่ายโอนหรือสมการผลต่างสืบเนื่องโดยตรง ซึ่งสัญญาณที่ใช้เป็นแอดเดรสของหน่วยความจำจะเป็นฟังก์ชั่นของสัญญาณอินพุทและเอาท์พุท ส่วนในปริญญานิพนธ์นี้ จะทำการแทนสมการผลต่างสืบเนื่องด้วยปริภูมิสเตท ซึ่งจะทำให้สัญญาณที่เป็นแอดเดรสของหน่วยความจำเป็นฟังก์ชั่นของสัญญาณอินพุทและตัวแปรสเตท โดยจำนวนสัญญาณที่ใช้เป็นแอดเดรสของหน่วยความจำนี้จะมีจำนวนน้อยกว่าการสร้างจากฟังก์ชั่นถ่ายโอนโดยตรง จึงทำให้ขนาดของหน่วยความจำที่ใช้มีขนาดลดลงที่อันดับของวงจรเดียวกัน ทำให้มีความประหยัดในแง่ของหน่วยความจำ ส่วนการแทนระบบด้วยปริภูมิสเตทนั้น โดยปกติจะมีลักษณะที่ไม่เป็นหนึ่งเดียว (Non-Unique) เนื่องจากปริภูมิสเตทเป็นการแทนระบบให้อยู่ในรูปของเมตริกซ์ ซึ่งสามารถที่จะทำการแปลงคล้าย (Similarity Transformation) ได้เป็นจำนวนอนันต์แบบ แต่รูปแบบที่นำเสนอในปริญญานิพนธ์นี้เป็นรูปแบบที่มีการคำนวณทางคณิตศาสตร์น้อยที่สุด (มีการคูณกันของสัญญาณน้อยที่สุด) ซึ่งได้มาจากการแทนสมการผลต่างสืบเนื่องให้อยู่ในรูปของปริภูมิสเตทโดยตรง เรียกว่ารูปแบบบัญญัติควบคุมได้ (Controllable Canonical Form) ซึ่งอาจถือว่าเป็นรูปแบบโดยตรง (Direct Form) สำหรับปริภูมิสเตท ส่งผลให้เมื่อนำโครงสร้างเลขคณิตกระจายมาใช้ในการสร้างแล้ว การคำนวณค่าตัวแปรสเตท (State Variable) ที่อันดับต่ำลงมาสามารถทำได้โดยการผ่านตัวเลื่อนข้อมูล (Shift Register) เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

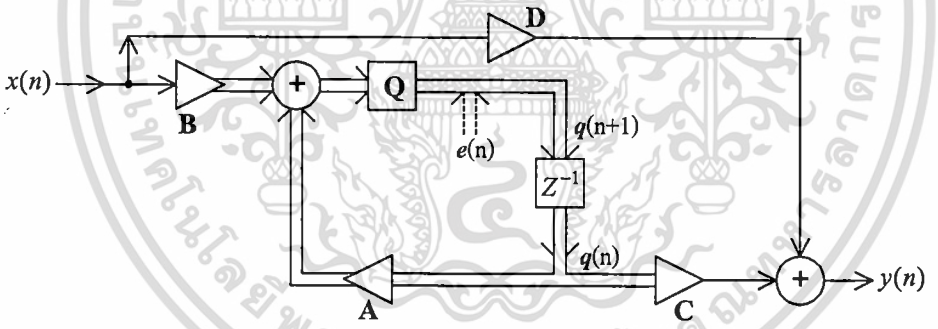
2.4 สัญญาณรบกวนจากการปัดเศษและย่านพลวัตรในวงจรกรองสัญญาณเชิงเลข

ในการสร้างวงจรกรองสัญญาณเชิงเลขที่ใช้รูปแบบจำนวนโดยตรง พฤติกรรมของสัญญาณอินพุทและเอาท์พุทจะมีลักษณะที่ไม่เป็นอุดมคติเนื่องจากการจัดระดับ (Quantization) ของสัญญาณและค่าสัมประสิทธิ์โดยใช้ความยาวคำจำกัด รวมทั้งผลของการปัดเศษผลลัพธ์ที่ได้จากการคำนวณด้วย ซึ่งถือว่าเป็นแหล่งกำเนิดของสัญญาณรบกวนที่เกิดขึ้น นอกจากนี้ยังอาจมีพฤติกรรมที่ไม่พึงปารถนา คือ การแกว่งของวัฏภาคจำกัด (Limit Cycle Oscillations) ซึ่งจะทำให้เกิดส่วนประกอบของสัญญาณที่เป็นคาบขึ้นที่เอาท์พุทถึงแม้ว่าจะไม่มีสัญญาณอินพุทก็ตาม โดยอาจมีสาเหตุเกิดมาจากการปัดภายใน (Internal Rounding) หรือเกิดการล้น (Overflow) ดังนั้นจึงต้องมีการทำการสเกลลิ่ง เพื่อบังคับให้ย่านพลวัตรของตัวแปร (Dynamic Range) อยู่ภายในขนาดของความยาวคำ

โดยการอธิบายระบบด้วยตัวแปรสเตทนี้มีความเหมาะสมทางคณิตศาสตร์และเป็นประโยชน์อย่างมากในการคำนวณปริมาณที่ขึ้นอยู่กับโครงสร้างภายในของวงจรกรองสัญญาณเชิงเลข เช่น ค่ากำลังที่แต่ละโหนดภายใน และค่าสัญญาณรบกวนที่เกิดจากการปัดเศษที่จะเกิดขึ้นที่เอาท์พุท ซึ่งสามารถคำนวณได้โดยง่ายถ้าวงจรกรองสัญญาณเชิงเลขอธิบายด้วยรูปแบบของตัวแปรสเตท

2.4.1 การอธิบายตัวแปรสเตทของวงจรกรองสัญญาณเชิงเลข

พิจารณาแบบจำลองของวงจรกรองสัญญาณเชิงเลขที่แทนด้วยปริภูมิสเตทดังในรูปที่ 2.6



รูปที่ 2.5 แบบจำลองวงจรกรองสัญญาณเชิงเลขที่แทนด้วยปริภูมิสเตท

จากรูปแสดงแบบจำลองของวงจรกรองสัญญาณเชิงเลขที่แทนด้วยปริภูมิสเตท โดยประกอบไปด้วยตัวปัด (Quantizer) ซึ่งเปรียบเสมือนเป็นแหล่งกำเนิดสัญญาณรบกวน $e(n)$ และให้ $f_i(n)$ เป็นผลตอบ สนองอิมพัลส์จากอินพุท $x(n)$ ถึงสเตท $q_i(n)$ และให้ $g_i(n)$ เป็นผลตอบสนองอิมพัลส์จากสเตท $q_i(n)$ ถึงเอาท์พุท $y(n)$ ในการพิจารณามีความจำเป็นที่จะต้องทำการสเกลสัญญาณอินพุทที่จะเข้าสู่ตัวคูณเพื่อเป็นการหลีกเลี่ยงการล้นภายในโดยสัญญาณ $q(n)$ เป็นอินพุทที่เข้าสู่ตัวคูณดังในรูปที่ 2.19 ดังนั้นจึงต้อง ทำการคำนวณค่า $f(n)$ สำหรับทำการสเกลในทางกลับกัน เพื่อที่จะหาค่าความแปรปรวนของสัญญาณรบกวนที่เอาท์พุท ก็ต้องทำการหาผลตอบสนองอิมพัลส์จากตำแหน่งของแหล่งกำเนิดสัญญาณรบกวน $e(n)$ ถึง $y(n)$ ดังนั้น $g(n)$ จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

แทนผลตอบสนองอิมพัลส์ของฟังก์ชั่นถ่ายโอนของสัญญาณรบกวน (Noise Transfer Function) จากรูปที่ 2.6 สามารถแสดงสมการได้ดังนี้

$$\frac{\boldsymbol{Q}(z)}{X(z)} = \frac{\mathbf{B}.z^{-1}}{\boldsymbol{I} - z^{-1}.\mathbf{A}} \tag{2.23}$$

ดังนั้น สามารถเขียนการแปลงแซดของ $f(n)$ คือ $F(z)$ ได้ดังนี้

$$F(z) = \frac{Q(z)}{X(z)} = (\boldsymbol{I} + \boldsymbol{A}\, z^{-1} + \boldsymbol{A}^2\, z^{-2} + \ldots)\, \boldsymbol{B}\, z^{-1} \tag{2.24}$$

เพราะฉะนั้น

$$f(n) = \boldsymbol{A}^{n-1}\, \boldsymbol{B} \qquad ; \quad n \geq 1 \tag{2.25}$$

ซึ่งสามารถคำนวณค่า $f(n)$ โดยแทนค่า $x(n)$ ด้วย $\delta(n)$ และใช้การเวียนกลับของสมการที่ (2.26) โดยกำหนดเงื่อนไขเริ่มต้น $f(0) = 0$

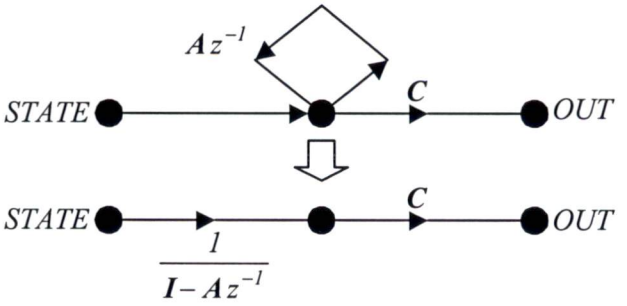
$$f(n+1) = \boldsymbol{A}\, f(n) + \boldsymbol{B}\, \delta(n) \tag{2.26}$$

ส่วนผลตอบสนองอิมพัลส์ $g(n)$ จากสเตท $q(n)$ ถึงเอาท์พุท $y(n)$ สามารถทำการคำนวณได้ในลักษณะที่คล้ายกัน โดยให้ $x(n) = 0$ ซึ่งสอดคล้องกับกราฟการไหลของสัญญาณดังแสดงในรูปที่ 2.7 โดยแทนด้วยฟังก์ชั่นถ่ายโอน $G(z)$ ดังนี้

$$G(z) = \frac{\boldsymbol{C}}{\boldsymbol{I} - \boldsymbol{A}\, z^{-1}} \tag{2.27}$$

เพราะฉะนั้น

$$g(n) = \boldsymbol{C}\, \boldsymbol{A}^n \qquad ; \quad n \geq 0 \tag{2.28}$$



รูปที่ 2.6 กราฟการไหลของสัญญาณ $g(n)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
67407

สเตทโคแวเรียนซ์เมตริกซ์ (State Covariance Matrix) $\boldsymbol{K}$ มีนิยาม ดังนี้

$$\boldsymbol{K} = E\left\{ \boldsymbol{q}(n)\ \boldsymbol{q}^T(n) \right\} \tag{2.29}$$

โดย $\boldsymbol{q}$ เป็นเวกเตอร์ขนาด $N \times 1$ และ $\boldsymbol{K}$ เป็นเมตริกซ์ขนาด $N \times N$

เมตริกซ์ $\boldsymbol{K}$ เป็นการวัดความผิดพลาดของกำลังงาน (Error Power) ที่สเตทต่างๆ (ส่วนประกอบในแนวทแยง (Diagonal Element) K_{ii} เป็นค่าพลังงานของสัญญาณความผิดพลาดที่สเตท q_i ที่เกิดจากอินพุทที่เป็นสัญญาณรบกวนขาว) สเตทเวกเตอร์ $\boldsymbol{q}(n)$ สามารถคำนวณได้โดยการคอนโวลูชั่นระหว่าง $x(n)$ และ $\boldsymbol{f}(n)$ โดยใช้สมการที่ (2.25) สำหรับค่า $\boldsymbol{f}(n)$ ซึ่งจะได้

$$\boldsymbol{q}(n) = \left[q_1(n), q_2(n), \ldots, q_N(n) \right]^T \tag{2.3}$$

$$= \boldsymbol{f}(n) * x(n) = \sum_{l=0}^{\infty} \boldsymbol{A}^l \boldsymbol{B}\ x(n-l-1) \tag{2.31}$$

ดังนั้น

$$\boldsymbol{K} = E\left\{ \sum_{l=0}^{\infty} (\boldsymbol{A}^l \boldsymbol{B})\, x(n-l-1) \sum_{m=0}^{\infty} x(n-m-1)(\boldsymbol{A}^m \boldsymbol{B})^T \right\}$$

$$= E\left\{ \sum_{l=0}^{\infty} \sum_{m=0}^{\infty} \boldsymbol{A}^l \boldsymbol{B}\, x(n-l-1)\, x(n-m-1)(\boldsymbol{A}^m \boldsymbol{B})^T \right\}$$

$$= \sum_{l=0}^{\infty} \sum_{m=0}^{\infty} \boldsymbol{A}^l \boldsymbol{B}\ E\left[x(n-l-1)\, x(n-m-1) \right](\boldsymbol{A}^m \boldsymbol{B})^T \tag{2.32}$$

สมมุติ $x(n)$ เป็นสัญญาณรบกวนขาวความแปรปรวนเป็นหนึ่งค่าเฉลี่ยเป็นศูนย์ (Zero-Mean Unit-Variance White Noise) ดังนั้นจะได้

$$E\left[x^2(n) \right] = 1 \tag{2.33}$$

$$E\left[x(n)\, x(n-k) \right] = 0 \tag{2.34}$$

แทนค่าสมการที่ (2.33) และ สมการที่ (2.34) ลงในสมการที่ (2.32) จะได้

$$\boldsymbol{K} = \sum_{l=0}^{\infty} \sum_{m=0}^{\infty} \boldsymbol{A}^l \boldsymbol{B}\ \delta_{lm}\, (\boldsymbol{A}^m \boldsymbol{B})^T = \sum_{l=0}^{\infty} \boldsymbol{f}(l)\, \boldsymbol{f}^T(l) = \sum_{l=0}^{\infty} \boldsymbol{A}^l \boldsymbol{B}\, (\boldsymbol{A}^l \boldsymbol{B})^T$$

$$= \boldsymbol{B}\boldsymbol{B}^T + \sum_{l=1}^{\infty} \boldsymbol{A}^l\, \boldsymbol{B}\, (\boldsymbol{A}^l\, \boldsymbol{B})^T = \boldsymbol{B}\boldsymbol{B}^T + \sum_{k=0}^{\infty} \boldsymbol{A}^{k+1}\, \boldsymbol{B}\, (\boldsymbol{A}^{k+1}\, \boldsymbol{B})^T$$

$$= \boldsymbol{B}\boldsymbol{B}^T + \sum_{k=0}^{\infty} \boldsymbol{A} \left[\boldsymbol{A}^k\, \boldsymbol{B}\, (\boldsymbol{A}^k\, \boldsymbol{B}) \right] \boldsymbol{A}^T = \boldsymbol{B}\boldsymbol{B}^T + \boldsymbol{A} \left[\sum_{k=0}^{\infty} \boldsymbol{A}^k\, \boldsymbol{B}\, (\boldsymbol{A}^k\, \boldsymbol{B})^T \right] \boldsymbol{A}^T \tag{2.35}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สุดท้ายจะได้ผลเฉลยเป็นสมการเลียปูโนฟ (Lyapunov Equation) ดังนี้

$$\boldsymbol{K} = \boldsymbol{B}\boldsymbol{B}^T + \boldsymbol{A}\boldsymbol{K}\boldsymbol{A}^T \tag{2.36}$$

ถ้าบางสเตท q_i มีค่า $E\left[q_i^2\right]$ มากกว่าของสเตทอื่น ๆ ดังนั้น สเตท q_i จะต้องการจำนวนบิทของความยาวคำเพิ่มขึ้นซึ่งจะนำไปสู่การใช้ฮาร์ดแวร์ในลักษณะพิเศษและไม่เป็นที่นิยมในการออกแบบ แต่ถ้าใช้การสเกลลิ่งจะทำให้ทุกโหนดมีกำลังงานเท่ากันแน่นอนและทุกโหนดสามารถที่จะใช้ความยาวคำเดียวกันได้

โครงสร้างของวงจรกรองแบบตั้งฉาก (Orthogonal Filter Structure) มีนิยามคือ ตัวแปรภายในทั้งหมดจะไม่สหสัมพันธ์กันเลย และมีค่าความแปรปรวนเป็นหนึ่งโดยที่สมมุติให้อินพุทเป็นสัญญาณรบกวนขาว ซึ่งจะทำให้ได้เงื่อนไขการตั้งฉากกันดังนี้

$$\boldsymbol{K} = \boldsymbol{I} = \boldsymbol{A}\boldsymbol{A}^T + \boldsymbol{B}\boldsymbol{B}^T \tag{2.37}$$

ข้อดีของโครงสร้างวงจรกรองแบบตั้งฉากคือ

- จะเข้าเงื่อนไขของกฎการสเกลลิ่งโดยอัตโนมัติ
- อัตราขยายของสัญญาณรบกวนที่เกิดจากการปัดเศษมีค่าต่ำและไม่เปลี่ยนแปลงภายใต้การแปลงความถี่ (Frequency Transformation)
- การแกว่งเนื่องจากการล้น (Overflow Oscillations) จะไม่เกิดขึ้น

ในลักษณะที่คล้ายกัน นิยามของเอาท์พุทโคแวเรียนซ์เมตริกซ์ (Output Covariance Matrix) $\boldsymbol{W}$ สามารถแสดงได้ดังนี้

$$\boldsymbol{W} = \sum_{n=0}^{\infty} \boldsymbol{g}^T(n)\,\boldsymbol{g}(n) = \sum_{n=0}^{\infty} (\boldsymbol{C}\,\boldsymbol{A}^n)^T\,\boldsymbol{C}\,\boldsymbol{A}^n \tag{2.38}$$

สุดท้ายจะได้ผลเฉลยเป็นสมการเลียปูโนฟ ดังนี้

$$\boldsymbol{W} = \boldsymbol{A}^T\,\boldsymbol{W}\,\boldsymbol{A} + \boldsymbol{C}^T\,\boldsymbol{C} \tag{2.39}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและผลการออกแบบวงจรกรองสัญญาณเชิงเลข

3.1 การออกแบบสถาปัตยกรรมของวงจรกรองสัญญาณด้วยโครงสร้างเลขคณิตกระจาย

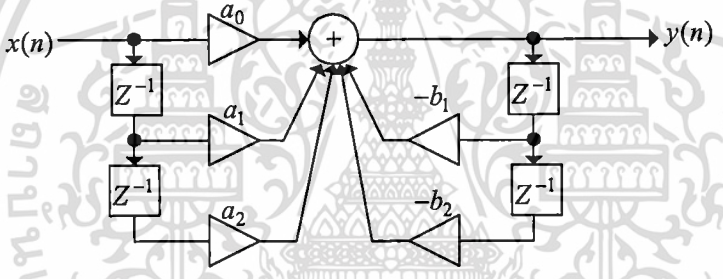
เพื่อที่จะแสดงให้เห็นถึงความแตกต่างทางสถาปัตยกรรม ของวงจรกรองสัญญาณเชิงเลขที่สร้างขึ้นโดยใช้โครงสร้างเลขคณิตกระจายแต่ใช้รูปแบบของสมการตั้งต้นที่ต่างกัน จะทำให้โครงสร้างสุดท้ายที่ได้ต่างกัน เพื่อความสะดวกจะทำการพิจารณาจากวงจรกรองสัญญาณเชิงเลขในอันดับที่ 2 โดยแยกเป็นโครงสร้าง ดังนี้

3.1.1 โครงสร้างโดยตรง 1

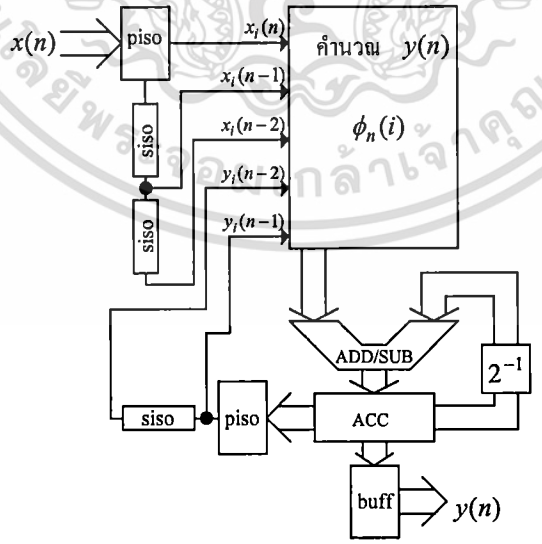
รูปแบบพื้นฐานสำหรับการใช้โครงสร้างเลขคณิตกระจาย ในการสร้างวงจรกรองสัญญาณเชิงเลขโดยทั่วไปอาศัยโครงสร้างแบบโดยตรง 1 สามารถแทนเป็นสมการผลต่างสืบเนื่องได้ดังนี้

$$y(n) = a_0 x(n) + a_1 x(n-1) + a_2 x(n-2) - b_1 y(n-1) - b_2 y(n-2) \qquad (3.1)$$

โดยแสดงโครงสร้างได้ดังรูป



(a) โครงสร้างแบบโดยตรง 1



(b) โครงสร้างเลขคณิตกระจายสำหรับแบบโดยตรง 1

รูปที่ 3.1 โครงสร้างแบบโดยตรง 1 ที่แทนด้วยโครงสร้างเลขคณิตกระจาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 โครงสร้างปริภูมิสเตทโดยทั่วไป

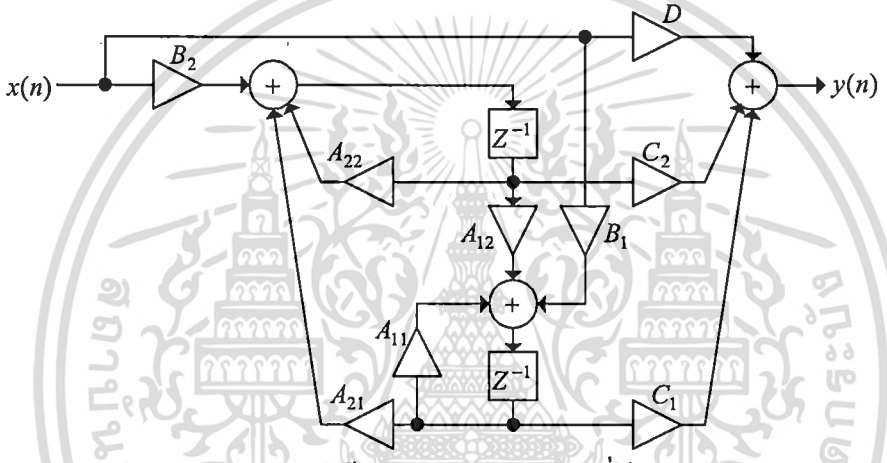
สำหรับโครงสร้างแบบปริภูมิสเตทโดยทั่วไป สามารถแสดงเป็นสมการสเตทและสมการเอาท์พุทได้ดังนี้

$$q_1(n+1) = a_{11}q_1(n) + a_{12}q_2(n) + b_1x(n) \tag{3.2}$$

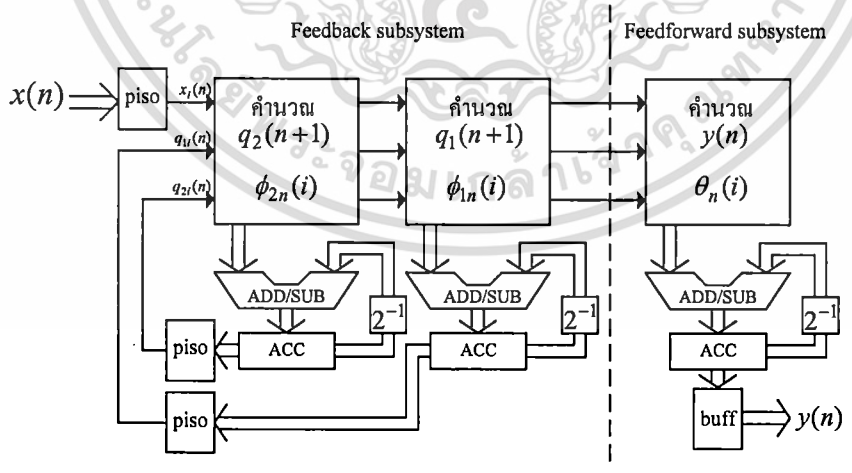
$$q_2(n+1) = a_{21}q_1(n) + a_{22}q_2(n) + b_2x(n) \tag{3.3}$$

$$y(n) = c_1q_1(n) + c_2q_2(n) + D\,x(n) \tag{3.4}$$

โดยแสดงโครงสร้างได้ดังรูป



(a) โครงสร้างแบบปริภูมิสเตทโดยทั่วไป



(b) โครงสร้างเลขคณิตกระจายสำหรับแบบปริภูมิสเตทโดยทั่วไป

รูปที่ 3.2 โครงสร้างแบบปริภูมิสเตทโดยทั่วไป ที่แทนด้วยโครงสร้างเลขคณิตกระจาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.3 โครงสร้างปริภูมิสเตทแบบที่นำเสนอ

เนื่องจากในทางปฏิบัติ โครงสร้างแบบปริภูมิสเตทสามารถที่จะทำการแปลงคล้ายได้เป็นจำนวนอนันต์แบบขึ้นอยู่กับเมตริกซ์ T ที่ใช้ในการแปลงคล้าย ในที่นี้จะนำเสนอโครงสร้างแบบปริภูมิสเตทจำนวน 2 โครงสร้าง ซึ่งเรียกว่า โครงสร้างแบบ Controllable Canonical Form และโครงสร้างแบบ Minimum Noise

โครงสร้างแบบ Controllable Canonical Form เป็นโครงสร้างแบบปริภูมิสเตทที่ใช้จำนวนตัวคูณน้อยที่สุดคือ 2 $(N+1)$ ตัว เมื่อ N คืออันดับของวงจรกรองสัญญาณที่ทำการออกแบบ ในขณะที่โครงสร้างแบบ Minimum Noise ต้องใช้ตัวคูณถึง $(N+1)^2$ แต่ให้ผลดีในแง่ระดับของสัญญาณรบกวนหรือ Roundoff Noise ที่เกิดขึ้นที่เอาท์พุทจะมีค่าต่ำ

ในการศึกษาจะทำการศึกษาวงจรกรองสัญญาณอันดับที่ 2 เพราะว่าวงจรกรองความถี่อันดับสูงสามารถสร้างได้จากการนำวงจรกรองสัญญาณอันดับที่ 2 มาต่อ Cascade หรือ ต่อขนานกัน พิจารณาฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณอันดับที่ 2 ดังนี้

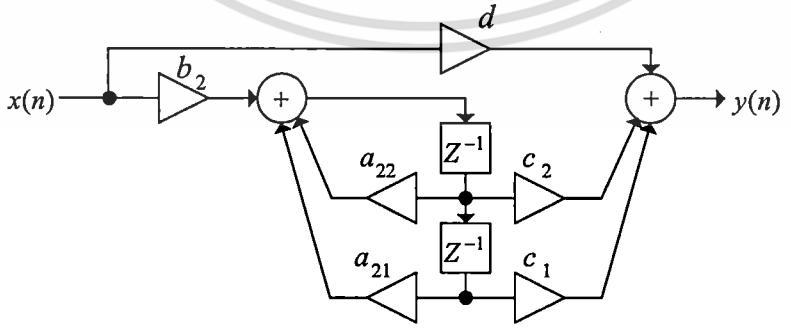
$$H(Z)=d+\frac{\alpha_1 Z^{-1}+\alpha_2 Z^{-2}}{1+\beta_1 Z^{-1}+\beta_2 Z^{-2}} \tag{3.5}$$

สามารถที่จะแทนให้อยู่ในรูปแบบปริภูมิสเตทได้เป็น

$$\begin{bmatrix} q1(n+1) \\ q2(n+1) \end{bmatrix}=\begin{bmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{bmatrix}\begin{bmatrix} q1(n) \\ q2(n) \end{bmatrix}+\begin{bmatrix} b_1 \\ b_2 \end{bmatrix}x(n) \tag{3.6}$$

$$y(n)=[c_1 \quad c_2]\begin{bmatrix} q1(n) \\ q2(n) \end{bmatrix}+[d]\,x(n) \tag{3.7}$$

โครงสร้างปริภูมิสเตทแบบ Controllable Canonical Form เป็นโครงสร้างที่ได้มาจากการแปลงจากฟังก์ชันถ่ายโอนโดยตรงซึ่งถือว่าเป็นโครงสร้างแบบโดยตรง (Direct Form) สำหรับโครงสร้างแบบปริภูมิสเตทและใช้จำนวนตัวคูณน้อยที่สุดคือ 6 ตัว ดังแสดงในรูปที่ 3.3



รูปที่ 3.3 โครงสร้างปริภูมิสเตทแบบ Controllable Canonical Form

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

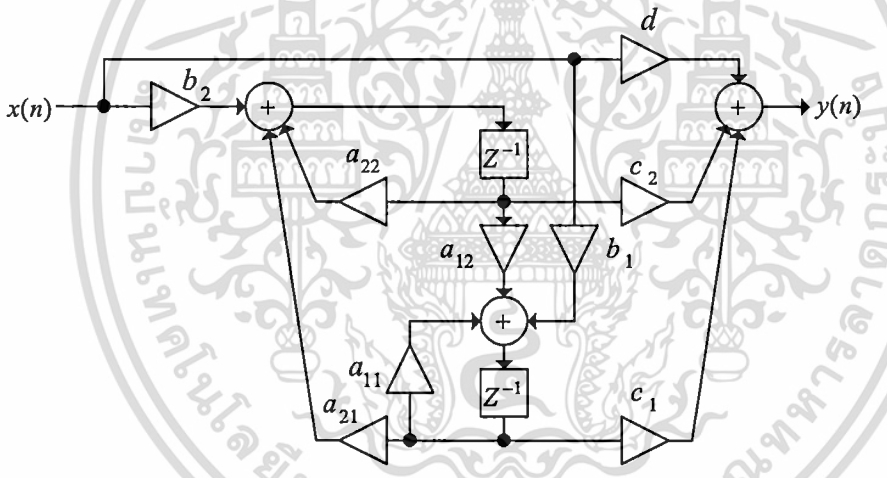
ค่าสัมประสิทธิ์ของเมตริกซ์จะใช้วิธี L_2 norm ในการสเกลลิ่ง จะได้

$$\begin{aligned} a_{11} &= 0 \qquad a_{21} = -\beta_2 \qquad b_1 = 0 \qquad c_1 = \alpha_2 / b_2 \\ a_{12} &= 1 \qquad a_{22} = -\beta_1 \qquad b_2 = \sqrt{\frac{1-\beta_2}{1+\beta_2}[(\beta_2+1)^2 - \beta_1^2]} \qquad c_2 = \alpha_1 / b_2 \end{aligned} \tag{3.8}$$

สำหรับโครงสร้างแบบ Minimum Noise จะให้ค่า Noise Gain G_N มีค่าต่ำสุด โดยที่เงื่อนไขสำหรับ Minimum Noise ในสมการอันดับ 2 จะมีค่าดังนี้

$$a_{11} = a_{12} \qquad \text{และ} \qquad b_1 c_1 = b_2 c_2 \tag{3.9}$$

โครงสร้าง Minimum Noise แบบปริภูมิสเตทได้มาจากการแปลงคล้ายจากการแปลงเมตริกซ์ T ในรูปที่ 4.4 แสดงโครงสร้าง Minimum Noise โดยใช้ตัวคูณสูงสุด 9 ตัว



รูปที่ 3.4 โครงสร้างแบบ Minimum Noise Structure

ค่าสัมประสิทธิ์ของเมตริกซ์จะใช้วิธี L_2 norm ในการสเกลลิ่ง จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$a_{11}=a_{22}=-\frac{\beta_1}{2} \qquad \mu=\sqrt{\left(\frac{\alpha_2}{\alpha_1}\right)^2-\frac{\alpha_2}{\alpha_1}\beta_1+\beta_2} \qquad \gamma=\frac{\alpha_2}{\alpha_1}-\mu$$

$$\xi=\frac{\alpha_2}{\alpha_1}+\mu \qquad \lambda=(\beta_2-1)\,[(\beta_2+1)^2-\beta_1^2] \qquad \epsilon=\left(\frac{\beta_1}{2}\right)^2-\beta_2 \tag{3.10}$$

$$b_1=\sqrt{\frac{\lambda}{2\beta_1\gamma-(\beta_2+1)(1+\gamma^2)}} \qquad b_2=\sqrt{\frac{\lambda}{2\beta_1\xi-(\beta_2+1)(1+\xi^2)}}$$

$$a_{21}=\sqrt{\frac{b_2^2+\beta_2-1}{b_1^2+\beta_2-1}}\epsilon \qquad a_{12}=\frac{\epsilon}{a_{21}} \qquad c_1=\frac{\alpha_1}{2b_1} \qquad c_2=\frac{\alpha_1}{2b_2}$$

3.1.4 โครงสร้างเลขคณิตกระจายของวงจรกรองสัญญาณเชิงเลขแบบปริภูมิสเตท

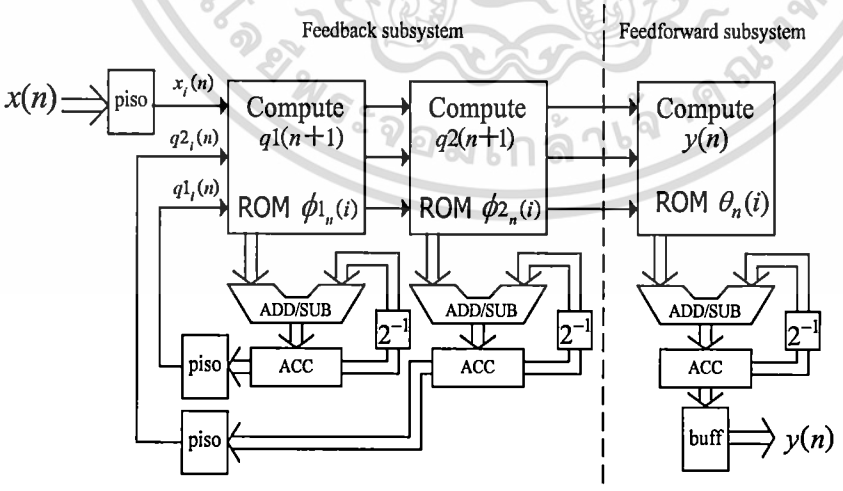
วิธีแก้ปัญหาของจำนวนตัวคูณแบบปริภูมิสเตทสามารถทำได้โดยโครงสร้างเลขคณิตกระจาย สำหรับโครงสร้าง Minimum Noise ซึ่งอธิบายในสมการที่ (3.6) และ (3.7) สามารถเขียนใหม่ให้อยู่ในรูปสมการสเตท 2 สมการ และสมการเอาท์พุต 1 สมการดังนี้

$$q1(n+1)=a_{11}q1(n)+a_{12}q2(n)+b_1x(n) \tag{3.11}$$

$$q2(n+1)=a_{21}q1(n)+a_{22}q2(n)+b_2x(n) \tag{3.12}$$

$$y(n)=c_1q1(n)+c_2q2(n)+d\,x(n) \tag{3.13}$$

การคำนวณแบบโครงสร้างเลขคณิตกระจายใช้หน่วยความจำ 2 ตัวคือ ROM $\phi 1_n(i)$ และ ROM $\phi 2_n(i)$ สำหรับทำการคำนวณค่า State Vector 2 สมการตามสมการที่ (3.11) และ (3.12) และใช้ ROM $\theta_n(i)$ ทำการคำนวณสมการเอาท์พุต วงจรกรองสัญญาณแบบ Minimum Noise โครงสร้างเลขคณิตกระจายแสดงดังในรูปที่ 3.5



รูปที่ 3.5 โครงสร้าง Minimum Noise ที่แทนด้วยโครงสร้างเลขคณิตกระจาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าที่เก็บอยู่ใน ROM $\phi 1_n(i), \phi 2_n(i), \theta_n(i)$ สามารถหาค่าโดยใช้สมการ (3.11) - (3.13) โดยแสดงค่าต่าง ๆ ที่เก็บเป็น ระดับบิตได้ดังที่แสดง

$$\phi 1_n(i) = a_{11} q1_i(n) + a_{12} q2_i(n) + b_1 x_i(n) \tag{3.14}$$

$$\phi 2_n(i) = a_{21} q1_i(n) + a_{22} q2_i(n) + b_2 x_i(n) \tag{3.15}$$

$$\theta_n(i) = c_1 q1_i(n) + c_2 q2_i(n) + d\, x_i(n) \tag{3.16}$$

ค่า สเตทเวกเตอร์ และ สมการเอาท์พุตสามารถหาได้ดังสมการ

$$q1(n+1) = -\phi 1_n(0) + \sum_{i=1}^{L-1} \phi 1_n(i)\, 2^{-i} \tag{3.17}$$

$$q2(n+1) = -\phi 2_n(0) + \sum_{i=1}^{L-1} \phi 2_n(i)\, 2^{-i} \tag{3.18}$$

$$y(n) = -\theta_n(0) + \sum_{i=1}^{L-1} \theta_n(i)\, 2^{-i} \tag{3.19}$$

ค่า L บิทจะมีค่าที่แม่นยำ โดยที่กำหนดให้ทุกสัญญาณอยู่ในช่วง ± 1 และอยู่ในรูปเลขส่วนเติมเต็มสอง เพราะว่าใช้ ROM 3 ตัว แต่ละ ROM สามารถเก็บค่าได้ 8 ค่า

เขียน รูปแบบ Controllable Canonical Form ให้อยู่ในรูป

$$q1(n+1) = q2(n) \tag{3.20}$$

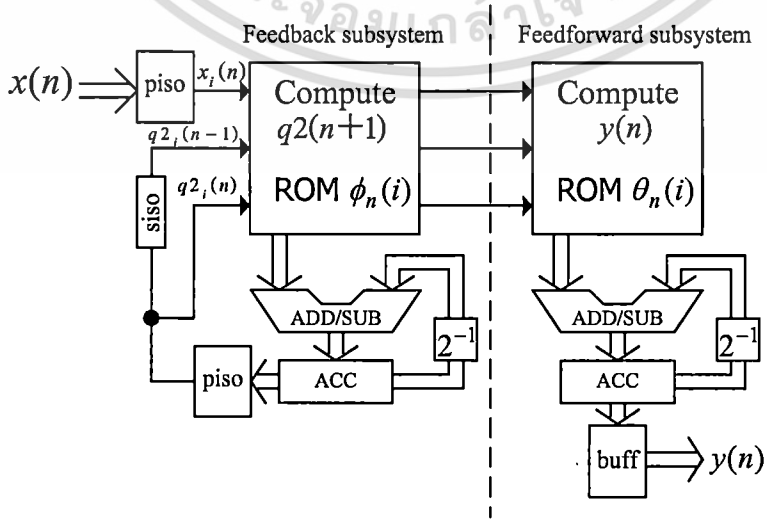
$$q2(n+1) = a_{21} q1(n) + a_{22} q2(n) + b_2 x(n) \tag{3.21}$$

$$y(n) = c_1 q1(n) + c_2 q2(n) + d\, x(n) \tag{3.22}$$

จากสมการที่ (3.20) จะเห็นว่า $q1(n)$ มีค่าเท่ากับการเลื่อนบิทของ $q2(n)$ ไป 1 ตัวอย่างโดยใช้ วงจรเลื่อนบิต เราจึงเขียนสมการได้ใหม่

$$q2(n+1) = a_{22} q2(n) + a_{21} q2(n-1) + b_2 x(n) \tag{3.23}$$

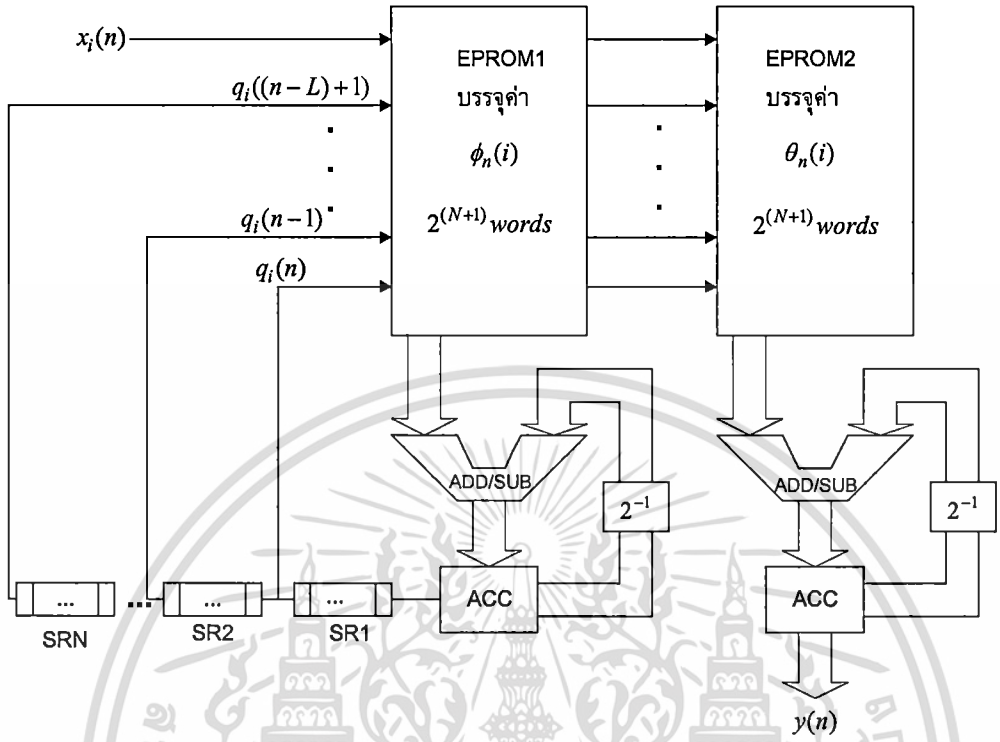
$$y(n) = c_2 q2(n) + c_1 q2(n-1) + d\, x(n) \tag{3.24}$$



รูปที่ 3.6 โครงสร้าง Controllable Canonical Form ที่แทนด้วยโครงสร้างเลขคณิตกระจาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจากที่กล่าวมาทั้งหมดสามารถออกแบบเป็นวงจรกรองสัญญาณอันดับที่ N ได้ ดังแสดงในรูปที่ 3.7



รูปที่ 3.7 โครงสร้างวงจรกรองสัญญาณเชิงเลขอันดับที่ N แบบ Controllable Canonical Form

วิธีการแทนสมการผลต่างสืบเนื่องด้วยปริภูมิสเตทแบบ Controllable Canonical Form นี้ จะทำให้ตัวแปรที่เป็นลำดับสัญญาณอินพุทเหลือจำนวนเพียง N + 1 ตัว ดังนั้น ค่าในตารางเปิดดูจะมีค่าเท่ากับ $2\times(2^{N+1})$ ค่า เพราะฉะนั้นขนาดของหน่วยความจำที่ใช้จะมีขนาด $2L\times(2^{N+1})$ บิท ซึ่งจะเห็นได้ว่า วงจรกรองสัญญาณเชิงเลขที่ออกแบบโดยการแทนด้วยปริภูมิสเตทที่นำเสนอจะใช้หน่วยความจำน้อยกว่าการออกแบบจากสมการผลต่างสืบเนื่องโดยตรง และถ้าอันดับของวงจรกรองยิ่งมีค่ามากขึ้นซึ่งโดยปกติขนาดของหน่วยความจำที่ใช้จะมีขนาดเพิ่มขึ้นในลักษณะเอ็กซ์โปเนนเชียล อัตราส่วนการประหยัดหน่วยความจำ (Saving Ratio) ก็จะมีค่ามากขึ้นตามไปด้วยซึ่งเป็นการใช้หน่วยความจำอย่างมีประสิทธิภาพ โดยสามารถสรุปได้เป็นสมการ

$$r = \frac{L\times(2^{2N+1})}{2L\times(2^{N+1})}$$

$$= \frac{2^{2N}}{2^{N+1}}$$

$$\therefore \quad r = 2^{N-1} \tag{3.25}$$

โดย r = Saving Ratio

N = อันดับของวงจรกรองสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรกรองสัญญาณเชิงเลขที่ใช้โครงสร้างเลขคณิตกระจายโดยการแทนด้วยปริภูมิสเตทในอันดับที่ 2

ฟังก์ชั่นถ่ายโอนของวงจรกรองสัญญาณเชิงเลขอันดับที่ 2 คือ

$$H(z)=\frac{0.0675+0.1349z^{-1}+0.0675z^{-2}}{1+1.1430z^{-1}-0.4128z^{-2}}$$

สามารถเขียนเป็นสมการผลต่างสืบเนื่องแทนความสัมพันธ์ของวงจรกรองได้ดังนี้

$$y(\mathrm{n})=0.0675\,\mathrm{x(n)}+0.1349(\mathrm{n-1})+0.0675\,\mathrm{x(n-2)}-1.1430\mathrm{y(n-1)}+0.4128\,\mathrm{y(n-2)}$$

ทำการหาค่าสเตทโคแวเรียนซ์เมตริกซ์ $\boldsymbol{K}$ เพื่อใช้สำหรับการสเกลลิ่ง ตามกฎของ L_2 *norm* จะได้

$$\mathrm{K}=\begin{bmatrix}1 & 0.57735026\\ 0.57735026 & 1\end{bmatrix}$$

ทำการแทนสมการผลต่างสืบเนื่องให้อยู่ในรูปของปริภูมิสเตท โดยทำการหาค่าเมตริกซ์ A, B, C และ D ที่ผ่านการสเกล จะได้

$$\mathrm{A}_s=\begin{bmatrix}0.72076515 & -0.12514471\\ 0.37543413 & 0.7207651\end{bmatrix}\qquad \mathrm{B}_s=\begin{bmatrix}0.75431447\\ 0.16457527\end{bmatrix}$$

$$\mathrm{C}_s=\begin{bmatrix}0.07126318 & 0.32662774\end{bmatrix}\qquad \mathrm{D}_s=\begin{bmatrix}0.03123892\end{bmatrix}$$

3.3 ผลการใช้โปรแกรม Matlab ในการออกแบบ

หน้าที่หลักของโปรแกรม Matlab จะใช้ในการคำนวณหาค่าเก็บไว้ในตารางเปิดดู โดยการนำค่าเมตริกซ์ที่ผ่านการสเกลแล้วคือ $\boldsymbol{A_s, B_s, C_s, D_s}$ ในข้างต้นมาทำการหาค่าเก็บไว้ในตารางเปิดดู โดยอาศัยสมการที่ (4.14) และสมการที่ (4.16) โดยมีค่าแอดเดรสเริ่มจาก 000 – 111 จากนั้นแทนค่าแอดเดรสทั้งหมดลงในสมการ โดยโครงสร้างแบบ Controllable Canonical Form จะใช้ 2 สมการก็จะได้ค่า $\phi_n(i)$ และ $\theta_n(i)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามลำดับ ส่วน โครงสร้างแบบ Minimum Noise จะใช้ 3 สมการคือสมการที่ (3.14), (3.15) และ (3. 16) ก็จะได้ค่า $\phi_{1n}(i)$, $\phi_{2n}(i)$ และ $\theta_n(i)$ ตามลำดับ โดยหน้าจอของโปรแกรมที่ใช้ในการออกแบบสามารถแสดงได้ดังนี้

ตารางที่ 3.1 ค่า $\phi_n(i)$ ที่บรรจุไว้ในตารางเปิดดูของโครงสร้าง Controllable Canonical Form

$q_i(n)$	$q_i(n-1)$	$x_i(n)$	F	$F/2$	$\phi_n(i)$
0	0	0	0.00000000	0.0000000	0000 0000
0	0	1	0.32251982	0.16125991	00010101
0	1	0	-0.56648600	-0.28324300	11011100
0	1	1	-0.24396617	-0.12198308	11110000
1	0	0	1.44153030	0.72076515	01011100
1	0	1	1.76405013	0.88202506	0110 1011
1	1	0	0.87504430	0.43752215	00111000
1	1	1	1.197564135	0.59878206	01001101

ตารางที่ 3.2 ค่า $\theta_n(i)$ ที่บรรจุไว้ในตารางเปิดดูของโครงสร้าง Controllable Canonical Form

$q_i(n)$	$q_i(n-1)$	$x_i(n)$	F	$\theta_n(i)$
0	0	0	0.00000000	0000 0000
0	0	1	0.03123892	00000100
0	1	0	0.04198969	00000101
0	1	1	0.07322862	00001001
1	0	0	0.33334292	00101011
1	0	1	0.36458184	00101111
1	1	0	0.37533262	00110000
1	1	1	0.40657154	00110100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.3 ค่า $\phi_1(i)$ ที่บรรจุไว้ในตารางเปิดดูของโครงสร้างแบบ Minimum Noise Structure

$q_1(n)$	$q_1(n-1)$	$x_1(n)$	F	$F/2$	$\phi_1(i)$
0	0	0	0.00000000	0.0000000	0000 0000
0	0	1	0.75431447	0.37715723	00010101
0	1	0	-0.12514471	-0.0625723	11111000
0	1	1	0.62916975	0.3145848	00101000
1	0	0	0.72076515	0.36038257	00101110
1	0	1	1.47507962	0.73753981	01011110
1	1	0	0.595620444	0.29781022	00100110
1	1	1	1.349934914	0.67496745	01010110

ตารางที่ 3.4 ค่า $\phi_2(i)$ ที่บรรจุไว้ในตารางเปิดดูของโครงสร้างแบบ Minimum Noise Structure

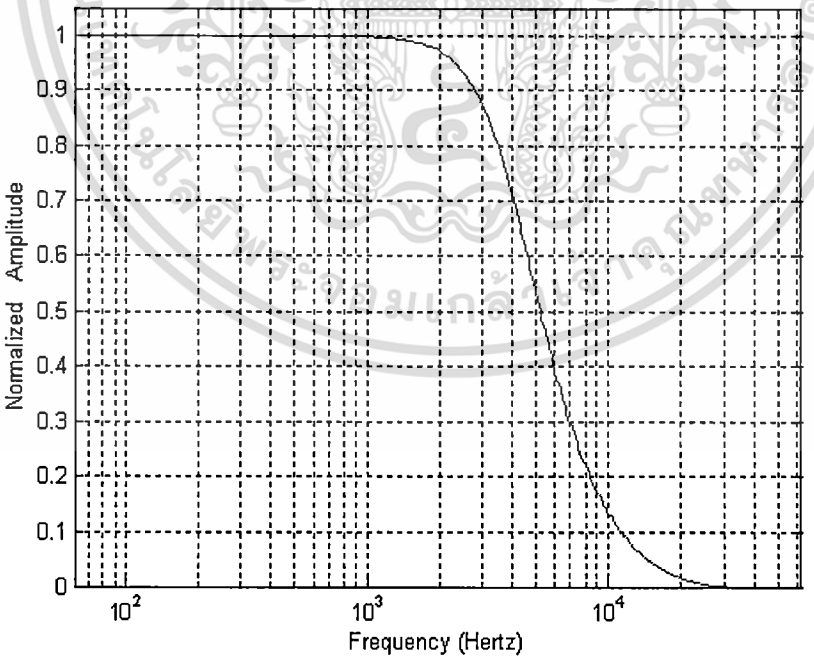
$q_2(n)$	$q_2(n-1)$	$x_2(n)$	F	$F/2$	$\phi_2(i)$
0	0	0	0.00000000	0.0000000	0000 0000
0	0	1	0.16457527	0.08228763	00001011
0	1	0	0.72076515	0.36038257	00101110
0	1	1	0.885340430	0.44267021	00111001
1	0	0	0.375434132	0.187717066	00011000
1	0	1	0.540009408	0.270004704	00100011
1	1	0	1.096199287	0.548099643	01000110
1	1	1	1.2607745630	0.630387281	01010001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.5 ค่า $\theta_n(i)$ ที่บรรจุไว้ในตารางเปิดดูของโครงสร้างแบบ Minimum Noise Structure

$q_1(n)$	$q_1(n-1)$	$x_1(n)$	F	$\theta_n(i)$
0	0	0	0.00000000	0000 0000
0	0	1	0.03123892	00000100
0	1	0	0.32662774	00101010
0	1	1	0.35786667	00101110
1	0	0	0.07126318	00001001
1	0	1	0.10250210	00001101
1	1	0	0.39789093	00110011
1	1	1	0.42912985	00110111

นอกจากนี้เรายังโปรแกรม Matlab ในการแสดงค่าผลตอบสนองทางความถี่โดยกำหนดให้ เป็นวงจรกรองสัญญาณความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ท อันดับที่ 2 ความถี่คัทออฟ ที่ 4 kHz และ ความถี่ในการสุ่มตัวอย่างที่ 62.5 kHz รวมทั้งทำการจำลองการทำงานและสเปกตรัมของสัญญาณอินพุตและเอาท์พุตที่ใช้ในการจำลองการทำงาน



รูปที่ 3.8 แสดงการจำลองผลตอบสนองทางความถี่

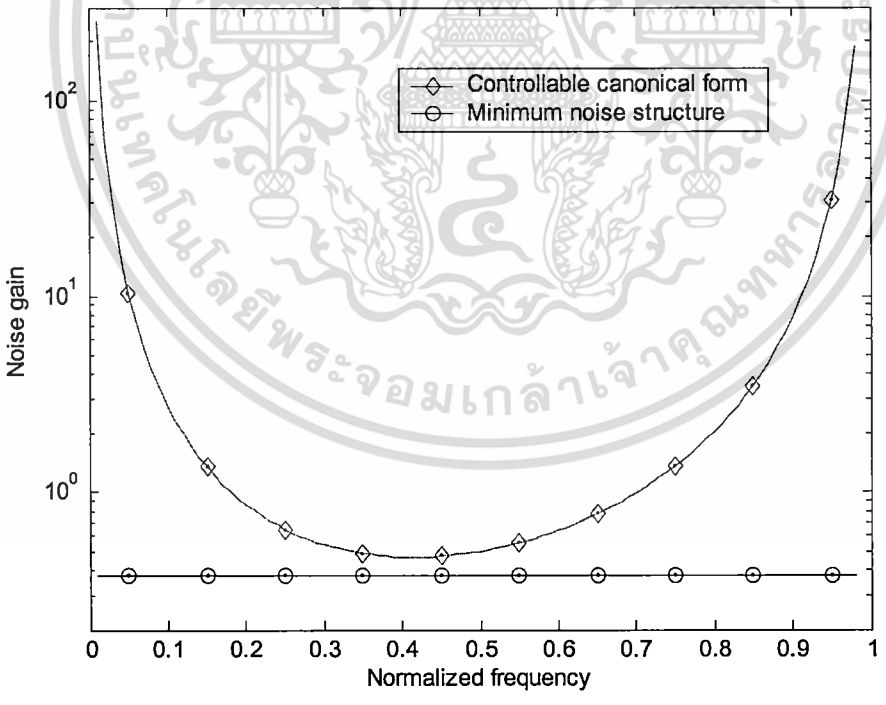
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การเปรียบเทียบคุณสมบัติระหว่างโครงสร้าง Controllable Canonical Form กับโครงสร้าง Minimum Noise Structure

ถึงแม้ว่าโครงสร้าง Minimum Noise แบบโครงสร้างเลขคณิตกระจาย ต้องใช้ ROM และ สเกลลิ่งแอดดิวมูเลเตอร์เพื่อใช้ในการคำนวณ State Vector มากกว่าแบบ Controllable Canonical Form เพราะว่าแบบ Controllable Canonical Form มีสมการสเตทเพียง 1 สมการ แต่ทั้งสองแบบก็ใช้วิธีการเดียวกันนั่นก็คือใช้วงจร Control Unit เดียวกัน เพราะว่าสัญญาณทุกสัญญาณในระดับบิตจะต่อแบบขนานกับ ROM แต่ละตัว ซึ่งการประมวลผลจะทำงานแบบขนานกัน ดังนั้นโครงสร้าง Minimum Noise และ Controllable Canonical Form สามารถทำงานที่ความถี่เดียวกัน

ผลการ Simulation และ Synthesis โครงสร้างแบบ Controllable Canonical Form และแบบ Minimum Noise Structure

ค่าคงที่ในการปัดเศษสัญญาณรบกวนระหว่าง โครงสร้างแบบ Controllable Canonical Form และแบบ Minimum Noise Structure แสดงในรูปที่ 3.9 โดยตัวอย่างที่ใช้สังเคราะห์เป็นแบบวงจรกรองสัญญาณความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ทอันดับที่ 2

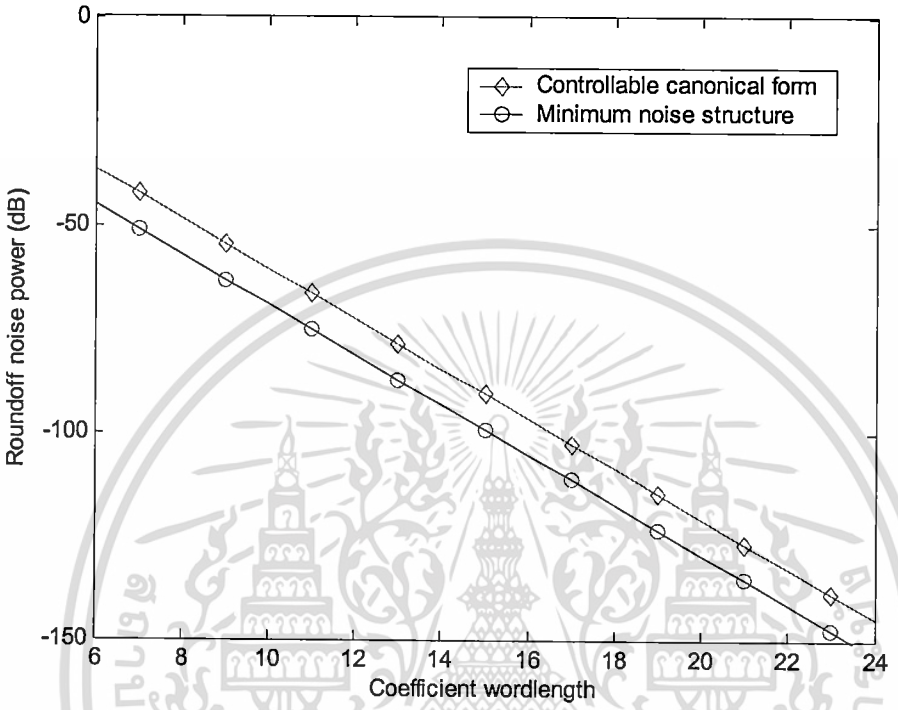


รูปที่ 3.9 การเปรียบเทียบของค่าคงที่การปัดเศษของสัญญาณรบกวน

จากรูปที่ 3.11 จะเห็นว่าแบบ Controllable Canonical Form จะมีค่าสัญญาณรบกวนต่ำที่สุดที่ตรงย่านความถี่กลาง Normalize หรือสามารถกล่าวได้ว่าย่านความถี่ผ่านอยู่ตรงกลาง ซึ่งก็คือ Pole ของระบบอยู่ใกล้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\pm\pi/2$ สำหรับโครงสร้างแบบ Minimum Noise จะมีค่าสัญญาณรบกวนต่ำที่สุดทุกย่านความถี่ Normalize จากข้างต้นถ้าต้องการออกแบบวงจรกรองสัญญาณแบนด์แคบเช่น ω_c = 0.1 π โครงสร้างแบบ Minimum Noise สามารถทำได้เพราะจากกราฟค่า Noise Gain มีค่า 0.375 แต่ว่าถ้าเป็นแบบ Controllable Canonical Form มีค่า Noise Gain คือ 2.7461



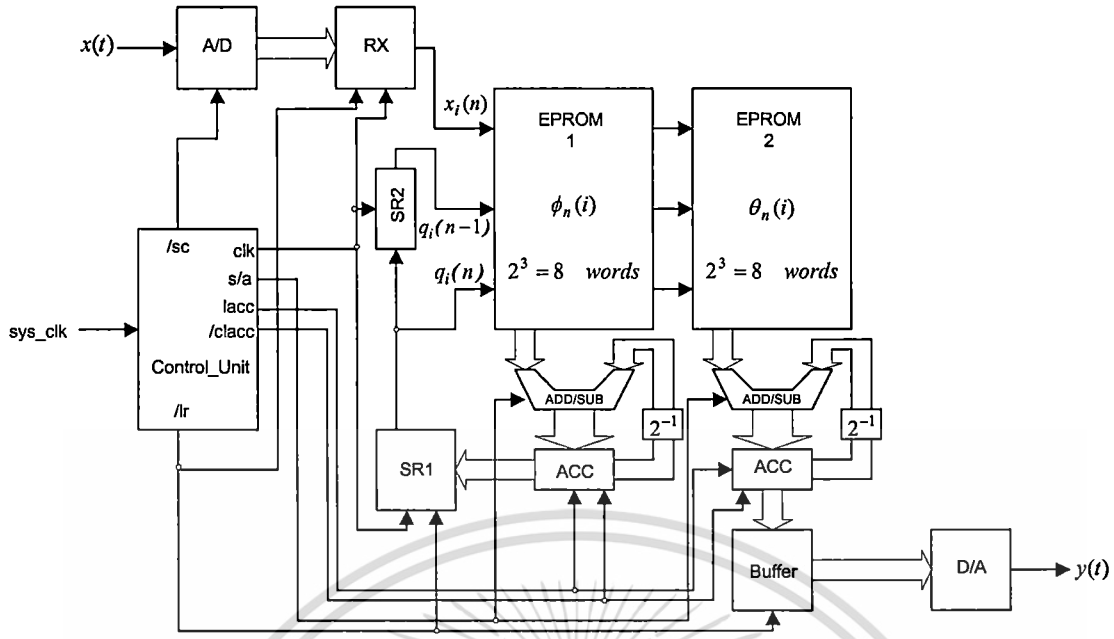
รูปที่ 3.10 กำลังงานของสัญญาณรบกวนเนื่องจากการปัดเศษของทั้งสองโครงสร้าง

รูปที่ 3.10 แสดงค่ากำลังงานของสัญญาณที่ต้องการจากการปัดเศษที่ค่าความยาวบิต 6-24 บิต พิจารณาที่ค่าความยาวบิต 8 บิต โครงสร้างแบบ Minimum Noise และ Controllable Canonical Form มีค่า -57.1957dB และ -48.5487 dB ตามลำดับ จากกราฟหากเพิ่มค่าความยาวบิตประมาณ 2 บิต เพื่อที่จะทำการลดค่า สัญญาณรบกวน ทั้งสองแบบจะให้ผลเท่ากัน

3.5 ขั้นตอนในการออกแบบและทดสอบการทำงานของวงจรภายใน

ในการออกแบบโครงสร้างของวงจรกรองสัญญาณเชิงเลข ที่ใช้โครงสร้างเลขคณิตกระจายโดยการแทนด้วยปริภูมิสเตทที่นำเสนอนั้น จะทำการพิจารณาจากวงจรกรองในอันดับที่ 2 เนื่องจากในวงจรที่มีอันดับสูงขึ้นก็จะมีส่วนประกอบที่ใช้งานที่เหมือนกัน ซึ่งโครงสร้างของวงจรกรองสัญญาณเชิงเลขอันดับที่ 2 จากการแทนด้วยปริภูมิสเตท โดยใช้โครงสร้างแบบ Controllable Canonical Form แสดงดังในรูปที่ 3.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



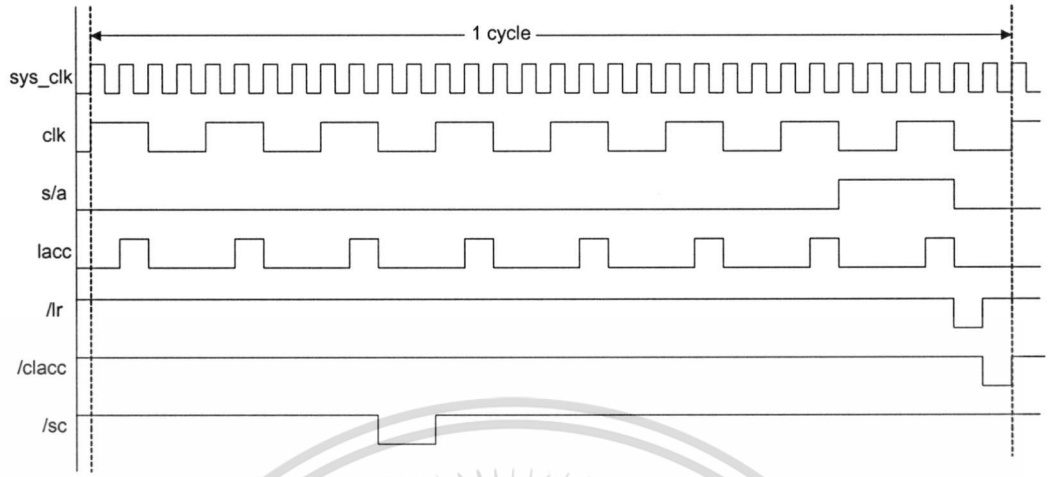
รูปที่ 3.11 โครงสร้างของวงจรกรองสัญญาณเชิงเลขอันดับที่ 2 จากการแทนด้วยปริภูมิสเตทแบบ Controllable Canonical Form

จากรูปที่ 3.11 จะแยกอธิบายขั้นตอนของการทำงานเป็น 4 ขั้นตอน ดังนี้

1. วงจร A/D (Analog to Digital Converter) ซึ่งถูกควบคุมด้วยสัญญาณ /sc จะทำการแปลงสัญญาณเชิงอุปมาน(analog) $x(t)$ ให้เป็นลำดับสัญญาณเชิงเลข(digital) $x(n)$ ขนาด 8 บิท
2. สัญญาณควบคุม/lr ทำหน้าที่โหลดลำดับสัญญาณหรือข้อมูล $x(n)$ เข้าไปเก็บไว้ในรีจิสเตอร์ RX
3. สัญญาณนาฬิกา clk จะทำการเลื่อนข้อมูลภายในรีจิสเตอร์ RX, SR1 และ SR2 ไปครั้งละ 1 บิท เอาท์พุทของรีจิสเตอร์ RX, SR1 และ SR2 ที่ถูกเลื่อนแต่ละครั้งจะเป็นแอดเดรสของ EPROM ทั้ง 2 ตัว เอาท์พุทของ EPROM ทั้ง 2 ตัว จะถูกส่งไปบวกกับค่าที่อยู่ใน ACC ด้วยวงจร ADD/SUB (ซึ่งถูกควบคุมด้วยสัญญาณ s/a) ผลลัพธ์ที่ได้จะถูกโหลดเข้าเก็บไว้ใน ACC ด้วยสัญญาณ lacc (การคูณค่าที่อยู่ใน ACC ด้วย 2^{-1} หรือเป็นการเลื่อนข้อมูลไปทางขวา 1 บิท ก่อนที่จะนำไปบวกกับค่าจาก EPROM ถูกออกแบบในลักษณะฮาร์ดแวร์สเกลลิ่ง (Hardware scaling) จึงไม่จำเป็นที่จะต้องมีวงจรเลื่อนข้อมูลไปทางขวา 1 บิท)
4. clk จะเลื่อนข้อมูลในแต่ละรีจิสเตอร์ไปอีก 1 บิท แล้วกระทำซ้ำข้อ 3 จนกระทั่ง clk เลื่อนข้อมูลไปถึงบิทที่ 8 จึงนำค่าที่ได้จากเอาท์พุทของ EPROM ทั้ง 2 ตัว ไปลบออกจากค่าที่อยู่ใน ACC ผลลัพธ์ที่ได้จากการคำนวณของ EPROM1 จะถูกโหลดเข้าไปเก็บไว้ในรีจิสเตอร์ SR1 ส่วนผลลัพธ์ที่ได้จากการคำนวณของ EPROM2 จะถูกโหลดเข้าไปเก็บไว้ใน buffer (ด้วยสัญญาณ /lr) เพื่อทำการแปลงสัญญาณเชิงเลขให้เป็นสัญญาณเชิงอุปมาน ด้วยวงจร D/A จากนั้นทำการลบข้อมูลภายใน ACC ด้วยสัญญาณ /clacc และจะวนกลับไปทำงานซ้ำในขั้นตอนที่ 1, 2, 3, 4 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

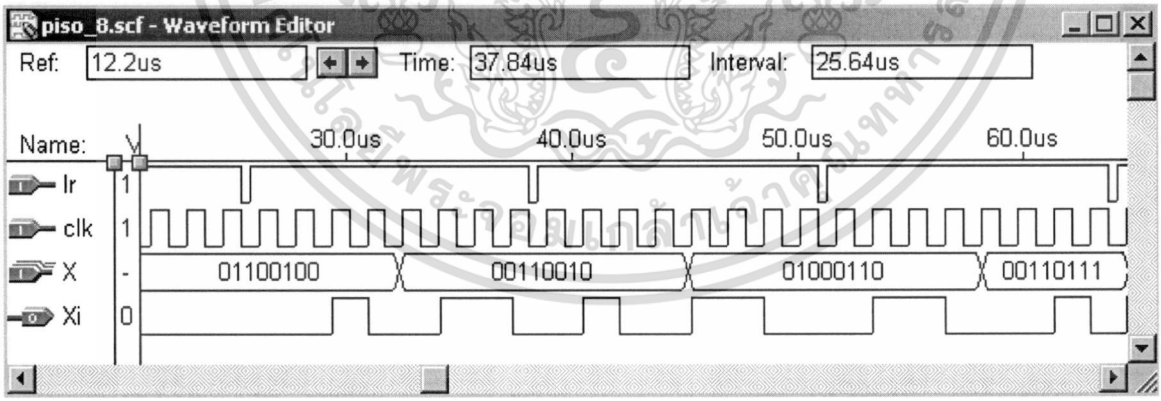
ส่วนสัญญาณที่ใช้ในการควบคุมการทำงานสามารถแสดงไทม์มิ่งไดอะแกรม(Timing Diagram) ได้ดังนี้



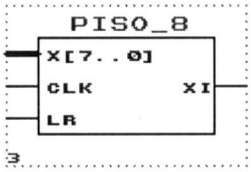
รูปที่ 3.12 ไทม์มิ่งไดอะแกรมของสัญญาณควบคุม

โดยมีขั้นตอนในการออกแบบส่วนต่างๆ ดังนี้

1. รีจิสเตอร์ RX, SR1 ซึ่งเป็น PISO (Parallel in Serial out shift register) และ รีจิสเตอร์ SR2 ซึ่งเป็น SISO (Serial in Serial out shift register) โดยในส่วนของรีจิสเตอร์นี้ถูกออกแบบไว้สำหรับ เลื่อนข้อมูลหรือสัญญาณในรีจิสเตอร์ขนาด 8 บิท ซึ่งผลที่ได้จากการเลื่อนข้อมูลแต่ละบิทจะเป็นตัวกำหนดแอดเดรสของ EPROM และรีจิสเตอร์ Buffer ซึ่งใช้ในการเก็บผลลัพธ์ที่ได้จากการ คำนวณไว้เพื่อรอการแปลงเป็นสัญญาณเชิงอุปมาน โดยมีฟังก์ชั่นการทำงานตามผลการจำลอง การทำงาน ดังนี้

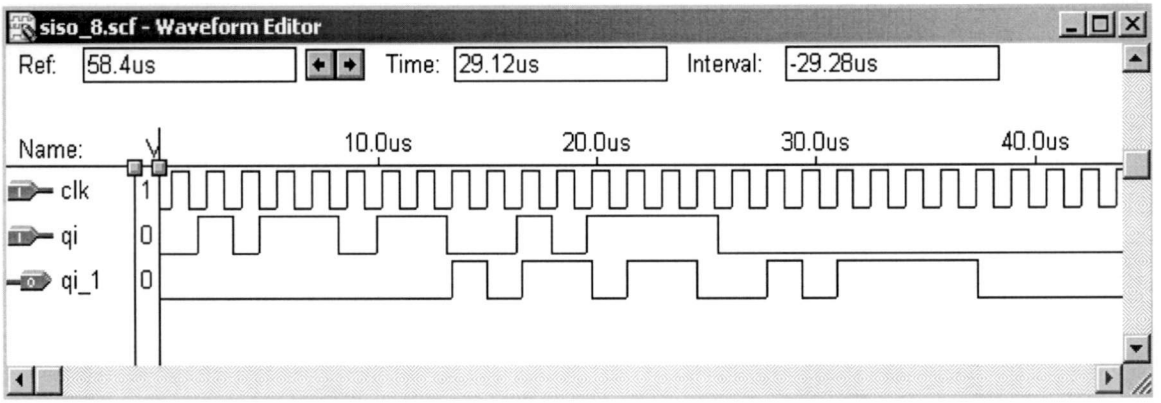


รูปที่ 3.13 การจำลองการทำงานของ PISO



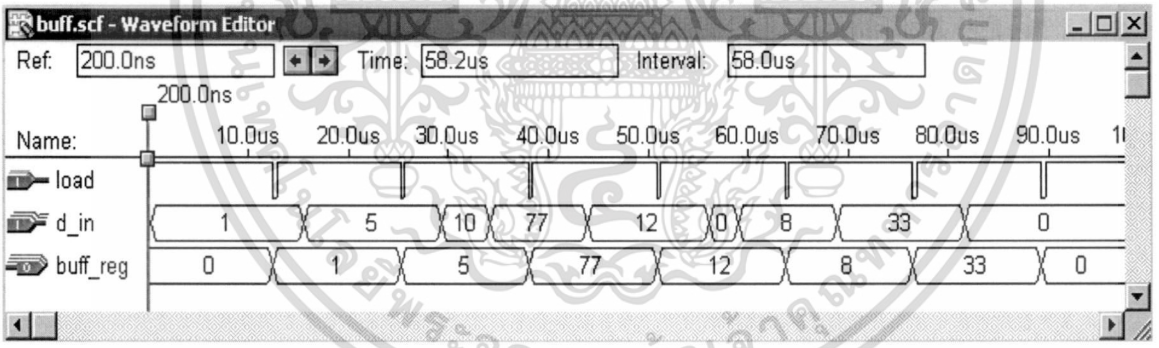
รูปที่ 3.14 สัญลักษณ์วงจร Parallel-in Serial-out ที่เกิดจากการ Schematic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

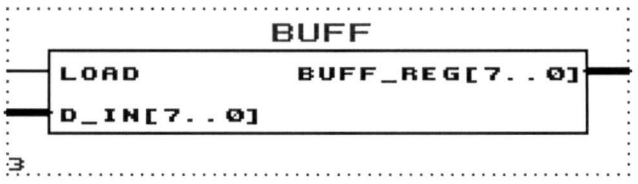


รูปที่ 3.15 การจำลองการทำงานของ SISO

รูปที่ 3.16 สัญลักษณ์วงจร Serial-in Serial-out ที่เกิดจากการ Schematic



รูปที่ 3.17 การจำลองการทำงานของ Buffer

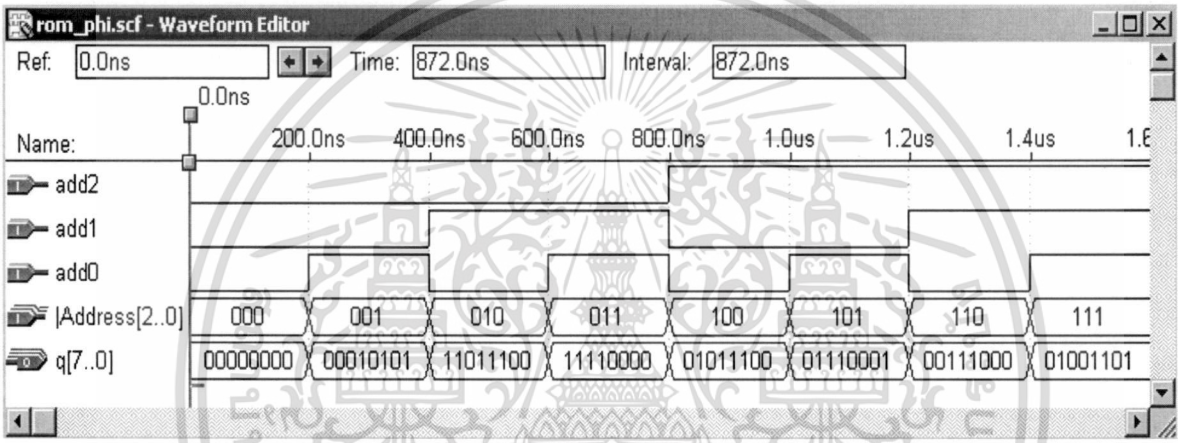


รูปที่ 3.18 สัญลักษณ์วงจร Buffer ที่เกิดจากการ Schematic

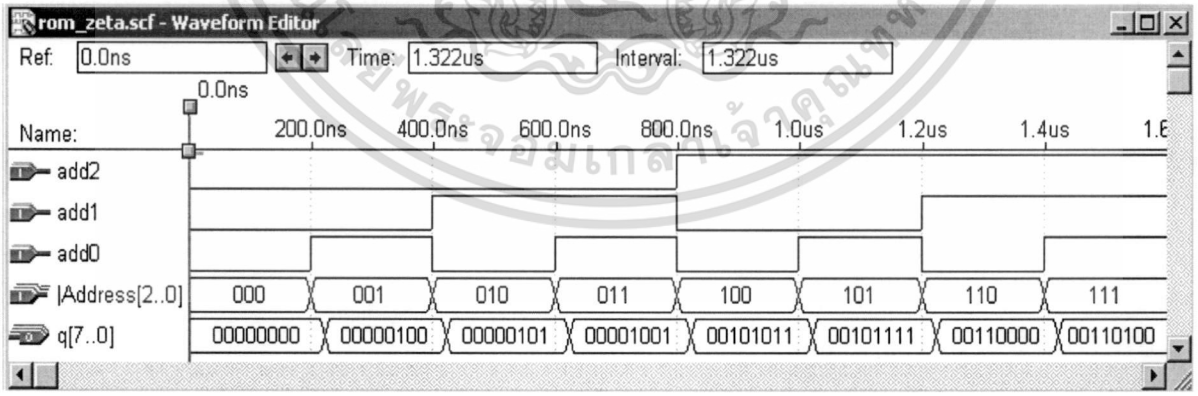
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. หน่วยความจำ EPROM1 และ EPROM2 สำหรับเก็บค่าผลคูณย่อยไว้ในตารางเปิดดู ซึ่งเมื่อเข้าใจหลักการทำงานของโครงสร้างเลขคณิตกระจายก็จะทราบว่าจะต้องใช้ขนาดของหน่วยความจำเท่าใด กรณีของวงจรกรองในอันดับที่ 2 แต่ละหน่วยความจำจะมีขนาดเท่ากับ $8 \times 8 = 64$ บิท (กรณีใช้ความยาวคำของค่าในหน่วยความจำขนาด 8 บิท) โดย EPROM1 จะเก็บค่าที่ใช้คำนวณสมการสเตท และ EPROM2 เก็บค่าที่ใช้ในการคำนวณสมการเอาท์พุท ซึ่งทำการเขียนเป็นหน่วยการออกแบบแพ็กเก็ต (Package Design Unit) เพื่อเก็บค่าในตารางเปิดดู $\phi_n(i)$ และ $\theta_n(i)$ ไว้ในหน่วยการออกแบบนี้ ค่าในตารางเปิดดูนี้สามารถเรียกไปใช้ได้โดยหน่วยการออกแบบเอนทิตี้ (Entity Design Unit) และ หน่วยการออกแบบสถาปัตยกรรม (Architecture Design Unit)

ผลการจำลองการทำงานสามารถแสดงได้ดังนี้



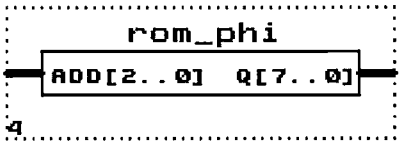
ก. ผลลัพธ์จาก EPROM 1



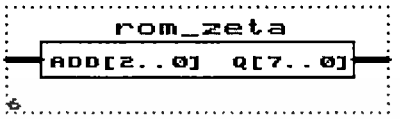
ข. ผลลัพธ์จาก EPROM 2

รูปที่ 3.19 การจำลองการทำงานของหน่วยความจำ EPROM 1 และ EPROM 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

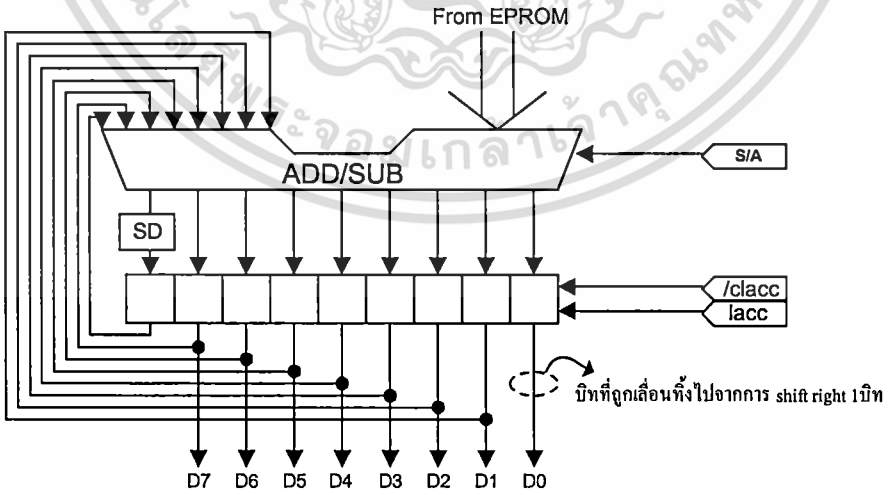


รูปที่ 3.20 สัญลักษณ์ตัวเก็บข้อมูล EPROM1 ที่เกิดจากการ Schematic



รูปที่ 3.21 สัญลักษณ์ตัวเก็บข้อมูล EPROM2 ที่เกิดจากการ Schematic

3. วงจรสเกลลิ่งแอคคิวมูเลเตอร์ (Scaling Accumulator) โดยอาศัยคุณสมบัติการบวกลบแบบเลข ส่วนเติมเต็มสองแทนการคูณโดยตรง ซึ่งประกอบด้วยวงจร บวก/ลบ (ADD/SUB) และ รีจิสเตอร์แอคคิวมูเลเตอร์ เอาท์พุทของรีจิสเตอร์แอคคิวมูเลเตอร์ถูกออกแบบให้เป็นในลักษณะ ฮาร์ดแวร์สเกลลิ่ง (Hardware Scaling) ด้วย 2^{-1} ก่อนที่จะป้อนกลับไปบวกกับค่าที่ออกมาจากหน่วยความจำตัวต่อไป และเพื่อเป็นการหลีกเลี่ยงการเลื่อนบิทผิดพลาดไปยังตำแหน่งของบิท เครื่องหมายในกรณีที่ตัวบวกเกิดการล้น (Overflow) ดังนั้นจึงต้องมีวงจรเพิ่มเติมสำหรับการ ตรวจสอบบิทเครื่องหมาย (Sign Digit) โดยใช้เอ็กคลูซีฟออร์เกท นั่นคือจะเอาบิทเครื่องหมายของข้อมูลที่เข้าวงจรบวก (a° และ b°) และบิทตัวทด (c°) มาทำเอ็กคลูซีฟออร์กัน โดยจากวงจรบวก ถ้า $a+b=d$ ดังนั้นบิทเครื่องหมายของผลลัพธ์จากการเลื่อนข้อมูล (d) ไปทางขวา 1 บิท ($2^{-1}d$) หาได้จากสมการ $d^\circ = a^\circ \oplus b^\circ \oplus c^\circ$



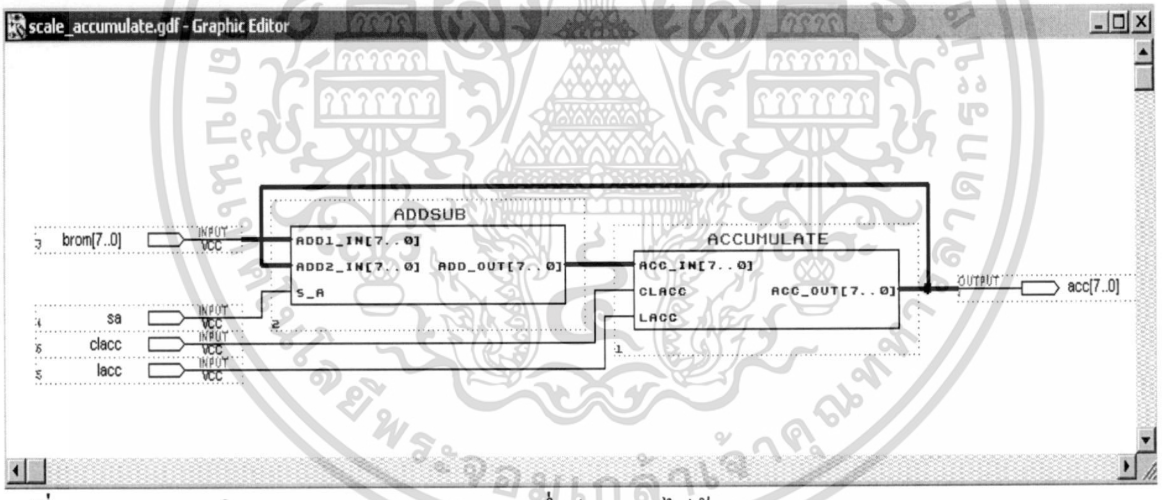
รูปที่ 3.22 วงจรสเกลลิ่งแอคคิวมูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

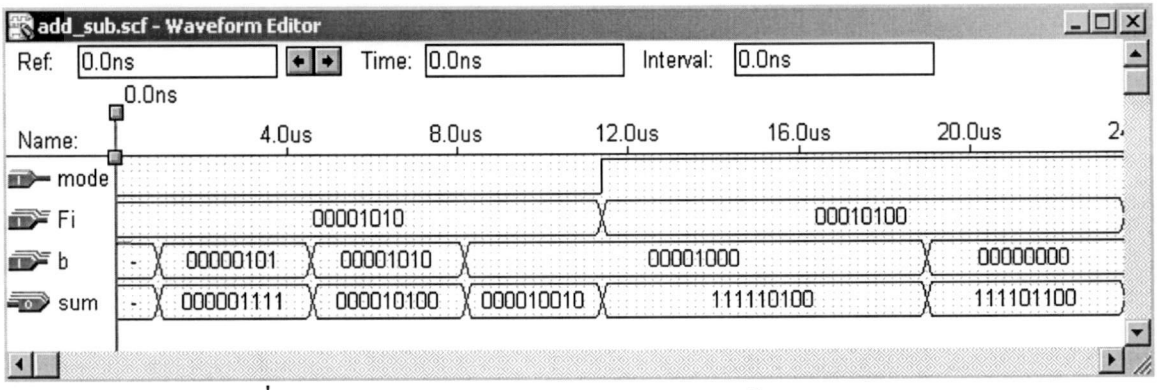
รูปที่ 3.22 แสดงวงจรสเกลลิ่งแอคคิวมูเลเตอร์ โดยมีวงจร SD ใช้เพื่อป้องกันกรณีที่เกิดการล้นของสัญญาณไปทับบิทเครื่องหมาย และแสดงถึงลักษณะการเชื่อมโยงของสัญญาณในลักษณะของฮาร์ดแวร์สเกลลิ่งด้วย 2^{-1} หรือเลื่อนข้อมูลไปทางขวา 1 บิท ซึ่งวงจร SD เสมือนเป็นวงจรที่ใช้เติมบิทเครื่องหมายหลังจากการเลื่อนข้อมูลไปทางขวา โดยแสดงเป็นตัวอย่างการทำงานของวงจรเมื่อเปรียบเทียบกับการคำนวณโดยเลขฐานสิบ ดังนี้

ค่าจาก EPROM	0.046875	0.000 0000
ค่าอินพุทที่จะนำมาบวก	+ 0.015625	+ 0.000 0010
ค่าที่เก็บไว้ใน ACC	0.0625	0 0.000 1000 ; วงจร SD จะให้ผลลัพธ์เป็น 0
	÷ 2	÷ 2
ค่าที่ได้หลังจากการคูณด้วย 2^{-1}	0.03125	0.000 0100 ; เลื่อนข้อมูลไปทางขวา 1 บิท
ค่าจาก EPROM	- 0.25	+ 1.110 0000 ; ลบเลขแบบส่วนเติมเต็มสอง
∴ เอาท์พุท	- 0.21875	1.110 0100 ; มีค่าเท่ากับ –0.21875

ภายในวงจรสเกลลิ่งแอคคิวมูเลเตอร์ Scaling Accumulator แสดงได้ดังนี้

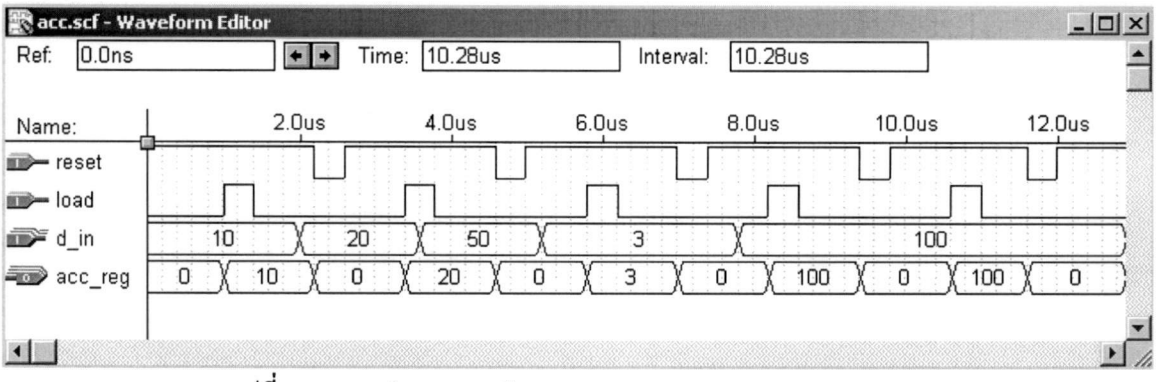


รูปที่ 3.23 วงจรภายในของ Scaling Accumulator ซึ่งประกอบไปด้วยวงจรบวกลบ วงจรบวกสะสม และวงจรหารสอง

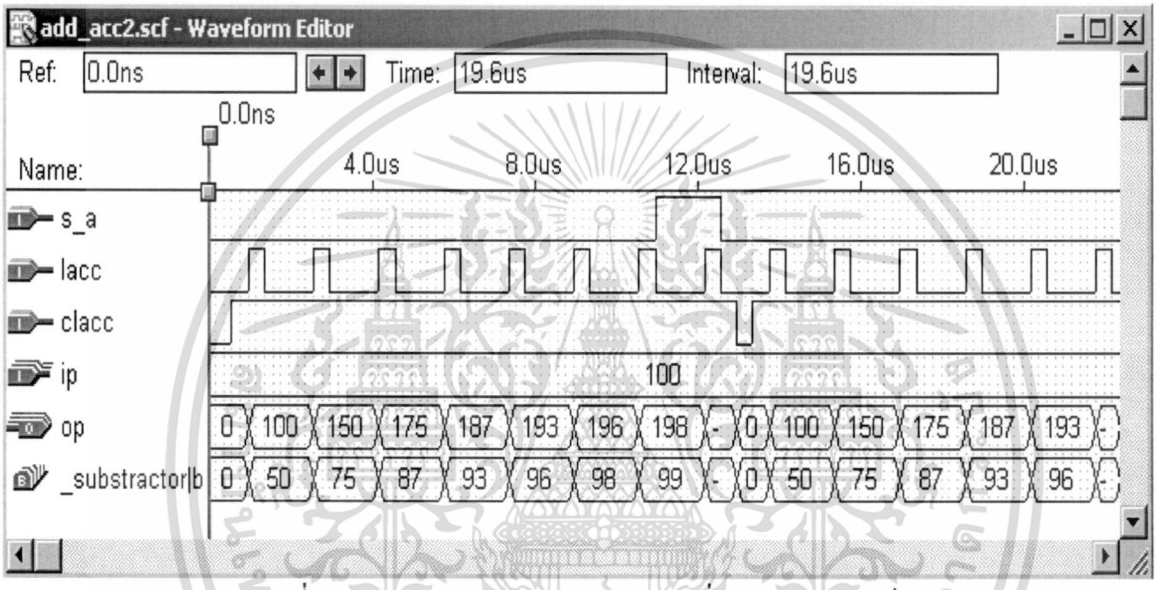


รูปที่ 3.24 การจำลองการทำงานของวงจรบวกลบสัญญาณ Add/Sub

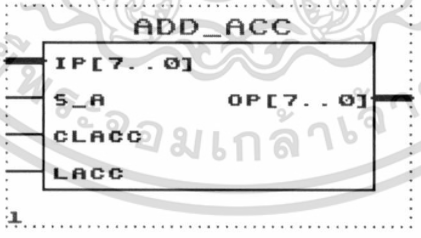
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.25 การจำลองการทำงานของวงจรบวกสะสม Accumulator



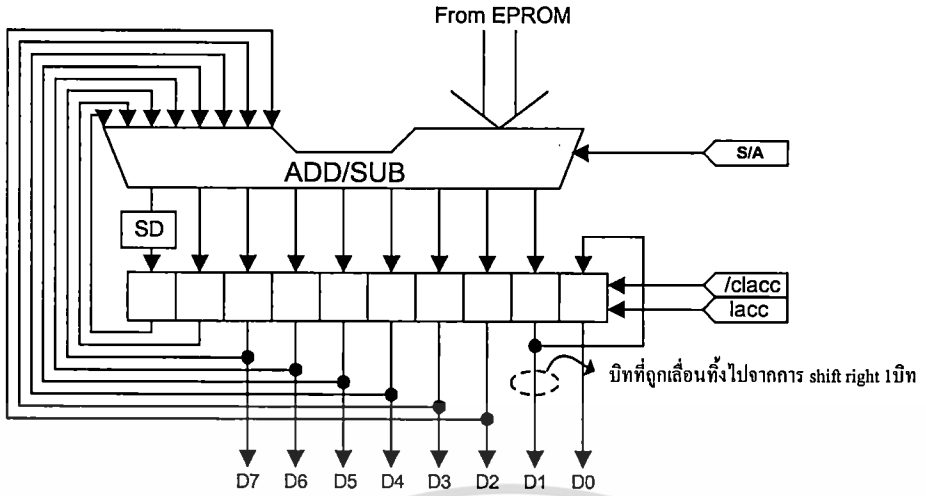
รูปที่ 3.26 การจำลองการทำงานของสเกลลิ่งแอคคิวมูเลเตอร์



รูปที่ 3.27 สัญลักษณ์วงจรสเกลลิ่งแอคคิวมูเลเตอร์ ที่เกิดจากการ Schematic

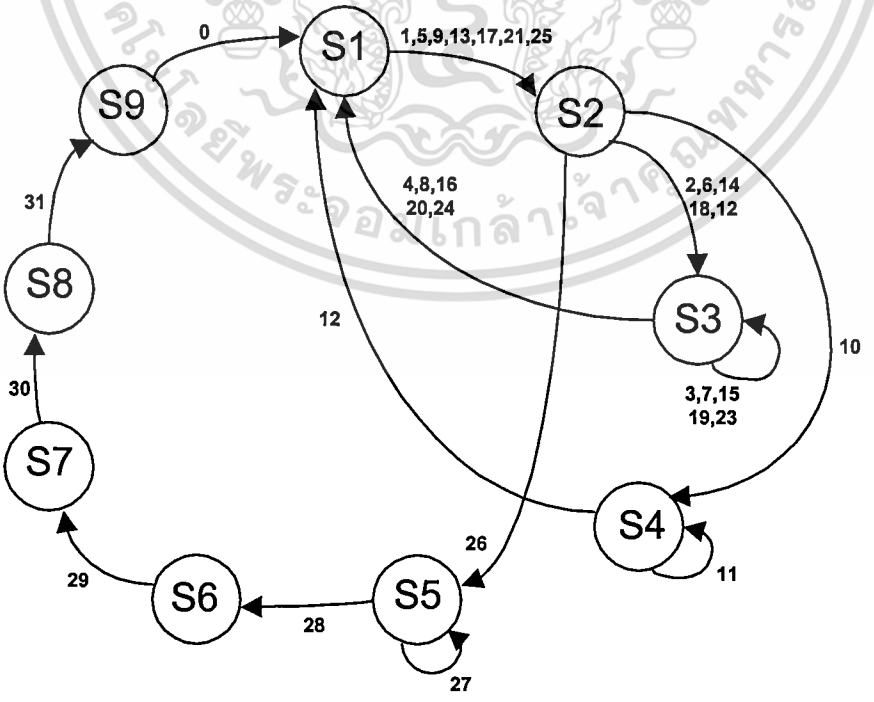
ในกรณีค่าที่จะเก็บไว้ในตารางเปิดดูมีค่าเกิน 1 จะต้องทำการหารให้มีค่าไม่เกินหนึ่ง แต่ก่อนที่จะโหลดเอาท์พุทออกจะต้องมีการคูณกลับก่อน เช่นกรณีที่ค่าในตารางเปิดดูถูกหารด้วย 2 ดังนั้นเวลาโหลดเอาท์พุทออกจะต้องคูณ 2 กลับคืน ซึ่งสามารถแสดงวงจรสเกลลิ่งแอคคิวมูเลเตอร์ ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.28 วงจรสเกลลิ่งแอคคิวมูเลเตอร์ที่มีการคูณ2 กลับคืน

5. วงจรควบคุม Control Unit มีไว้เพื่อควบคุมส่วนต่างๆภายในวงจรกรองสัญญาณเชิงเลขให้ทำงานสอดคล้องกัน เพื่อที่จะสร้างเอาท์พุทที่ถูกต้องตามต้องการ วงจรควบคุมโดยทั่วไปจะผลิตสัญญาณนาฬิกาให้สอดคล้องกับการทำงานและคงสภาพของระดับสัญญาณนั้นๆ ไว้ตาม ช่วงเวลาที่เหมาะสมกับการทำงานนั้นๆ โดยในการออกแบบจะใช้วิธีเขียนเป็นสเตทแมชชีน (State Machine) จากไทม์ทิ่งไดอะแกรมที่กำหนดไว้เพื่อผลิตสัญญาณควบคุม clk, /lr, /sc, lacc, /clacc, s/a โดยมีสเตทไดอะแกรม (State Diagram) ดังนี้



รูปที่ 3.29 สเตทไดอะแกรมของ Control Unit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยมีการกำหนดค่าสเตท (State Assignments) ดังนี้

S1 เป็นสเตทที่ clk, s/a, lacc, /lr, /clacc, /sc มีค่า 100111

S2 เป็นสเตทที่ clk, s/a, lacc, /lr, /clacc, /sc มีค่า 101111

S3 เป็นสเตทที่ clk, s/a, lacc, /lr, /clacc, /sc มีค่า 000111

S4 เป็นสเตทที่ clk, s/a, lacc, /lr, /clacc, /sc มีค่า 000110

S5 เป็นสเตทที่ clk, s/a, lacc, /lr, /clacc, /sc มีค่า 010111

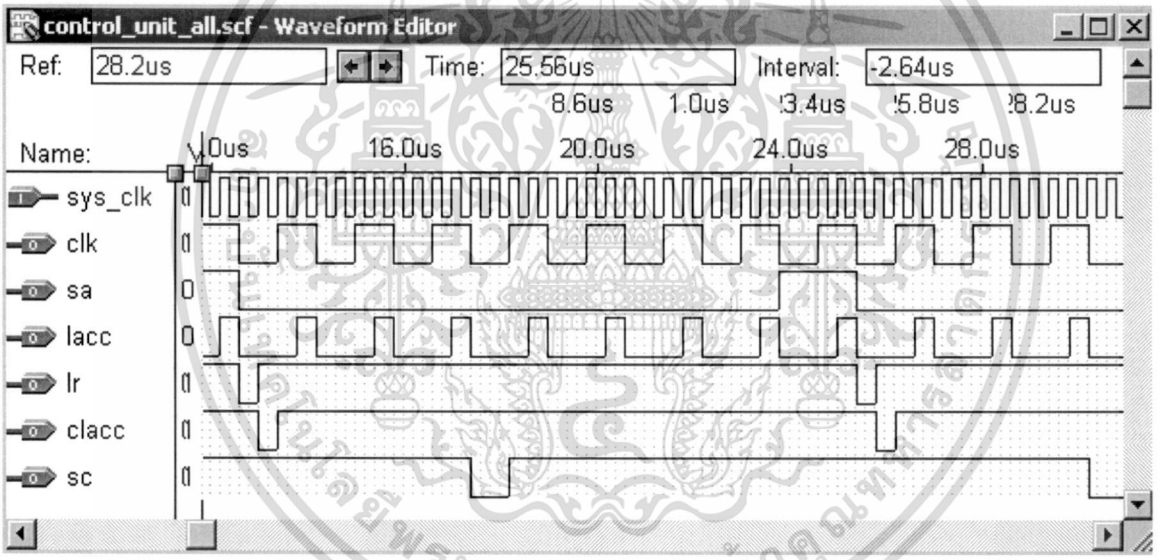
S6 เป็นสเตทที่ clk, s/a, lacc, /lr, /clacc, /sc มีค่า 110111

S7 เป็นสเตทที่ clk, s/a, lacc, /lr, /clacc, /sc มีค่า 111111

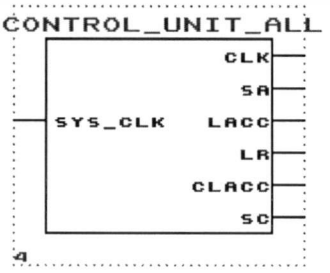
S8 เป็นสเตทที่ clk, s/a, lacc, /lr, /clacc, /sc มีค่า 000011

S9 เป็นสเตทที่ clk, s/a, lacc, /lr, /clacc, /sc มีค่า 000101

ส่วนการจำลองการทำงานสามารถแสดงได้ดังรูป



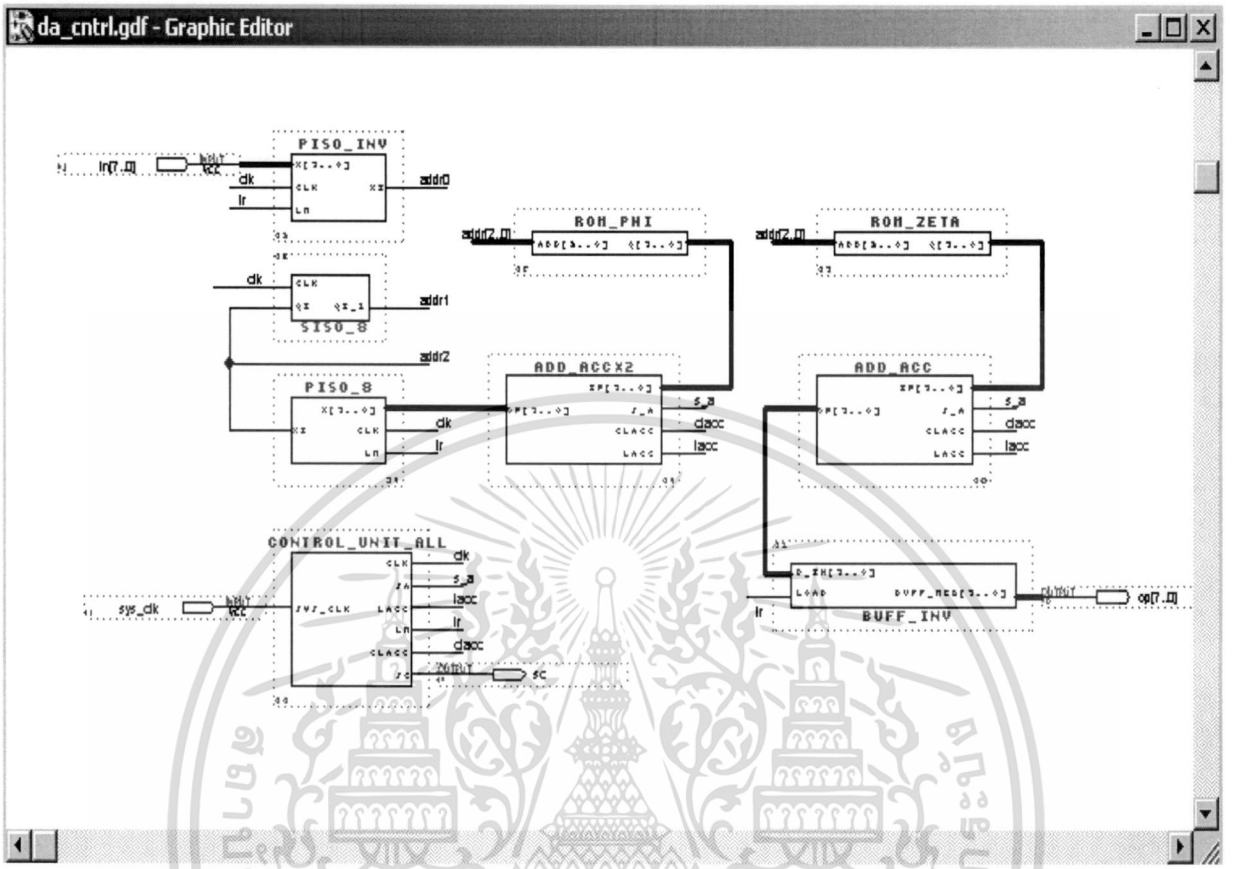
รูปที่ 3.30 การจำลองการทำงานของ Control Unit



รูปที่ 3.31 สัญลักษณ์วงจร Control Unit ที่เกิดจากการ Schematic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

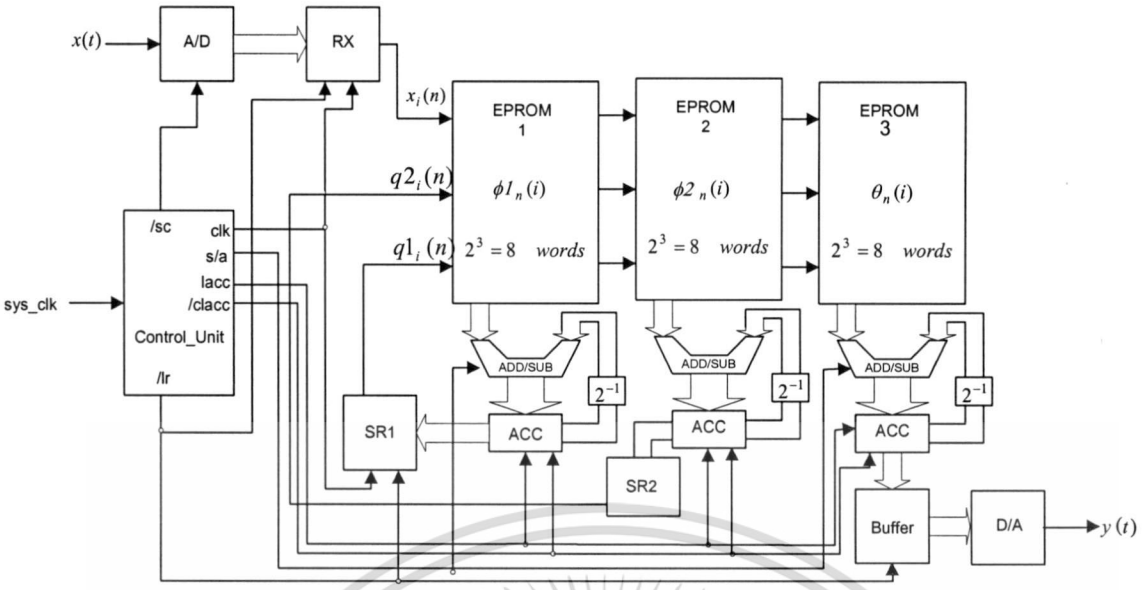
เมื่อได้วงจรครบทุกวงจรแล้วนำแต่ละวงจรมาประกอบกันเป็นวงจร Digital Filter



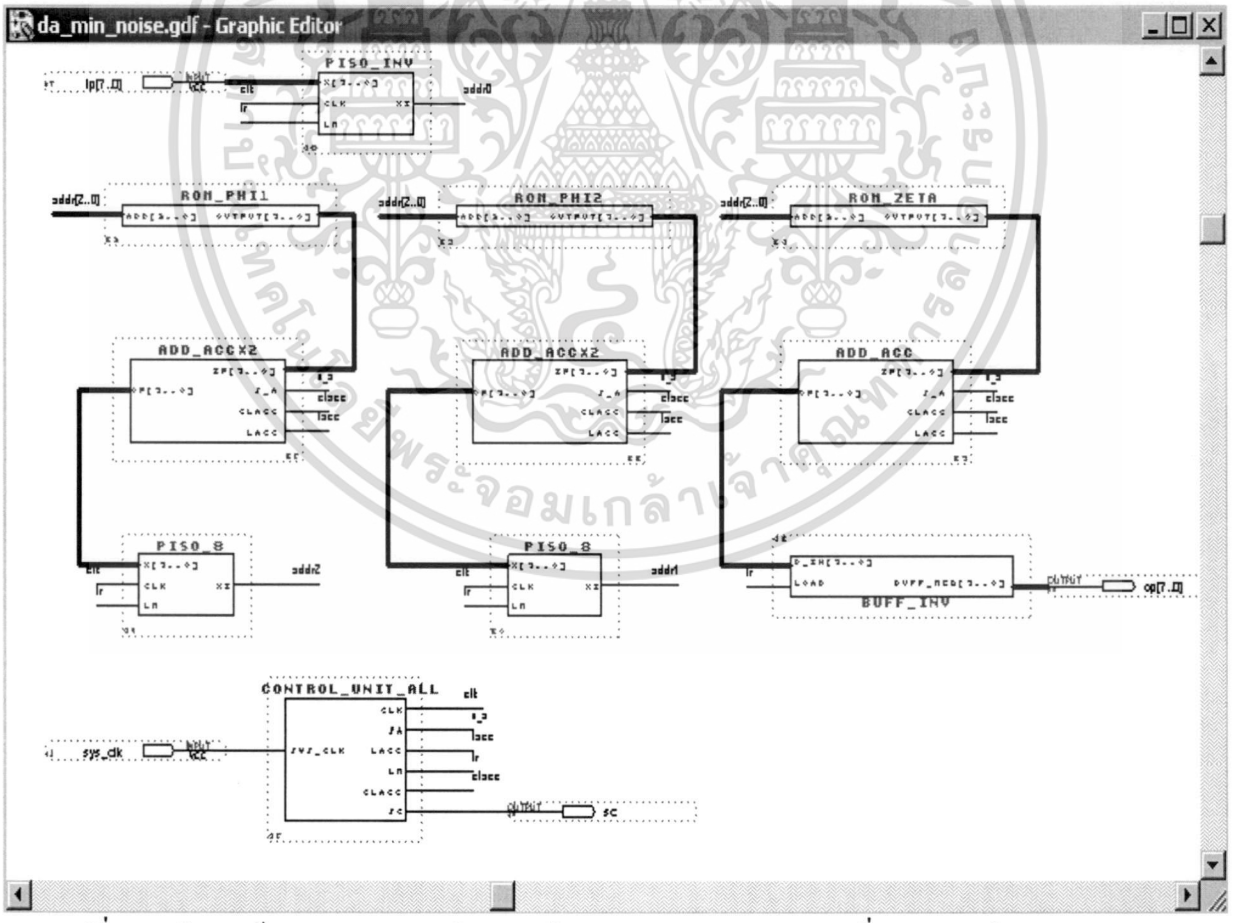
รูปที่ 3.32 วงจรกรองสัญญาณเชิงเลขโครงสร้าง Controllable Canonical Form ที่จะทำการบรรจุลงใน FPGA

ในการออกแบบโครงสร้างของวงจรกรองสัญญาณเชิงเลข อันดับที่ 2 ที่ใช้โครงสร้างเลขคณิตกระจายโดยการแทนด้วยปริภูมิสเตทที่นำเสนอนั้น จะทำการศึกษาโครงสร้างแบบ Minimum Noise ซึ่งแสดงโครงสร้างดังในรูปที่ 3.33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.33 โครงสร้างของวงจรกรองสัญญาณเชิงเลขอันดับที่ 2 โดยใช้โครงสร้างเลขคณิตกระจายจากการแทนด้วยปริภูมิสเตทแบบ Minimum Noise



รูปที่ 3.34 โครงสร้างของวงจรกรองสัญญาณเชิงเลข แบบ Minimum Noise ที่จะบรรจุลงใน FPGA

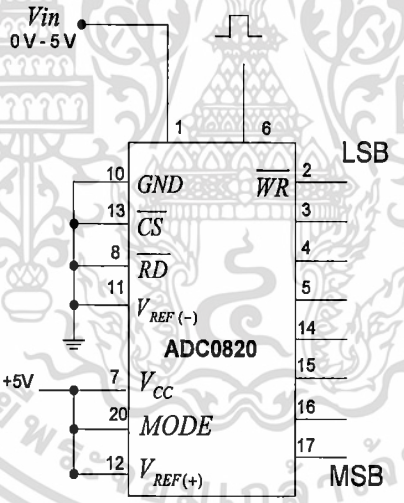
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

ในการทดลองจะแบ่งออกเป็น 2 ส่วน คือ ส่วนของการทดลองของโครงสร้างแบบ Controllable Canonical Form และโครงสร้างแบบ Minimum Noise โดยในแต่ละโครงสร้างจะแบ่งการทดลองออกเป็น 2 ส่วน คือ จะเป็นการทดลองเพื่อดูถึงคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบขึ้นว่าไปตามที่ออกแบบหรือไม่ การดูถึงผลการทำงานของวงจรที่ออกแบบขึ้นเทียบกับผลการจำลองการทำงานจากโปรแกรม Matlab

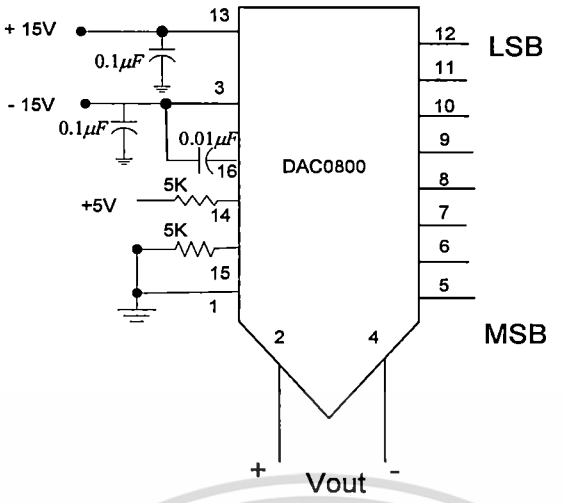
โดยในการทดลองจะมีอุปกรณ์ที่ใช้อยู่ 3 ส่วนดังนี้

1. วงจรแปลงสัญญาณเชิงอนาลอก (Analog) เป็นสัญญาณดิจิตอล (Digital) หรือ Analog to Digital Converter (ADC)
2. วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณเชิงอนาลอก หรือ Digital To Analog Converter (DAC)
3. อุปกรณ์ FPGA ของบริษัท Alter ตระกูล FLEX 10k เบอร์ EPF10K10LC84-4 โดยวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล และ วงจรแปลงสัญญาณเลขเป็นสัญญาณเชิงอนาลอกนี้



รูปที่ 4.1 วงจรแปลงสัญญาณเชิงอนาลอกเป็นสัญญาณดิจิตอล

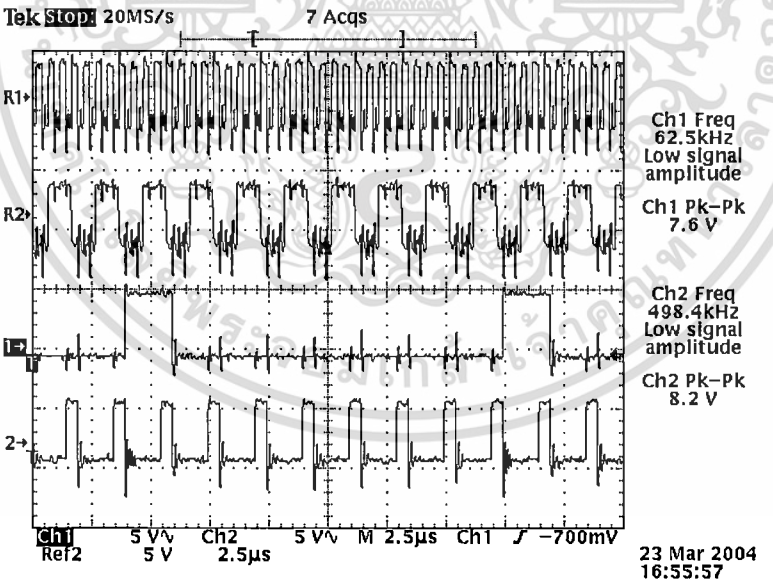
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณเชิงอนาลอก

4.1 ผลการออกแบบการทดลองของสัญญาณควบคุมภายใน

ภายในโครงสร้างแบบ Controllable Canonical Form และโครงสร้างแบบ Minimum Noise โดยในทั้ง 2 โครงสร้างนี้ จะมีสัญญาณควบคุมภายในเหมือนกัน ซึ่งประกอบด้วยสัญญาณ sys_clk, clk, s_a, lacc, lr, clacc และ sc ซึ่งจะแสดงผลการเปรียบเทียบสัญญาณเหล่านี้ ดังรูปที่ 4.3 ถึง 4.6

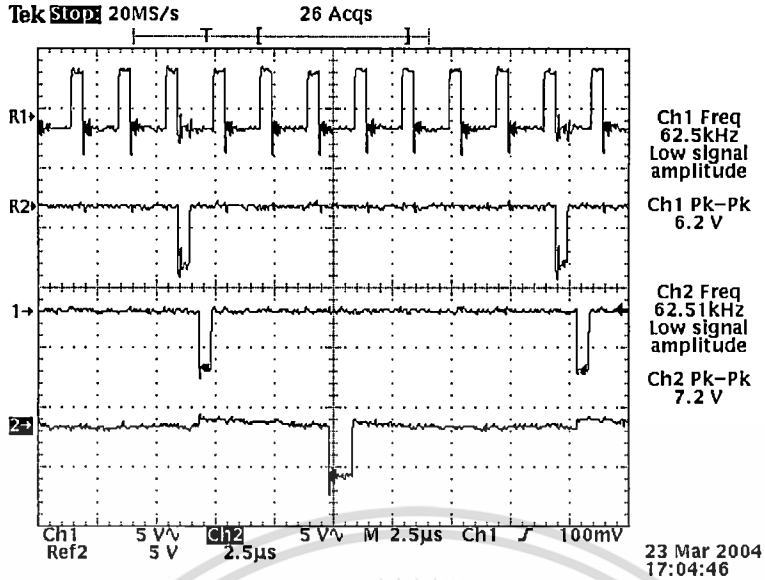


รูปที่ 4.3 การเปรียบเทียบสัญญาณ sys_clk, clk, s_a และ lacc

CH R1 เป็นสัญญาณ sys_clk CH R2 เป็นสัญญาณ clk

CH 1 เป็นสัญญาณ s_a CH 2 เป็นสัญญาณ lacc

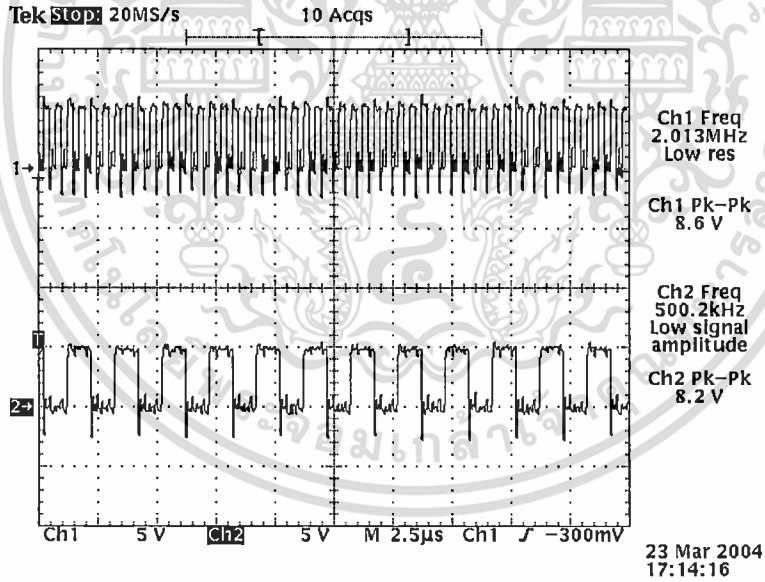
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 สัญญาณ lacc, lr, clacc และ sc

CH R1 เป็นสัญญาณ lacc CH R2 เป็นสัญญาณ lr

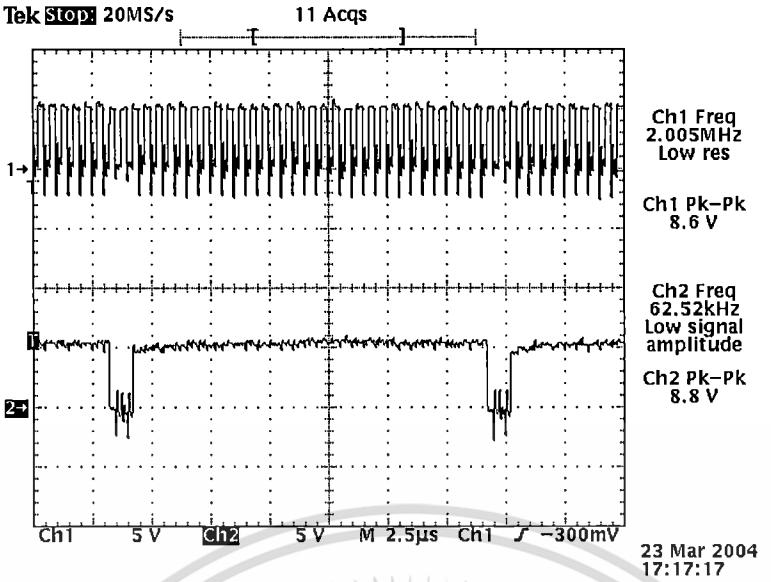
CH 1 เป็นสัญญาณ clacc CH 2 เป็นสัญญาณ sc



รูปที่ 4.5 สัญญาณ sys_clk เทียบกับ clk

CH 1 เป็นสัญญาณ sys_clk CH 2 เป็นสัญญาณ clk

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 สัญญาณ sys_clk เทียบกับ sc

CH 1 เป็นสัญญาณ sys_clk CH 2 เป็นสัญญาณ sc

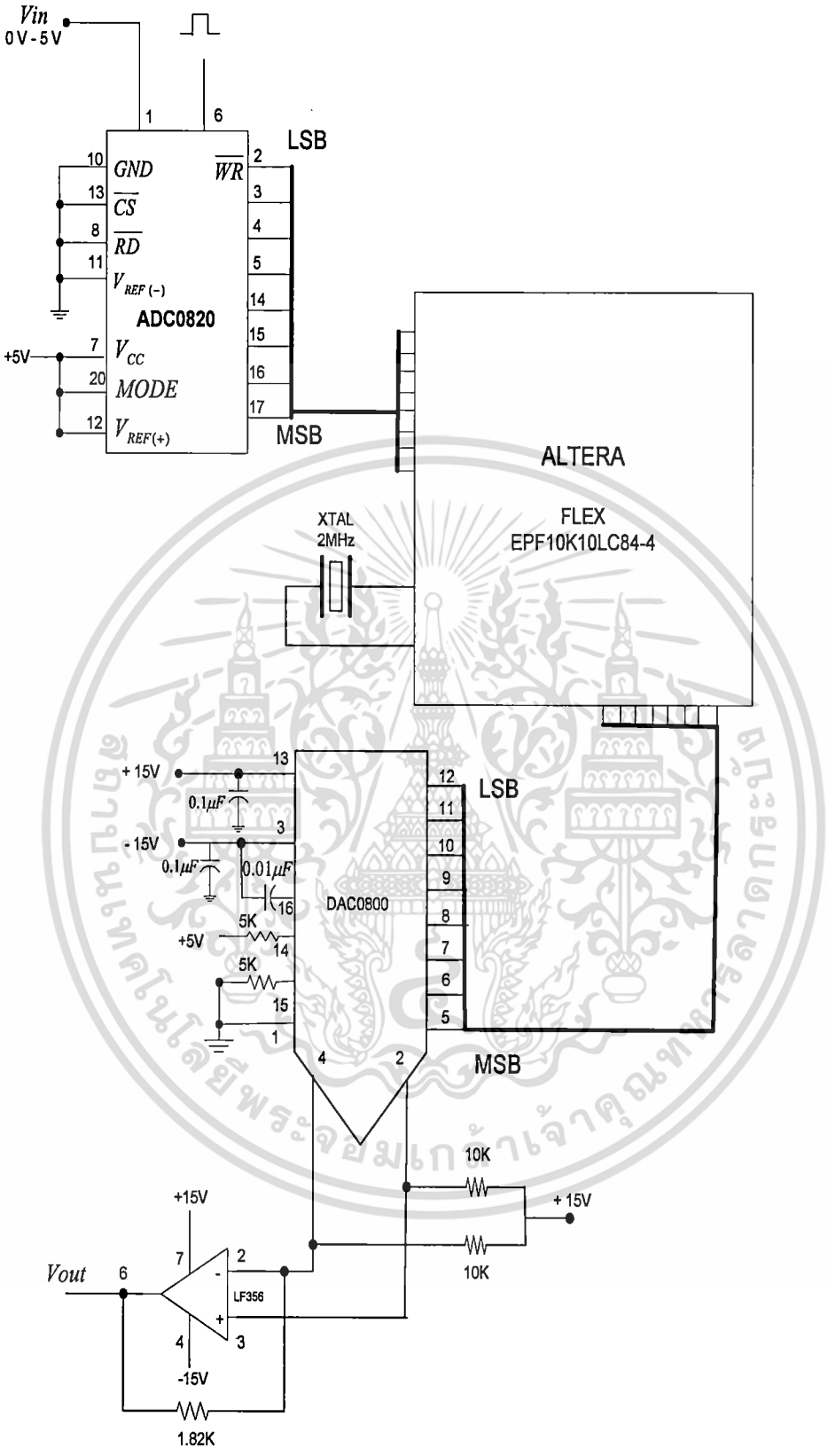
4.2 การออกแบบการทดลองสำหรับโครงสร้างแบบ Controllable Canonical Form

การทดลองในส่วนโครงสร้างแบบ Controllable Canonical Form จะประกอบไปด้วย 2 ส่วน คือ การทดลองเพื่อวัดคุณลักษณะของวงจร และการศึกษาถึงผลการทำงานของวงจรที่ออกแบบขึ้นเทียบกับผลการจำลองการทำงานจากโปรแกรม Matlab

4.2.1 การออกแบบการทดลองสำหรับการวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบ

เราจะนำวงจรเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลมาต่อกับวงจร FPGA เพื่อที่จะทำให้สัญญาณอนาลอกถูกเปลี่ยนให้อยู่ในรูปสัญญาณดิจิตอลจึงส่งเข้าไปให้ FPGA ซึ่งทำหน้าที่เป็นวงจรกรองสัญญาณ แล้วจึงใช้วงจรดิจิตอลเปลี่ยนเป็นอนาลอกเปลี่ยนกลับอีกครั้งหนึ่งเพื่อให้ได้สัญญาณกลับมาอยู่ในรูปอนาลอกที่เอาท์พุตอีกครั้งหนึ่ง สำหรับการวัดคุณสมบัติของวงจรกรองสัญญาณที่ออกแบบขึ้นสามารถแสดงการเตรียมอุปกรณ์ ได้ดังรูปที่ 4.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



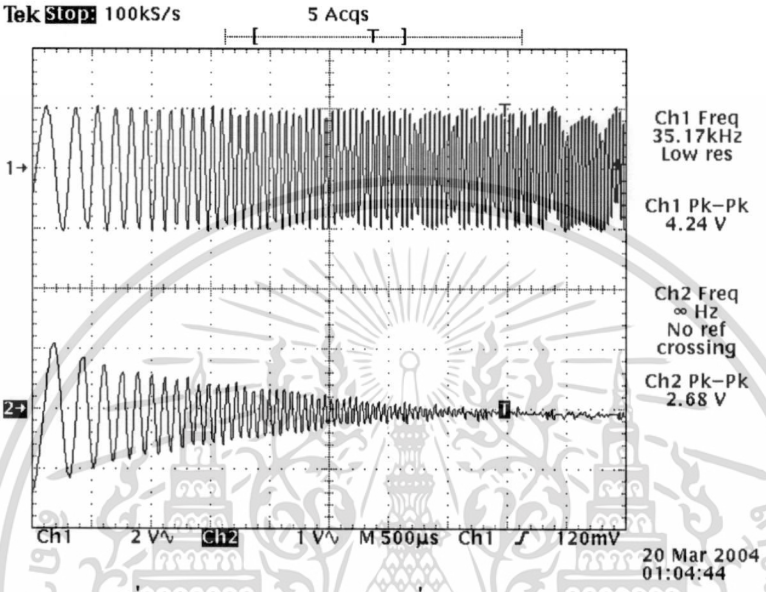
รูปที่ 4.7 การเตรียมอุปกรณ์สำหรับการทดลองวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 ผลการทดลองและการวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบ

1. ผลการ sweep ความถี่เพื่อแสดงการทำงานของวงจรกรองสัญญาณที่ออกแบบ

ในการทดลองส่วนนี้จะทำการป้อนสัญญาณอินพุตเป็นสัญญาณ Sine แล้ว Sweep ความถี่จาก 100 Hz ถึง 31.25 kHz ขยายในช่วงเวลา 5 ms โดยป้อนสัญญาณอินพุตด้วยขนาด 4 Vpp สามารถแสดงผลการทดลองได้ดังรูป



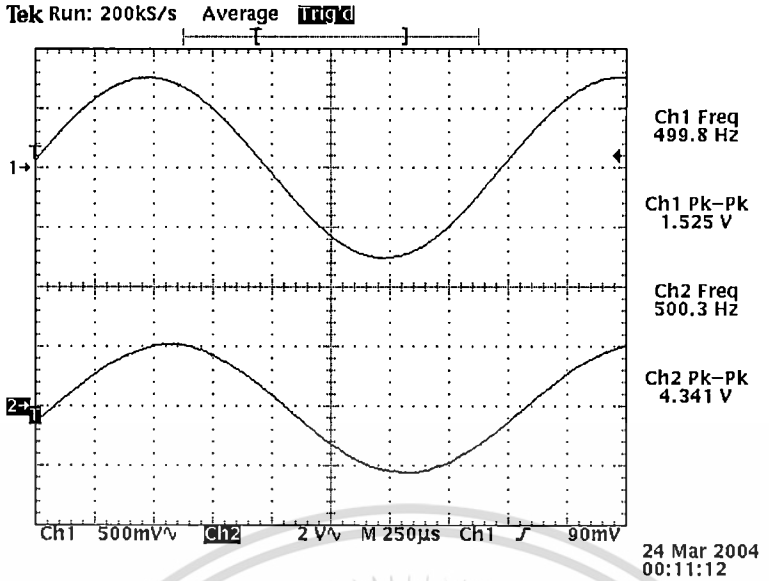
รูปที่ 4.8 ผลการ Sweep ความถี่
CH1 input ที่ป้อนให้กับวงจร
CH2 output ที่ออกจากวงจร

จากรูปที่ 4.8 จะเห็นได้ว่าวงจรกรองสัญญาณที่ออกแบบขึ้นเป็นวงจรกรองสัญญาณความถี่ต่ำผ่าน เนื่องจากเมื่อความถี่ของสัญญาณอินพุตสูงขึ้น ขนาดของสัญญาณเอาท์พุตจะมีขนาดลดลง

2. ผลการทดลองปรับความถี่สัญญาณอินพุตไปที่ค่าต่าง ๆ

ในการทดลองนี้จะทำการป้อนสัญญาณอินพุตเป็นสัญญาณ sine ขนาด 1.5Vpp แล้วทำการปรับความถี่ของสัญญาณอินพุตไปที่ค่าต่าง ๆ เพื่อดูถึงขนาดของสัญญาณเอาท์พุตนี้ได้แต่ละความถี่ รวมทั้งค่าความต่างเฟสระหว่างสัญญาณอินพุตและสัญญาณเอาท์พุตด้วย เพื่อใช้ในการ plot ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณ ได้ผลการทดลองดังนี้

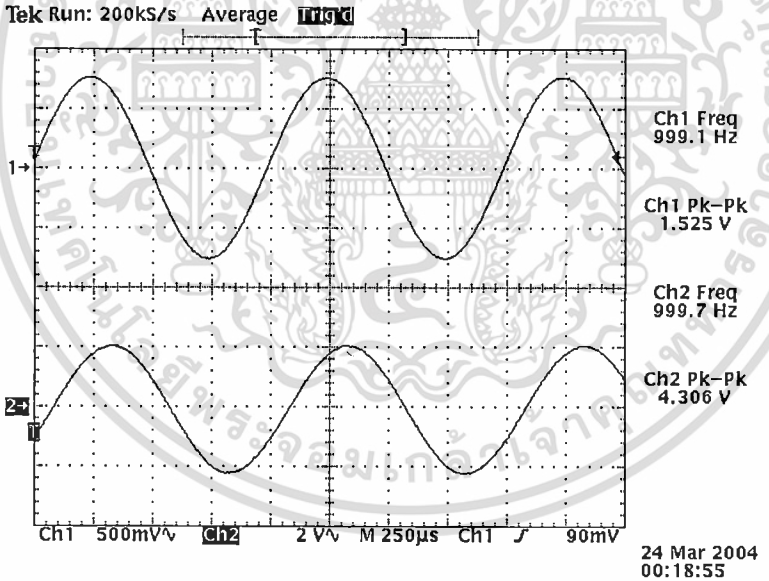
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 ผลการทดลองเมื่อป้อน แรงดัน 1.5 Vpp ความถี่ 500 Hz

CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter

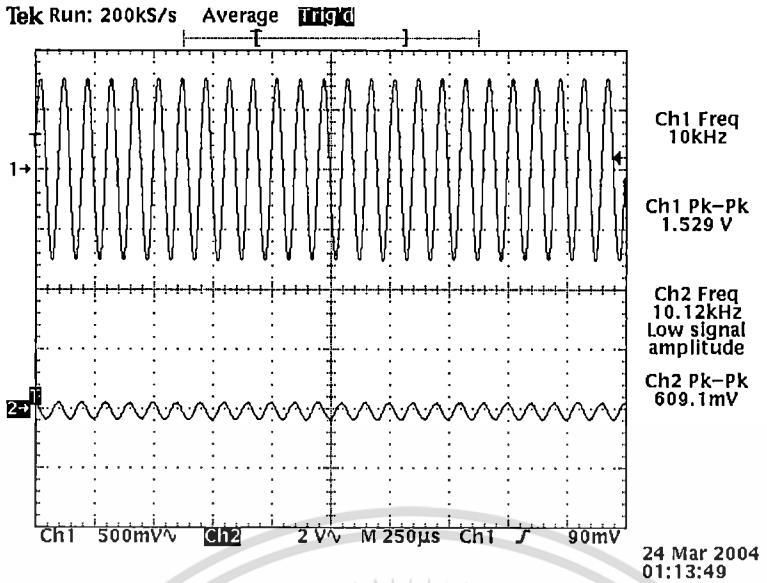


รูปที่ 4.10 ผลการทดลองเมื่อป้อน แรงดัน 1.5Vpp ความถี่ 1 kHz

CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter

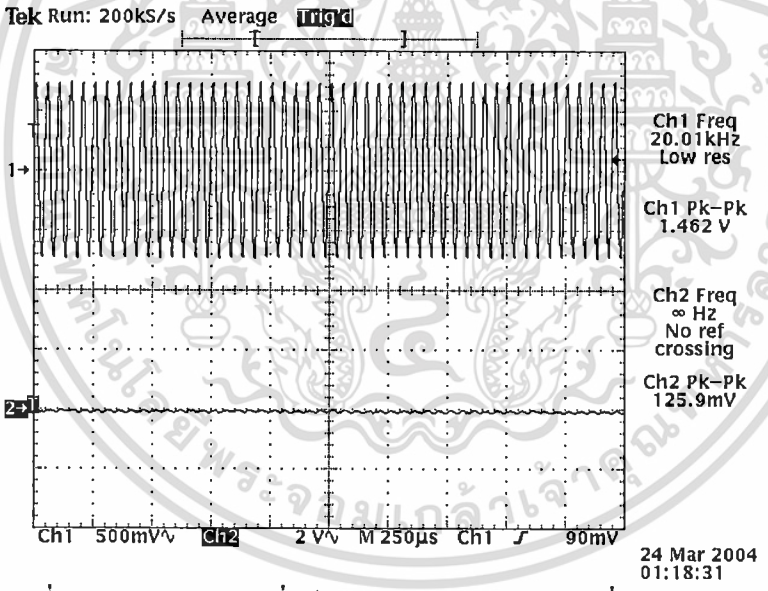
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 ผลการทดลองเมื่อป้อน แรงดัน 1.5 Vpp ความถี่ 10 kHz

CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter



รูปที่ 4.12 ผลการทดลองเมื่อป้อน แรงดัน 1.5 Vpp ความถี่ 20 kHz

CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter

4.2.3 ผลตอบสนองความถี่ของวงจรกรองสัญญาณที่ออกแบบ

ในการทดลองนี้จะใช้ผลที่ได้จากการทดลอง 4.2.2.2 ในการ plot ผลตอบสนองทางความถี่ของวงจร ซึ่งสามารถแสดงได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

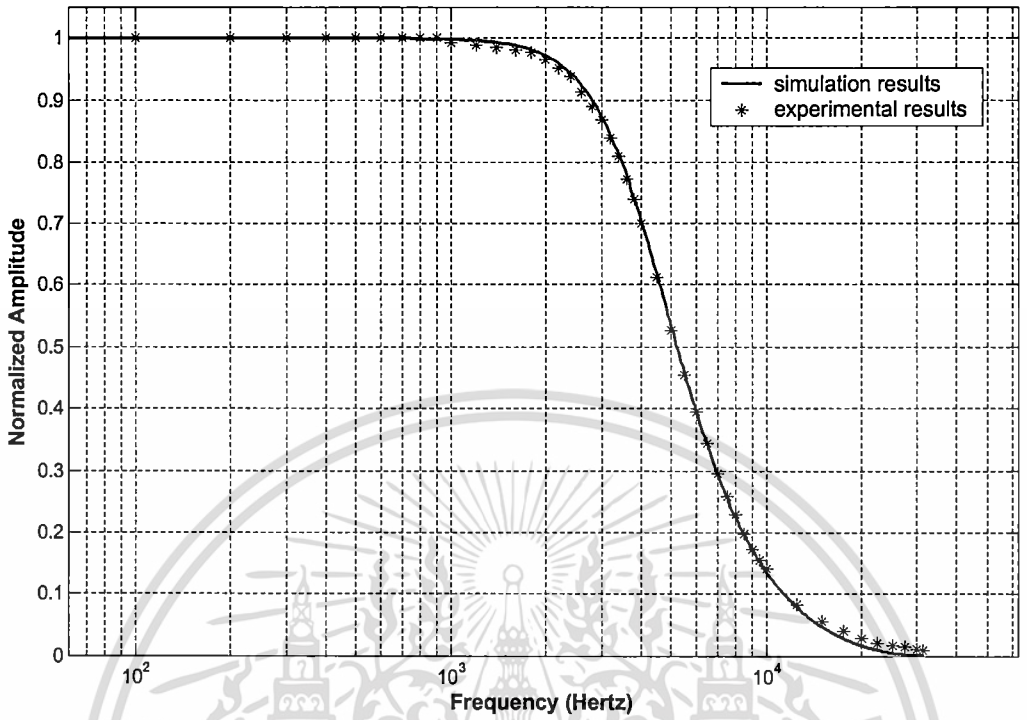
ตารางที่ 4.1 ค่าแรงดันของสัญญาณเอาท์พุตที่อ่านได้ ณ ความถี่ต่าง ๆ

Input Frequency (Hz)	Output Amplitude Vpp	Normalized Amplitude	Input Frequency (Hz)	Output Amplitude Vpp	Normalized Amplitude
100	4.34	1.0000	3800	3.21	0.7396
200	4.34	1.0000	**4000**	3.04	0.7005
300	4.34	1.0000	4500	2.66	0.6129
400	4.34	1.0000	**5000**	2.29	0.5276
500	4.34	1.0000	5500	1.97	0.4539
600	4.34	1.0000	**6000**	1.71	0.3940
700	4.34	1.0000	6500	1.49	0.3433
800	4.34	1.0000	7000	1.28	0.2949
900	4.34	1.0000	**7500**	1.12	0.2581
1000	4.31	0.9931	8000	0.99	0.2281
1200	4.29	0.9885	8500	0.86	0.1982
1400	4.27	0.9839	9000	0.75	0.1728
1600	4.26	0.9816	9500	0.67	0.1544
1800	4.24	0.9770	**10000**	0.61	0.1406
2000	4.19	0.9654	12500	0.36	0.0829
2200	4.13	0.9516	15000	0.24	0.0553
2400	4.07	0.9378	17500	0.17	0.0392
2600	3.96	0.9124	**20000**	0.12	0.0276
2800	3.86	0.8894	22500	0.09	0.0207
3000	3.77	0.8687	25000	0.07	0.0161
3200	3.64	0.8387	27500	0.06	0.0138
3400	3.51	0.8088	30000	0.05	0.0115
3600	3.35	0.7719	**31250**	0.04	0.0092

จากตารางที่ 4.1 จะแสดงค่าของแรงดันของสัญญาณเอาท์พุตที่อ่านได้ ณ ความถี่ต่าง ๆ จากนั้นจะทำการ Normalize ค่าที่ได้จากการทดลอง เพื่อใช้ในการ Plot Amplitude Response ของวงจรกรองสัญญาณที่ได้นำมาเปรียบเทียบกับผลที่ได้จากการเลียนแบบด้วยโปรแกรม Matlab ของวงจรกรองสัญญาณดิจิตอลชนิดป้อนกลับอันดับที่ 2 ที่ความถี่ต่ำผ่าน f_c=4 kHz, f_s=62.5 kHz Normalized Frequency = 0.128 π ซึ่งสามารถ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงได้ดังรูปที่ 4.13



รูปที่ 4.13 กราฟผลตอบสนองทางขนาดที่ได้จากการทดลองเปรียบเทียบกับผลที่ได้จากการเลียนแบบด้วยโปรแกรม Matlab

4.3 การออกแบบการทดลองสำหรับโครงสร้างแบบ Minimum Noise

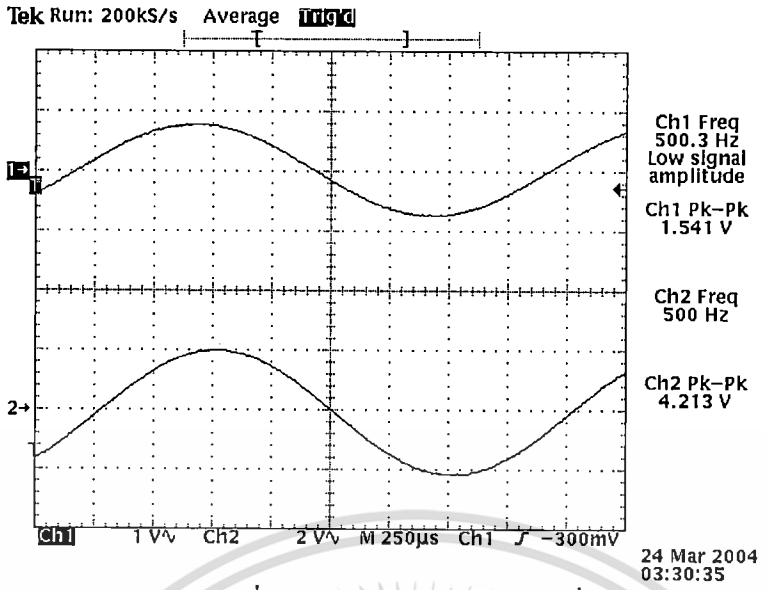
การทดลองในส่วนโครงสร้างแบบ Minimum Noise จะประกอบไปด้วย 2 ส่วน คือ การทดลองเพื่อวัดคุณลักษณะของวงจร และการศึกษาถึงผลการทำงานของวงจรที่ออกแบบขึ้นเทียบกับผลการจำลองการทำงานจากโปรแกรม Matlab

4.3.1 ผลการทดลองและการวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบ

สำหรับการทดลองการวัดคุณสมบัติของวงจรกรองสัญญาณที่ออกแบบขึ้น สามารถแสดงการเตรียมอุปกรณ์ ได้ดังรูปที่ 4.7 เช่นเดียวกับการทดลองวัดคุณสมบัติของโครงสร้างแบบ Controllable Canonical Form

ในการทดลองนี้จะทำการป้อนสัญญาณอินพุตเป็นสัญญาณ sine ขนาด 1.5Vpp แล้วทำการปรับความถี่ของสัญญาณอินพุตไปที่ค่าต่าง ๆ เพื่อดูถึงขนาดของสัญญาณเอาท์พุตนี้ได้แต่ละความถี่ ระหว่าง เพื่อใช้ในการ plot ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณ ได้ผลการทดลองดังนี้

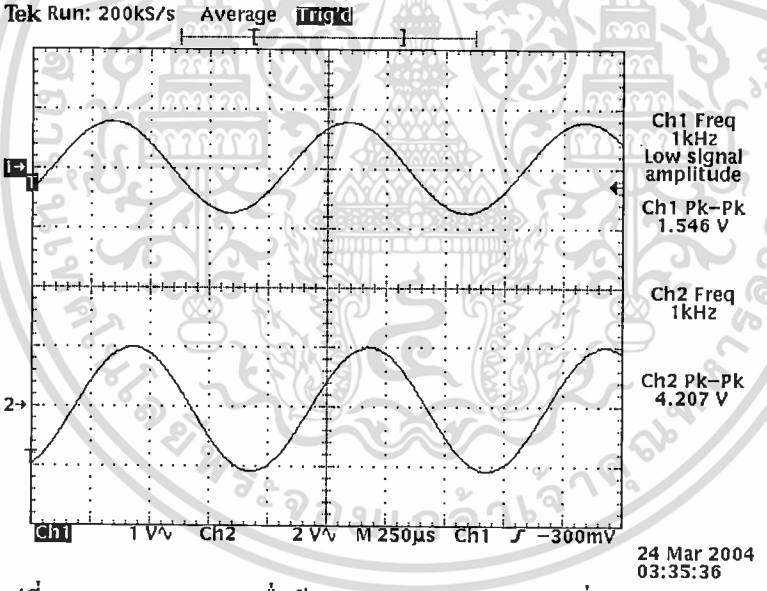
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.14 ผลการทดลองเมื่อป้อน แรงดัน 1.5 Vpp ความถี่ 500 Hz

CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter

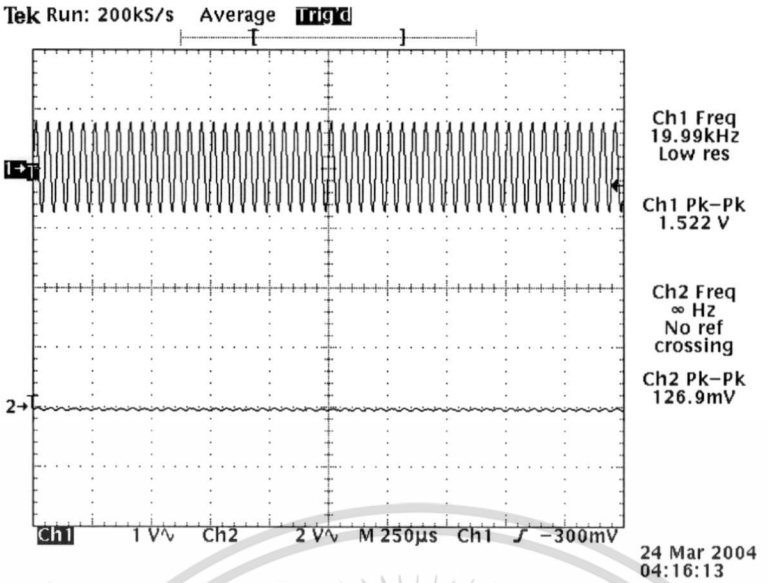


รูปที่ 4.15 ผลการทดลองเมื่อป้อน แรงดัน 1.5Vpp ความถี่ 1 kHz

CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter

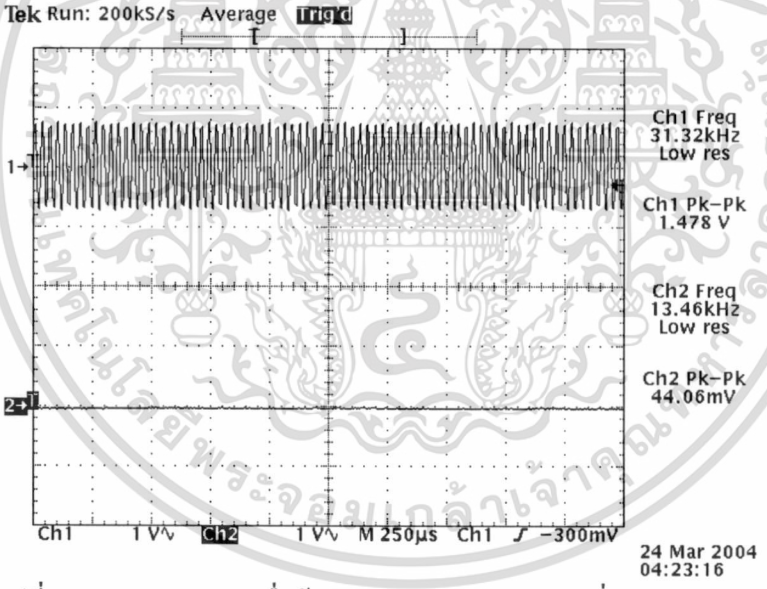
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 ผลการทดลองเมื่อป้อน แรงดัน 1.5 Vpp ความถี่ 20 kHz

CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter



รูปที่ 4.17 ผลการทดลองเมื่อป้อน แรงดัน 1.5 Vpp ความถี่ 31.25 kHz

CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 ผลตอบสนองความถี่ของวงจรกรองสัญญาณที่ออกแบบ

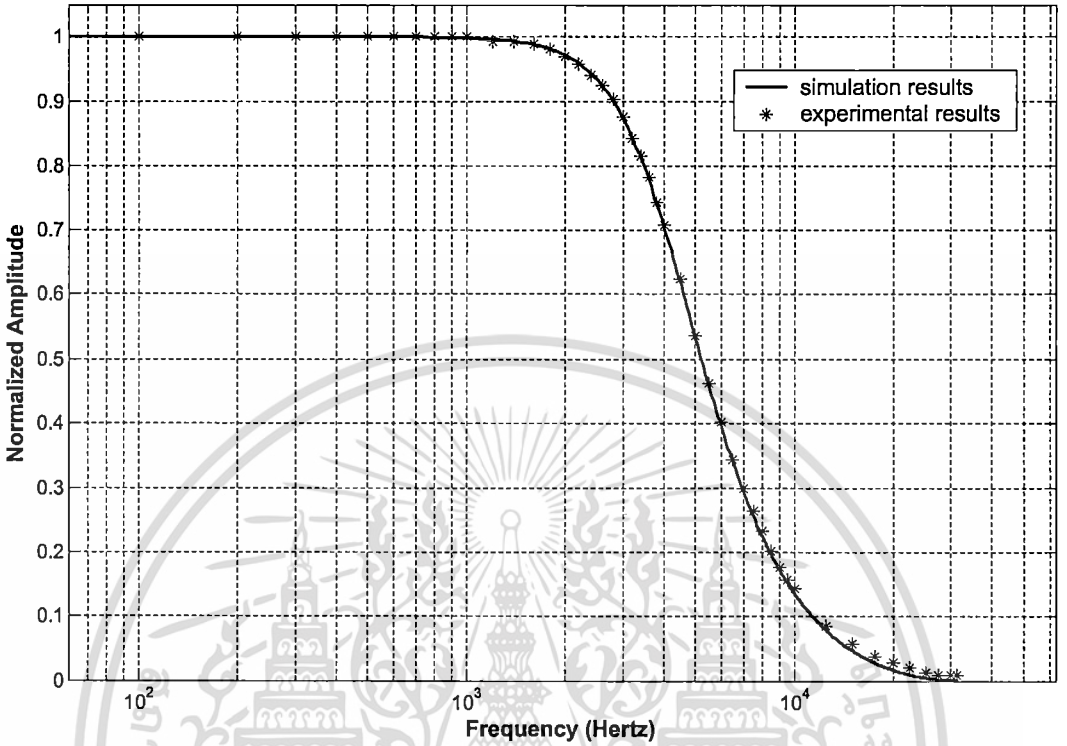
ในการทดลองนี้จะใช้ผลที่ได้จากการทดลอง 4.3.1 ในการ plot ผลตอบสนองทางความถี่ของวงจรซึ่งสามารถแสดงได้ดังนี้

ตารางที่ 4.2 ผลตอบสนองความถี่ของวงจรกรองสัญญาณที่ออกแบบ

Input Frequency (Hz)	Output Amplitude Vpp	Normalized Amplitude	Input Frequency (Hz)	Output Amplitude Vpp	Normalized Amplitude
100	4.21	1.0000	3800	3.13	0.7435
200	4.21	1.0000	**4000**	2.98	0.7078
300	4.21	1.0000	4500	2.63	0.6247
400	4.21	1.0000	**5000**	2.26	0.5368
500	4.21	1.0000	5500	1.95	0.4632
600	4.21	1.0000	**6000**	1.69	0.4014
700	4.21	1.0000	6500	1.45	0.3444
800	4.21	1.0000	7000	1.26	0.2993
900	4.21	1.0000	**7500**	1.11	0.2637
1000	4.21	1.0000	8000	0.98	0.2328
1200	4.18	0.9929	8500	0.85	0.2019
1400	4.18	0.9929	9000	0.74	0.1758
1600	4.16	0.9881	9500	0.66	0.1568
1800	4.13	0.9810	**10000**	0.60	0.1425
2000	4.08	0.9691	12500	0.36	0.0855
2200	4.03	0.9572	15000	0.24	0.0570
2400	3.96	0.9406	17500	0.16	0.0380
2600	3.89	0.9240	**20000**	0.12	0.0285
2800	3.80	0.9026	22500	0.09	0.0214
3000	3.69	0.8765	25000	0.05	0.0119
3200	3.55	0.8432	27500	0.04	0.0095
3400	3.43	0.8147	30000	0.04	0.0095
3600	3.29	0.7815	**31250**	0.04	0.0095

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 4.2 จะแสดงค่าของแรงดันของสัญญาณเอาท์พุตที่อ่านได้ ณ ความถี่ต่าง ๆ จากนั้นจะทำการ Normalize ค่าที่อ่านได้ เพื่อใช้ในการ Plot Amplitude Response ของวงจรกรองสัญญาณที่ได้



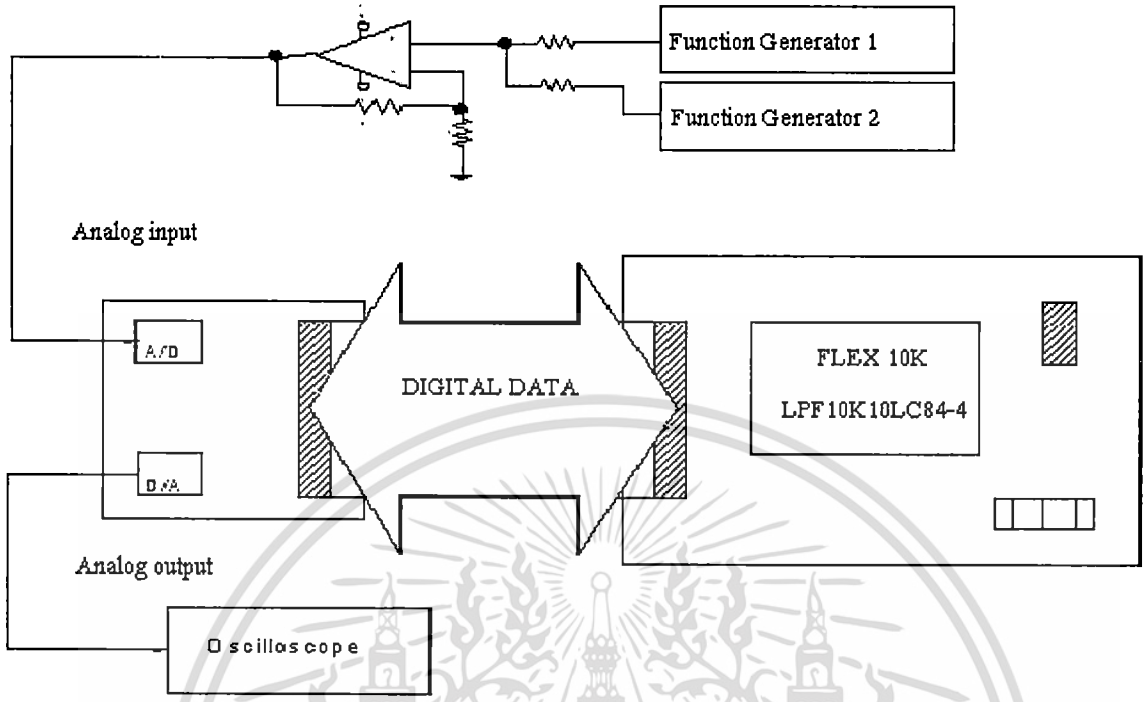
รูปที่ 4.18 กราฟผลตอบสนองทางขนาดที่ได้จากการทดลองเปรียบเทียบกับผลที่ได้จากการเลียนแบบด้วยโปรแกรม Matlab

จากรูปที่ 4.18 จะเป็นการแสดงผลตอบสนองทางขนาดที่ได้จากการทดลองเทียบกับผลที่ได้จากการเลียนแบบด้วยโปรแกรม Matlab ของวงจรกรองสัญญาณเดิจิตอลชนิดป้อนกลับอันดับที่ 2 ที่ความถี่ต่ำผ่าน f_c=4 kHz, f_s=62.5 kHz คิดเป็นค่า normalized frequency = 0.128 π

4.3.3 การออกแบบการทดลองสำหรับดูผลการทำงานของวงจรเปรียบเทียบกับการจำลองการทำงานด้วยโปรแกรม Matlab

สำหรับการดูผลการทำงานของวงจรกรองสัญญาณที่ออกแบบขึ้นสามารถแสดงการ Set อุปกรณ์สำหรับการทดลองได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 การเตรียมอุปกรณ์สำหรับการทดลองดูผลการทำงานของวงจร

จากรูปที่ 4.19 จะเห็นได้ว่าจะมีส่วนเพิ่มเติมขึ้นมาคือวงจร Summing Amplifier เพื่อใช้ในการรวมสัญญาณ f_1 ความถี่ f_2 เข้าด้วยกันโดย ความถี่ f_1 จะเป็นความถี่ที่อยู่ในย่าน Passband และความถี่ f_2 ซึ่งจะกำหนดให้เป็นสัญญาณความถี่สูง ทำหน้าที่เสมือนสัญญาณรบกวน ผลรวมที่ได้จะถูกผ่านเข้าไปยังวงจรกรองสัญญาณเพื่อดูผลการทำงาน

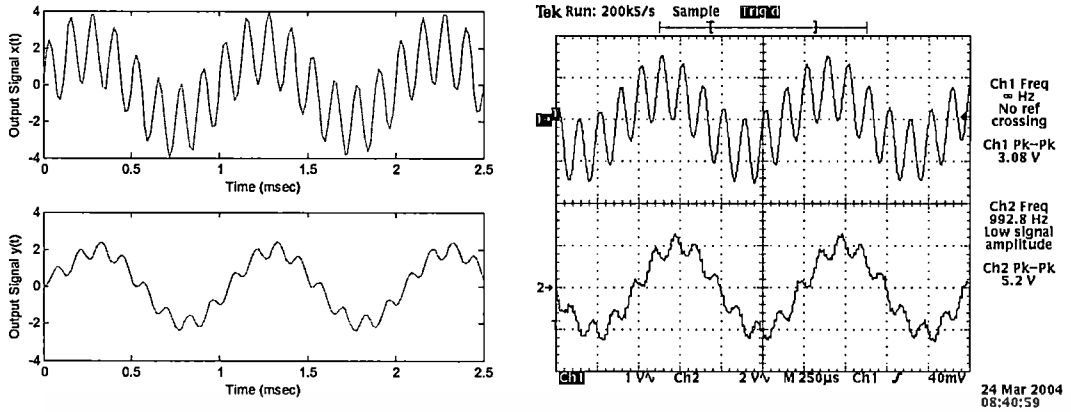
4.3.4 ผลการทำงานของวงจรเปรียบเทียบกับการจำลองการทำงานด้วยโปรแกรม Matlab

ในส่วนนี้จะเป็นผลการทำงานเทียบกับที่จำลองการทำงานที่ได้จากโปรแกรม Matlab โดยจะแบ่งการทดลองออกเป็น 3 ตอน

ตอนที่ 1 ให้สัญญาณองค์ประกอบความถี่สูงมีขนาดเท่ากับสัญญาณองค์ประกอบความถี่ต่ำ (f_1=1 kHz)

- โดยค่าจาก Function Generator ของ f_1 คือ Amplitude = 0.75 V และ Offset = 0.625 V
- โดยค่าจาก Function Generator ของ f_2 คือ Amplitude = 0.75 V และ Offset = 0.625 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

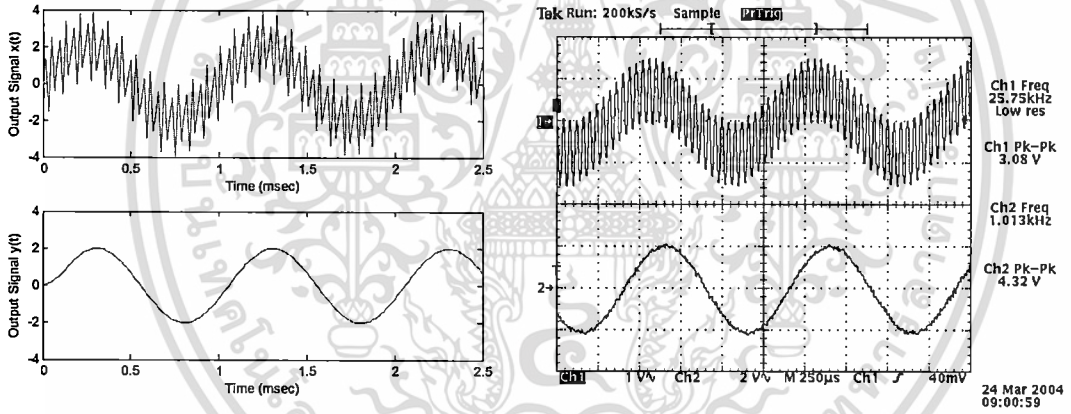


(ก) ผลการจำลองการทำงาน (ข) ผลจากการทดลอง

รูปที่ 4.20 ผลการจำลองการทำงานเทียบกับผลการทดลอง โดย f_1=1 kHz และ f_2= 8 kHz

CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter



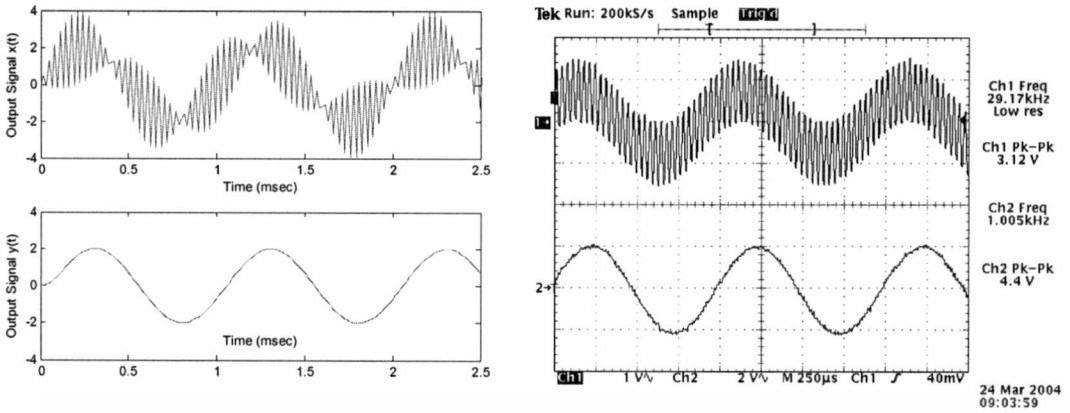
(ก) ผลการจำลองการทำงาน (ข) ผลจากการทดลอง

รูปที่ 4.21 ผลการจำลองการทำงานเทียบกับผลการทดลอง โดย f_1=1 kHz และ f_2= 25 kHz

CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) ผลการจำลองการทำงาน (ข) ผลจากการทดลอง

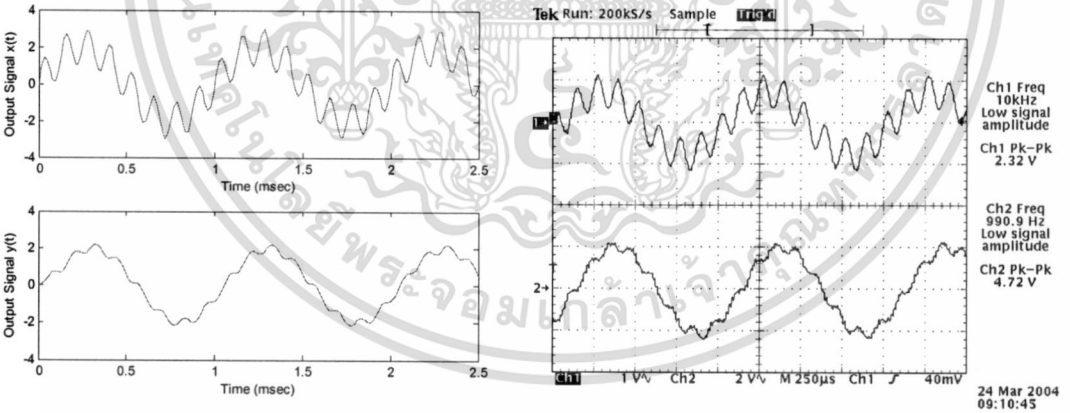
รูปที่ 4.22 ผลการจำลองการทำงานเทียบกับผลการทดลอง โดย f_1=1 kHz และ f_2= 30 kHz

CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter

ตอนที่ 2 ให้สัญญาณองค์ประกอบความถี่สูงมีขนาดเป็นครึ่งหนึ่งของสัญญาณองค์ประกอบความถี่ต่ำ (f_1=1 kHz)

- โดยค่าจาก Function Generator ของ f_1 คือ Amplitude = 0.75 V และ Offset = 0.625 V
- โดยค่าจาก Function Generator ของ f_2 คือ Amplitude = 0.375 V และ Offset = 0.625 V



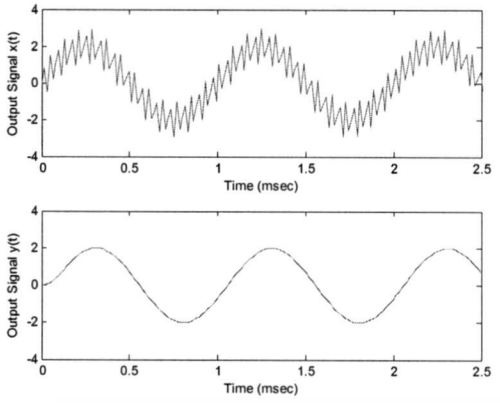
(ก) ผลการจำลองการทำงาน (ข) ผลจากการทดลอง

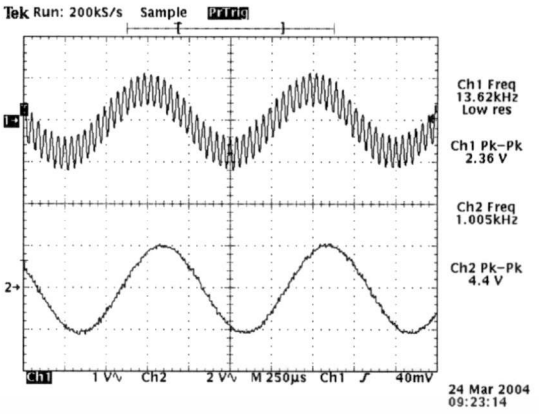
รูปที่ 4.23 ผลการจำลองการทำงานเทียบกับผลการทดลอง โดย f_1=1 kHz และ f_2= 8 kHz

CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



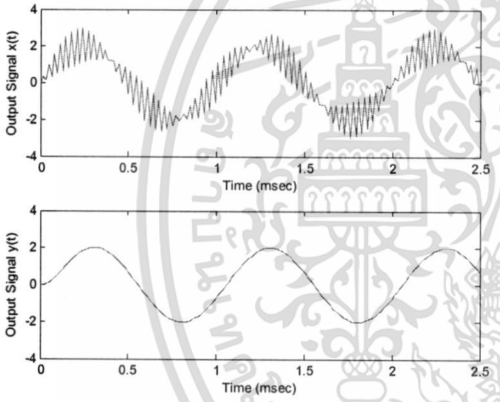


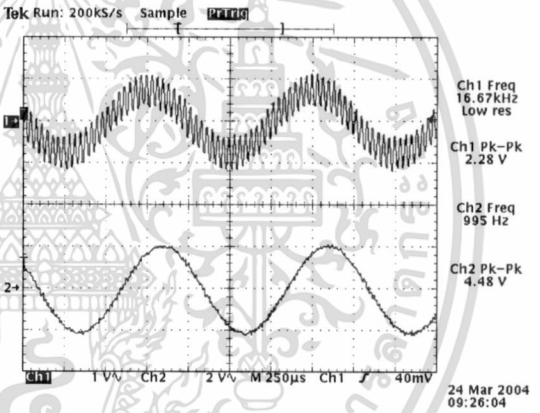
(ก) ผลการจำลองการทำงาน (ข) ผลจากการทดลอง

รูปที่ 4.24 ผลการจำลองการทำงานเทียบกับผลการทดลอง โดย f_1=1 kHz และ f_2= 25 kHz

CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter





(ก) ผลการจำลองการทำงาน (ข) ผลจากการทดลอง

รูปที่ 4.25 ผลการจำลองการทำงานเทียบกับผลการทดลอง โดย f_1=1 kHz และ f_2= 30 kHz

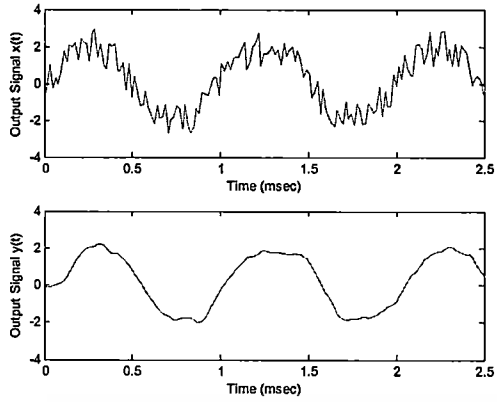
CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

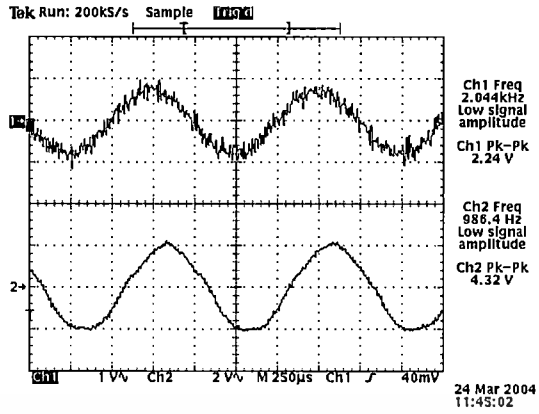
CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter

ตอนที่ 3 สัญญาณองค์ประกอบความถี่ต่ำ (f_1=1 kHz) รวมกับสัญญาณรบกวนแบบสุ่ม (Random) โดยกำหนดค่า Function Generator ของ f_1 คือ Amplitude = 0.75 V และ Offset = 0.625 V

1. กำหนดค่า Function Generator ของสัญญาณ Random คือ Amplitude = 1.5 V และ Offset = 0.625 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





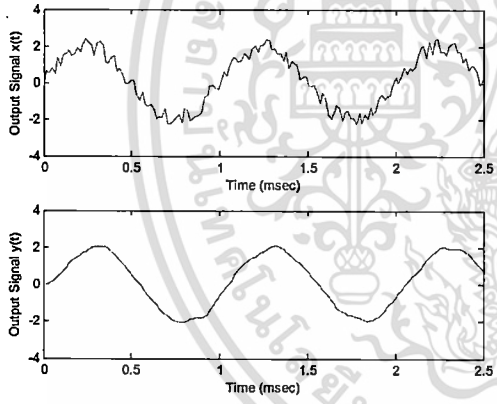
(ก) ผลการจำลองการทำงาน (ข) ผลจากการทดลอง

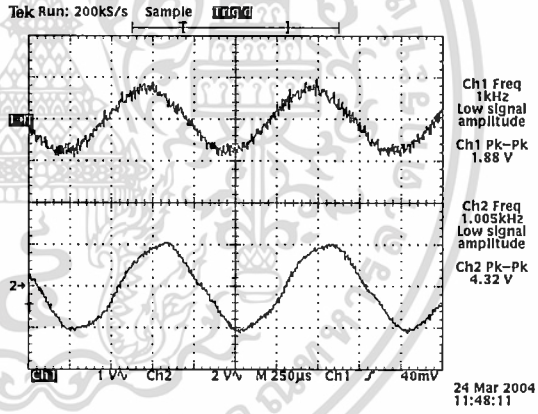
รูปที่ 4.26 ผลการจำลองการทำงานเทียบกับผลการทดลอง โดย Amplitude ของ Noise เป็น2 เท่าของ f_1

CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter

2. กำหนดค่า Function Generator ของสัญญาณ Random คือ Amplitude = 0.75 V และ Offset = 0.625 V





(ก) ผลการจำลองการทำงาน (ข) ผลจากการทดลอง

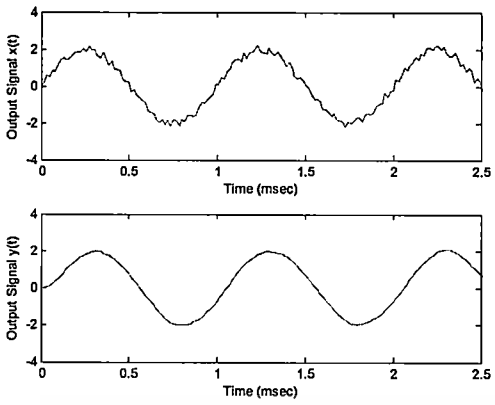
รูปที่ 4.27 ผลการจำลองการทำงานเทียบกับผลการทดลอง โดย Amplitude ของ Noise เป็น1 เท่าของ f_1

CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

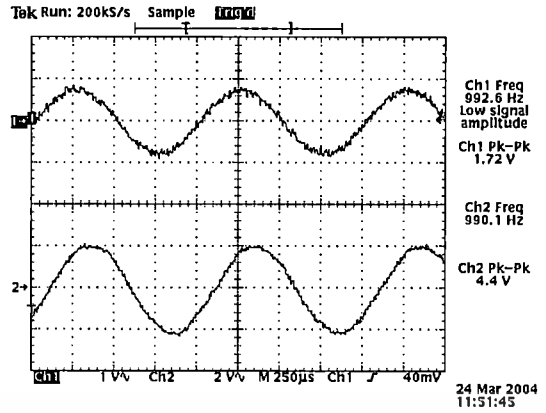
CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter

3. กำหนดค่า Function Generator ของสัญญาณ Random คือ Amplitude = 0.375 V และ Offset = 0.625 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) ผลการจำลองการทำงาน



(ข) ผลจากการทดลอง

รูปที่ 4.28 ผลการจำลองการทำงานเทียบกับผลการทดลอง โดย Amplitude ของ Noise เป็น 0.5 เท่าของ f_1

CH1 สัญญาณอินพุตที่ป้อนให้กับวงจร Low Pass Filter

CH2 สัญญาณเอาท์พุตที่ออกจากวงจร Low Pass Filter

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
วิจารณ์และสรุป

วงจรกรองสัญญาณเชิงเลขที่ออกแบบในการทดลองจะเป็นวงจรกรองสัญญาณเชิงเลขชนิดป้อนกลับในอันดับที่ 2 และเป็นวงจรกรองความถี่ต่ำผ่านโดยในการออกแบบได้ใช้โครงสร้างของเลขคณิตกระจาย (Distributed Arithmetic) โดยใช้เทคนิคการแทนสมการผลต่างสืบเนื่องด้วยปริภูมิสเตท (State-Space Representation) โดยใช้โครงสร้างแบบ Controllable Canonical Form ซึ่งส่งผลให้จำนวนของสัญญาณอินพุทที่ใช้ในการอ้างอิงตำแหน่งของหน่วยความจำลดลง ทำให้พื้นที่ของ Chip FPGA ที่ใช้มีขนาดลดลงและความเร็วหรือ Maximum Frequency สูงขึ้นกว่ากรณีที่สร้างจากโครงสร้างโดยตรง

แต่ว่าในการใช้โครงสร้างแบบ Controllable Canonical Form จะมีปัญหาที่เกิดขึ้นในการออกแบบ คือ การกำหนดขนาดของความยาวคำที่ใช้ในหน่วยความจำที่เหมาะสม เนื่องจากการประมวลผลเป็นแบบ 8 บิท คือสัญญาณที่ใช้เป็นแอดเดรสของหน่วยความจำมีขนาด 8 บิท ถึงแม้ว่าขนาดของความยาวคำที่ใช้ในหน่วยความจำและวงจรสเกลลิ่งแอคคิวมูเลเตอร์จะมีจำนวนบิทมากๆ ก็ตามก็ไม่ได้ช่วยให้ผลลัพธ์จากการคำนวณถูกต้องขึ้น เนื่องจากผลลัพธ์ที่ได้จากการคำนวณจะถูกตัดให้เหลือเพียง 8 บิท ซึ่งจะทำให้เกิดความผิดพลาดของสัมประสิทธิ์มากกว่าการกำหนดให้ขนาดของความยาวคำมีขนาด $8+n$ บิท และแอคคิวมูเลเตอร์รีจิสเตอร์มีขนาด $9+n$ บิท โดย 2^n คือค่าที่ใช้ในการหารสัมประสิทธิ์ในหน่วยความจำไม่ให้มีขนาดเกินหนึ่งเพื่อไม่ให้เกิดการล้นของสัมประสิทธิ์ ผลลัพธ์จากการคำนวณจะต้องทำการคูณ 2^n กลับ หรือเลื่อนข้อมูลไปทางซ้าย n บิท ซึ่งจะทำให้ผลลัพธ์ที่โหลดออกมามีขนาด 8 บิทพอดีเทียบได้กับเป็นการปัดเศษของผลลัพธ์

เนื่องจากโครงสร้างแบบ Controllable Canonical Form เกิดปัญหาสัญญาณรบกวนเนื่องจากการปัดเศษ ดังนั้น เราจึงได้นำโครงสร้างแบบ Minimum Noise Structure มาใช้ในการแก้ปัญหานี้ โดยมีการคำนวณค่าของสัมประสิทธิ์ที่เก็บภายใน ROM ใหม่

ส่วนผลการทดลองวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบ จะเห็นได้ว่าผลตอบสนองทางขนาดที่ได้มีลักษณะที่เกือบจะเท่ากับผลตอบสนองทางขนาดในทางทฤษฎี ส่วนผลการทำงานของวงจรเมื่อเทียบกับผลการจำลองการทำงานด้วยโปรแกรม Matlab โดยการนำสัญญาณความถี่ต่ำรวมกับสัญญาณความถี่สูงป้อนเป็นอินพุทของวงจร จะเห็นได้ว่าทำงานได้เหมือนกับการจำลองการทำงาน

ในส่วนของฝั่งการคำนวณตัวแปรสเตท ซึ่งมองได้ว่าเป็นวงจรกรองแบบ IIR ต้องใช้ขนาดของความยาวคำมากเพื่อป้องกันเรื่องเสถียรภาพของวงจร ส่วนฝั่งการคำนวณเอาท์พุท ซึ่งมองได้ว่าเป็นวงจรกรองแบบ FIR ซึ่งไม่มีปัญหาเรื่องเสถียรภาพ แต่มีปัญหาในเรื่องความถูกต้องของเอาท์พุทเนื่องจากย่านพลวัตรของสัมประสิทธิ์จะมีค่ามาก ดังนั้นถ้าแทนด้วยจำนวนบิทจำกัดแล้ว สำหรับวงจรที่ออกแบบนี้วงจรจะคงมีเสถียรภาพ แต่ผลลัพธ์ที่ได้จากการคำนวณของฝั่งเอาท์พุทจะมีความผิดพลาดเกิดขึ้น ซึ่งทำให้วงจรกรองสัญญาณทำงานได้แต่ให้ผลตอบสนองทางความถี่ผิดพลาดไปจากทางทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] A. Antoniou, Digital filters Analysis and Design, McGraw-Hill, 1979.

[2] A. Peled and B. Liu, "A new hardware realization of Digital filters," IEEE Trans. ASSP., Vol.ASSP-22, No. 6, pp. 456-462, December 1974.

[3] A. Peled and B. Liu, Digital Signal Processing Theory, Design and Implementation, John Wiley & Sons, 1976.

[4] S. A. White, "Applications of Distributed Arithmetic to Digital Signal Processing : A Tutorial Review," IEEE ASSP. Magazine, Vol.6, No.3, pp. 4-13, July 1989.

[5] C. S. Burrus, "Digital Filter Structure Described by Distributed Arithmetic," IEEE Trans. Circuits and Systems, Vol. CAS-24, No.12 pp. 674-680 December 1977.

[6] S. Zohar, "A VLSI Implementation of a Correlator/Digital Filter Based on Distributed Arithmetic," IEEE Trans. ASSP., Vol.37, No.1 pp. 156-160 January 1989.

[7] D. F. Elliott, Handbook of Digital Signal Processing Engineering Applications, Academic Press, 1987.

[8] วินัย ทองตัน, สมยศ จุณณะปิยะ และ กอบชัย เดชหาญ, "การออกแบบและสร้างวงจรกรองสัญญาณเชิงเลขแบบบัตเตอร์เวิร์ธ อันดับที่ 6," วิศวสารลาดกระบัง ปีที่ 13 ฉบับที่ 1 หน้า 78-90 กรกฎาคม 2539

[9] S. Tantaratana, "Who Needs Hardware Multipliers," การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 21 หน้า 27-32 พฤศจิกายน 2541

[10] วัลลภ สุระกำพลธร, การประมวลผลสัญญาณเชิงเลข การกรองและการแปลง, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2533

[11] E.C. Ifeachar and B.W. Jervis, Digital Signal Processing A Practical Approach, Addison-Wesley, 1993.

[12] T.W. Parks and C.S. Burrus, Digital Filter Design, John Wiley & Sons, 1987.

[13] B.W. Bomar, "New Second-Order State-Space Structures for Realizing Low Roundoff Noise Digital Filters," IEEE Trans. ASSP., Vol. ASSP-33, No.1 pp. 106-110, February 1985.

[14] W. L. Mills, C.T. Mullis and R.A. Roberts, "Low roundoff noise and normal realizations of fixed point IIR Digital Filters," IEEE Trans. ASSP., Vol. ASSP-29, No. 4., pp. 893-903 August 1981.

[15] M. Kawamata and T. Higuchi, "A Unified Approach to the Optimal Synthesis of fixed-point State-Space Digital Filters," IEEE Trans. ASSP., Vol. ASSP-33, No.4 pp. 911-920, August 1985.

[16] B. Psenicka, F. Garcia-Ugalde, J.Savage, S.Herrera-Garcia and V.Davidek, "Design of State Digital Filters," IEEE Trans. Signal Processing, Vol.46, No.9, pp. 2544-2549 September 1998.

[17] L. Wanhammar, DSP Integrated Circuits, Academic Press, 1999.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[18] K. K. Parhi, VLSI Digital Signal Processing Systems Design and Implementation, John Wiley & Sons, 1999.

[19] F. J. Taylor, "An Analysis of the Distributed Arithmetic Digital Filter," IEEE Trans. ASSP., Vol. ASSP-34, No.5, pp. 1165-1170, October 1986.

[20] The Role of Distributed Arithmetic in FPGA-based Signal Processing, http://www.xilinx.com

[21] D.E. Ott and T.J. Wilderotter, A Designer's Guide to VHDL Synthesis, Kluwer Academic Publishers, 1994.

[22] S. Sjoholm and L. Lindh, VHDL for Designers, Prentice Hall, 1997.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้