เครื่องเข้ารหัสและถอดรหัสสัญญาณภาพ

Video Scrambling and Descrambling

พระสำนักงานประมาณ ๒๕๔๐
ห.ส. อรสา แสงอรุณ
1

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

บทคัดย่อ

งานวิจัยนี้เสนอการออกแบบเครื่องเข้ารหัสและถอดรหัสสัญญาณภาพ สำหรับการส่งสัญญาณโทรทัศน์ โดยวิธีการเข้ารหัสด้วยสัญญาณรูปไซน์ (sine wave) ซึ่งเป็นการสังเคราะห์สัญญาณรูปคลื่นไซน์ที่ความถี่อ้างอิงค่าหนึ่งแล้วมอดดูเลทไปกับสัญญาณภาพโดยอาศัยหลักการเลื่อนเฟส ผลที่ได้เป็นการเข้ารหัสสัญญาณของสัญญาณภาพ ส่วนที่ภาครับใช้หลักการเดียวกันนี้ ถอดรหัสได้สัญญาณภาพที่คมชัดเหมือนสัญญาณเดิม

Abstract

In this research presents the desiged of video scramble for Television transmission, Encode video baseband by modulated with reference sinewave is used in this thesis.

The decoder use the same technique that use in transmit,the phase shifter circuit is also used in the decoder for phase adjustment of reference signal that may be cause distortion of video picture. Herein, the results of perception of picture is satisfied.

RCH
TK
6675
.9369 ค

เลขหมู่.....
เลขทะเบียน 32151
วัน, เดือน, ปี 24 ก.พ. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

17 ก.พ. 2542

สารบัญ

		หน้า
บทคัดย่อ		
บทที่ 1	บทนำ	1
บทที่ 2	ระบบสัญญาณรวม	2
บทที่ 3	เทคนิคการเข้าระหัส	3
บทที่ 4	ทฤษฎีวงจรกรองความถี่	13
บทที่ 5	ทฤษฎีเฟสล็อกลูป	22
บทที่ 6	วงจรเข้ารหัส	31
บทที่ 7	วงจรถอดรหัส	39
บทที่ 8	สรุปผลการทดลอง	46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเข้ารหัสและถอดสัญญาณภาพ

(Video Scrambling and Descrambling)

บทที่ 1

บทนำ

ปัจจุบัน ธุรกิจทางด้านการสื่อสารดาวเทียมประเภทเคเบิลทีวี ได้เข้ามามีบทบาทอย่างมากในด้านการให้บริการ ทั้งข่าวสาร และความบันเทิง ในลักษณะของการเก็บค่าสมาชิก โดยเสียเงินเป็นรายเดือน ทำให้ธุรกิจดังกล่าวเกิดการแข่งขันกัน บริษัทที่ประกอบธุรกิจดังกล่าวนี้มีหลายบริษัท ซึ่งมีช่องความถี่ที่ใกล้เคียงกัน ตัวอย่างเช่น IBC เคเบิลทีวี กับไทยสกายทีวี ทำให้สมาชิกของไทยสกายทีวี สามารถปรับเครื่องรับเพื่อจูนรับสัญญาณของ IBCได้ ทำให้เกิดการแอบดูสัญญาณภาพซึ่งกันและกัน นับเป็นการสูญเสียของบริษัทอย่างมาก เพื่อเป็นการป้องกันเหตุการณ์นี้ ในอนาคตจึงต้องมีการเข้ารหัสสัญญาณภาพ (Scrambling) ทางด้านส่ง และมีเครื่องถอดรหัส (Descrambler) ทางด้านรับเพื่อป้องกันการแอบดูสัญญาณภาพ นอกจากนี้ อุปกรณ์การเข้ารหัสสัญญาณดังกล่าว ยังสามารถนำไปประยุกต์ใช้ในกิจการทหารที่ต้องการเก็บความลับ ในลักษณะการส่งสัญญาณภาพและเสียงไปพร้อมๆกันได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ระบบสัญญาณภาพรวม

โดยปกติแล้ว เครื่องส่งจะทำการส่งสัญญาณมาในรูปแบบของสัญญาณภาพรวม (Composite Video Signal) ซึ่งสัญญาณที่เครื่องรับโทรศัพท์ต้องการใช้ มีดังนี้

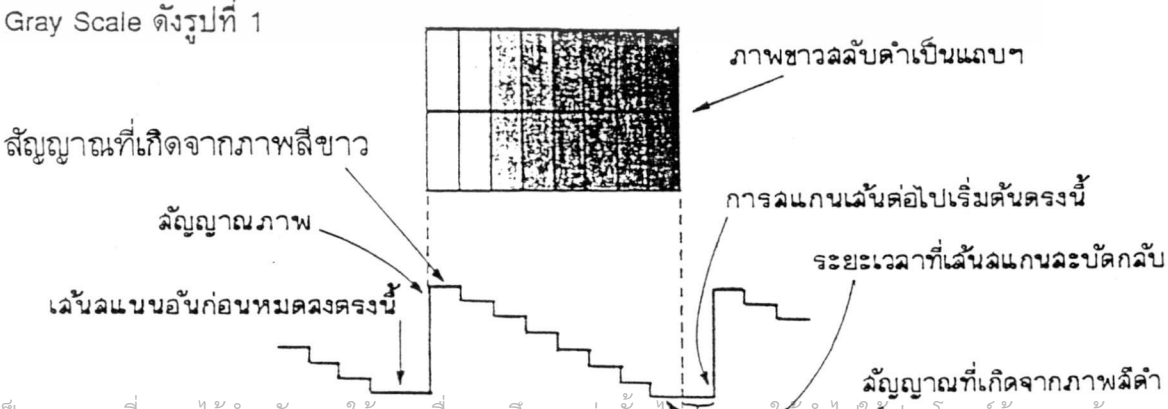
1. สัญญาณภาพ (Audeo)
2. สัญญาณเสียง (Video)
3. สัญญาณแบลงกิ้ง (Blanking)
4. สัญญาณซิงโครไนซ์ (Synchronize)
5. สัญญาณอีควอไลซิ่ง (Equalizing)

ในส่วนของสัญญาณเสียงจะมีการใช้คลื่นพาห์ (Carrier) เฉพาะ และทำการส่งแยกต่างหาก เพราะว่าระบบเสียงในโทรทัศน์เป็นระบบ FM ในขณะที่สัญญาณภาพและสัญญาณอื่น ๆ นั้น เราจะรวมเข้าเป็นสัญญาณเดียวในรูปแบบของสัญญาณภาพรวม (Composite Video Signal) แล้วใช้คลื่นพาห์ภาพส่งออกไป การที่เราจะต้องส่งสัญญาณทั้ง 5 ตัวนี้ออกอากาศ เพื่อวัตถุประสงค์ดังนี้

1. สัญญาณภาพและเสียง เพื่อให้ให้เกิดภาพและเสียงขึ้นในเครื่องรับโทรทัศน์
2. สัญญาณ Blanking เพื่อให้มีการลบเส้นสะบัดกลับที่เกิดขึ้นทั้งในแนวตั้ง (Vertical) และแนวนอน (Horizontal)
3. สัญญาณ Synchronize เพื่อให้วงจรหักเหทางแนวตั้ง และแนวนอนของเครื่องรับโทรทัศน์ ทำงานสอดคล้องกับเครื่องส่ง
4. สัญญาณ Equlizing เพื่อช่วยให้สัญญาณ Synchronize ทั้งทางแนวตั้งและแนวนอนยังคงรูปเดิมอยู่ได้ แม้ว่าจะเป็นการ Scan แบบสลับเส้นก็ตาม

2.1 สัญญาณภาพขาว-ดำ

สมมติว่าเราจะดูระดับสัญญาณขาว-ดำ เราจะกล่าวได้ว่าภาพที่เป็นสีขาว คือภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำ คือภาพที่ไม่มีความสว่างเลย ภาพจำลองที่ใช้อธิบายลักษณะของภาพได้ดีที่สุด คือแถบภาพที่มีความแตกต่างของระดับขาวดำทีละน้อย ซึ่งเราเรียกว่าระดับ Gray Scale ดังรูปที่ 1



รูปที่ 1 แสดงระดับสัญญาณขาว-ดำ Gray Scale

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1 จะแสดงให้เห็นถึงระดับของ Gray Scale ในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามา ซึ่งเป็นระดับที่มีความแรงของสัญญาณภาพมากที่สุด จึงให้ความสว่างมากที่สุด และระดับสัญญารค่อย ๆ ลดลงจากสีขาว เป็นสีมัว เทา และ ดำ นั้น

อันที่จริงแล้ว สัญญาณภาพเป็นสัญญาณความถี่ทางไฟฟ้า ซึ่งมีความถี่สูงต่ำไม่เท่ากัน โดยจะมีความถี่สูงสุดไม่เกิน 4 MHz ในระบบ FCC และไม่เกิน 5 MHz ในระบบ CCIR ภาพที่เกิดจากความถี่สูง ย่อมมีความละเอียดมากกว่าภาพที่เกิดจากความถี่ต่ำ

2.2 สัญญาณ Blanking

เมื่อมีการ Scan ของลำอิเล็กตรอนที่หน้าจอ จะทำให้เกิดเส้น Retrace หรือเส้นสะบัดกลับ ซึ่งเป็นเส้นที่เราไม่ต้องการ ดังนั้นเครื่องส่งจึงต้องส่งสัญญาณ Blanking มา เพื่อให้เครื่องรับสามารถลบเส้นสะบัดกลับได้อย่างถูกต้อง โดยมีอยู่ 2 แบบด้วยกันคือ

1. Horizontal Blanking
2. Vertical Blanking

2.3 สัญญาณ Synchronize

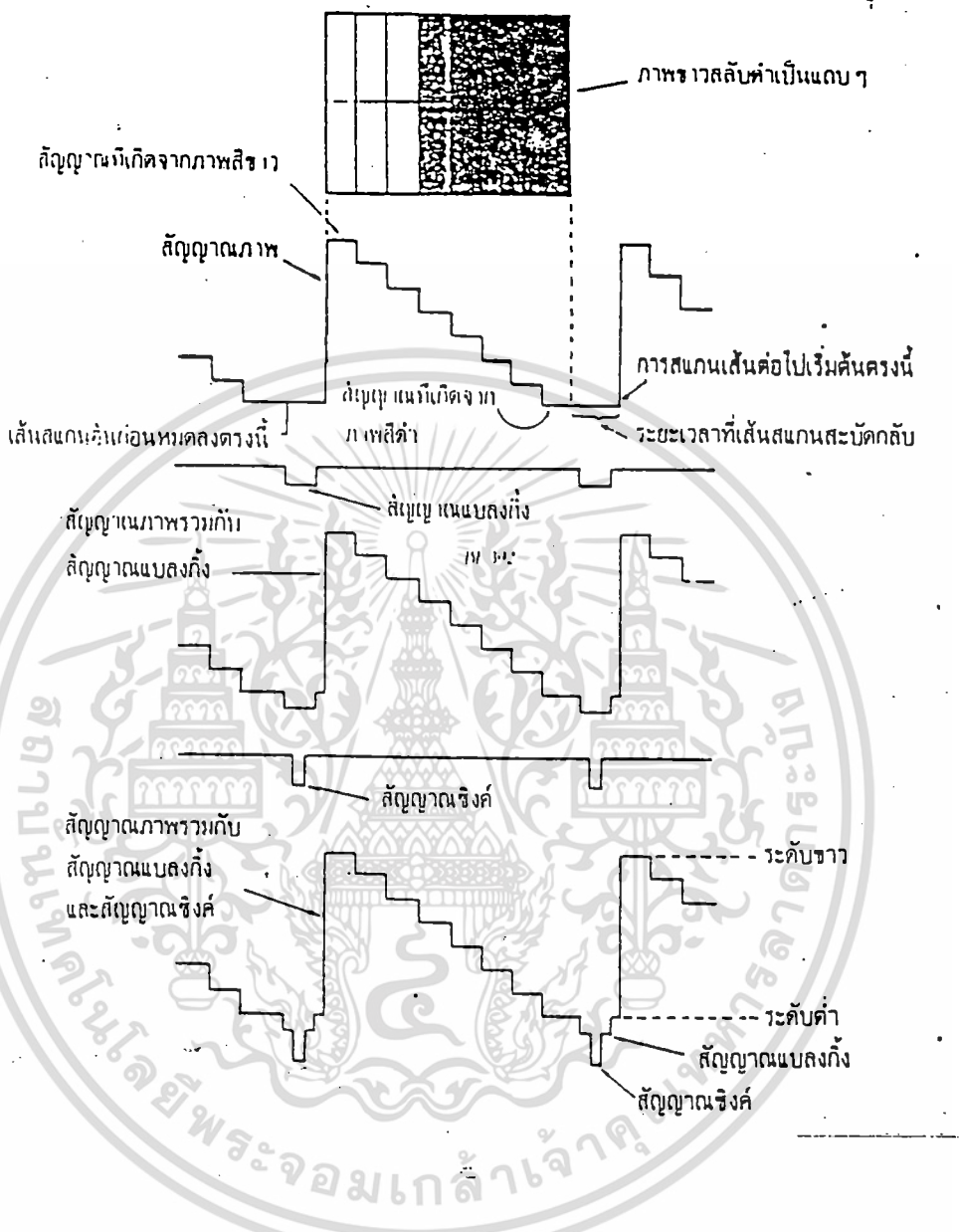
เป็นสัญญาณที่ทำให้การ Scan เป็นไปอย่างถูกต้อง ทั้งการ Scan ในแนวตั้งและแนวนอน มีอยู่ 2 แบบด้วยกัน คือ

1. Horizontal Synchronize เป็น Synchronize ทางแนวนอนมีความถี่ 15,625 Hz (ในระบบ CCIR) หรือ 15,750 Hz (ในระบบ Fcc) ถ้าไม่มีสัญญาณนี้ส่งมาด้วย ภาพจะเกิดการล้ม

2. Vertical Synchronize เป็น Synchronize ทางแนวตั้งมีความถี่ 50 Hz (ในระบบ CCIR) หรือ 60 Hz (ในระบบ FCC) ถ้าไม่มีสัญญาณนี้จะทำให้เกิดภาพเลื่อน

เนื่องจากความถี่ของสัญญาณ Synchronize กับสัญญาณ Blanking ทั้งทางแนวนอน และแนวดั้งมีความถี่เท่ากัน ดังนั้นเวลาส่งเราจึงต้องกำหนดตำแหน่งของการส่งให้ถูกต้อง เพื่อไม่ให้เกิดการกวนกันได้ ในทางปฏิบัติจึงให้สัญญาณ Synch Pulse มีขนาดความกว้างน้อยกว่า Blanking Pulse และใช้วิธีการส่งแบบผสม กล่าวคือส่ง Synch Pulse กับ Blanking Pulse ไปด้วยกัน โดยให้ Blanking Pulse เป็นฐานของ Synch Pulse และเมื่อมีการจัดระดับของสัญญาณส่วนนี้เทียบกับ Gray Scale ระดับของ Blanking จะอยู่ต่ำกว่าระดับของสีดำ ส่วน Synch จะเป็นระดับที่ต่ำกว่าสีดำและต่ำกว่า Blanking ลงไปอีก สัญญาณเหล่านี้จึงไม่มีส่วนต่อการมองเห็น หรือไม่ไปกวนสัญญาณภาพ ดูรูปที่ 2 ประกอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

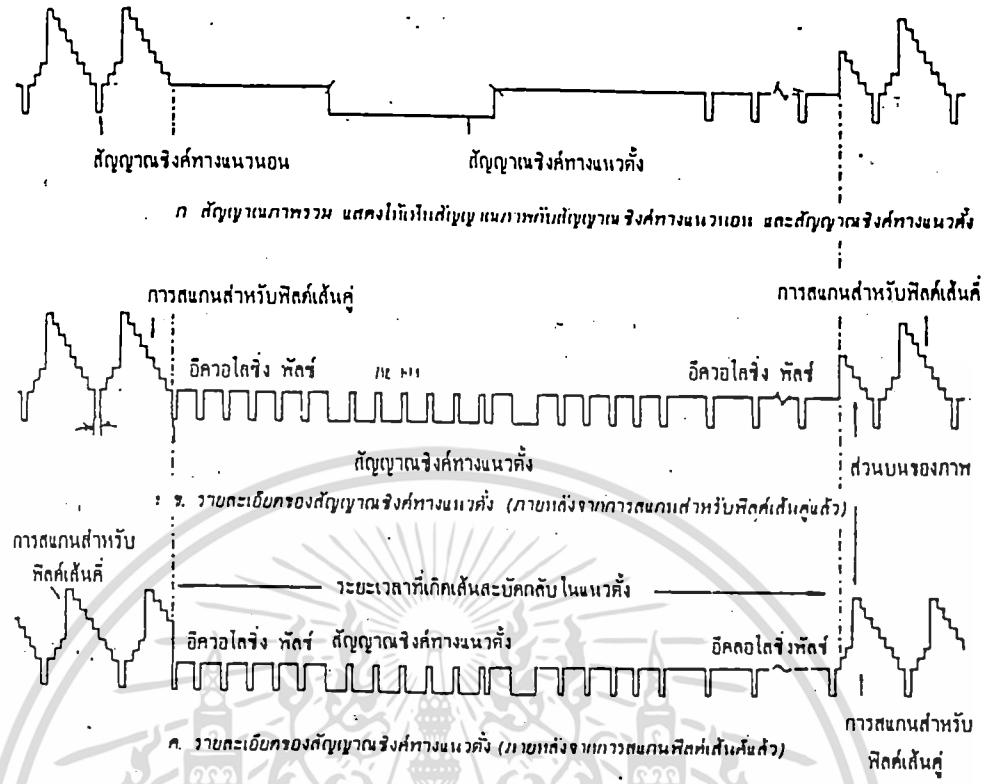


รูปที่ 2 แสดงลักษณะของสัญญาณรวมเบื้องต้น

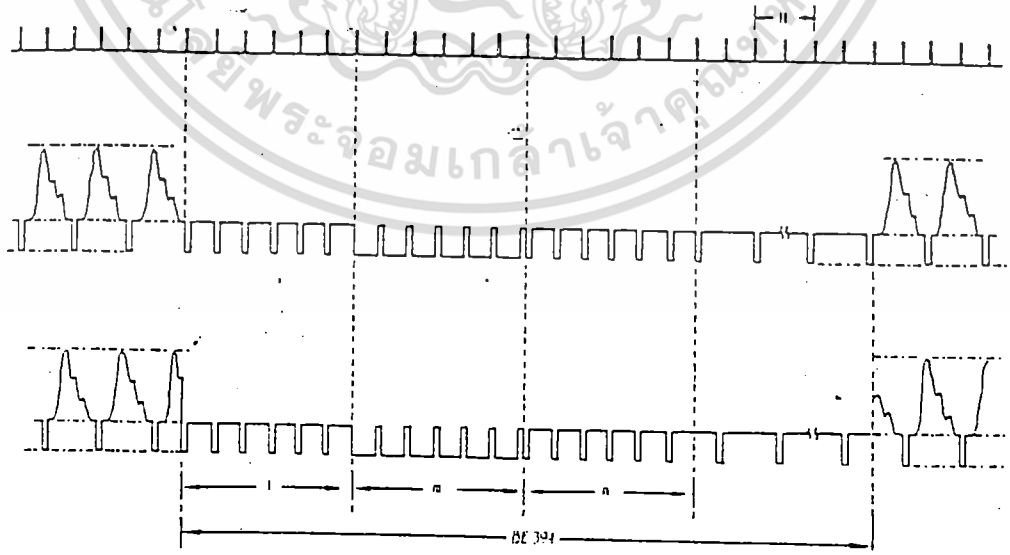
2.4 สัญญาณ Equalizing

เป็นสัญญาณที่ใช้บังคับรูปร่างของสัญญาณ Synchronize ทางแนวตั้ง ให้คงรูปอยู่ได้อย่างถูกต้อง และยังช่วยให้การ Scan แบบสลับเส้นเป็นไปได้อย่างถูกต้องด้วย สามารถขึ้นเส้นคู่เส้นคี่ในตำแหน่งที่ถูกต้องได้ และยังส่งผลทางอ้อมให้สัญญาณ Synchronize ทางแนวนอนไม่ขาดช่วงหายไป ในขณะส่งสัญญาณทางแนวตั้งด้วยสัญญาณนี้จะมีขนาดของ Pulse รวมเท่ากับ Vertical Synchronize Pulse สัญญาณส่วนนี้จะถูกแบ่งออกเป็น 6 ลูกเล็ก ๆ ในระบบ 525 เส้น และเป็น 5 ลูกในระบบ 625 เส้น ดังแสดงในรูปที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 แสดงสัญญาณภาพรวมที่มีรายละเอียดทุกอย่าง



รูปที่ 4 แสดงระบบ Pulse ในฟิลด์ของการ Synchronize ของระบบโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

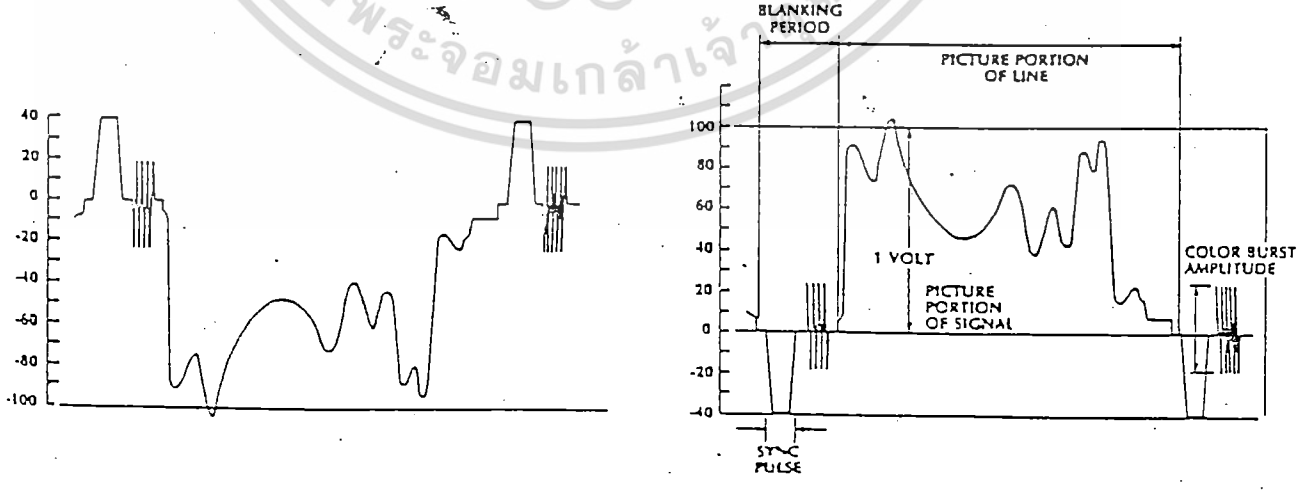
เทคนิคการเข้ารหัส (Scrambling)

การ Scrambling มีคำจำกัดความที่กว้างมาก โดยหมายถึง "การเปลี่ยนแปลงข้อมูลจากแบบปกติให้อยู่ในรูปแบบพิเศษ ซึ่งไม่สามารถรับรู้ได้ด้วยระบบปกติและสามารถเปลี่ยนแปลงข้อมูลจากรูปแบบพิเศษนั้น ให้กลับมาอยู่ในรูปแบบปกติได้" ซึ่งจะเห็นได้ว่าแม้แต่การเกิด Noise ในการส่งก็อาจจะจัดว่าเป็นการ Scrambling ได้ถ้า Noise นั้นจะทำให้เราไม่สามารถรับรู้ภาพจากสัญญาณ Video นั้นได้และเราก็สามารถที่จะกำจัดสัญญาณ Noise นั้นออกไปได้หมด จนสามารถดูภาพได้ชัดเจนเหมือนปกติ ในการ Scrambling สัญญาณ Video นั้นทำได้หลายแบบ ดังนี้

1 การกลับสัญญาณ Video (Video Inversion)

หลักการ วิธีการนี้จำทการกลับสัญญาณ Video, Synch Pulse, Burst รวมทั้ง Blinking หรือกล่าวได้ว่ากลับสัญญาณทุกสัญญาณ โดยจะกลับจากบวกเป็นลบ และจากลบเป็นบวก

เทคนิคการ Scrambling แบบนี้ ได้เริ่มต้นใช้ในระบบ Cable TV และจัดได้ว่าเป็นการ Scrambling แบบที่เป็นธรรมชาติมากที่สุด เพราะไม่มีการเปลี่ยนแปลงรูปแบบของสัญญาณที่มีอยู่ในสัญญาณ Composite Video เลย เพียงแต่กลับขั้วของสัญญาณเท่านั้น ดังนั้นเราจึงสามารถ Descrambling สัญญาณกลับมาสู่รูปแบบเดิมได้ง่าย เพียงใส่วงจรสลับขั้วของสัญญาณที่เครื่องรับเท่านั้น แต่การที่สามารถ Descrambling ได้ง่ายนี้ ทำให้เทคนิคนี้มีการรักษาความปลอดภัยของข้อมูลในระดับที่ต่ำมาก เพราะถ้าผู้ที่ต้องการดูข้อมูลจากสัญญาณ Video นี้ รู้ว่าใช้เทคนิค Scrambling แบบนี้ ก็สามารถ Descrambling ได้ง่ายเช่นกัน ซึ่งผลของการใช้เทคนิคนี้จะมีผลดังรูปที่ 1



รูปที่ 1 แสดงผลของ Video Inversion

จากรูปที่ 1 จะเห็นว่า Complete Video Line จะถูกกลับจากบวกเป็นลบ และลบเป็นบวก ทำให้ที่เครื่องรับไม่สามารถเช็ค Synch ได้ และข้อมูลของภาพจะอยู่ในรูป Negative นอกจากนี้ Color Burst จะถูกเลื่อนเฟสไป 180 องศาด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

สำหรับระบบโทรทัศน์ผ่านดาวเทียม จะไม่สามารถใช้เทคนิคการ Scrambling แบบนี้ได้ เพราะแรงดันไฟของระบบจะถูกแปลงลงทั้งข้าง High และ Low ซึ่งหมายความว่า ในเครื่องรับโทรทัศน์ผ่านดาวเทียมนั้น จะมีอุปกรณ์สลับขั้วของสัญญาณอยู่แล้ว จะทำให้สัญญาณที่ถูก Scrambling แบบนี้ไม่มีผล เพราะจะสามารถรับได้อย่างปกติ

2 การแทน Synch (Synch Replacement)

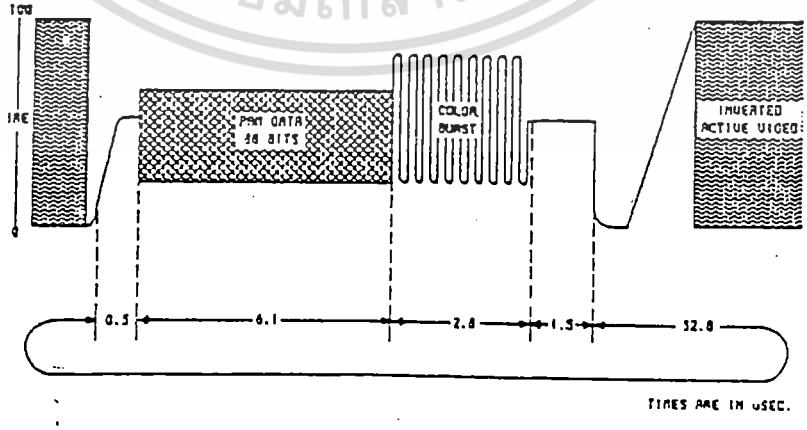
หลักการ จะมีการแทนสัญญาณ Synch Pulse ทางแนวนอน (Horizontal Synch) และทางแนวตั้ง (Vertical Synch) ด้วยสัญญาณรูปแบบอื่น

เทคนิคการ Scrambling แบบนี้ มีการใช้ในอเมริกาเหนือ และยุโรป และเป็นส่วนหนึ่งในหลาย ๆ เทคนิคที่มีการใช้ระบบ OAK Orion และ Video Cipher II ทั้งสองระบบ ในระบบ Orion ช่วงของ Horizontal Synch จะรวมถึงสัญญาณ Synch Burst ความถี่ 25 MHz ซึ่งตามด้วยสัญญาณ Data Burst ส่วนระบบ Video Cipher II นั้น จะมีการนำสัญญาณ Data Burst มาแทนสัญญาณ Synch และนำข้อมูลของสัญญาณ Synch นั้นเข้าไปรวมอยู่ในส่วนของสัญญาณ Data Burst

เทคนิค จะไม่มีการรักษาความปลอดภัยของข้อมูลเลย เช่นเดียวกับเทคนิคการ Scrambling แบบ Video Inversion (แบบที่ 1) ทำให้สามารถทำการ Descrambling ได้ง่าย ซึ่งทำได้ 2 แบบ คือ

1. แบบที่เสียค่าใช้จ่ายต่ำ จะใช้วิธีการ Detect สัญญาณเพื่อให้ได้สัญญาณ Synch โดยใช้วงจร Monostable

2. แบบที่เสียค่าใช้จ่ายสูง จะใช้วงจร Synch Regeneration โดยใช้สัญญาณ Color Burst หรือสัญญาณส่วนอื่น ๆ ในการ Lock เพื่อสร้างสัญญาณ Synch ขึ้นมาใหม่



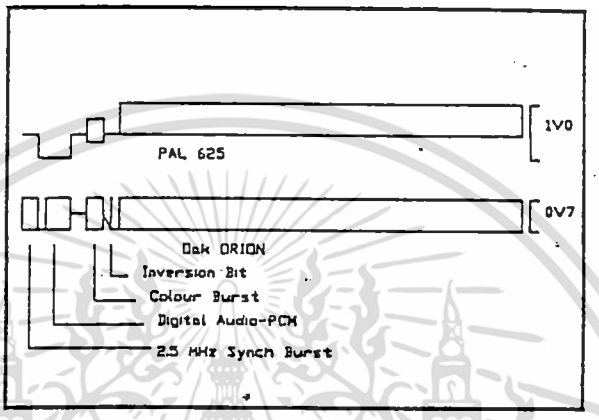
รูปที่ 2 แสดงผลของ Synch Replacement

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3 Active Inversion

หลักการจะทำการกลับขั้วของสัญญาณ Video แบบ Active

การ Scrambling แบบ Active Inversion นี้ เป็นการกลับขั้วของข้อมูลภาพของ Video ทีละ Line ซึ่งให้ผลในด้านการรักษาความปลอดภัยที่ดีกว่าระบบที่ผ่านมา แต่อย่างไรก็ตาม ในสภาพทั่ว ๆ ไปแล้ว สัญญาณ Video จะกลับขั้วโดยใช้พื้นฐานของ Alternat Line ซึ่งมีการรักษาความปลอดภัยที่ต่ำอยู่ดี และในบางระบบจะใช้ในลักษณะ Field ต่อ Field



รูปที่ 3 แสดงผลของ Active Inversion
ในระบบ OAK Orion

จากรูปที่ 3 จะพบว่า การเปลี่ยนแปลงของ Key ของ Descrambler แบบ Active Video Inversion คือวิธีการที่ง่ายที่สุดที่จะทำให้เหมือนกับว่ามันมี Key ที่แสดงขั้วของสัญญาณ Video สำหรับแต่ละ Line

นอกจากนี้ เทคนิคนี้ยังแบ่งได้เป็น 2 แบบ คือ

1. แบบที่มี Key
2. แบบที่ไม่มี Key (no Key)

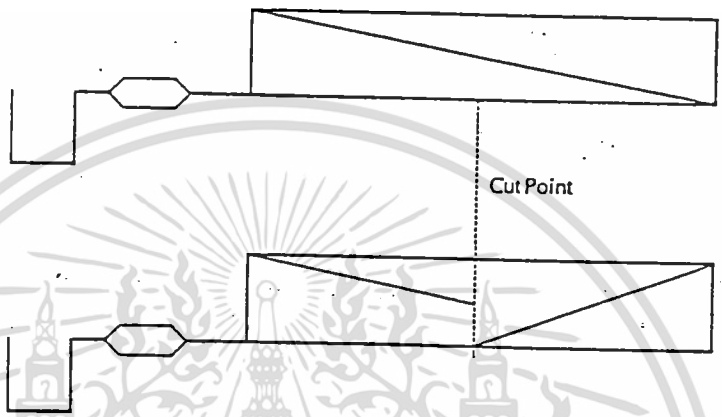
แบบมี Key จะมีการรักษาความปลอดภัยในระดับที่ต่ำกว่า (Key คือ Pulse ในช่วงของสัญญาณ ซึ่งใช้แสดงขั้วของสัญญาณ Video) Key Pulse นี้ จะสามารถ Detect ได้อย่างง่าย

แบบไม่มี Key จะมีลักษณะที่แตกต่างออกไป เพราะไม่มีสิ่งที่ใช้แสดงขั้วของสัญญาณ Video ในส่วนประกอบของ Line เลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4 ตัด และ กลับขั้ว (Cut And Invert)

หลักการ สัญญาณ Line Vido จะถูกแบ่งออกเป็นส่วนย่อย ๆ ที่เรียกว่า "Segment" จำนวนหลาย ๆ Segment ตามที่ต้องการ และทำการสลับขั้วของสัญญาณ Line Video ในส่วนของ Segment ใด Segment หนึ่ง หรือจะทำพร้อมกันทีเดียวทีละหลาย ๆ Segment เลยก็ได้ จากจำนวนของ Segment ที่ได้แบ่ง



รูปที่ 4 แสดงผลของ Cut and Invert

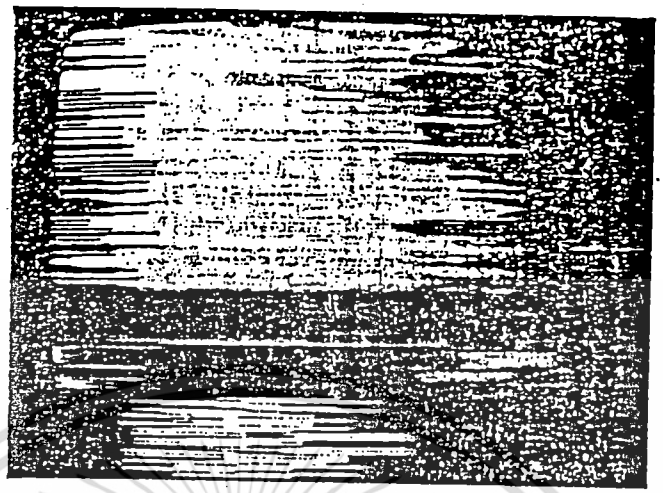
จาก 4 จะพบว่ามีการแบ่งสัญญาณ Line Video ออกเป็น 2 Segment และทำการกลับขั้วของสัญญาณ Lino Video ในช่วง Segment หลัง

เทคนิคการ Scrambling แบบนี้ จะไม่เหมาะกับวงจรทางด้าน Analog เพราะจะออกแบบได้ยากมาก แต่มันจะเหมาะกับการออกแบบทาง Digital ซึ่งจะทำได้ง่าย และมีประสิทธิภาพที่ดีกว่า ซึ่งมีระบบที่ใช้ในยุโยปหลายระบบ ที่ใช้หลักการนี้ไปประยุกต์ใช้งาน ซึ่งผลของระดับความสำเร็จในการรักษาความปลอดภัย ที่ได้ของแต่ละระบบนั้น จะขึ้นอยู่กับจำนวนของ Segment ต่อ Line Video และจำนวนของ Segment ที่ถูกกลับขั้วที่ระบบนั้นใช้

5 ตัดและหมุน (Cut and Rotate)

หลักการ จะคล้ายกันกับการ Scrambling แบบ Cut and Invert ในส่วนที่มีการแบ่งสัญญาณออกเป็น Segment หลาย ๆ Segment แต่เทคนิคนี้จะทำการเลื่อน Segment มาไว้ที่ Segment และเลื่อน Segment แรกไปที่ Segment ที่สอง ไปเรื่อยๆ ตามลำดับจนครบทั้งหมด ซึ่งจะมีลักษณะเป็นการหมุน Segment เป็นวงกลมโดย Segment สุดท้ายจะต่ออยู่กับ Segment แรก ในขณะที่แบบ Cut and Invert จะกลับขั้ว Segment ของ Line Video

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



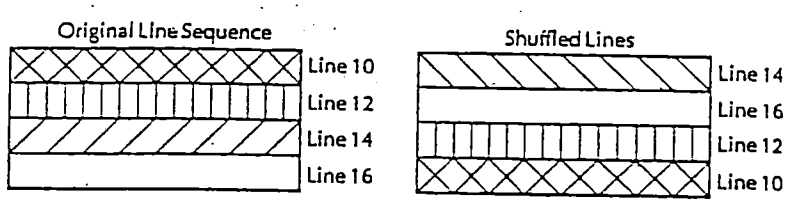
รูปที่ 5 แสดงผลของ Cut and Rotate

จากรูป 5 จะเป็นการ Scrambling แบบ Cut and Rotate โดยจะแบ่งออกเป็น 5 Segment ด้วยกัน แล้วทำการหมุน Segment 1 ครั้ง

การ Scrambling แบบนี้ ที่มีใช้ในยุโรป จะมีประสิทธิภาพดีมาก จำนวนของจุดตัวอย่างหรือ Segment ต่อ Line ที่เลือกใช้คือ 256 ซึ่งจำนวนจุดตัดที่ค่านี้ เราสามารถที่จะกำหนดให้อยู่ในรูปของข้อมูลขนาด 8 บิตได้ โดยจะอยู่ในรูปแบบของ Word หรือ Byte ก็ได้

6 Line Shuffle

หลักการ จะทำการสับเปลี่ยนอันดับของ Line ใน Field หรือ Frame เพื่อให้ส่ง Line ในคำสั่งที่ผิดจากปกติ เช่น Line ที่ 10 อาจจะถูกส่งไปในอันดับของ Line ที่ 99 และ Line ที่ 99 ก็จะถูกส่งไปอันดับที่ 10 แทน เป็นต้น ทำให้การแสดงภาพพบหน้าจอเครื่องรับแสดงภาพที่ผิดพลาด เพราะ Line Video ที่รับเข้ามา สลับอันดับกันอยู่



รูปที่ 6 แสดงผลของ Line Shuffle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.6 จะพบว่ามีการจัดลำดับของ Line ใหม่จากลำดับที่ต่อเนื่องคือ Line 10, Line 12, Line 14 และ Line 16 ตามลำดับ มาเป็น Line 14 ขึ้นก่อน และตามด้วย Line 16, Line 12 และ Line 10 แทน

การ Sorambling วิธีนี้จะต้องใช้ Field หรือ Fra,e เพื่อใช้เก็บข้อมูลในการสลับ Line และวงจร Digital เป็นจำนวนมาก

7 การเลื่อน Sinewave Synch (Sinewave Synch shifting)

หลักการ เพิ่ม Sinewave เข้าไปในสัญญาณ Line Video โดยมีความถี่เท่ากับความถี่ Line หรือเป็นจำนวนเท่าของความถี่ Line

การ Scrambling เทคนี้มี 2 รูปแบบคือ

1. ใช้ความถี่ Sinewave เท่ากับความถี่ Line
2. ใช้ความถี่ Sinewave เป็นจำนวนเท่าของความถี่ Line

ซึ่งทั้งสองแบบ จะมีการทำงานที่เรียบง่าย กล่าวคือแรงดัน Sinewave จะไปดันให้ส่วนของ Synch Pulse เลื่อนเข้าไปอยู่ในย่านของสัญญาณ Video ผลก็คือ จะทำให้เครื่องรับโทรทัศน์ไม่สามารถ Lock หรือ Synchronize ได้ ทำให้ภาพที่ได้จะม้วน หรือขาด ดังรูป 7

รูปที่ 7 แสดงผลของ Sinewave Synch Shifting

การเพิ่ม Sinewave เข้าไป จะมีผลทำให้ไปเพิ่ม Amplitude ของสัญญาณ Video ถ้าสัญญาณ Video ไม่ถูกลดทอนก่อนที่จะทำการ Scrambling โดยยังคงเหลืออยู่ในระดับมาตรฐานแล้ว การเพิ่ม Sinewave เข้าไป จะทำให้เกิดการ Overdeviation ดังนั้นจะทำให้ภาพเพี้ยนไป

การเลื่อน Sinewave Synch นี้ จะทำให้ Horizontal และ Vertcl Synch Pulse ถูกเลื่อนเข้าไปในย่านของ Active Video ซึ่ง Sinewave จะ Modulate กับ Active Vdieo ด้วย หมายความว่า Amplitude ของ Video จะต้องถูกลดทอนก่อนที่จะทำการ Scrambling เพื่อให้

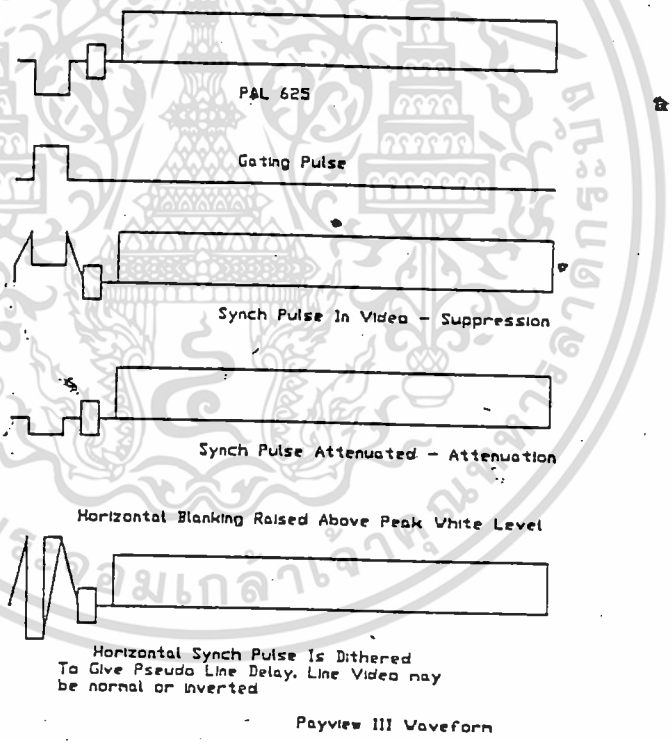
เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ Scramble ตกลงมาอยู่ภายในการจำกัดแรงดันในการส่ง Synch Seperator ของเครื่องรับโทรทัศน์จะไม่สามารถที่จะแยก Active Video ออกจากข้อมูลของ Synch ได้

8 การเลื่อน Pulse Synch (Pulse Synch Shifting)

หลักการ ใส่ Pusle Synch เข้าไปในย่านของสัญญาณ Video ซึ่งใช้ได้ทั้งทาง Horizontal และ Vertical Synch

การเลื่อน Pulse Synch สามารถป้องกันเครื่องรับโทรทัศน์จากการ Lock ภาพได้อย่างมีประสิทธิภาพ วิธีนี้จะมีการทำงานที่ไม่เหมือนกับ Sinewave synch Shifting เพราะวิธีนี้จะมีผลต่อช่วงของสัญญาณ Synch เท่านั้น Waveform ของ Scrambling และ Descrambling ที่ถูกเพิ่มเข้าไปในสัญญาณ Video คือขบวนของ Pulse (Pulse Train)



รูปที่ 8 แสดงผลของ Pulse Synch Shifting

เมื่อ Pulse Train ซึ่งจำเป็นสำหรับการ Descrambling สัญญาณที่ถูกส่งไปตามคู่สายที่แยกจากกันจะใช้การเลื่อน Gate Pulse

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

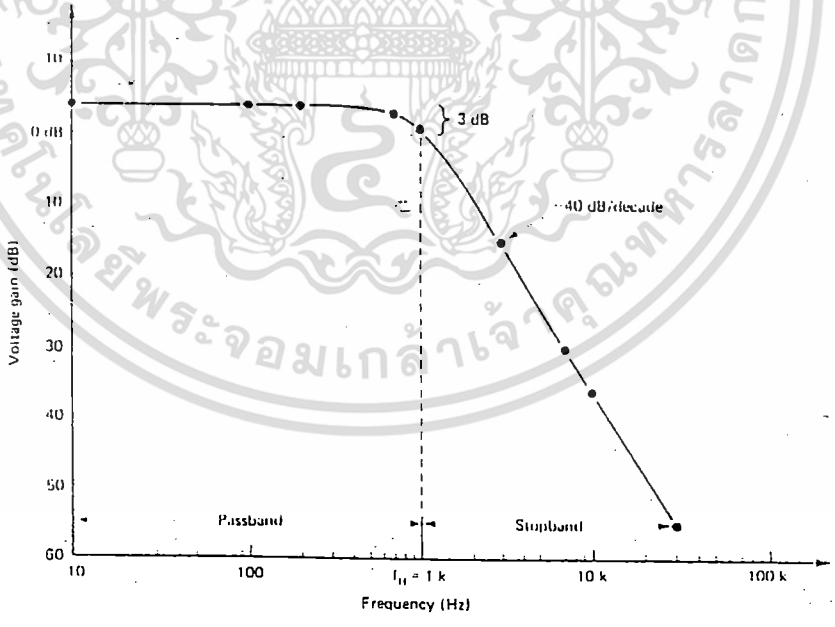
บทที่ 4
ทฤษฎีวงจรกรองความถี่ (Filter)

ในการใช้งานวงจรอิเล็กทรอนิกส์ บางครั้งเราอาจต้องการให้สัญญาณบางความถี่ผ่านเข้ามาเท่านั้น โดยที่สัญญาณที่มีความถี่อื่นนอกเหนือจากนั้นจะถูกกำจัดออกไป ซึ่งนี่คือประโยชน์ของวงจรกรองความถี่ชนิดต่าง ๆ ซึ่งมีด้วยกันหลายแบบดังนี้

1. วงจรกรองความถี่ต่ำ (Low Pass Filter)
2. วงจรกรองความถี่เป็นช่วง (Band Pass Filter)
3. วงจรกรองความถี่สูง (High Pass Filter)
4. วงจรนอท์ชฟิลเตอร์ (Notch Filter)

1 วงจรกรองความถี่ต่ำ (Low Pass Filter, LPF)

ในทางอุดมคติ วงจรกรองความถี่ต่ำจะกันไม่ให้สัญญาณที่มีความถี่สูงกว่าความถี่ f_c (cut off Frequency) ผ่านเข้าไปในวงจรเลย แม้จะมีความถี่สูงกว่า f_c เพียงเล็กน้อยก็ตาม แต่ในความเป็นจริงแล้วลักษณะของความถี่สูงที่ถูกกันออกไปจะไม่เป็นเช่นนั้น แต่จะค่อย ๆ ถูกลดอัตราขยายลงเรื่อย ๆ โดยจุดที่มีความถี่เท่ากับ f_c นี้อาจเรียกได้หลายอย่าง เช่น ความถี่ 0.707 (ขนาด V_{out} จะลดลงเหลือเพียง 70.7% เมื่อเทียบกับ V_{in} สูงสุด) ความถี่ – 3 dB (อัตราขยายของ V_{out} ลดลง 3 dB) หรือความถี่หักมุม เป็นต้น กล่าวโดย

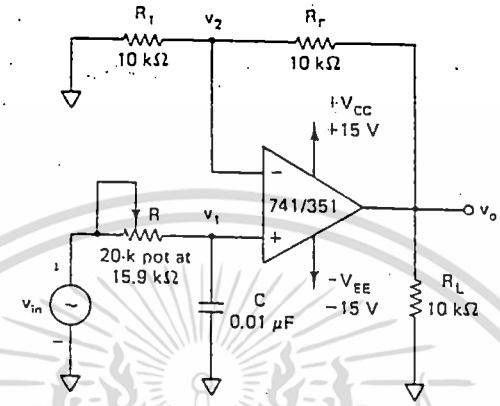


รูปที่ 1 กราฟแสดงการตอบสนองต่อความถี่ของ LPF

สรุปแล้ววงจรนี้จะลดทอนขนาดของสัญญาณที่มีความสูงกว่า f_c ซึ่งเรียกช่วงของสัญญาณที่มีความถี่ต่ำกว่า f_c ว่า "ช่วงให้ผ่านได้" (Pass Band) และที่มีความถี่สูงกว่าว่า "ช่วงที่ถูกกั้น" (Stop Band)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟรูปที่ 1 จะพบว่าเมื่อสัญญาณมีความถี่สูงกว่าความถี่ f_c แล้วจะมีสัญญาณบางเส้น ที่ถูกลดทอนด้วยอัตราที่น้อยกว่าสัญญาณเส้นอื่นๆ เช่น สัญญาณที่มีความชัน - 20 dB/decade (อัตราขยายจะลดลง 20 dB ต่อความถี่ที่เพิ่มขึ้น 10 เท่า) จะมีความชันน้อยกว่าสัญญาณที่มีค่า - 60 dB/decade คุณสมบัตินี้เกิดขึ้นจากการออกแบบวงจรกรองความถี่ และเป็นที่แน่นอนว่า ยิ่งค่าความชันมีค่าเป็นลบมากขึ้นเท่าใด วงจรก็จะมีคุณสมบัติใกล้เคียงกับวงจรในอุดมคติมากขึ้นเท่านั้น



รูปที่ 2 วงจร Low Pass Filter ขั้นพื้นฐาน

รูปที่ 2 แสดงตัวอย่างของวงจร Low Pass Filter แบบพื้นฐาน ซึ่งใช้ออปแอมป์ที่ถูกต่อในลักษณะของวงจรตามแรงดัน และใช้หลักการแบ่งแรงดันธรรมดา ณ ขั้ว Input บวก โดยใช้คุณสมบัติที่ว่าความถี่ของสัญญาณ Input จะมีผลต่อค่า Impedance ของตัวเก็บประจุ ดังสมการ

$$X_C = 1/W \qquad (W = 2pf)$$

$$= 1/2pf_C$$

โดยที่ f คือความถี่ของสัญญาณ Input ดังนั้นเมื่อสัญญาณมีความถี่ต่ำ X_C จะมีค่าสูง ทำให้แรงดันเกือบทั้งหมดจากตกคร่อมตัวเก็บประจุ C และเป็นผลให้แรงดัน Output V_C มีค่าประมาณเท่ากับ V_{in} ด้วย ในขณะที่สัญญาณมีความถี่สูง จะทำให้ X_C มีค่าต่ำ เป็นผลให้ตัวเก็บประจุเสมือนถูกลัดวงจร ดังนั้น V_{out} จะมีค่าต่ำด้วย จะสรุปได้ว่า ช่วงของสัญญาณที่มีความถี่ต่ำจะผ่านไปปรากฏที่ Output ได้โดยที่สัญญาณซึ่งมีความถี่สูงจะถูกกันเอาไว้ และเราสามารถหาความถี่ fc ที่แบ่งช่วงสัญญาณออกเป็นสองส่วนได้ดังสมการ

$$f_C = 1/2pRC$$

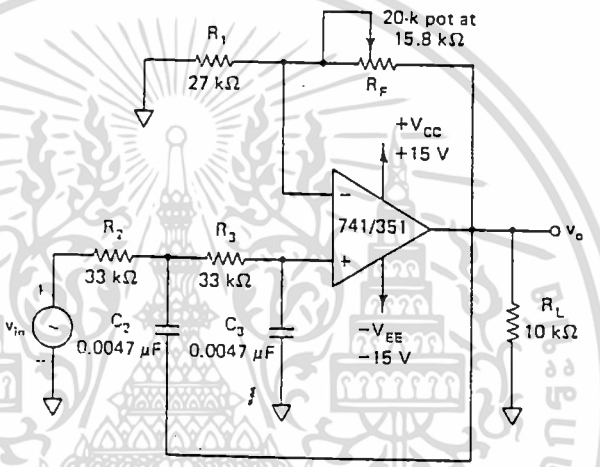
วงจร Low Pass Filter ในรูปที่ 2 จะมีความชันประมาณ -20 dB/decade และจากการใช้อุปกรณ์ เช่น ตัวเก็บประจุในวงจร สัญญาณที่วัดได้จาก Out put จะมีเฟสไม่ตรงกับ Input เลยทีเดียว แต่จะมีการเลื่อนเฟสออกไปเท่ากับ - 45 (ถึงแม้จะป้อน ณ ขั้ว Input บวกเลยก็ตาม) ซึ่งหากความชันมีค่าเป็นลบสูงเท่าใด เฟสก็จะถูกเลื่อนไปเรื่อยๆ โดยทั่วไปแล้ว เฟสของสัญญาณ Output จะเลื่อนไป - 45 ทุกๆ ความชันที่ลดลง - 20 dB/decade ตัวอย่าง เช่น สำหรับสัญญาณที่มีความชัน - 40 dB/ddecade เฟสของ Output จะถูกเลื่อนออกไป - 90 เมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่มีความชัน - 40 dB/ddecade เฟสของ Output จะถูกเลื่อนออกไป - 90 เมื่อเทียบกับสัญญาณ Inpiut

รูปที่ 3 แสดงวงจรที่ถูกปรับปรุงให้มีความชันถึง - 40 dB/decade โดยมีตัวเก็บประจุทำหน้าที่เช่นเดิม แต่เพิ่มตัวเก็บประจุ C_1 เข้ามา ในการป้อนสัญญาณกลับมาหักล้างกับสัญญาณ Input ที่ความถี่สูง (เนื่องจาก X_{C1} จะมีค่าลดลง) และเราสามารถหาความถี่ f_c จากสมการได้ดังนี้

$$fc = 1/[2pR_1R_2C_1C_2]$$



รูปที่ 3 แสดงวงจร Low Pass Filter
ที่มีความชันถึง - 40 dB/deccde

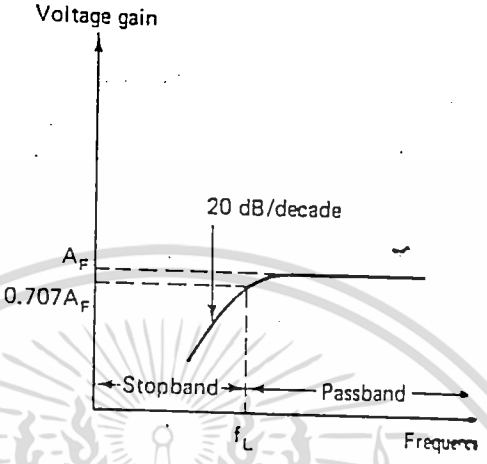
สมการนี้จะให้ผลแม่นยำมาก ถ้าความต้านทาน R_1 และ R_2 ที่ใช้มีขนาดเท่ากัน และตัวเก็บประจุ C1 มีค่า Capacitance สูงกว่า C_2 R_3 ควรมีค่าเท่ากับ $R_1 + R_2$ เพื่อให้สัญญาณ Output มีลักษณะใกล้เคียงกับสัญญาณ Input มากที่สุด และยังช่วยในการปรับ Offset ให้เกิดสมดุลย์อีกด้วย

2 วงจรกรองความถี่สูง (High Pass Filter, HPF)

หลังจากที่ได้ศึกษาวงจร Low Pass Filter มาแล้ว เราจะสามารถเข้าใจหลักการทำงานของวงจร High Pass Filter ได้ง่ายขึ้น นอกจากนี้ยังพบว่าสามารถนำสมการต่าง ๆ ของวงจร Low Pass Filter มาใช้ในการคำนวณวงจร High Pass Filter ได้อีกด้วย

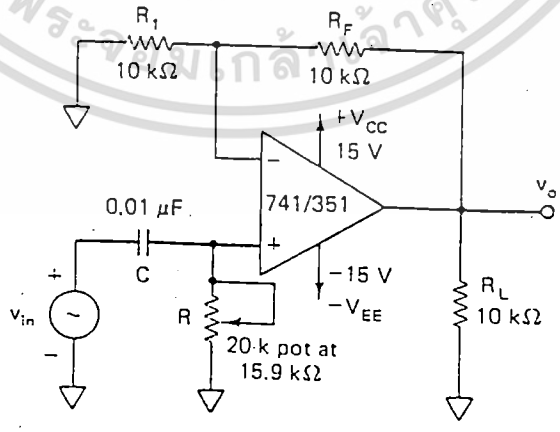
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากชื่อของวงจรชนิดนี้ เราสามารถบอกได้ทันทีว่า วงจรนี้จะยอมให้สัญญาณความถี่สูงผ่านไปสู่ Output ได้เท่านั้น แต่จะกันไม่ให้สัญญาณความถี่ต่ำผ่านไปได้ แต่ในความเป็นจริง วงจรนี้ก็จะมีลักษณะเช่นเดียวกับวงจร Low Pass Filter คือจะเกิดความถี่ fc ขึ้น และอัตราขยายจะค่อยๆ ลดลง คือจะไม่ตกลงในแนวดิ่งเลยทันทีทันใด ดังรูปที่ 4



รูปที่ 4 แสดงคุณสมบัติการตอบสนองความถี่
ของวงจร High Pass Filter

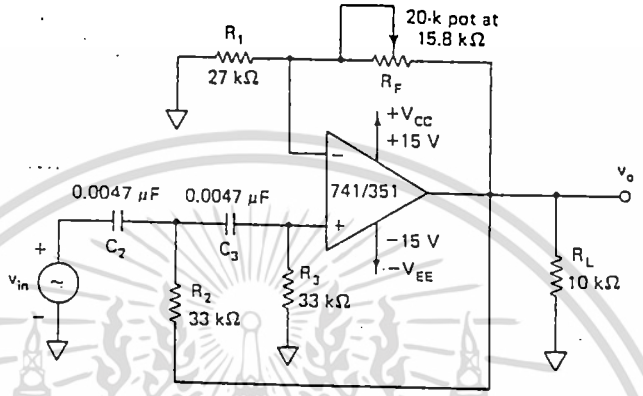
เราสามารถสร้างวงจรนี้ได้ โดยการสลับตำแหน่งของ R กับ C ของวงจร Low Pass Filter ได้ดังรูปที่ 5 และสามารถอธิบายหลักการทำงานได้ โดยอาศัยคุณสมบัติที่ว่า ที่ความถี่สูง ค่า Impedance ของ C จะมีค่าต่ำ ดังนั้นสัญญาณ Input เกือบทั้งหมดจึงตกคร่อม R และมีศักดาเท่ากับ V_{out} แต่ที่ความถี่ต่ำกว่า f_C ของ Impedance จะมีค่าสูง ทำให้แรงดันเกือบหมดตกคร่อม C และเป็นผลให้แรงดันที่ตกคร่อม R และแรงดันที่ Output มีค่าต่ำมาก โดยที่วงจรในรูปที่ 5 นี้มีความชันประมาณ - 20 dB/decade และมีค่าความถี่ f_C ที่หาได้จากสมการเดียวกับวงจร Low Pass Filter



รูปที่ 5 แสดงวงจร High Pass Filter
ที่มีความชัน - 20 dB/decade

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรในรูปที่ 5 เราสามารถปรับปรุงให้มีความชันถึง - 40 dB/decaade ได้โดยเพิ่ม R และ C เข้าไปดังรูปที่ 6 โดยวงจรนี้จะมีการทำงานที่มีประสิทธิภาพมากที่สุด ก็ต่อเมื่อเรากำหนดให้ C_1 มีค่าเท่ากับ C_2 และ R_3 มีค่าเท่ากับ R_2 โดยมี R_2 เป็นตัวป้อนสัญญาณกลับเพื่อการกรองสัญญาณอีกครั้งหนึ่ง



รูปที่ 6 แสดงวงจร High Pass Filter
ที่มีความชัน - 40 dB/decade

3 วงจรกรองความถี่เป็นช่วง **(Band Pass Filter, BPF)**

วงจร Band Pass Filter คือวงจรที่ยอมให้สัญญาณบางความถี่ผ่านไปได้เท่านั้น ดูคุณสมบัติการตอบสนองความถี่ของวงจรได้ในรูปที่ 7

จากรูปที่ 7 จะพบว่า ณ ความถี่ที่ Output มีขนาดสูงสุด เราเรียกว่าความถี่รีโซแนนท์ (Resonant Frequency, f_r) และที่ความถี่ซึ่งแรงดัน Output ลดลงเหลือเท่ากับ 70.7% ทั้งด้านที่ความถี่สูงขึ้น และความถี่ลดลง เรียกว่าความถี่ f_H และ f_L ตามลำดับ โดยที่ผลต่างของความถี่ทั้งสองนี้ (f_H - f_L) จะแสดงค่า Bandwidth (BW) มีขนาดต่ำกว่า 10% ของความถี่ f_r จะเรียกวงจรนี้ว่า วงจร Filter ช่วงแคบ แต่จะเรียกว่าเป็นวงจร Filter ช่วงกว้าง ถ้า BW มีค่าสูงกว่า 10% ของ f_r นอกจากนี้แล้วยังให้นิยามสำหรับค่า Q (Quality Factor) ว่าเป็นอัตราส่วนระหว่างความถี่ fr กับ BW ดังสมการ

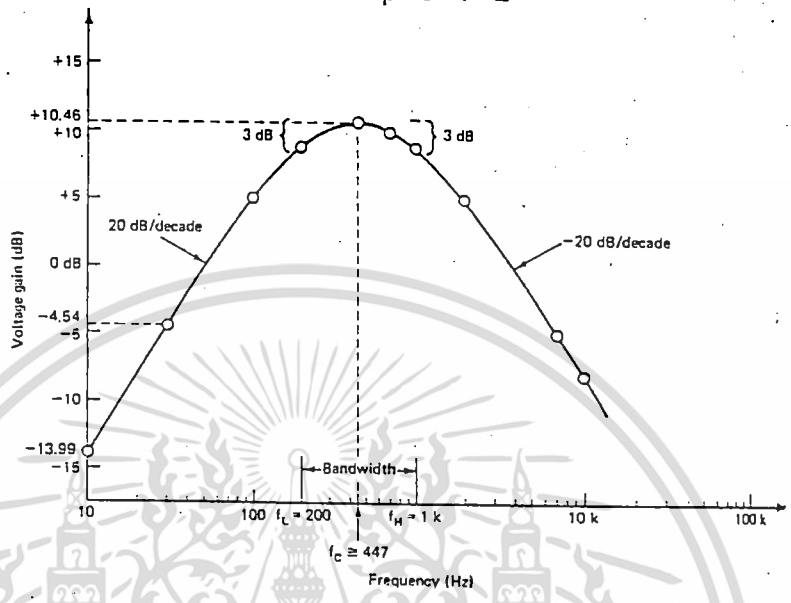
$$Q = f_r / BW$$

วงจรที่มีค่า Q สูงมากเท่าใด BW ก็จะยิ่งแคบเท่านั้น (เข้าใกล้วงจรในอุดมคติ ซึ่งต้องการเลือกความถี่ที่ผ่านวงจรได้เพียงค่าเดียว) และ Output ที่ได้จะมีขนาดสูงขึ้นด้วย เส้นประในรูปที่ 7 แสดงวงจร Band Pass Filter ที่มีค่า Q ค่อนข้างต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

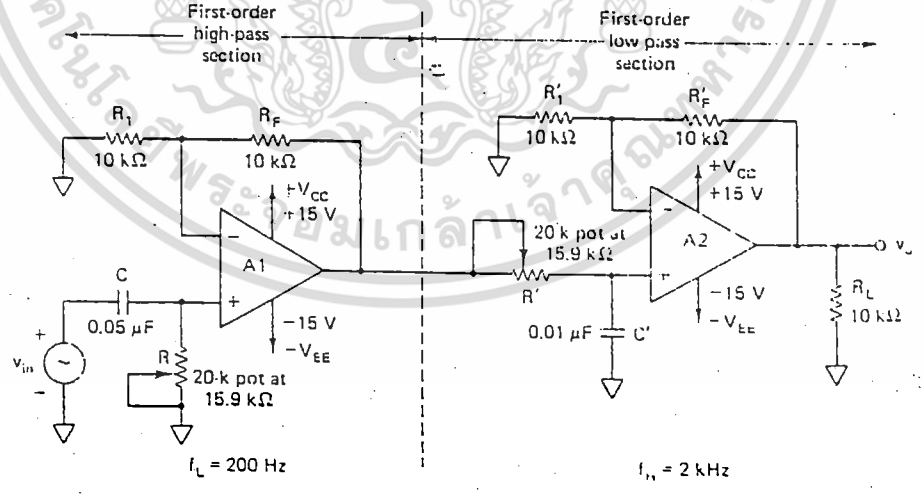
วงจรในรูปที่ 8 แสดงวงจร Band Pass Filter ซึ่งได้จากการรวมวงจร Low Pass Filter และ High Pass Filter เข้าด้วยกัน (โดยที่วงจรใดจะมาก่อนกันก็ได้) R_1 และ C_2 คืออุปกรณ์ที่ในการกรองความถี่ต่ำ ส่วน R2 และ C_1 จะใช้กรองความถี่สูง โดยมามารถหาค่าความถี่ f_r ได้จากสมการ

$$fr = 1/[2p\ R_pR_3C_1C_2]$$



รูปที่ 7 แสดงคุณสมบัติการตอบสนองต่อความถี่ของ Band Pass Filter

โดยที่ $R_p = R_1 // R_2 = R_1R_2/[R_1 + R_2]$



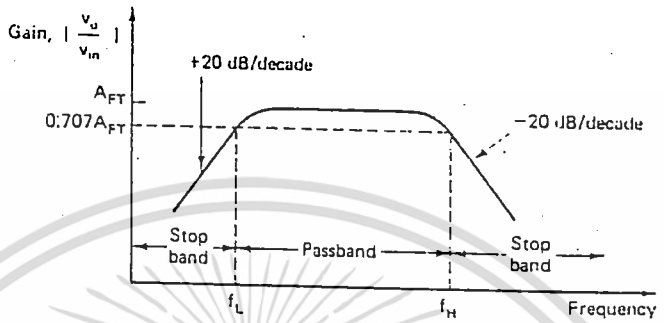
รูปที่ 8 แสดงวงจร Band Pass Filter แบบรวม HPF กับ LPF

และหาค่า Q จากสมการ

$$Q = 0.5\ R_3 / R_3 \qquad \text{เมื่อ} \quad C_1 = C_2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

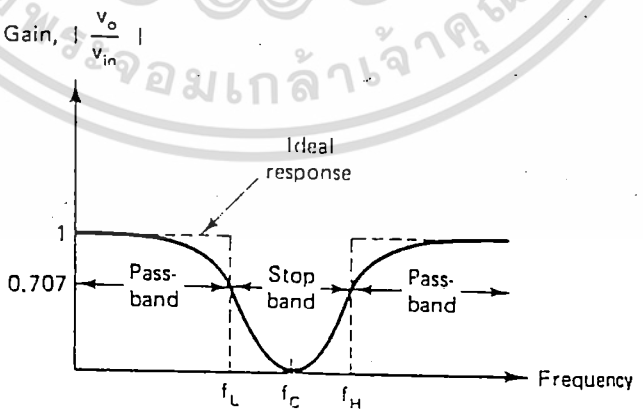
ในกรณีต้องการวงจร Band Pass Filter ซึ่งมีช่วงกว้างมากๆ เราสามารถนำวงจร Low Pass Filter และ High Pass Filter มาต่อร่วมกันได้เลย โดยใช้ f_c ของวงจร Low Pass Filter เป็น f_H และใช้ f_C ของวงจร High Pass Filter เป็น f_L ซึ่งจะได้กราฟแสดงการตอบสนองต่อความถี่ดังรูปที่ 9



รูปที่ 9 แสดงกราฟคุณสมบัติตอบสนองความถี่ ของ BPF ที่ใช้ LPF กับ HPF ต่อร่วมกัน

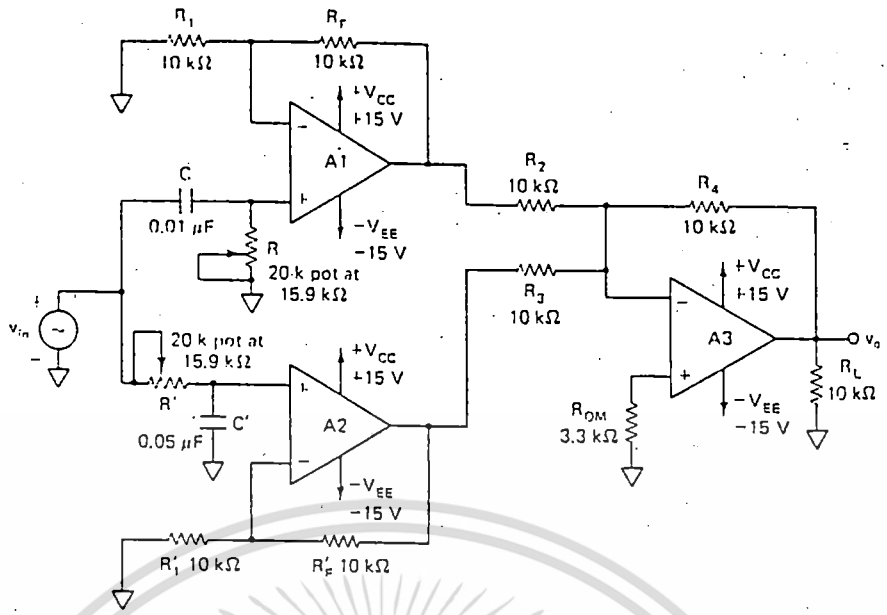
4. วงจรนอท์ชฟิลเตอร์ (Notch Filter)

วงจรชนิดนี้จะทำงานตรงกันข้ามกับวงจรกรองความถี่เป็นช่วง โดยวงจรนี้จะยอมให้ความถี่ทุกๆ ค่าผ่านไปได้ ยกเว้นความถี่ช่วงหนึ่งที่ได้กำหนดไว้ โดยทั่วไปวงจรชนิดนี้ มักถูกใช้เพื่อกันสัญญาณรบกวน ที่เราทราบค่าความถี่แล้ว รูปที่ 10 แสดงการตอบสนองต่อความถี่ของวงจร Notch Filter



รูปที่ 10 แสดงการตอบสนองความถี่ของวงจร Notch Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 11 แสดงวงจร Notch Filter แบบพื้นฐาน

จากรูป 11 เราสามารถคำนวณหาค่า fr ได้จากสมการ

$$fr = 1/[2p\ R_1R_4C_1C_2]$$

และหาค่า Q ของวงจรเมื่อ C1 = C2 ได้จากสมการ

$$Q = 0.5\ [R4 / R1]$$

นอกจากนี้ ยังสามารถนำค่า Q นี้มาคำนวณหาความชันได้อีกด้วย โดยที่

(ความชัน) $N = \{[1/Q] - [2Q(1-Rp)/Rp]\}/[1/Q]$;$Rp = R3/[R2+R3]$

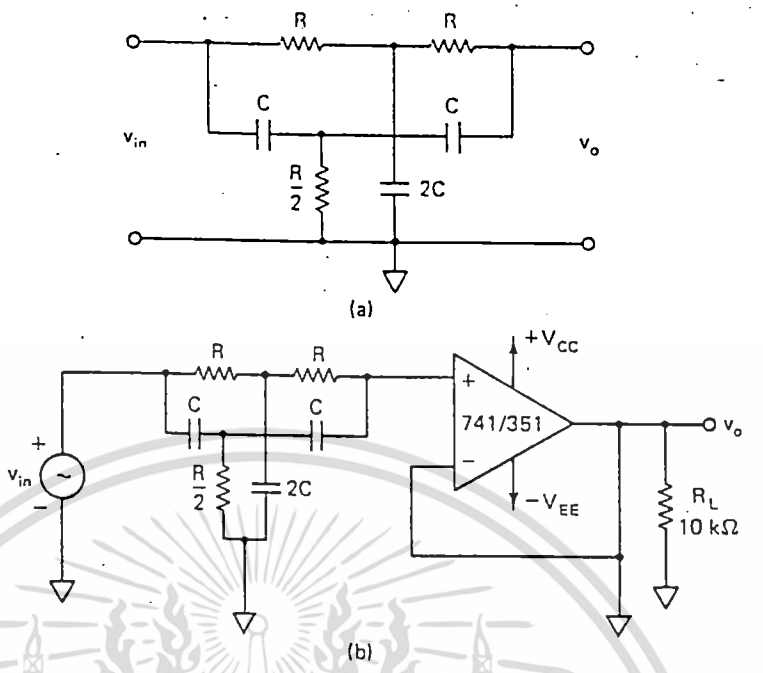
ซึ่งโดยปกติแล้ว R3 ที่ใช้งานจะมีค่าสูงกว่า R2 ประมาณ 50 เท่า

การทำงานของวงจรในรูปที่ 11 สามารถอธิบายได้ดังนี้ แรงดัน Input จะถูกแบ่งตามอัตราส่วนระหว่าง R2 และ R ซึ่งแรงดันนี้จะถูกป้อนให้แก่ขั้ว Input ทั้งสองของออปแอมป์ ที่ความถี่ต่ำกว่า fr ค่า Impedance Xc ของตัวเก็บประจุจะสูงมาก ดังนั้นจึงไม่มีการป้อนสัญญาณกลับ เป็นผลให้ Vout = {R3/[R2+R3]}*Vin

= Vin เมื่อ R3 = 50Rin

แต่เมื่อความถี่ของ Input เข้าใกล้ fr Reactance ของตัวเก็บประจุจะทำงานร่วมกับตัวต้านทานในการป้อนสัญญาณ Output กลับสู่ Input เป็นผลให้แรงดัน Output ลดลง และเกิดการเลื่อนเฟสด้วย เมื่อความถี่ของ Input มีค่าสูงกว่า fr Impedance ของตัวเก็บประจุจะลดลง และเป็นผลให้ขั้วของ Output เสมือนถูกลัดวงจรกับขั้ว Input ลบ นั่นคือ อัตราขยายมีค่าเป็น 1 กลายเป็นวงจรตามแรงดัน (Voltage Follower) ในการพิจารณาวงจรนี้ เมื่อกล่าวถึงกรณีที่ Impedance ของ C มีค่าสูง ๆ ให้คิดว่า C ถูกเปิดวงจร และเมื่อ Impedance ของ C มีค่าลดลงให้คิดเสมือน C ถูกลัดวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 12 แสดงวงจร Notch Filter ชนิด "T" คู่

จากรูปที่ 12 แสดงวงจร Notch Filter ชนิด "T" คู่ ที่มีการนำเอาอุปกรณ์ Passive มาต่อในลักษณะของตัวกลับหัวกัน โดยมีออปแอมป์ทำหน้าที่เป็นบัฟเฟอร์ วงจรนี้มักให้ค่า Q ค่อนข้างต่ำ (ต่ำกว่า 1) ส่วนวงจรในรูปที่ 12 b แสดงการนำวงจร 12 a มาดัดแปลงเล็กน้อย โดยนำจุดต่อระหว่าง R3 และ C3 ไปป้อนที่ Output ของออปแอมป์ เป็นผลให้ค่า Q มีค่าสูงถึง 50 ซึ่งทำให้เกิดความชันมีค่าสูงมาก (ดังนั้น Output ที่ได้จึงมีลักษณะแหลมมาก) โดยสมการในการคำนวณ fr ยังคงเหมือนกับในวงจรรูป 12 a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ทฤษฎีเฟสล็อกลูป (Phase locked loop)

1. วงจรเฟสล็อกลูปพื้นฐาน (PLL)

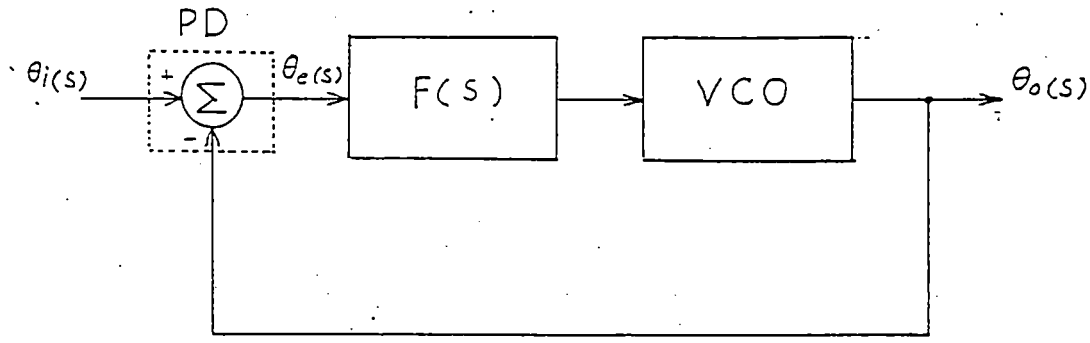
เนื่องจากมีการใช้ระบบ FM Stereo กันอย่างแพร่หลาย ทำให้มีการรวมวงจรส่วนประกอบของระบบ FM Sterep ทั้งหลายเข้าด้วยกัน ทำเป็น IC สำเร็จรูปเพียงตัวเดียว ทำให้สามารถประกอบวงจรเกี่ยวกับ FM Stereo ง่ายขึ้น และประหยัดเวลา ซึ่งโดยทั่วๆ ไปแล้ว IC สำเร็จรูปนี้ จะประกอบไปด้วยส่วนของ Input Amplifier, Phase Detector, VCO (Voltage Controlled Oscillator), Phase Lock Detector บางระบบที่ใช้สำหรับ Audio Muting หรือ Stereo Lamp Switching และ Power Supply Regulator ที่สร้างอยู่ภายใน การเลือกวัสดุที่ใช้ทำ IC ชนิดนี้ จะเลือกชิปที่สามารถทำงานในช่วงของแรงดัน Supply ที่เปลี่ยนแปลงในช่วงกว้าง ปกติแล้ว IC จำพวกนี้ จะมีตัวถังเป็นแบบ DIP ขนาด 14 หรือ 16 ขา และเมื่อมีการผลิตเป็นจำนวนมาก จะทำให้มีราคาถูก และพร้อมที่จะนำไปใช้งานได้เลย โดยหาได้ตามร้านค้าที่ที่จำหน่ายอุปกรณ์อิเล็กทรอนิกส์ หรือขายเป็นส่วนๆ โดยผู้จำหน่ายชิ้นส่วนของ Radio หรือ TV วงจรส่วนใหญ่ที่ใช้งาน จะไม่มีส่วนประกอบจำพวก Coil และอุปกรณ์อื่นๆ ที่หาซื้อได้ยาก อุปกรณ์เหล่านี้ จะเป็นส่วนจำเป็นที่จะต้องใช้เป็นอุปกรณ์ในการ Descrambler เพราะมีการกำเนิดความถี่ Subcarrier 15, 31, 40 หรือ 62 KHz เพื่อใช้ในระบบ Gated Synch, Sine Wave และ SSAVI ในการนำไปใช้งานที่มีการ Demodulate สัญญาณ Subcarrier ของ Hidden Audio ดังนั้นจึงเป็นการทำงานทั้ง 2 อย่างพร้อมกัน

2. ทฤษฎีของวงจรเฟสล็อกลูป

หลักการของวงจร PLL จะทำงานโดยการเปรียบเทียบสัญญาณความถี่ที่ต้องการ ซึ่งปกติแล้วจะได้จาก VCO ที่มีย่านการปรับแต่ (Tune) ตามที่กำหนด กับสัญญาณ Reference โดยปกติแล้วสัญญาณ Reference ก็คือสัญญาณ Input นั่นเอง ทั้งสัญญาณ Input และ VCO จะถูกป้อนให้กับวงจร Phase Detector ดูรูปที่ 1 ซึ่ง Phase Detector จะให้ Output ที่เป็นผลต่างของ Phase ระหว่างสัญญาณ Input ทั้งสอง จากนั้น Output ที่ได้จาก Phase Detector นี้จะถูกขยาย และจ่ายให้กับวงจรVCO VCOจะทำหน้าที่เลื่อนความถี่ไปในทิศทางที่จะทำให้ความแตกต่างระหว่าง Input (Reference) กับที่เกิดจากตัวมันเองลดลง บางครั้งอาจจะต้องทำงานกับความถี่ Input ที่มีค่าเป็นหลายๆ เท่า ในแบบนี้จะมีการใส่วงจรหารความถี่ (Frequency Devider) ด้วย N เข้าไปในส่วนที่เป็น Feedback Loop

Phase Detector จะผลิตสัญญาณ Output AC ถ้าสัญญาณ Input ที่ป้อนเข้ามาทั้งสองสัญญาณมีความถี่ที่แตกต่างกัน แต่ถ้า Input ที่ป้อนเข้ามามีความถี่เท่ากัน ก็จะให้แรงดัน Output DC ที่แสดงถึงความต่างเฟสของสัญญาณแทน ดังนั้น Loop จะถูก Lock Phase Error ที่เกิดขึ้น จะมีค่าอยู่ระหว่าง Input ทั้งสองซึ่งในที่นี้มีค่าคงที่ ดังนั้น Ferquency Error เท่ากับ 0 ในทางกลับกันระบบ Automatic Frequency Control (AFC) จะเกิด Frequency Error เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 แสดง Block Diagram ของ PLL

โดยที่ $\theta o(s)$ คือ เฟสเอาท์พุทของระบบ (rad)
$\theta i(s)$ คือ เฟสอินพุทหรือเฟสอ้างอิงของระบบ (rad)
$\theta e(s)$ คือ เฟสเออเรอร์ของระบบ (rad)
PD คือ เฟสดีเทคเตอร์
VCO คือ วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน
F(s) คือ วงจรกรองความถี่ต่ำผ่าน

3. Transfer function ของ loop

โดยแท้จริงแล้ว PLL เป็นระบบไม่เชิงเส้นแต่สามารถจะจำลองระบบเพื่อให้ง่ายต่อการวิเคราะห์และกำหนดเงื่อนไขในการออกแบบให้เป็นระบบเชิงเส้นได้ โดยให้ความต่างเฟสระหว่างเฟสดีเทคเตอร์อินพุทและเฟสที่ป้อนกลับมีเฟสต่างกันไม่มาก และให้เฟสเอาท์พุทของเฟสดีเทคเตอร์เป็นแรงดัน (Va) โดยขึ้นอยู่กับความต่างเฟสของอินพุทและเฟสป้อนกลับหรือเขียนได้เป็น

$$Va = Kd(\theta i - \theta o) \qquad \text{-----(1)}$$

โดยที่ Kd เป็นค่าเฟสดีเทคเตอร์เกนมีขนาดเป็น V/rad และในกรณีที่ให้ระบบเป็นแบบเชิงเส้น เราจะได้ความถี่เอาท์พุทของวงจร VCO ที่เบี่ยงเบนออกจากความถี่ศูนย์กลางคือ

$$\Delta\omega = KoVc \qquad \text{-----(2)}$$

โดยที่ Vc เป็นแรงดันอินพุทของวงจร VCO , Ko เป็น VCO เกนมีขนาด rad/v
ดังนั้นเราสามารถเขียนความถี่ที่เอาท์พุทของ VCO คือ

$$\omega o = \omega c + \Delta\omega = \omega c + KoVc \qquad \text{-----(3)}$$

โดยที่ ωc เป็นความถี่อิสระ (free running) ของ VCO และจากความถี่เป็นการอนุพันธ์ของเฟสเทียบกับเวลาหรือเขียนได้เป็น

$$\Delta\omega = d\theta o/dt = KoVc \qquad \text{-----(4)}$$

หรือเขียนเฟสเอาท์พุทของลูปอยู่ในรูปของ

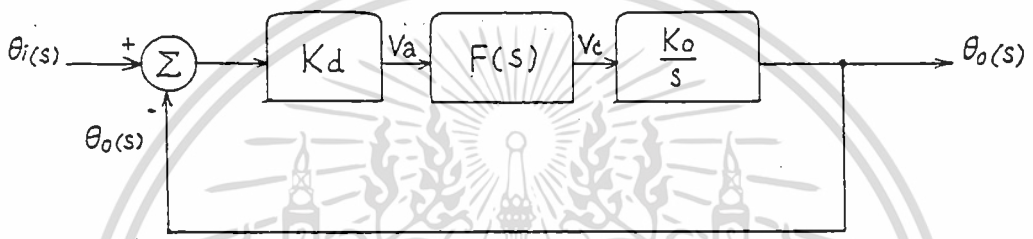
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\theta_o(t) = \int_0^t \Delta\omega \, dt \qquad \text{-----(5)}$$

กรณีในระบบของ PLL ถ้าทำการวิเคราะห์ด้วยลาปลาซทรานฟอร์ม (Laplace transform) เราเขียนเฟสเอาท์พุทได้เป็น

$$\theta_o(s) = [K_o V_c]/s \qquad \text{-----(6)}$$

ดังนั้นระบบ PLL สามารถแสดงแบบจำลองได้ดังรูปที่ 2.



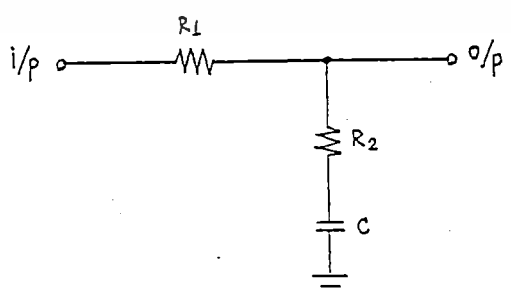
รูปที่ 2. แสดงแบบจำลองของ PLL

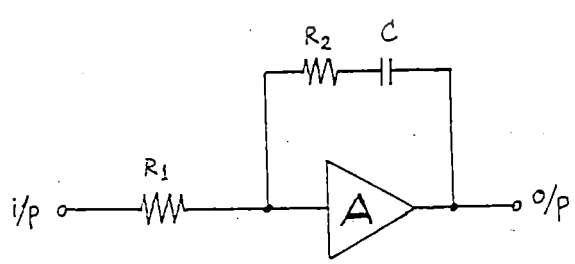
โดยจากรูปเราสามารถเขียนสมการของทรานเฟอร์ฟังก์ชั่นของระบบได้ดังนี้

$$\theta_o(s)/\theta_i(s) = [K_d K_o F(s)/s]/[1 + [K_d K_o F(s)/s]] \qquad \text{-----(7)}$$

วงจรกรองความถี่ใน Loop

สำหรับกรณีวงจรกรองความถี่ต่ำผ่าน F(s) ในลูปซึ่งเป็นตัวควบคุมคุณสมบัติทางไดนามิกของลูป ในที่นี้ของกล่าวเพียง 2 ประเภทคือ วงจรกรองแบบพาสซีฟหรือวงจรกรองแบบลีด-แล็ก (lead-lag filter) และวงจรกรองความถี่แบบแอคตีฟ





รูปที่ 3.1 แสดงวงจรกรองแบบพาสซีฟ รูปที่ 3.2 แสดงวงจรกรองแบบแอคตีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองแบบพาสซีฟ หรือวงจรกรองแบบลีด-แล็ก (lead-lag filter) แสดงในรูปที่ 3.1 มีทรานเฟอร์ฟังก์ชั่นคือ

$$F(s) = \{ST_2 + 1\}/\{ST_1 + 1\} \qquad \text{-----(8)}$$

โดยที่ $T_1 = (R_1 + R_2)C$

$T_2 = R_2C$

ส่วนวงจรกรองความถี่แบบแอคตีฟ มีทรานเฟอร์ฟังก์ชั่นคือ

$$F(s) = \{ST_2 + 1\}/\{ST_1\} \qquad \text{-----(9)}$$

โดยที่ $T_1 = R_1C$

$T_2 = R_2C$

โดย A เป็นเกนของวงจรกรองความถี่กำหนดให้มีค่ามากๆ ถ้าแทนสมการ (8) ลงในสมการ (7) จะได้ทรานเฟอร์ฟังก์ชั่นของเฟสเอาท์พุทต่อเฟสอินพุทคือ

$$H1(s) = \frac{\theta o(s)}{\theta i(s)} = \frac{KoKd(ST_2 + 1)/T_1}{S^2 + S(1 + KoKdT_2)]/T_1 + KoKd/T_1} \qquad \text{-----(10)}$$

หรือถ้าวงจรกรองแบบแอคตีฟ แทนสมการ (9) ลงในสมการ (7) จะได้ทรานเฟอร์ฟังก์ชั่นของ PLL คือ

$$H2(s) = \frac{KoKd(ST_2 + 1)/T_1}{S^2 + S(KoKdT_2)/T_1 + KoKd/T_1} \qquad \text{-----(11)}$$

จากทรานเฟอร์ฟังก์ชั่น (10),(11) สามารถเขียนให้อยู่ในเทอมของ ระบบป้อนกลับแบบเซอร์โว (servo) ได้เป็น

$$H1(s) = \frac{S([2\zeta\omega n - \omega n^2]/KoKd) + \omega n^2}{S^2 + 2\zeta\omega nS + \omega n^2} \qquad \text{-----(12)}$$

โดยที่ $\omega n = \sqrt{KoKd/T_1}$

$\zeta = (1/2)\sqrt{(KoKd/T_1)*(T_2 + [1/KoKd])}$

ถ้าค่าของ KoKd >> ωn แล้วทรานเฟอร์ฟังก์ชั่น H1 จะประมาณได้ว่า

$$H1(s) = \frac{2\zeta\omega nS + \omega n^2}{S^2 + 2\zeta\omega nS + \omega n^2} \qquad \text{-----(13)}$$

สำหรับ PLL ที่ใช้วงจรกรองความถี่แบบแอคตีฟในลูป ทรานเฟอร์ฟังก์ชั่นคือ

$$H2(s) = \frac{2\zeta\omega nS + \omega n^2}{S^2 + 2\zeta\omega nS + \omega n^2} \qquad \text{-----(14)}$$

โดยที่ $\omega n = \sqrt{KoKd/T_1}$

$\zeta = (T_2/2)\sqrt{KoKd/T_1} = (T_2\omega n)/2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และถ้าค่าเฟสเออเรอร์เป็นความแตกต่างระหว่างเฟสอินพุทต่อเฟสที่ป้อนกลับแล้วจะได้

$$\theta e(s) = \theta i(s) - \theta o(s) \qquad \text{-----(15)}$$

ซึ่งทรานเฟอร์ฟังก์ชั่นของเฟสเออเรอร์ต่อเฟสอินพุทของ PLL แสดงได้คือ

$$\theta e(s)/\theta i(s) = 1 - \{ \theta o(s)/\theta i(s) \} \qquad \text{-----(16)}$$

หรือเขียนใหม่ได้เป็น

$$\theta e(s)/\theta i(s) = S/\{ S + KoKdF(s) \} \qquad \text{-----(17)}$$

ถ้า PLL ใช้วงจรกรองชนิดลีด-แล็กแบบพาสซีฟแล้ว ทรานเฟอร์ฟังก์ชั่นของเฟสเออเรอร์ต่อเฟสอินพุทสามารถเขียนใหม่ได้เป็น

$$H3(s) = \frac{\theta e(s)}{\theta i(s)} = \frac{S([S + \omega n^2]/KoKd)}{S^2 + 2\zeta\omega nS + \omega n^2} \qquad \text{-----(18)}$$

หรือ

$$H3(s) = \frac{S(S + \{1/T_1\})}{S^2 + 2\zeta\omega nS + \omega n^2} \qquad \text{-----(19)}$$

ถ้ากำหนดค่าของลูปเกนมีค่ามากกว่าค่าความถี่ธรรมชาติ ($KoKd >> \omega n$) แล้ว

$$H3(s) = \frac{S^2}{S^2 + 2\zeta\omega nS + \omega n^2} \qquad \text{-----(20)}$$

สำหรับทรานเฟอร์ฟังก์ชั่นของเฟสเออเรอร์ต่อเฟสอินพุทของPLLที่ใช้วงจรกรอง แบบ แอคตีฟ หาได้โดยแทนสมการที่ (9) ลงในสมการที่ (17) จะได้ทรานเฟอร์ฟังก์ชั่นดังนี้

$$H4(s) = \frac{\theta e(s)}{\theta i(s)} = \frac{S^2}{S^2 + 2\zeta\omega nS + \omega n^2} \qquad \text{-----(21)}$$

ซึ่งมีค่าเท่ากับสมการที่ (20)

4. Phase Detector

สำหรับเฟสดีเทคเตอร์ หรืออาจเรียกได้ว่าเฟสคอมพาเรเตอร์ (phase comparator) เป็นอุปกรณ์ที่เปรียบเทียบสัญญาณอ้างอิงหรือเฟสอินพุทกับเฟสเอาท์พุทที่ป้อนกลับจาก VCO และให้แรงดันเอาท์พุทเป็นแรงดันที่แปรตามค่าความต่างเฟส สำหรับเฟสดีเทคเตอร์สามารถแบ่งออกเป็น 2 ประเภทคือ อนาลอกเฟสดีเทคเตอร์และดิจิตอลเฟสดีเทคเตอร์ โดย PLL ที่ใช้อนาลอกเฟสดีเทคเตอร์หรืออาจเรียกได้ว่าอนาลอกเฟสล็อกลูป (analog phase locked loop : APLL) และใน PLL ที่ใช้ดิจิตอลเฟสดีเทคเตอร์ หรืออาจเรียกว่า ดิจิตอลเฟสล็อกลูป (digital phase locked loop : DPLL) โดยทั่วไปทั่วไปแล้วถ้ากล่าวถึง PLL นั่นหมายถึงอนาลอกเฟสล็อกลูป สำหรับเฟสดีเทคเตอร์ที่ใช้ในอนาลอกเฟสล็อกลูปที่ใช้กันมากก็คือ วงจรคูณแบบกิลเบิร์ต (Gilbert multiplier) และสำหรับ DPLL มักใช้เฟสดีเทคเตอร์ แบบเฟสฟรีเควนซี่ดีเทคเตอร์ (Phase frequency detector : PFD)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. การเข้าสู่สภาวะล็อกและการติดตามสัญญาณของ PLL

เนื่องจากการประยุกต์ใช้งานที่สำคัญอันหนึ่งในระบบโทรคมนาคม สำหรับ PLL ก็คือการใช้สำหรับติดตามสัญญาณเพื่อจะทำการดีมอดคูเลทหรือทำการซิงโครไนซ์สัญญาณขึ้นมาใหม่จากสัญญาณอินพุทซึ่งเป็นคลื่นพาห์ ดังนั้นการวิเคราะห์ความสามารถติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุทและความสามารถสำหรับเริ่มต้นล็อกความถี่อินพุทจึงมีความสำคัญ โดยในที่นี้เป็นการวิเคราะห์สำหรับอนาลอกเฟสล็อกลูปเท่านั้น

5.1 พิสัยล็อก (Lock range)

เป็นพิสัยที่ความถี่ของ VCO ของลูปสามารถติดตามความถี่อินพุท (tracking) หลังจากลูปเริ่มต้นล็อกกับสัญญาณอินพุทแล้ว ดังนั้นอาจเรียกพิสัยแทรคกิ้ง (tracking range) หรือ "พิสัยโฮล" (hold in range) การหาพิสัยล็อกสูงสุดนั้น หาได้จากการสมมติว่าความถี่ที่ป้อนเข้าลูปเป็นความถี่สูงสุดของ PLL ทำการล็อกจากสมการ

$$\lim_{t\to\infty} \theta e(t) = \lim_{s\to 0} S\theta e(s) \qquad \text{-----(22)}$$

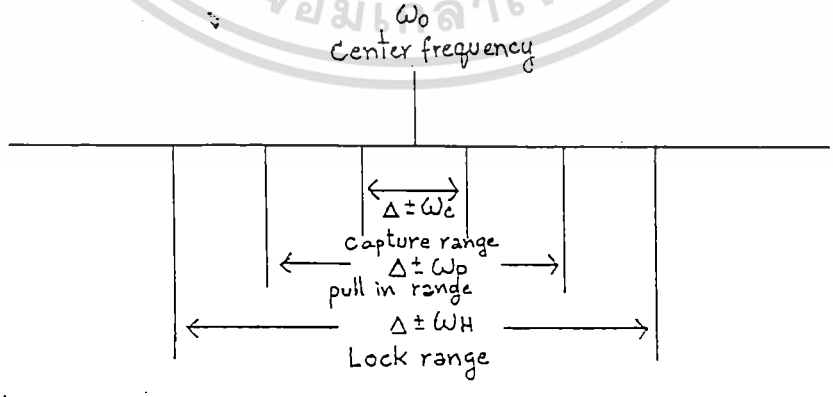
ซึ่งเฟสเออเรอร์ของ PLL ที่จำลองระบบในสภาวะที่ค่าของเฟสเออเรอร์มีค่าน้อยๆ สำหรับเฟสเออเรอร์ที่มีค่ามากๆ เขียนได้

$$\lim_{t\to 0} \sin\theta e(t) = \frac{\Delta\omega_H}{KoKdF(o)} \qquad \text{-----(23)}$$

ค่า $\Delta\omega_H$ เป็นค่าพิสัยล็อกซึ่งจะเกิดขึ้นสูงสุดเมื่อมุมของ θe เท่ากับ $\pm \pi/2$ หรือฟังก์ชั่น $\sin \theta e(t)$ มีค่าสูงสุดคือ ± 1 ดังนั้น

$$\Delta\omega_H = KoKdF(o) \qquad \text{-----(24)}$$

หรือจะเท่ากับลูปเกนในกรณีของ PLL ที่ใช้วงจรกรองแบบพาสซีฟ และ $\Delta\omega_H$ มีค่าเท่ากับ ∞ กรณี PLL ในวงจรกรองแบบแอคตีฟ



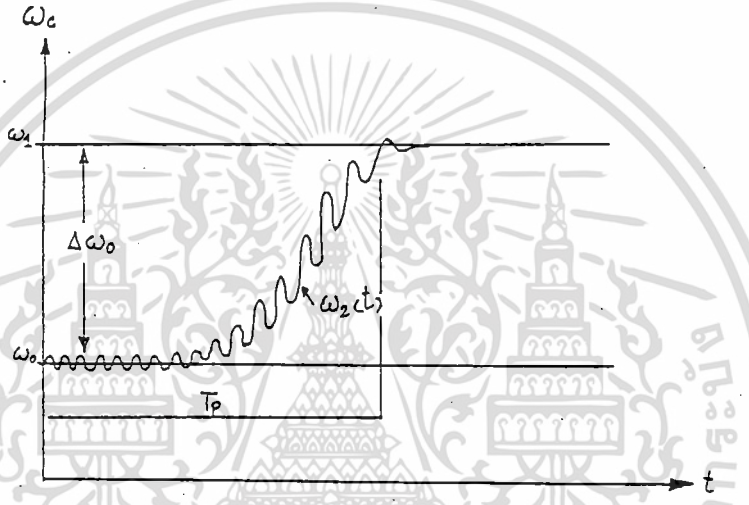
รูปที่ 4. แสดงพิสัยล็อก,พิสัยพูลอิน,พิสัยแคปเจอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 พิสัยพูลอิน (Pull In range)

เป็นพิสัยที่ PLL สามารถจะล็อกกับสัญญาณอินพุทได้โดยลูปอยู่ในสภาวะเริ่มต้นไม่ได้ล็อกกับความถี่อินพุท ปรากฏการเริ่มต้นล็อกสามารถอธิบายได้โดยสมมติให้ลูปเปิดออกระหว่างวงจรกรองความถี่ในลูป (loop filter) และ VCO ถ้าที่อินพุทมีความถี่เข้ามา (ω_1) ใกล้ความถี่ VCO (ω_2) เฟสดีเทคเตอร์ซึ่งเป็นอนาลอกมัลติพลายเออร์จะให้ผลรวมและผลต่างของความถี่ระหว่างความถี่อินพุทและความถี่เอาท์พุท VCO โดยที่เอาท์พุทของวงจรกรองจะมีเพียงผลต่างของความถี่ซึ่งกำหนดให้เท่ากับ $\Delta\omega_o$ หรือเขียนได้

$$\Delta\omega_o = d\theta e(t)/dt \qquad \text{-----(25)}$$



รูปที่ 5. แสดงการเกิดสัญญาณบีทโน๊ต

ความถี่ $\Delta\omega_o$ จะเป็นสัญญาณอินพุทของ VCO ซึ่งจะมอดดูเลทแบบ FM หรือสัญญาณเอาท์พุทเป็นสัญญาณไซน์โดยขนาดของความถี่เปลี่ยนแปลงตามเวลา ถ้าระหว่างขบวนการมอดดูเลท ค่าความถี่ของ VCO เคลื่อนเข้าใกล้ความถี่อินพุทดังนั้นค่า $\Delta\omega_o$ จะลดลง ค่า $d\theta e(t)/dt$ ก็จะลดตามลงมาเช่นกัน ทำให้ผลการเปลี่ยนแปลงแรงดันของเฟสดีเทคเตอร์ทางด้านเอาท์พุท จะช้าลงเมื่อเทียบกับเวลา แต่ถ้าระหว่างขบวนการมอดดูเลท ค่าความถี่ของ VCO เคลื่อนจากความถี่อินพุทจะทำให้ค่า $\Delta\omega_o$ เพิ่มมากขึ้น ค่า $d\theta e(t)/dt$ เพิ่มขึ้นแรงดันเอาท์พุทของเฟสดีเทคเตอร์เปลี่ยนแปลงอย่างรวดเร็วเมื่อเทียบกับเวลาแสดงการเกิดสัญญาณบีทโน๊ตในรูปที่ 5.

ภายใต้เงื่อนไขดังกล่าวแสดงถึงสัญญาณเฟสดีเทคเตอร์เอาท์พุท ได้ดังรูปสัญญาณบีทโน๊ตที่เป็นลักษณะไม่สมมาตรจะให้ค่าแรงดันดีซีเฉลี่ย ที่ทำให้ความถี่ของ VCO เคลื่อนที่เข้าไปสู่ความถี่อินพุทจนกระทั่งเท่ากันหรือเกิดการล็อกช่วงเวลาที่ PLL ใช้สำหรับการล็อกนี้เรียกว่า "เวลาพูลอิน" (pull in time) โดยถ้า $\Delta\omega_o$ มากกว่าค่าของลูปเกนมากๆแล้ว ($\Delta\omega_o >> K_oK_d$) ค่าเวลาพูลอินจะประมาณได้คือ

$$T_P = [\Delta\omega_o]^2/2\zeta[\omega_n^3] \qquad \text{-----(26)}$$

ซึ่งค่า $\Delta\omega_o$ ที่เป็นความแตกต่างระหว่างความถี่อินพุทและความถี่อิสระของ VCO

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามมิให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ประโยชน์ทางการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 พิสัยแคปเจอร์ (Capture range)

เป็นพิสัยที่ PLL สามารถจะล็อกกับความถี่อินพุท โดยสภาพของลูปไม่ได้เริ่มต้นล็อกเช่นเดียวกับพิสัยพูลอิน แต่พิสัยแคปเจอร์นี้ช่วงความถี่จะแคบกว่า โดยผลต่างความถี่อินพุทเข้ามากับความถี่ของ VCO ไม่ทำให้เกิดสัญญาณลักษณะบีทโน๊ตที่เอาท์พุทของเฟสดีเทคเตอร์ หรือกล่าวได้ว่าผลต่างของความถี่สูงสุดของ VCO เอาท์พุทได้จากการมอดดูเลท โดยแรงดันที่ผ่านลูปฟิลเตอร์นี้ได้คือ

$$|\Delta\omega c| = KoKdF|j\Delta\omega| \qquad \text{-----(27)}$$

โดย $|F(j\Delta\omega)|$ เป็นอัตราการลดทอนของวงจรกรองความถี่ต่อความถี่ที่แตกต่างกันระหว่างความถี่อินพุทและความถี่ของ VCO (ที่เป็นความถี่อิสระ) สำหรับวงจรกรองความถี่แบบพาสซีฟขนาดของแมกนีจูดทรานเฟอร์ฟังก์ชั่นแสดงได้คือ

$$F(j\omega) = \sqrt{\frac{1 + (\omega T_2)}{1 + (\omega T_1)}} \qquad \text{-----(28)}$$

หรือประมาณได้ว่า

$$F(j\omega) = T_2/T_1 \qquad \text{-----(29)}$$

ดังนั้น

$$\Delta\omega c = [KoKdT_2]/T_1 \qquad \text{-----(30)}$$

หรือ

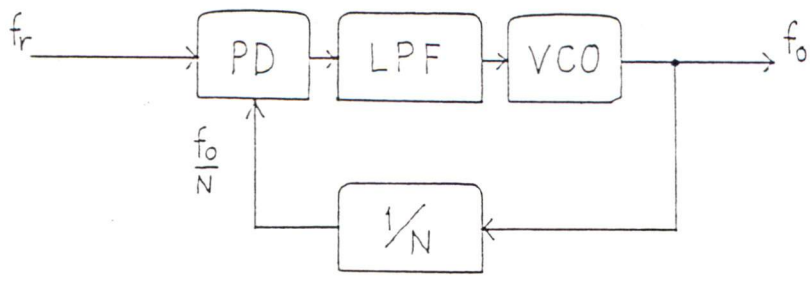
$$\Delta\omega c = 2\zeta\omega n \qquad \text{-----(31)}$$

6. การสังเคราะห์ความถี่ด้วย PLL

การสังเคราะห์ความถี่ด้วย PLL เป็นการสร้างความถี่ขึ้นใหม่ ด้วยสัญญาณความถี่อ้างอิงที่มาตราฐานโดยโครงสร้างสำหรับการสังเคราะห์ความถี่แสดงได้ดังรูปที่ 6.

จากรูปส่วนที่เพิ่มเข้าไปจากโครงสร้างของ PLL ที่ได้กล่าวมาแล้วก็คือวงจรหาร N (1/N) โดยถ้า fr เป็นความถี่อ้างอิงที่มีความถี่ที่คงที่แล้ว ความถี่เอาท์พุทของ VCO จะเท่ากับขนาดของความถี่อ้างอิง (frequency reference : fr) คูณกับจำนวนหาร N หรือเขียนได้

$$fo = fr * N \qquad \text{-----(32)}$$



รูปที่ 6. แสดงโครงสร้าง PLL สำหรับการสังเคราะห์ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือกล่าวได้ว่าความถี่เอาท์พุท(fo) จะเป็นจำนวนเท่าของความถี่อ้างอิงที่ป้อนกลับจากวงจร VCO ที่นำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์(PD) หารด้วยจำนวน N ให้เท่ากับความถี่อ้างอิง สำหรับทรานเฟอร์ฟังก์ชั่นของ PLL ที่มีวงจรหาร N ในส่วนป้อนกลับเขียนทรานเฟอร์ฟังก์ชั่นได้คือ

$$\frac{\theta o(s)}{\theta r(s)} = \frac{[KoKdF(s)]/S}{1 + [KoKdF(s)]/[NS]} \qquad \text{-----(33)}$$

สำหรับทรานเฟอร์ฟังก์ชั่นของลูปใดๆ เขียนได้

$$\frac{\theta o(s)}{\theta r(s)} = \frac{G(s)}{1 + G(s)H(s)} \qquad \text{-----(34)}$$

โดย

G(s) = Forward Gain

H(s) = Feedback Gain

G(s)H(s) = Open loop Gain

จาก (33) เราได้ Forward Gain คือ

$$G(s) = [KoKdF(s)]/S \qquad \text{-----(35)}$$

และ Open loop Gain คือ

$$G(s)H(s) = [KoKdF(s)]/[NS] \qquad \text{-----(36)}$$

สำหรับในการสังเคราะห์ความถี่วงจรกรองความถี่ต่ำ (LPF) ในลูปจะเลือกใช้วงจรกรองแบบแอ็คตีฟ เนื่องจากดึงกระแสอินพุทน้อย ทำให้ค่าความผิดพลาดในสภาวะสงบของเฟสดีเทค-เตอร์เอาท์พุทมีค่าน้อย จากวงจรกรองในลูปในรูปที่ 3.2 ซึ่งมีทรานเฟอร์ฟังก์ชั่นแสดงในสมการที่(9) เรานำมาแทนลงในสมการ (33) จะได้

$$\frac{\theta o(s)}{\theta r(s)} = \frac{KoKd(ST_2 + 1)/T_1}{S^2 + [S(KoKdT_2)/NT_1] + KoKd/NT_1} \qquad \text{-----(37)}$$

จะได้ความถี่ธรรมชาติของลูป และ ค่าแดมปิ้งแฟคเตอร์คือ

$$\omega n = (KoKd/NT_1)^{1/2}$$

$$\zeta = (T_2/2)\omega n \qquad \text{-----(38)}$$

ค่าความถี่ธรรมชาติ, ค่าแดมปิ้งแฟคเตอร์ของลูปจะเป็นพารามิเตอร์ที่เราสามารถกำหนดได้ โดยการกำหนดค่าพารามิเตอร์ดังกล่าว เราจะกำหนดโดยพิจารณาจากความต้องการต่อการตอบสนองของลูปในสภาวะทรานเซี้ยน ความสามารถมอดดูเลทความถี่ที่ต้องการในกรณีที่ลูป ถูกมอดดูเลทด้วยสัญญาณเบสแบนด์ และความเสถียรภาพของลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

วงจร เข้ารหัส (Video Scrambling)

ในส่วนของชิ้นงานนี้จะประกอบไปด้วยส่วนที่สำคัญ 2 ส่วนคือ

1. ส่วน Scrambling
2. ส่วน Descrambling

ซึ่งทั้งสองส่วนนี้จะเป็นแบบ Sinewave คือ Sinewave Scrambling และ Sinewave Descrambling โดยส่วนของ Sinewave Scrambling จะประกอบไปด้วย

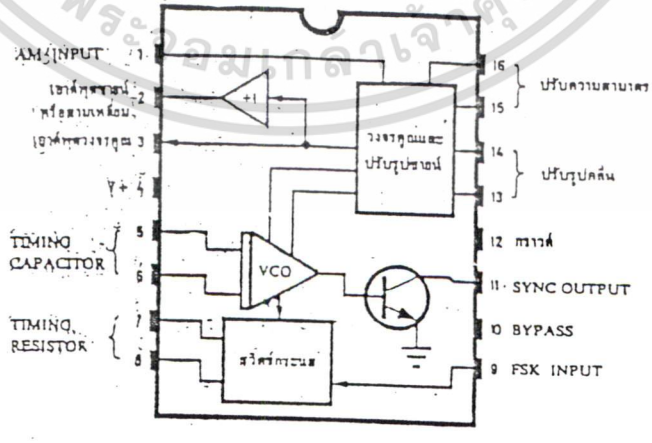
1. วงจรกำเนิดสัญญาณ Sinewave ที่ความถี่ 94 kHz
2. วงจร Add หรือ Modulate สัญญาณ Sinewave เข้ากับสัญญาณ Video ให้เป็น Composite Video Signal

1. วงจรกำเนิดสัญญาณ Sinewave

วงจรกำเนิดสัญญาณ Sinewave ทำหน้าที่กำเนิดสัญญาณ Sinewave ที่ความถี่ 94 kHz เพื่อนำไป Add หรือ Modulate เข้ากับสัญญาณ Composite Video Signal โดยวงจรกำเนิดสัญญาณ Sinewave นี้จะใช้ IC เบอร์ XR-2206 ซึ่งเป็น IC สำเร็จรูปในการกำเนิดสัญญาณ Sinewave มีโครงสร้างภายในตัว IC ดังรูปที่ 1. และสามารถปรับแต่ง Sinewave ตามความต้องการได้โดยการกำหนดพารามิเตอร์ต่างๆ ดังนี้

ตัวต้านทานปรับค่าได้ VR-3 ต่อระหว่างขา 13 กับ 14 จะใช้ปรับแต่งรูปคลื่นของสัญญาณ Sinewave ให้มีความเพี้ยนน้อยที่สุด

ตัวต้านทานปรับค่าได้ VR-4 ต่อระหว่างขา 15 กับ 16 ใช้ปรับความสมมาตรทางด้านบวกและด้านลบของรูปคลื่น Sinewave

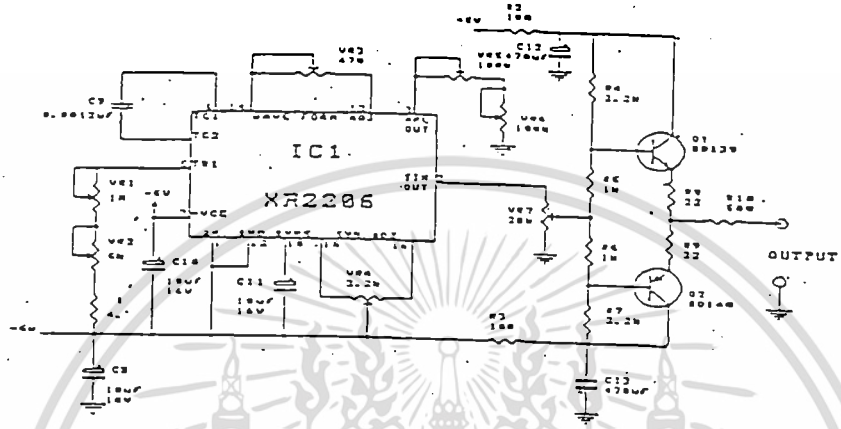


รูปที่ 1. แสดงโครงสร้างภายในของ IC เบอร์ XR-2206

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวเก็บประจุที่ต่ออยู่ระหว่างขา 5 กับ 6 และตัวต้านทานที่ขา 7 (R1,VR1 และ VR2) ใช้กำหนดค่าของความถี่ที่ต้องการ โดยหาได้จากสมการ F = 1/RC

ตัวต้านทานปรับค่าได้ (VR5 และ VR6) ต่อระหว่างขา 3 กับ กราวด์ และแรงดันที่ขา 1 ใช้กำหนดความแรงของสัญญาณ Sinewave



รูปที่ 2. แสดงวงจรกำเนิดสัญญาณ Sinewave

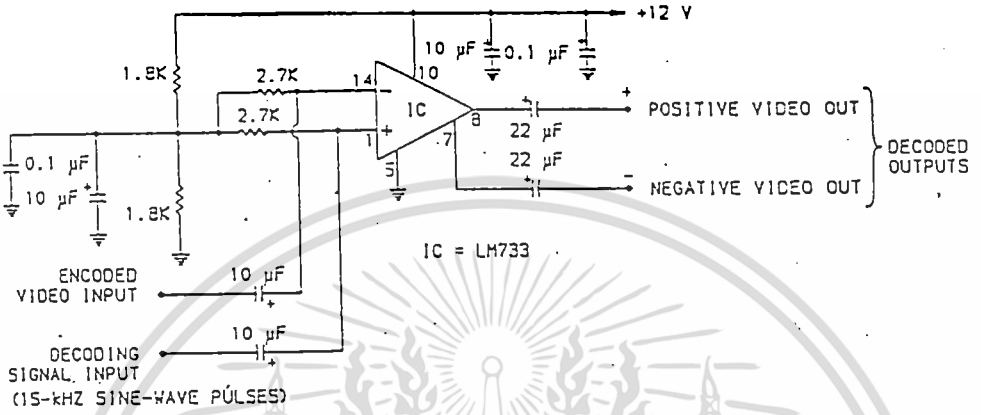
จากรูปที่ 2. เมื่อเรากำหนดค่าพารามิเตอร์ต่างๆ ของ IC XR-2206 จะได้สัญญาณ Sinewave ที่ต้องการที่ขา 2 ผ่าน VR7 เพื่อปรับระดับของแรงดันแล้วป้อนให้กับส่วน output ซึ่งในส่วนของ output จะประกอบไปด้วยทรานซิสเตอร์ 2 ตัว (Q1 BC139 และ BC140) ต่อเป็นวงจร Completementary โดย Q1 จะทำงานเมื่ออินพุทเป็นบวก และ Q2 จะทำงานเมื่ออินพุทเป็นลบ และเพื่อป้องกันมิให้เกิดความเพี้ยนของสัญญาณทาง output หรือที่เรียกกันว่า Cross over distortion จึงกำหนดไบอัสให้กับทรานซิสเตอร์ทั้งสองด้วยค่า R9-R12 ซึ่งจะจำกัดกระแสไบอัสที่ค่าประมาณ 40 mA.

นอกจากนี้ที่แหล่งจ่ายไฟของทรานซิสเตอร์ทั้งสองจะใส่ R6 กับ C14 ซึ่งจะทำหน้าที่เป็น Decoupling เพื่อปรับแรงดันไฟตรงให้เรียบ โดยมี ripple น้อยที่สุดทำให้ปราศจากสัญญาณรบกวน แม้จะมีขนาดต่ำ

2. วงจร Add หรือ Modulate

ทำหน้าที่ Add หรือ Modulate สัญญาณ Sinewave เข้ากับ Composite video signal หรือกล่าวได้ว่าเป็น " การเข้ารหัส (Scrambling) " ดังแสดงในรูปที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

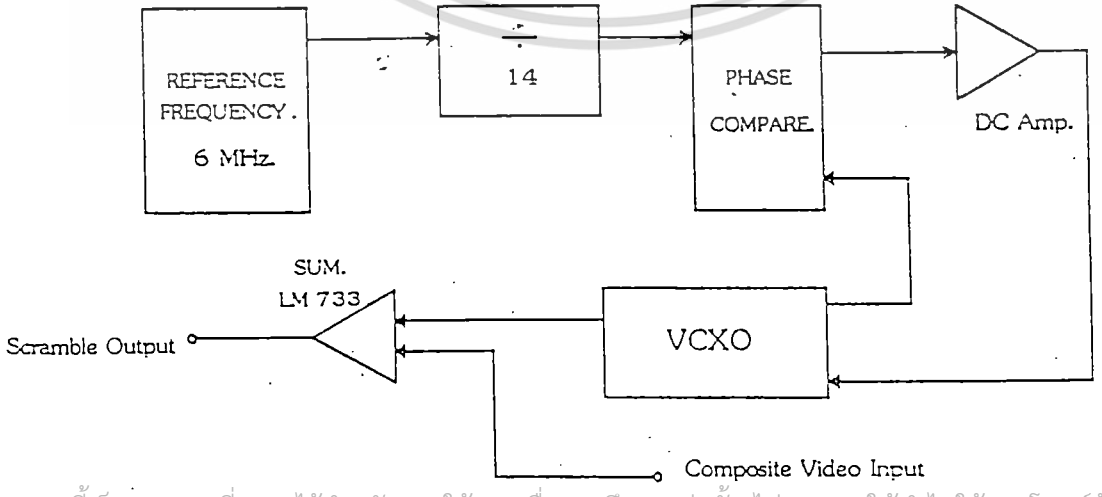


รูปที่ 3. แสดงวงจร Add หรือ Modulate

จากที่กล่าวมาจะพบว่าในส่วนของการ Scrambling นี้จะไม่ยุ่งยากซับซ้อนเท่าใดนัก เพราะเป็นเพียงการนำเอาสัญญาณ Sinewave มาผสมกับสัญญาณ Video เท่านั้น แต่ในส่วนของการ Descrambling นั้นจะต้องมีการดึงเอาสัญญาณ Sinewave ออกมา แล้วทำการกลับเฟส และต้องปรับขนาดของสัญญาณ Sinewave เพื่อให้มีค่าเท่ากับส่วนที่ผสมมากับ Video ดังนั้นวงจรจึงมีความซับซ้อนมากกว่า ดังจะได้กล่าวต่อไป.

Concept ของการปรับปรุงวงจร Scramble

พิจารณาจาก Block Diagram ต่อไปนี้.



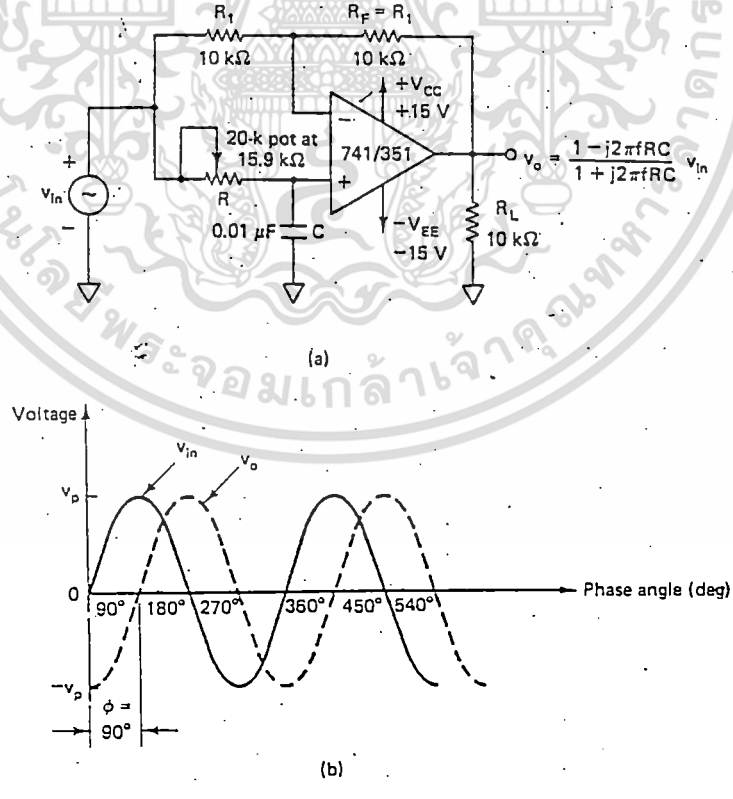
รูปที่ 4. แสดง Scramble Block Diagram ที่ปรับปรุงขึ้นใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางด้าน วงจร Descramble ได้ทำการเปลี่ยนแปลงวงจรบางส่วนเช่ยเดียวกับวงจรทางด้านของ Scramble โดยมี

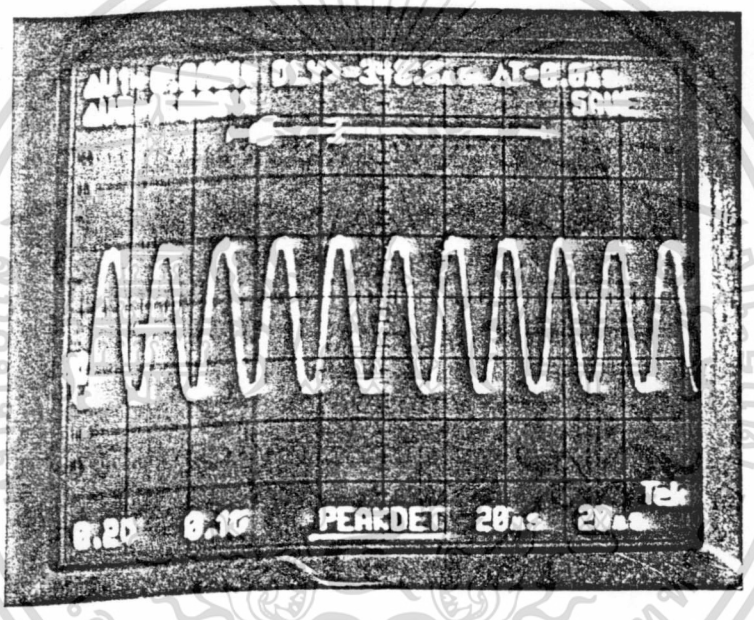
3. ภาควงจร Video Amplifier ที่แก้ไขขึ้นใหม่

ภาควงจร Video Amplifier เป็นวงจรขยาย Class B โดยใช้ทรานซิสเตอร์เบอร์ BC 547 และเบอร์ BC 557 อย่างละ 2 ตัว ประกอบกันเป็นวงจร Complementary ซึ่งทำหน้าที่เป็นวงจร Phase detector กับสัญญาณจาก Oscillator โดยถูกส่งไปยังภาค Phase detector (IC เบอร์ 1496) หลังจากนั้นสัญญาณที่เอาท์พุทขา 12 และขา 6 ของ IC เบอร์ 1496 จะถูกป้อนให้กับวงจร Low-pass filter เพื่อเป็น อินพุท Voltage ให้กับ IC XR-2206 เพื่อกำเนิดความถี่ Sinewave ที่ 94 kHz ส่วนวงจรสร้างความถี่อ้างอิงจะใช้คริสตอลออสซิเลเตอร์ กับ IC เบอร์ 4060 เพื่อหารความถี่จาก 6 MHz ให้เหลือ 94 kHz ซึ่งสัญญาณจาก IC เบอร์ 4060 นี้จะเป็นสัญญาณ Squarewave ดังนั้นจึงนำสัญญาณนี้ป้อนให้กับ IC เบอร์ LF 351 เพื่อทำให้เป็น Sinewave แล้วจึงนำสัญญาณนี้ส่งต่อไปยัง IC เบอร์ 1496 เพื่อทำการเปรียบเทียบเฟสต่อไป ส่วนที่เอาท์พุทของ IC XR-2206 ที่ขา 2 จะถูกป้อนให้กับ IC เบอร์ LF 351 เพื่อเลื่อนเฟสของสัญญาณ Sinewave หลังจากนี้จะนำสัญญาณ Sinewave ที่มีเฟส ต่างกัน 90 องศา เข้ามารวมกับสัญญาณที่ถูกเข้ารหัสไว้ แล้ว เข้ามาทำการ Descramble ที่ IC เบอร์ LM 733 ก็จะได้สัญญาณที่เอาท์พุทของวงจร Descramble เป็นสัญญาณวีดีโอดังเดิม (Composite Video).



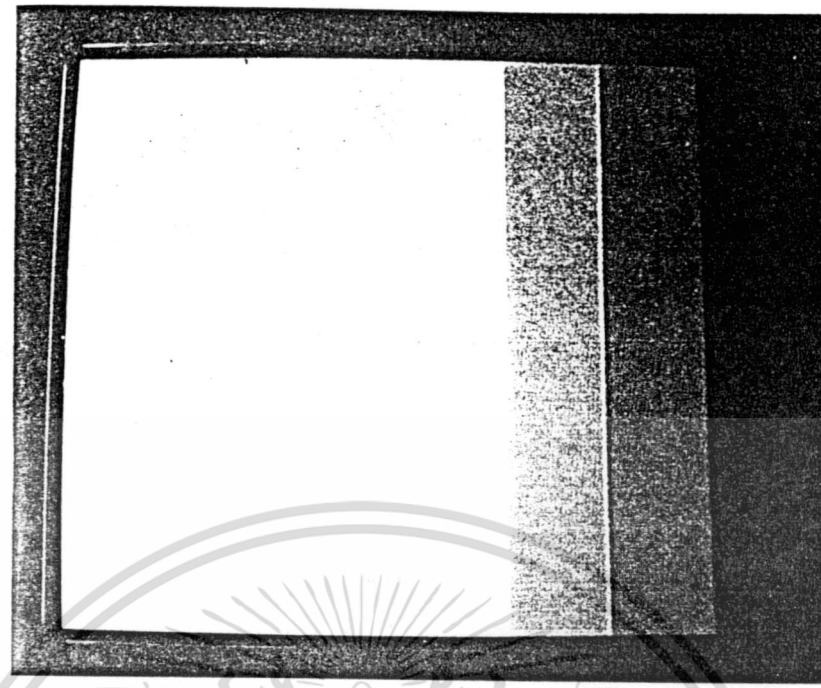
รูปที่ 5. แสดงวงจร Phase Shifter ที่เพิ่มเข้าไปในวงจร Descramble

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

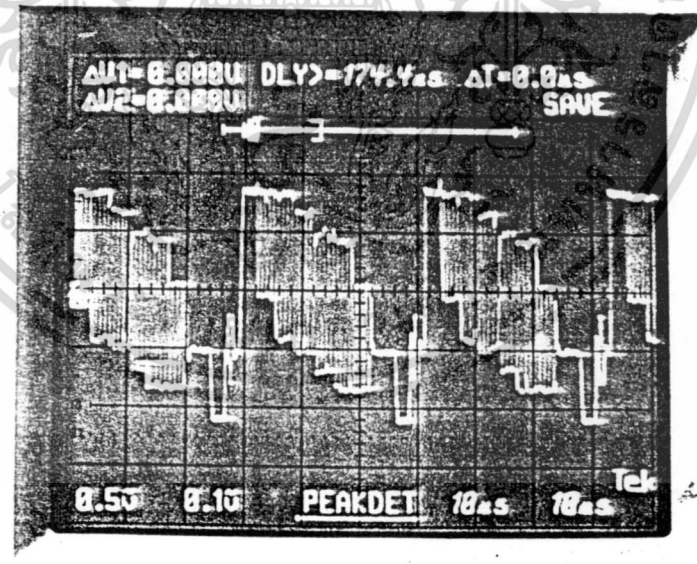


รูปที่ ก. แสดง Reference Signal (Sinewave 94 kHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



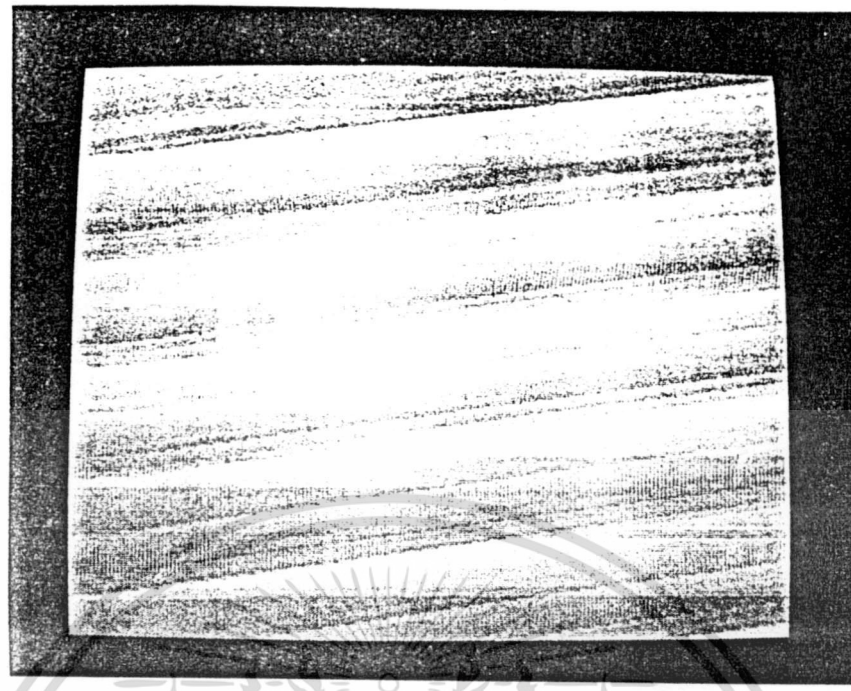
(a.)



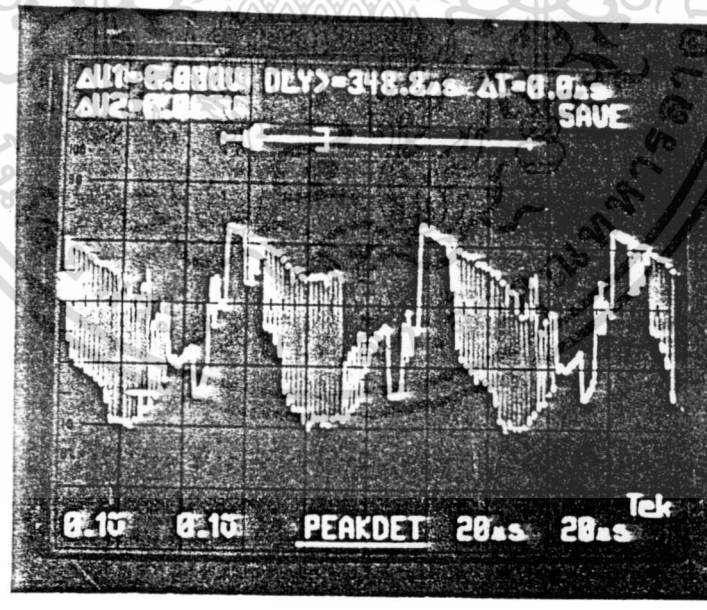
(b.)

รูปที่ 7. แสดง Composite Video Input (a.)Color Bar และ (b.)Oscilloscope Monitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



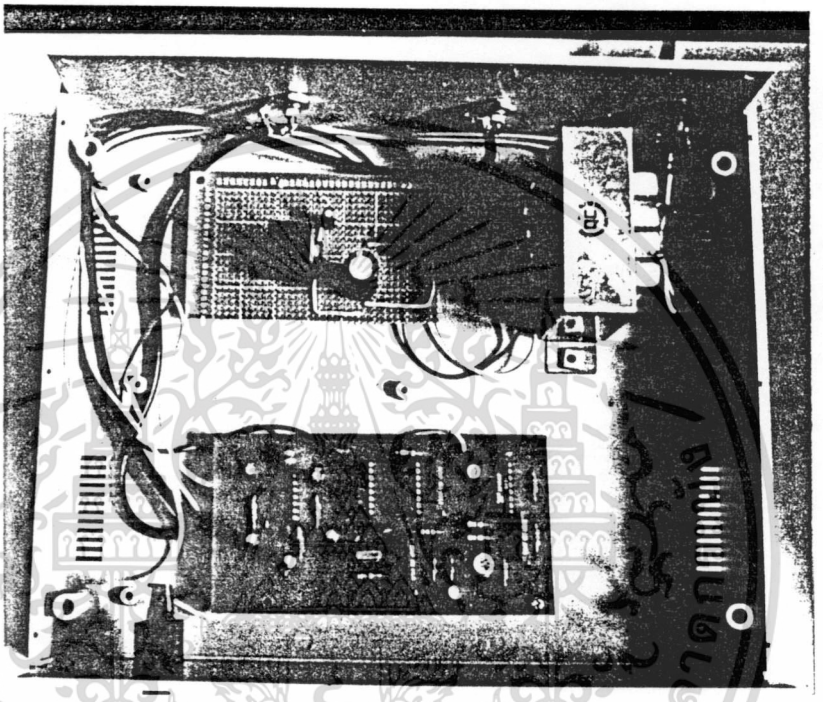
(a.)



(b.)

รูปที่ 8. แสดง Video Scramble Output (a.)TV Monitor (b.)Oscilloscope Monitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 9. แสดง ตัวชิ้นงานของวงจรเข้ารหัส (Video Scramble)

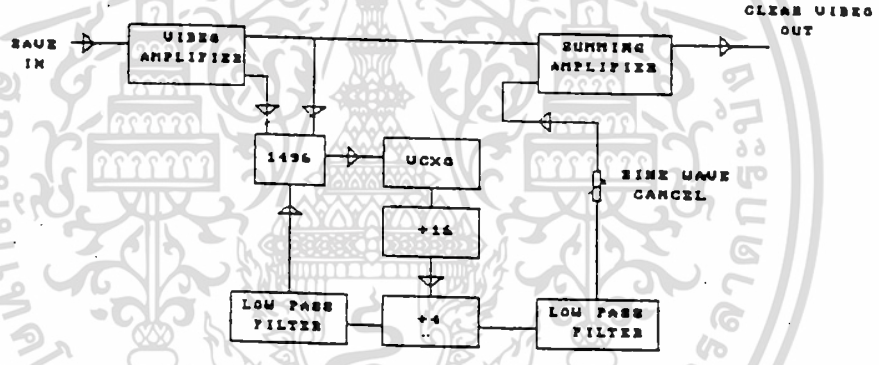
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

วงจร ถอดรหัส (Safe Descrambling)

การทำงานของวงจร SAFE Descrambling เมื่อดูจาก Block diagram ดังรูปที่ 1. แล้วจะเห็นว่ามีส่วนประกอบสำคัญดังนี้

1. ภาควงจร Video Amplifier
2. ภาควงจร Voltage Control Oscillator (VCO)
3. ภาควงจร หารความถี่
4. ภาควงจร Phase Shift
5. ภาควงจร Phase Detector
6. ภาควงจร Low-pass Filter

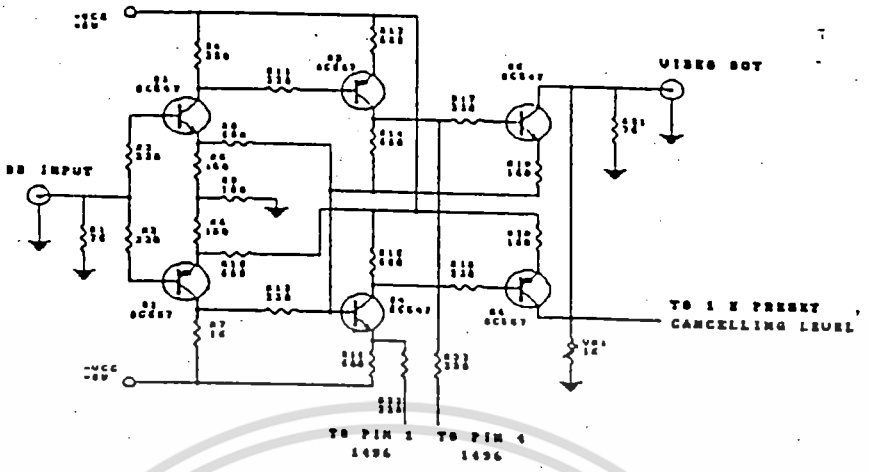


รูปที่ 1. แสดง Block diagram ของ SAFE Descrambling

1. ภาควงจร Video Amplifier

ภาควงจร Video Amplifier เป็นวงจรขยาย Class B โดยใช้ทรานซิสเตอร์เบอร์ BC547 และเบอร์ BC557 อย่างละ 2 ตัว (Q1-Q4) ประกอบกันเป็นวงจร Complementary ซึ่งจะเป็นสัญญาณส่วนหนึ่งส่งไปภาค Phase Detector เพื่อทำการเช็ค Phase กับสัญญาณจาก Oscillator และสัญญาณอีกส่วนหนึ่งจะส่งไปยัง Summing Amplifier โดยภาคนี้จะทำการหักล้างสัญญาณ Sinewave ที่ผสมอยู่กับสัญญาณ Video ด้วย Sinewave ความถี่ 94 kHz ที่ส่งมาจากภาค Filter โดยปรับระดับของสัญญาณ Sinewave ได้โดยปรับที่ VR Preset 1 kHz โดยวงจรส่วนนี้แสดงดังรูปที่ 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

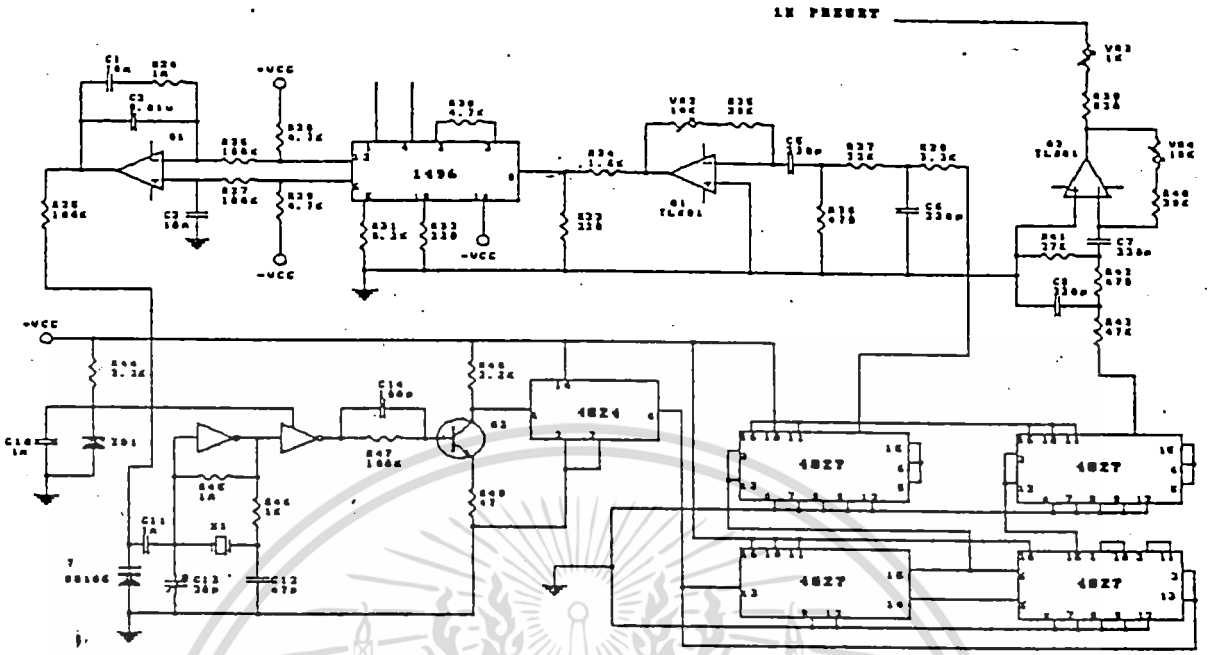


รูปที่ 2. แสดงวงจร Video และ Summing Amplifier

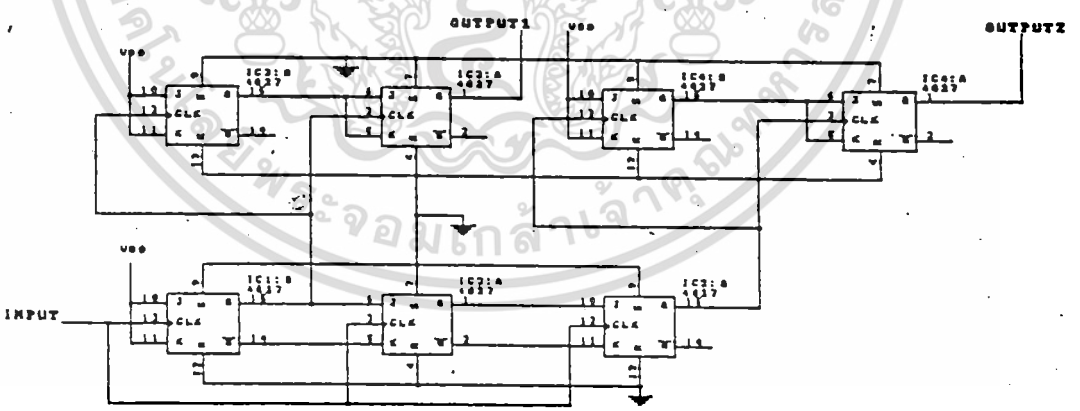
2. ภาควงจร **Phase locked loop**

เป็นการรวมเอาภาควงจร Phase Detector, วงจรหารความถี่, วงจร Low-pass Filter และส่วนของ Voltage Control Oscillator (VCO) เข้าไว้ด้วยกัน โดยการให้กำเนิดสัญญาณ Sinewave ที่ความถี่ 6 MHz และส่งผ่านแก่วงจรหารความถี่โดยใช้ IC เบอร์ 4024 ซึ่งถูกต่อเป็นวงจรหาร 16 สัญญาณที่ปรากฏทาง output ขา 6 จะเป็นสัญญาณ Squarewave ความถี่ประมาณ 376 kHz และส่งผ่านให้กับวงจรหาร 4 ซึ่งใช้ IC เบอร์ 4027 ซึ่งมีโครงสร้างภายในเป็น JK FlipFlop 4 ตัว และอีกส่วนหนึ่งจะถูกเลื่อนเฟส 360 องศา โดยการนำ JK FlipFlop มาประกอบเป็นวงจร Shift registor 2 ครั้ง และนำไปผ่านวงจรหาร 4 ซึ่งเอาท์พุทส่วนแรกและส่วนที่สองมี Phase ต่างกัน 90 องศา แต่มีความถี่ 94 kHz เท่ากัน สัญญาณความถี่ 94 kHz ทั้งสองจะถูกส่งไปยังวงจร Elliptical Filter ที่ใช้ IC เบอร์ TL-081 ทำหน้าที่เปลี่ยนสัญญาณ Squarewave ให้เป็นสัญญาณ Sinewave ซึ่งเป็นสัญญาณ Sinewave ที่มี Phase ต่างกันอยู่ 90 องศาอยู่เช่นเดิม สัญญาณ Sinewave ส่วนแรกจะถูกส่งไปยังภาค Phase Detector (IC เบอร์ 1496) ซึ่งจะทำการเปรียบเทียบเฟสกับสัญญาณส่วนที่มาจากภาค Video Amplifier ถ้าสัญญาณมีเฟสตรงกัน สัญญาณทางด้านเอาท์พุทที่ขา 12 และ 6 จะมีขนาดเท่ากัน แล้วส่งผ่านไปที่วงจร Low-pass Filter ซึ่งจะแปลงสัญญาณเป็นแรงดันไฟตรงส่งไปควบคุม Oscillator เพื่อกำเนิดสัญญาณที่มีเฟสตรงกัน ซึ่งถ้ามีเฟสตรงกันแล้วก็จะไม่มีแรงดันไฟส่งไป ส่วนสัญญาณ Sinewave อีกส่วนหนึ่งจะส่งให้แก่ภาค Summing Amplifier เพื่อทำการหักล้างกับสัญญาณ Sinewave ที่ถูก Add มากับสัญญาณ Video ด้วยภาค Scrambling สำหรับวงจร PLL จะแสดงดังรูปที่ 3. และวงจรหารความถี่ด้วย 4 จะแสดงดังรูปที่ 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3. แสดงรายละเอียดวงจร PLL ของภาค Descrambling



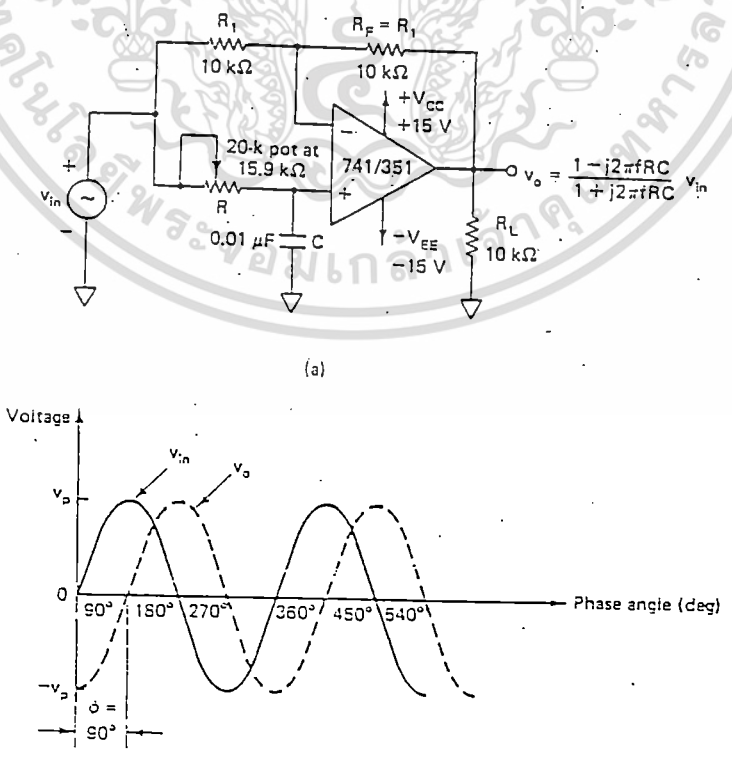
รูปที่ 4. แสดงรายละเอียดของวงจรหาร 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางด้าน วงจร Descramble ได้ทำการเปลี่ยนแปลงวงจรบางส่วนเช่ยเดียวกับวงจรทางด้านของ Scramble โดยมี

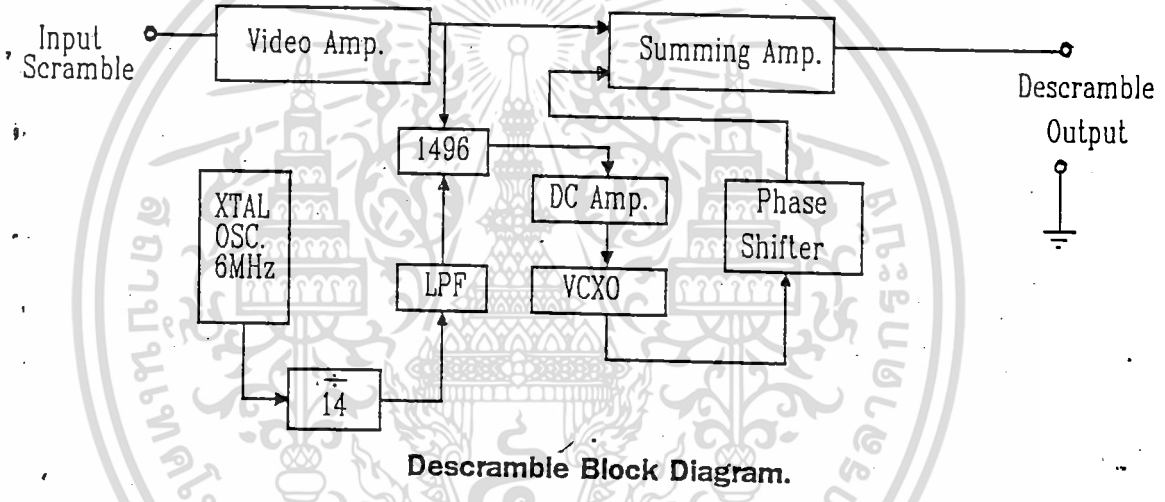
3. ภาควงจร Video Amplifier ที่แก้ไขขึ้นใหม่

ภาควงจร Video Amplifier เป็นวงจรขยาย Class B โดยใช้ทรานซิสเตอร์เบอร์ BC 547 และเบอร์ BC 557 อย่างละ 2 ตัว ประกอบกันเป็นวงจร Complementary ซึ่งทำหน้าที่เป็นวงจร Phase detector กับสัญญาณจาก Oscillator โดยถูกส่งไปยังภาค Phase detector (IC เบอร์ 1496) หลังจากนั้นสัญญาณที่เอาท์พุทขา 12 และขา 6 ของ IC เบอร์ 1496 จะถูกป้อนให้กับวงจร Low-pass filter เพื่อเป็น อินพุท Voltage ให้กับ IC XR-2206 เพื่อกำเนิดความถี่ Sinewave ที่ 94 kHz ส่วนวงจรสร้างความถี่อ้างอิงจะใช้คริสตอลออสซิเลเตอร์ กับ IC เบอร์ 4060 เพื่อหารความถี่จาก 6 MHz ให้เหลือ 94 kHz ซึ่งสัญญาณจาก IC เบอร์ 4060 นี้จะเป็นสัญญาณ Squarewave ดังนั้นจึงนำสัญญาณนี้ป้อนให้กับ IC เบอร์ LF 351 เพื่อทำให้เป็น Sinewave แล้วจึงนำสัญญาณนี้ส่งต่อไปยัง IC เบอร์ 1496 เพื่อทำการเปรียบเทียบเฟสต่อไป ส่วนที่เอาท์พุทของ IC XR-2206 ที่ขา 2 จะถูกป้อนให้กับ IC เบอร์ LF 351 เพื่อเลื่อนเฟสของสัญญาณ Sinewave หลังจากนี้จะนำสัญญาณ Sinewave ที่มีเฟส ต่างกัน 90 องศา เข้ามารวมกับสัญญาณที่ถูกเข้ารหัสไว้ แล้ว เข้ามาทำการ Descramble ที่ IC เบอร์ LM 733 ก็จะได้สัญญาณที่เอาท์พุทของวงจร Descramble เป็นสัญญาณวีดีโอดังเดิม (Composite Video).



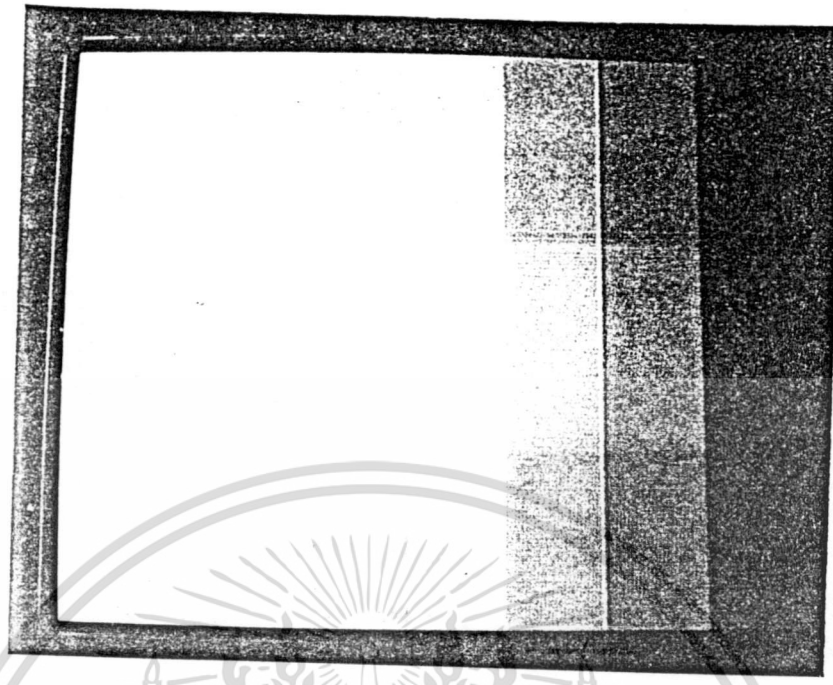
รูปที่ 5. แสดงวงจร Phase Shifter ที่เพิ่มเข้าไปในวงจร Descramble

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

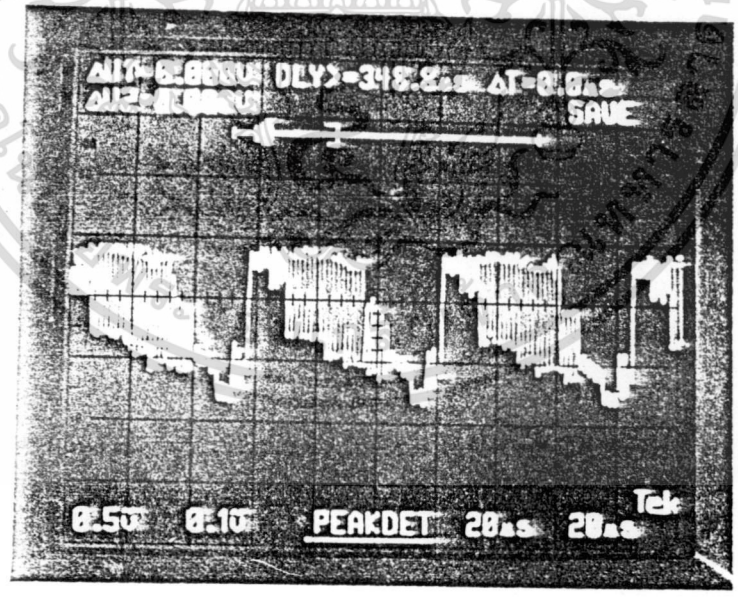


รูปที่ 6. แสดง Descramble Block Diagram ที่ปรับปรุงขึ้นใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



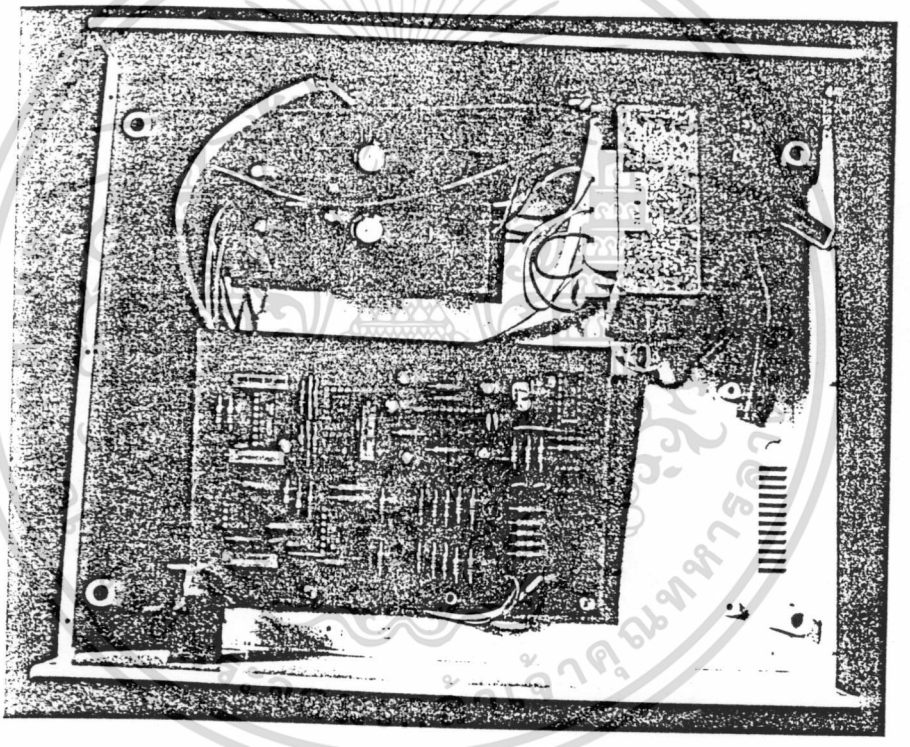
(a.)



(b.)

รูปที่ 7. แสดง Video Descramble Output (a.)TV Monitor (b.)Oscilloscope Monitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



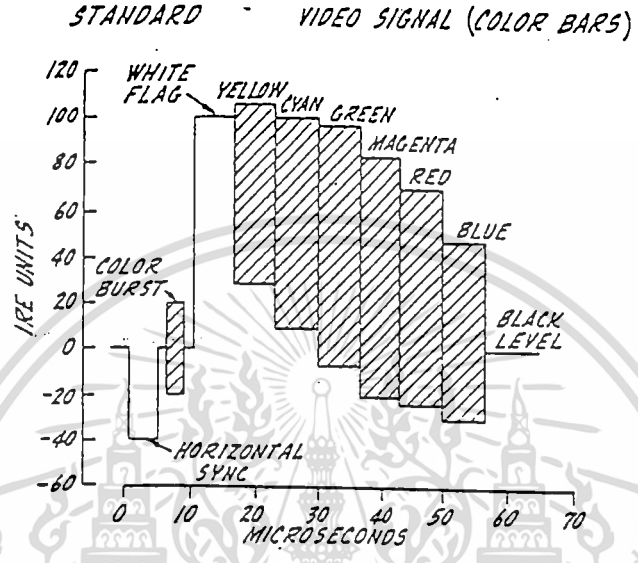
รูปที่ 8. แสดง ตัวชิ้นงานของวงจรถอดรหัส (Video Descramble)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

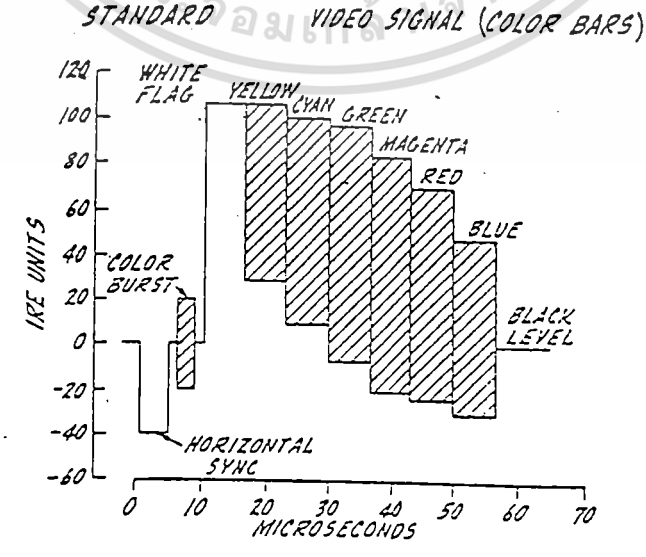
สรุปผลการทดลอง

สัญญาณที่ถูก Descramble ออกมานั้นจะมีลักษณะ ใกล้เคียงกับสัญญาณด้านอินพุท ของวงจร Scramble จากสัญญาณที่ใช้ในการทดลอง (Color bar) จาก Pattern Generator



รูปที่ 1. แสดง Color bar มาตราฐาน

ส่วนทางด้านเอาท์พุทของวงจร Descramble นั้น ทางด้าน low frequency ของ Color bar pattern Generator มีการขยายมากเกินไป ซึ่งเป็นผลสืบเนื่องมาจากการขยายของ IC เบอร์ LM 733 จึงทำให้แถบความถี่สีเหลืองซึ่งอยู่ใกล้กับสีขาว มี Gain เท่ากันทำให้แถบของสีเหลืองหายไปรวมกันเป็นสีขาวทั้งหมดดังรูปที่ 2.



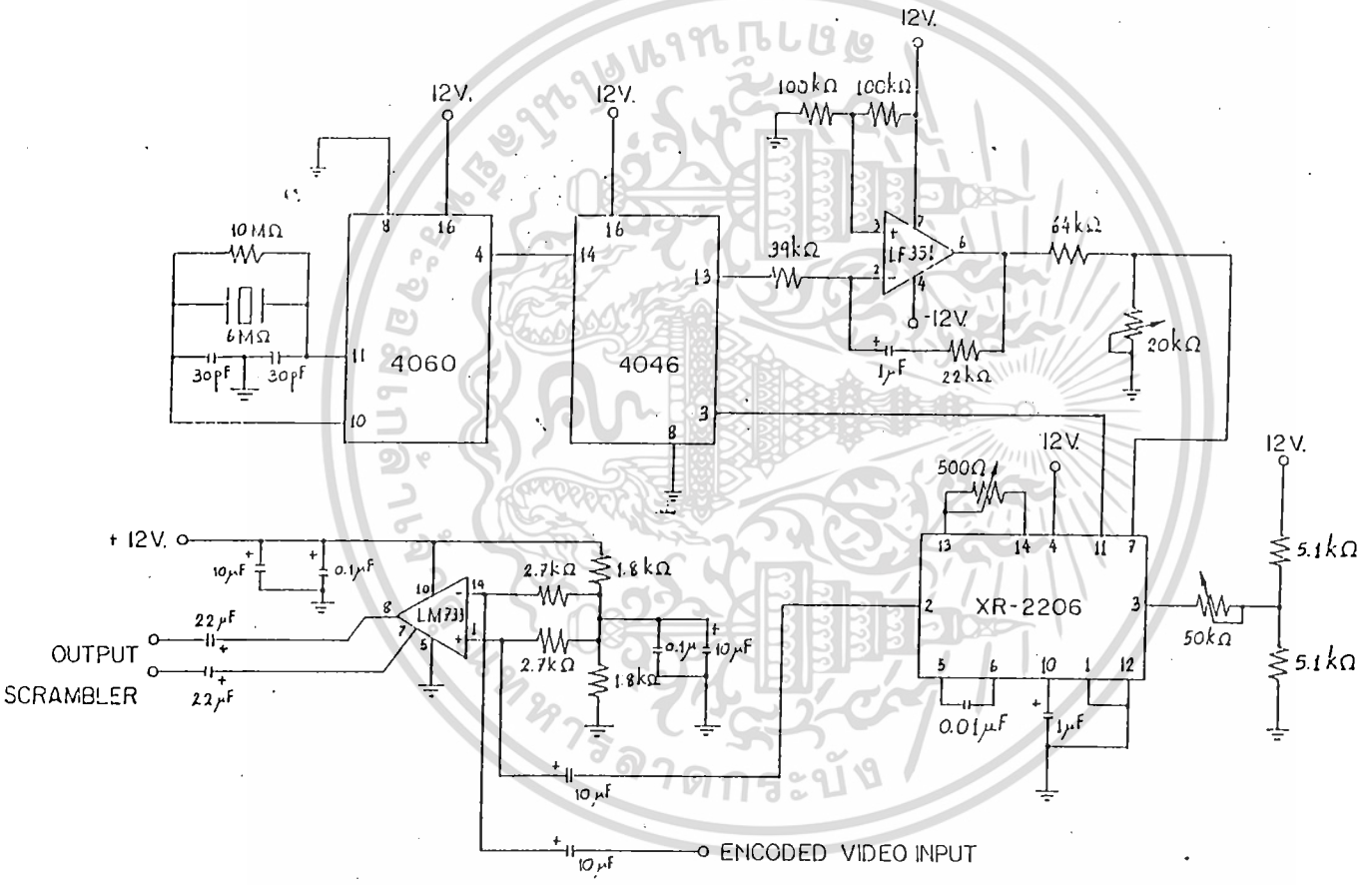
รูปที่ 2. แสดง Color bar pattern ที่ได้จากวงจร Descramble

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

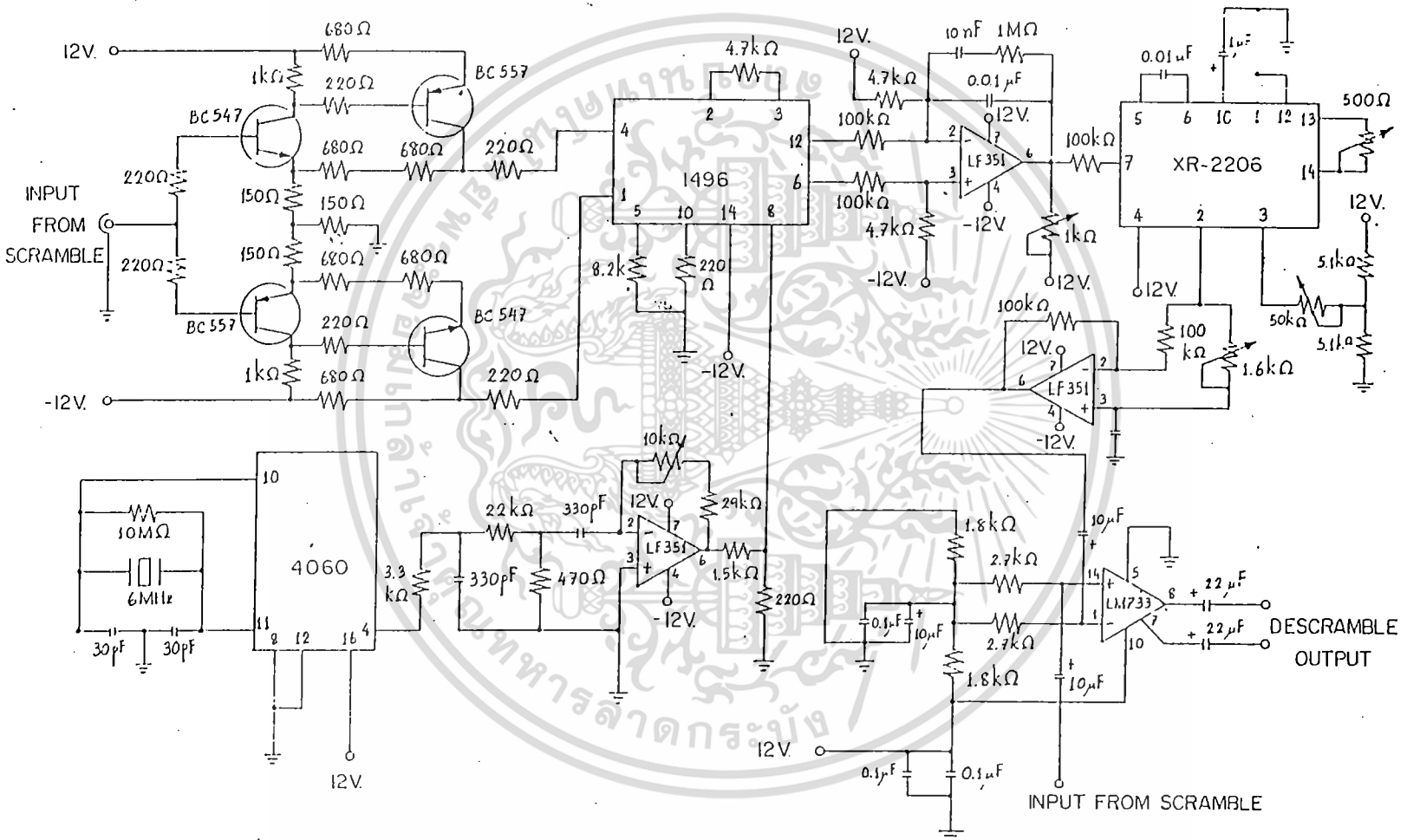
บรรณานุกรม

1. Video Scrambling and Descrambling for Satellite and cable TV ของ Rudolf F. Graf and Willian Sheets
2. World Satellite TV and Scrambling Methods. The Technicians Handbook 2nd Edition ของ Frank Baylin,Richard Maddos and John McCormac
3. Operational Amplifiers & Linear Integrated Circuits 4th Edition ของ Robert F. Coughlin and Frederick F. Driscoll
4. Op-amps and Linear Integrated Circuits 3rd Edition ของ Ramakant A. Gayakwad
5. กฤดากร กล่อมการ ' การออกแบบระบบส่งข้อมูลในช่องสัญญาณวิทยุกระจายเสียงแบบ FM. ' วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

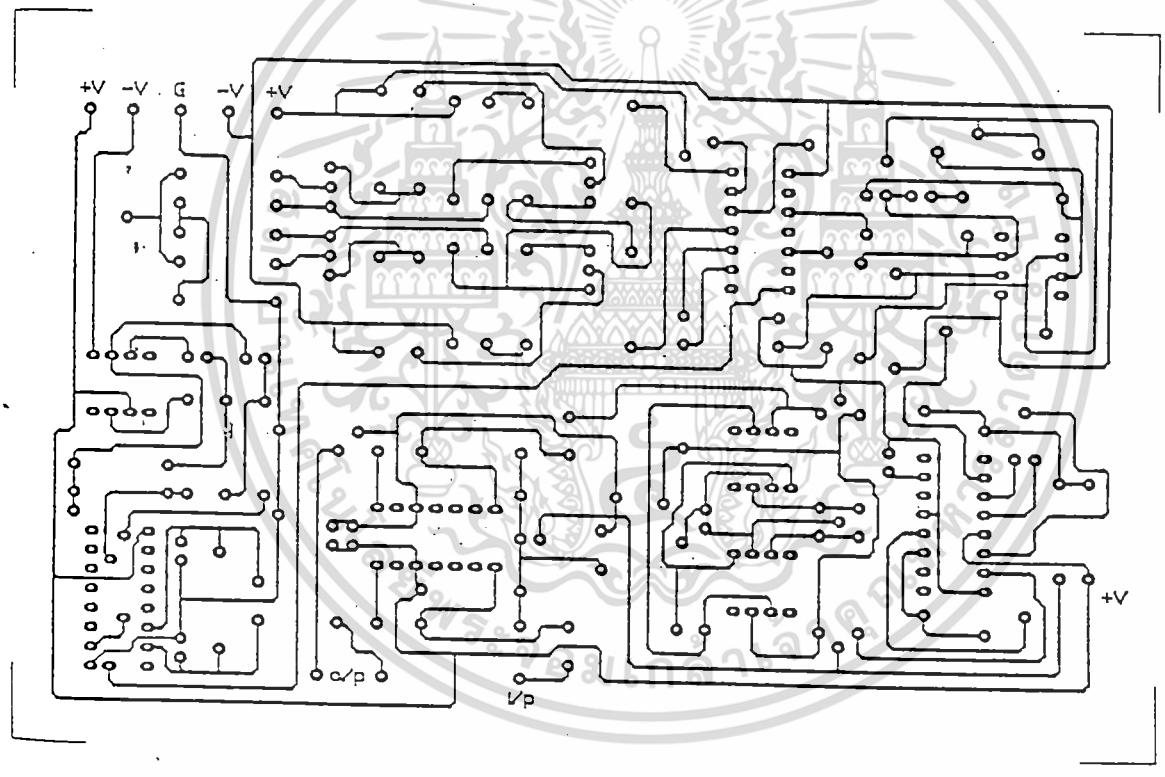
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



VIDEO SCRAMBLING CIRCUIT

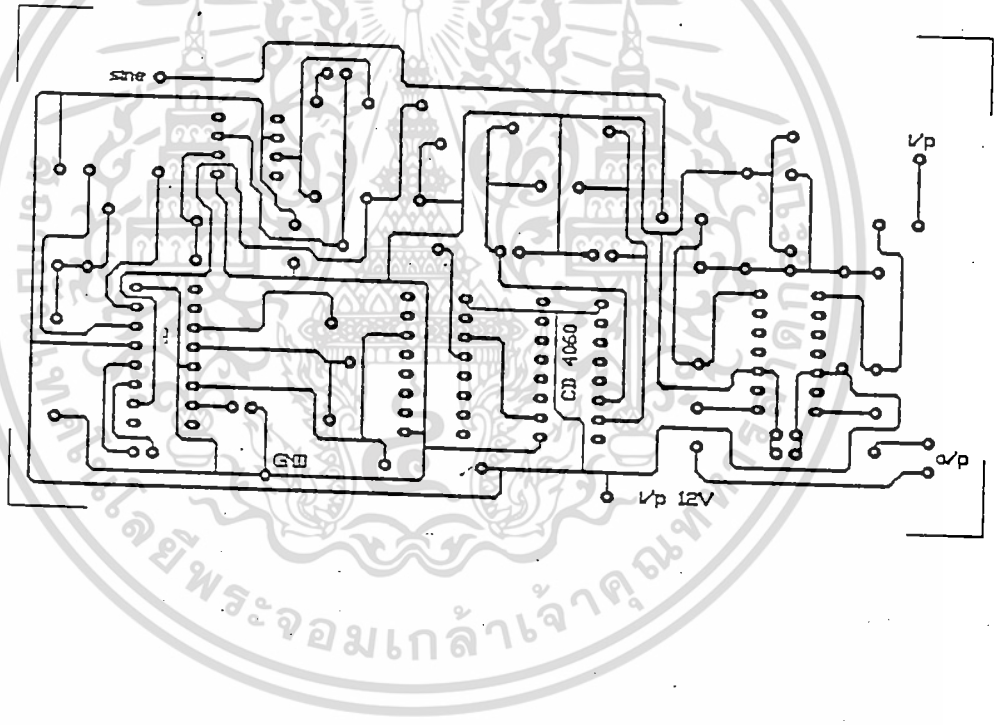


VIDEO DESCRAMBLING CIRCUIT



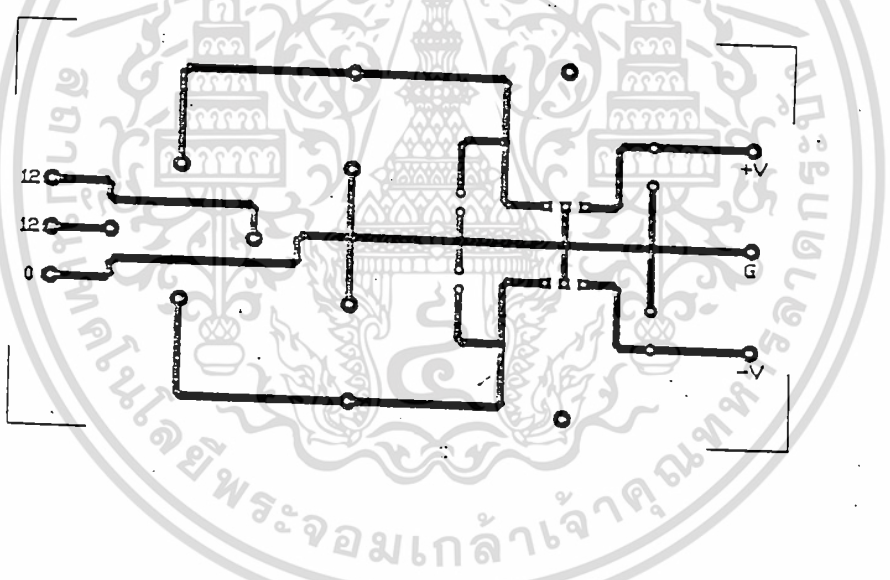
ลายวงจร ถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจร เข้ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจร Regulate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้