สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

รายงานการวิจัย

(ฉบับสมบูรณ์)

เรื่อง

การพัฒนาระบบให้บริการข้อมูลทางวิทยุกระจายเสียงแบบเอฟเอ็ม

(Development Information Services System on FM Radio Broadcast)

เสนอ

สภาวิจัยแห่งชาติ

โดย

นายอุทัย ศรีธีระวิโรจน์

(หัวหน้าโครงการวิจัย)

T034418

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

RCH
TK
b6b0
0822 ร

เลขหมู่.....
เลขทะเบียน..... 34418
วัน, เดือน, ปี..... 1 พ.ย. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

26 ก.ค. 2542

สารบัญ

บทที่ 1	ที่มาของการวิจัย	1
บทที่ 2	ระเบียบวิธีการวิจัย	2
บทที่ 3	การออกแบบส่วนระบบส่งข้อมูล	4
บทที่ 4	การออกแบบส่วนระบบรับข้อมูล	11
บทที่ 5	การออกแบบส่วนโปรแกรม	24
บทที่ 6	สรุปผลการวิจัย	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
ที่มาของงานวิจัย

เป็นที่ทราบกันว่าในปัจจุบันสังคมเป็นสังคมข่าวสาร ความต้องการข่าวสารผ่านสื่อต่าง ๆ มีความต้องการมากขึ้นโดยเฉพาะการบริการข่าวสารผ่านสื่ออิเลคทรอนิกส์ โดยปัจจุบันการบริการข่าวสารข้อมูลผ่านโครงข่ายโทรศัพท์ เช่น ระบบวิดีโอเท็กซ์ (Videotext) หรือผ่านวิทยุติดตามตัว (pager) หรือบริการข้อมูลผ่านโทรศัพท์ เช่น ระบบเทเลเท็กซ์ (Teletext) ซึ่งระบบเหล่านี้ได้มีการให้บริการในประเทศ โดยระบบทั้งหมดดังกล่าวเป็นการนำเอาเทคโนโลยีต่างประเทศมาใช้

สำหรับระบบให้บริการข้อมูลผ่านวิทยุกระจายเสียงแบบ FM นั้นได้มีการใช้ให้บริการในต่างประเทศ และแนวโน้มในอนาคตการให้บริการข้อมูลผ่านระบบวิทยุกระจายเสียงนั้นน่าจะมีการใช้ในประเทศ โดยข้อมูลที่ให้บริการจะเป็นข้อมูลการจราจร, พยากรณ์อากาศหรือข้อมูลทางเศรษฐกิจหรือข่าวสารทั่วไปซึ่งจะเป็นประโยชน์ทางเศรษฐกิจต่างประเทศ

ทางภาควิชาเทคนิคอุตสาหกรรมได้เห็นความจำเป็นดังกล่าวจึงวิจัยและพัฒนาอุปกรณ์ส่งข้อมูลที่ต่อเชื่อมกับเครื่องส่งวิทยุกระจายเสียงภาครับสัญญาณโดยจะออกแบบให้แสดงผลบนจอ LCD

โดยข้อมูลจากสถานีวิทยุจะส่งสัญญาณข้อมูลในช่วงของสัญญาณเบสแบนด์ในช่วงที่เรียกว่า SCA : Subsidirary Communication Authrorization

วัตถุประสงค์โครงการวิจัย

1. พัฒนาเครื่องรับข้อมูลที่บริการผ่านวิทยุกระจายเสียงแบบ โดบออกแบบเครื่องรับสามารถแสดงผลข้อมูลบนจอ
2. ออกแบบส่วนส่งข้อมูลที่ต่อเชื่อมกับภาคส่งของวิทยุกระจายเสียงแบบ
3. ออกแบบและพัฒนาซอฟท์แวร์สำหรับเครื่องไมโครคอมพิวเตอร์ที่จะส่งข้อมูลที่ภาคส่ง
4. ออกแบบและพัฒนาซอฟท์แวร์สำหรับไมโครคอมพิวเตอร์ที่ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ระเบียบวิธีการวิจัย

การให้บริการข้อมูลผ่านระบบวิทยุกระจายเสียงแบบ ได้มีการพัฒนาและให้บริการในประเทศอังกฤษโดยการให้บริการสัญญาณข่าวสารจราจรหรือแจ้งข้อความประกาศสั้น ๆ ของสถานีโดยแสดงผลผ่านจอ LCD ซึ่งเรียกระบบนี้ว่าระบบ Radio Data System : RDS โดยระบบ RDS เป็นระบบส่งข้อมูลด้วยความถี่ซัพแคเรียร์เท่ากับ 57 KH_z และอัตราการส่งข้อมูล 1187.5 บิทต่อวินาที และมอดูเลทแบบเฟสซิฟคีย์อิ่ง และในปัจจุบันองค์การกระจายเสียงของประเทศญี่ปุ่น NHK พัฒนาการส่งข้อมูลในช่องสัญญาณวิทยุกระจายเสียงโดยมีความถี่ของซัพแคเรียเท่ากับ 76 KH_z และอัตราส่งข้อมูล 16 กิโลบิทต่อวินาทีและมอดูเลทแบบมินิมัมซัฟคีย์อิ่ง (Minimum Shift Keying) ซึ่งเป็นการใช้ให้บริการสำหรับการสื่อสารเคลื่อนที่

ระบบบริการข้อมูลทางวิทยุกระจายเสียงแบบ FM เป็นการส่งข้อมูลข่าวสารในช่วงที่เรียกว่า SCA : Subsidiary Communication Authorization ของการส่งกระจายเสียงในการให้บริการกระจายเสียงตามปกติสถานีวิทยุอาจจะทำการส่งสัญญาณเสียงโดยภาครับถ้าต้องการรับสัญญาณนี้จะต้องมีภาคถอดสัญญาณในช่วง SCA นี้ กรณีการส่งสัญญาณข้อมูลสามารถกระทำได้โดยการมอดูเลทสัญญาณข้อมูลให้อยู่ในรูปการมอดูเลททางดิจิตอล โดยงานวิจัยจะทำการมอดูเลทแบบ FSK : Frequency Shift Keying โดยสัญญาณข้อมูลข่าวสารจะเป็นสัญญาณดิจิตอลจากไมโครคอมพิวเตอร์ซึ่งจัดให้ส่งแบบซิงโครนัสโดยมีขนาดบิทเรท 4,800 บิทต่อวินาที สำหรับภาครับภาคถอดรหัสจะทำการดีมอดูเลทสัญญาณ FSK เป็นสัญญาณดิจิตอล โดยภาครับจะมีตัวไมโครโปรเซสเซอร์ทำหน้าที่จัดเก็บข้อมูลให้อยู่ในหน่วยความจำและแสดงผลข้อมูลบนจอ LCD

สำหรับระบบพัฒนาที่ประกอบด้วย

1. ส่วนภาคส่งข้อมูลซึ่งเป็นส่วนที่จะอยู่ที่สถานีวิทยุจะประกอบด้วย
   - 1.1 ส่วนเชื่อมต่อไมโครคอมพิวเตอร์ภาคส่ง ส่วนนี้เป็นส่วนส่งข้อมูลจากไมโครคอมพิวเตอร์มามอดูเลทกับภาคมอดเพื่อส่งออกอากาศโดยรูปแบบการส่งจะเป็นการส่งแบบซิงโครนัส โดยการทำงานของส่วนที่จะต้องอาศัยซอฟท์แวร์ทำหน้าที่จัดข้อมูลให้คอมพิวเตอร์ให้เป็นรูปแบบซิงโครนัสซึ่งประกอบด้วยส่วนข้อมูลส่วนการตรวจข้อมูลที่ผิดพลาด
   - 1.2 ส่วนมอดูเลทเป็นวงจรมอดูเลทแบบ FSK โดยสัญญาณซีฟแคเรียมีความถี่ 67 KH_z โดยเอาท์พุทของภาคนี้จะไปต่อเข้ากับส่วนที่เรียกว่า excitor ของภาคส่งของวิทยุกระจายเสียง FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ส่วนภาครับข้อมูลเป็นส่วนที่อยู่ที่ผู้รับบริการ โดยภาครับจะทำเป็นรูปแบบที่เรียกว่า Adapter สำหรับถอดรหัสที่ส่งมาในช่องกระจายเสียง SCA โดยส่วน Adapter เพื่อดูข่าวสารจะประกอบด้วย
   2.1 เครื่องรับวิทยุ FM
   2.2 ส่วนดีมอดูเลทสัญญาณ FSK ซึ่งจะประกอบด้วยวงจรกรองความถี่ผ่านย่านเฉพาะสัญญาณเบสแบนด์ 67 KH_z มาทำการดีมอดูเลท, วงจรดีมอดูเลท FSK 2 วงจรกู้สัญญาณนาฬิกา
   2.3 ส่วนไมโครโปรเซสเซอร์ประกอบด้วย CPU , หน่วยความจำและจอแสดงผล ซิฟท์ทำหน้าที่ติดต่อสื่อสารแบบอนุกรมโดยส่วนนี้จะทำงานควบคุมโดยซอฟท์แวร์

ขั้นตอนและการวิเคราะห์ข้อมูล

ปัญหาสำคัญในการส่งข้อมูลผ่านระบบวิทยุหรือโดยเฉพาะผ่านวิทยุกระจายเสียงซึ่งเป็นการส่งข้อมูลทางเดียวคือการผิดพลาดของข้อมูลที่ส่งซึ่งอาจเกิดขึ้น โดยการรบกวนของตัวระบบเองหรือเกิดขึ้นโดยการรบกวนจากสิ่งแวดล้อม ดังนั้นการวิจัยจะต้องออกแบบให้เกิดการผิดพลาดน้อยที่สุ ด โดยลำดับการทดลองและการวิเคราะห์ระบบจะกระทำโดย

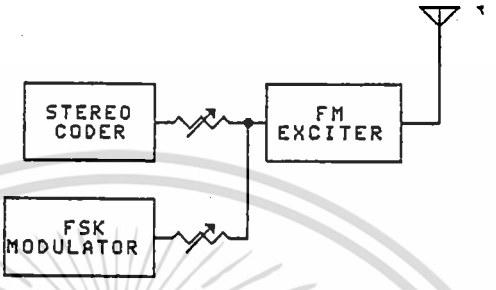
1. ประกอบส่วนภาคส่งและภาครับเฉพาะส่วนฮาร์ดแวร์แล้วทำการจัดอัตราการผิดพลาดของบิทที่เกิดขึ้นในระบบโดยใช้สัญญาณทดลองทางดิจิตอล โดยศึกษาอัตราการมอดูเลทสัญญาณ FSK (Modulation Index) และขนาดของความแรงในการมอดูเลทกับเครื่องส่ง FM ที่ดีที่สุดโดยไม่ทำให้เกิดการกวนสัญญาณข้ามช่องโดยกระทำการทดลองให้ห้องปฏิบัติการ
2. ทำการวิเคราะห์ลักษณะการเกิดผิดพลาดของข้อมูลโดยทดลองในห้องปฏิบัติการ และทดลองในขณะความแรงของสัญญาณระดับต่าง ๆ และการรบกวนแบบต่าง ๆ
3. สร้างแพคเก็ตข้อมูลที่ต้องการส่งโดยอาศัยข้อมูลจากข้อ (2) โดยทำการเลือกขนาดความยาวของแพคเก็ตและชนิดของการแก้ไขการผิดพลาดของข้อมูลที่เหมาะสม แล้วทดลองส่งข้อมูลจากคอมพิวเตอร์ในห้องปฏิบัติการ
4. ทดลองส่งสัญญาณทดสอบทางดิจิตอลกับระบบที่สร้างขึ้นและข้อมูลแพคเก็ตจากไมโครคอมพิวเตอร์ในสภาวะของการรับสัญญาณแบบต่าง ๆ
5. แก้ไขปรับปรุงรูปแบบของแพคเก็ตข้อมูลหรือปรับปรุงเทคนิควงจรของเครื่องรับหรือภาคดีมอดูเลทได้ทำงานดีที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบวงจรภาคส่งสัญญาณ

ในบทนี้กล่าวถึงการออกแบบวงจรมอดูเลทสัญญาณดิจิตอลเพื่อใช้ส่งข้อมูลโดยส่วนระบบของการส่งข้อมูลแสดงได้ในรูป



รูปที่ 3.1 แสดงการส่งข้อมูล

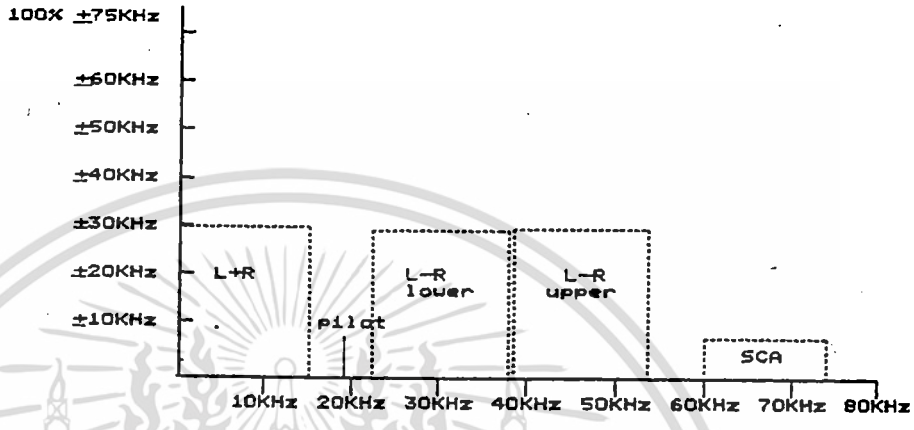
3.1 การส่งสัญญาณ SCA ในระบบ FM สเตอริโอ

สำหรับสัญญาณ FM SCA (Subsidiary communication authorization) เป็นการใช้ภาคส่ง FM สเตอริโอ ส่งสัญญาณอื่นนอกเหนือโปรแกรมที่ส่งตามปกติ โดย FCC กำหนดคุณสมบัติของสัญญาณ SCA ซึ่งเป็นเบสแบนด์อันหนึ่งของคลื่นพาห์ ดังนี้

1. กำหนดความถี่ศูนย์กลางอยู่ที่ 67 *KHz* โดยเปลี่ยนแปลงได้เท่ากับ ± 500 *Hz*
2. ความถี่เบสแบนด์ SCA มีขนาดไม่เกิน 10% ของสัญญาณรวมทั้งหมดก่อนมอดูเลทหรือทำ ให้ความถี่พาห์เบี่ยงเบนได้เท่ากับ ± 7.5 *KHz* โดยสัญญาณ (L+R), (L-R) จะมีขนาดแต่ละสัญญาณเท่ากับ 40% หรือทำให้ความถี่คลื่นพาห์เบี่ยงเบนได้ไม่เกิน ± 30 *KHz*
3. สเปคตรัมของความถี่ SCA จำกัดอยู่ในช่วงความถี่ $57 - 75$ *KHz*
4. สัญญาณรบกวนของ SCA ที่ข้ามช่อง (cross talk) เข้าไปในช่องของสัญญาณสเตอริโอเบสแบนด์ต้องน้อยกว่า 60 dB

จากกำหนดของระบบสเตอริโอและ SCA สามารถแสดงสัญญาณเบสแบนด์และภาคส่งดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงสัญญาณเบสแบนด์ของ FM สเตอริโอและสัญญาณ SCA

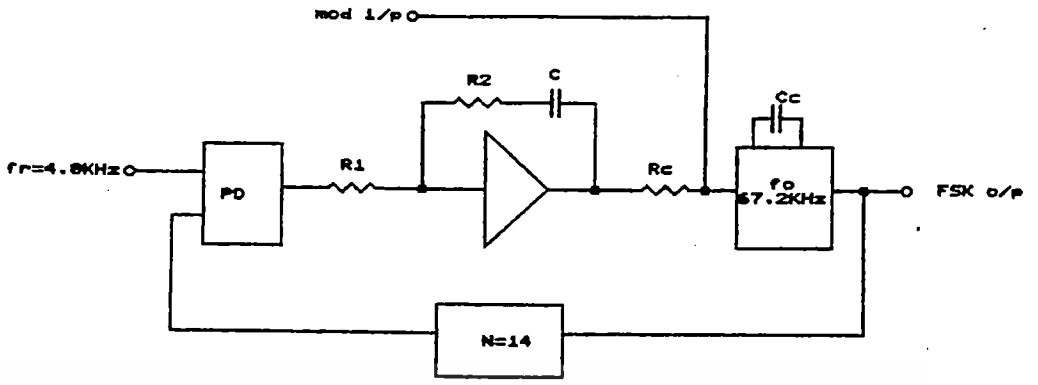
โดยสัญญาณที่ใช้ส่งเป็นสัญญาณเบสแบนด์อยู่ในช่อง $FM-SCA$ โดยจากข้อกำหนดความถี่ศูนย์กลางขนาด $67KH_z$ $500H_z$ นั้นสำหรับระบบที่ได้ออกแบบเพื่อให้ง่ายต่อการมอดูเลทกับสัญญาณดิจิตอลจึงเลือกใช้ความถี่ศูนย์กลางหรือความถี่คลื่นพาห์ สำหรับสัญญาณ FSK ขนาด $67.5KH_z$ ซึ่งเป็นขนาด 14 เท่าของสัญญาณบิทเรทขนาด $4800bps$ ซึ่งเน้นจำนวนขนาดของบิทเรทที่มีขนาดสูงสุดสำหรับ FSK ที่ไม่ทำให้เกิดไซด์แบนด์ไปรบกวนช่องสัญญาณเมนโปรแกรมของระบบ FM สำหรับการมอดูเลทกับวงจร $Exciter$ การออกแบบปรับให้สัญญาณ SCA มีขนาด 10% ของสัญญาณ FM ทั้งหมด

3.2 <u>การออกแบบวงจรมอดูเลทสัญญาณ FSK ด้วย PLL</u>

สำหรับส่วนของการมอดูเลทประกอบด้วย 2 ส่วน คือวงจรมอดูเลทโดยใช้ PLL และวงจรกรองความถี่ผ่าน 67.2 KHz โดยวงจรมอดูเลทสัญญาณ FSK ในทางปฏิบัติใช้วงจรสร้างความถี่ควบคุมด้วยแรงดัน (VCO) โดยการป้อนสัญญาณเบสแบนด์เข้าที่อินพุทของวงจร VCO โดยเอาท์พุทของสัญญาณจะเปลี่ยนแปลงขนาดของความถี่ขึ้นอยู่กับสัญญาณเบสแบนด์อินพุท

วงจรมอดูเลทสัญญาณ FSK ซึ่งออกแบบให้มีความถี่ศูนย์กลางอยู่ที่ 67.2 KHz เพื่อให้ความถี่ศูนย์กลางของคลื่นพาห์มีเสถียรภาพจึงใช้หลักการของ PLL สำหรับควบคุมความถี่สำหรับการออกแบบ เพื่อสร้างความถี่ 67.2 KHz และสัญญาณที่มอดูเลทเข้าในลูปเป็นสัญญาณไบนารี่ที่เป็นระดับแรงดัน TTL มีบิทแรทเท่ากับ 4,800 bps โครงสร้างของลูปแสดงได้ดังรูป 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงโครงสร้างของวงจรมอดูเลทสัญญาณ FSK

โดยลูปออกแบบให้มีความถี่อ้างอิงเท่ากับ 4.8 KHz สำหรับค่าความถี่ธรรมชาติของลูปต้องออกแบบให้มีความถี่ต่ำกว่าความถี่ต่ำสุดของสัญญาณที่มอดูเลทเข้ามาในลูป สำหรับในลูปของการสร้างสัญญาณ FSK นี้ เลือกค่าความถี่ธรรมชาติของลูปเท่ากับ 10 Hz VCO เกนกำหนดให้สามารถเบี่ยงเบนตามความถี่ที่มอดูเลทเข้ามาทางอินพุทที่ป้อนโดยตรงกับ VCO โดยในที่นี้ออกแบบให้มีขนาด 1600 Hz/V

โดยโครงสร้างของลูปใช้วงจรกรองแบบแอคทีฟเป็นวงจรกรองในลูป วงจร VCO ใช้วงจรรวม XR2206 และเฟสดีเทคเตอร์ใช้วงจรรวม 4046 เช่นเดียวกับวงจรสร้างสัญญาณ 19 KHz ดังนั้นจากการกำหนดค่า K_0 และจากสมการของ VCO เกน ถ้าให้ค่าคาปาซิแตนซ์สำหรับควบคุมความถี่ของ VCO มีขนาด 1000 pF ค่า R_c สามารถหาได้ คือ

$$R_c = (0.32)/K_0C_c \qquad \ldots(1)$$

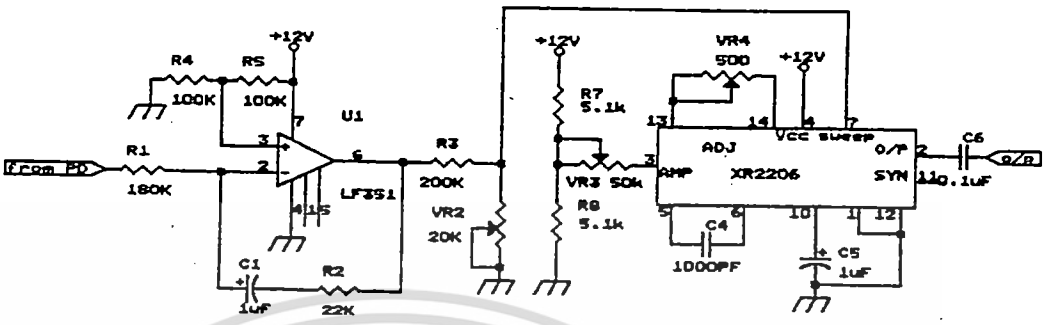
ค่า R_c หรือความต้านทานที่อนุกรมระหว่างวงจรกรองความถี่ในลูปและวงจร VCO จะมีค่า 200 $K\Omega$ สำหรับค่า R และ C ของวงจรกรองในลูปกำหนดค่าแดมปิ้งแฟคเตอร์ในลูปเท่ากับ 0.707 ค่า R_1 และ R_2 สำหรับลูปฟิลเตอร์ถ้ากำหนดค่า C เท่ากับ $1\mu F$ ค่า R_1, R_2 จะแสดงได้ดังนี้

$$R_1 = \left(K_oK_d\right)/N\left(\omega_n^2\right) \qquad \ldots(2)$$

$$R_2 = 2\zeta/\omega_nC \qquad \ldots(3)$$

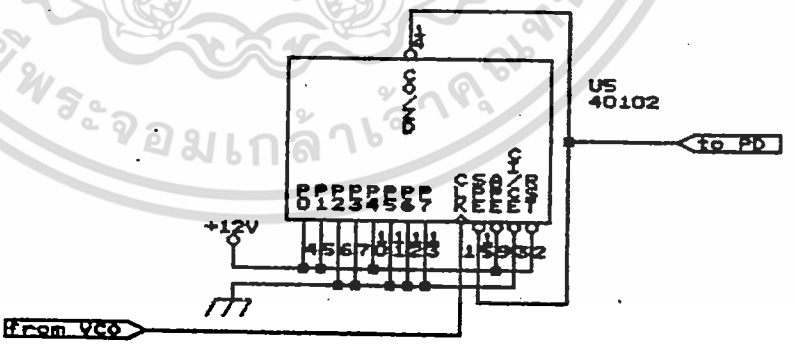
โดยค่า R_1 จะมีขนาดเท่ากับ 172 $K\Omega$ และ R_2 มีขนาด 22.5 $K\Omega$ โดยวงจรในทางปฏิบัติแสดงได้ในรูปที่ 3.4 โดยค่า R_1 ในที่นี้คือ $R1$ ซึ่งใช้ขนาด 180 $K\Omega$ และ R_2 ในวงจรคือ $R2$ ใช้ขนาด 22 $K\Omega$ ค่า R_c คือ $R3$ ใช้ 200 $K\Omega$ และค่า C_c สำหรับ VCO คือ $C4$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



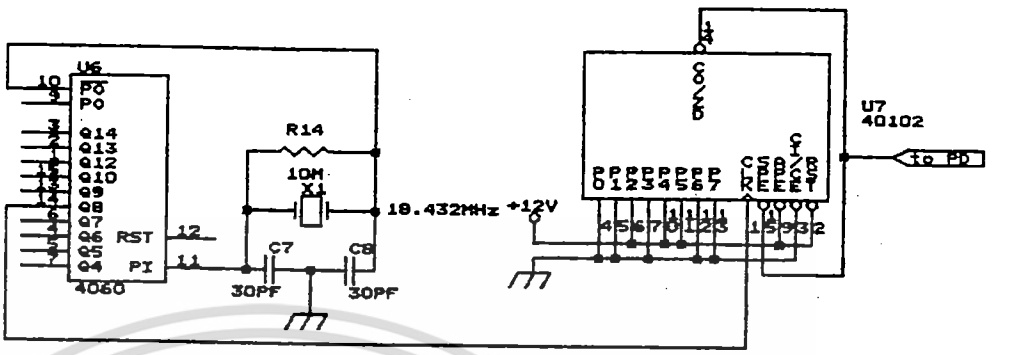
รูปที่ 3.4 แสดงวงจร VCO และ วงจรกรองของลูป

สำหรับวงจรหารและวงจรสร้างความถี่อ้างอิงของลูปแสดงได้ในรูปที่ 3.5 และ 3.6 โดยใช้การหารใช้วงจรรวม 40102 เช่นเดียวกับวงจรสร้างสัญญาณ 19 *KHz* ค่าที่ต้องการหารคือ 14 ค่าที่ต้องโปรแกรมตัวหารจะเท่ากับ 13 โดยขาวงจรรวม P_4, P_1, P_0 ต่อกับ VCC และ P_7, P_6 , P_5, P_3, P_2 ต่อลงกราวน์ การสร้างความถี่อ้างอิงสำหรับลูปสร้างความถี่ 18.432 *KHz* ซึ่งใช้ เกทภายในวงจรรวม 4060 ต่อร่วมกับคริสตอลขนาด 18.432 *KHz* โดยสัญญาณขนาด 4,800 *Hz* ได้จากเอาท์พุท Q_8 ของ 4060 ซึ่งเป็นการหารความถี่ 18.432 *KHz* ด้วย 256 , ต่อเข้าสู่วงจรหาร 15 ซึ่งใช้วจรรวม 40102(U7) โดยให้เอาท์พุทที่ขา 14 ที่มีความถี่ขนาด 4,800 *Hz* เป็นสัญญาณดิจิตอลมีระดับ 0 ถึง 12 V



รูปที่ 3.5 แสดงวงจรหารความถี่

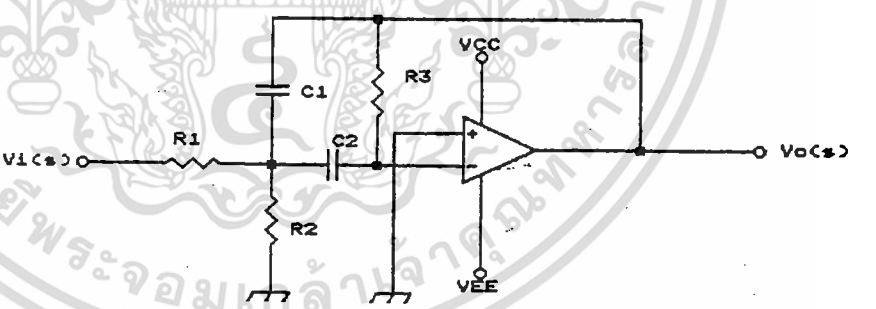
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงวงจรสร้างความถี่อ้างอิง

3.3 <u>วงจรกรองความถี่ผ่านย่าน</u>

สำหรับวงจรกรองความถี่ผ่านย่าน 67.2 *KHz* เลือกใช้วงจร Multiple feedback ขนาดออร์เดอร์ 2 ที่มีโครงสร้างดังรูป



รูปแสดง 3.7 วงจรกรองความถี่ผ่านย่านแบบ Multiple feedback

ถ้าให้ Q เป็นค่า Quality factor ของวงจร

ω_o ความถี่ศูนย์กลาง

H เกนของวงจรที่ความถี่ย่าน

ทรานเฟอร์ฟังก์ชั่นของวงจรแสดงได้คือ

$$\frac{V_o(s)}{V_i(s)} = \frac{H \times (\omega / Q) \times s}{s^2 (\omega_o / Q) \times s + \omega_o^2} \quad \ldots(4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_o(s)}{V_i(s)} = \frac{H \times (\omega / Q) \times s}{s^2 (\omega_o / Q) \times s + \omega_o^2} \quad \ldots(4)$$

$$\omega_o = \frac{1}{R_3 C_1 C_2} \left(\frac{1}{R_1} + \frac{2}{R_2} \right) \quad \ldots(5)$$

$$Q = \frac{1}{\sqrt{\frac{1}{R_3} \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \left(\frac{C_1}{C_2} + \sqrt{\frac{C_2}{C_1}} \right)}} \quad \ldots(6)$$

$$H = \frac{-R_3 C_2}{R_1 (C_1 + C_2)} \quad \ldots(7)$$

สำหรับการปรับเพื่อให้ตรงกับค่า Q, H, ω_o และกำหนดค่า C_1 และ C_2 โดยให้ $C_1 = C_2$ ค่า R_1, R_2, R_3 สามารถหาได้จาก

$$R_1 = \frac{Q}{|H| \omega_o C_1} \quad \ldots(8)$$

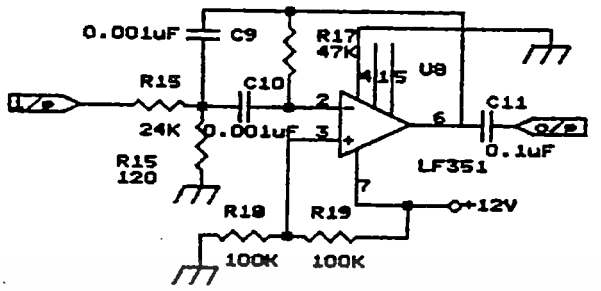
$$R_2 = \frac{Q}{(2Q^2 - |H| \omega_o C_1)} \quad \ldots(9)$$

$$R_3 = \frac{2Q}{\omega_o C_1} \quad \ldots(10)$$

สำหรับวงจรกรองความถี่ผ่านย่านสำหรับ ภาคการมอดูเลทสัญญาณ FSK กำหนดความถี่ศูนย์กลางเท่ากับ 67.2 *KHz* และค่า Q สำหรับวงจรกรองความถี่เท่ากับ 10 สามารถหา R_1, R_2, R_3 โดย

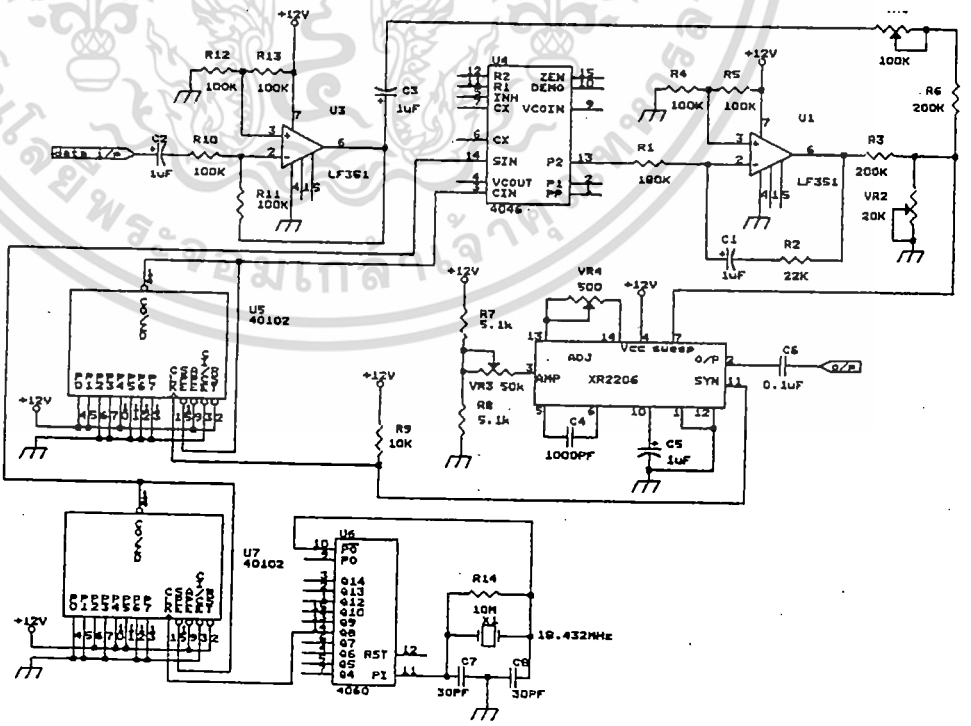
วงจรในทางปฏิบัติแสดงได้ ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงวงจรกรองความถี่ผ่าน 67.2 KHz สำหรับภาคมอดูเลทสัญญาณ FSK โดยจากรูป R_1 ใช้ค่า 24 $K\Omega$ R_3 ใช้ค่า 470 $K\Omega$ โดย R_2 อาจใช้ R เกือกม้าขนาด 150 Ω สำหรับการปรับเพื่อให้ตรงกับค่า R_2 ที่ได้จากการคำนวณ

โดยวงจรมอดูเลทสัญญาณทั้งหมดแสดงไว้ดังรูป 3.9 สำหรับส่วนที่มอดูเลทสัญญาณเบสแบนด์เข้ากับวงจร VCO ใช้วงจรรวม LF351(U3) ต่อเป็นบัฟเฟอร์ที่อินพุทสำหรับการมอดูเลทสัญญาณเบสแบนด์เข้ากับ VCO โดยตรงโดยมี VR1 100 $K\Omega$ ต่ออนุกรมกับความต้านทานขนาด 200 $K\Omega$ เป็นความต้านทานสำหรับปรับอัตราการมอดูเลท

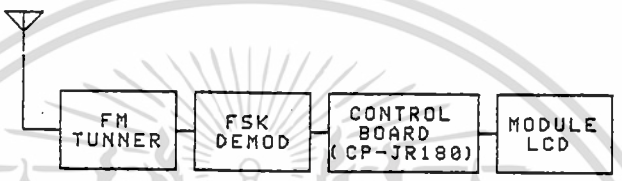


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.9 แสดงวงจรมอดูเลทสัญญาณ FSK ทั้งหมด

บทที่ 4
การออกแบบวงจรเครื่องรับวิทยุที่ใช้รับและแสดงผลข้อมูล

ในบทนี้จะกล่าวถึงการออกแบบวงจรเครื่องรับวิทยุ ในงานวิจัยนี้ซึ่งประกอบไปด้วยโครงสร้างส่วนต่าง ๆ คือ วงจรดีมอดูเลทสัญญาณดิจิตอลที่ส่งมาในช่องสัญญาณ $FM-SCA$ แบบ FSK วงจรของคอนโทรลบอร์ด และจอแสดงผลแบบกราฟฟิค LCD โดยส่วนของการรับส่งข้อมูลของงานวิจัยฉบับนี้แสดงได้ดังรูป



รูปที่ 4 .1 แสดงระบบการรับข้อมูลในช่องสัญญาณ $FM-SCA$

โดยสัญญาณ FSK ใช้ส่งเป็นสัญญาณเบสแบนด์อยู่ในช่อง $FM-SCA$ โดยจากข้อกำหนดความถี่ศูนย์กลางขนาด $67KH_z$ $500H_z$ นั้นสำหรับระบบที่ได้ออกแบบเพื่อให้ง่ายต่อการมอดูเลทกับสัญญาณดิจิตอลจึงเลือกใช้ความถี่ศูนย์กลางหรือความถี่คลื่นพาห์ สำหรับสัญญาณ FSK ขนาด $67.5KH_z$ ซึ่งเป็นขนาด 14 เท่าของสัญญาณบิทเรทขนาด $4800bps$ ซึ่งเน้นจำนวนขนาดของบิทเรทที่มีขนาดสูงสุดสำหรับ FSK ที่ไม่ทำให้เกิดไซด์แบนด์ไปรบกวนช่องสัญญาณเมนโปรแกรมของระบบ FM สำหรับการมอดูเลทกับวงจร $Exciter$ การออกแบบปรับให้สัญญาณ SCA มีขนาด 10% ของสัญญาณ FM ทั้งหมด

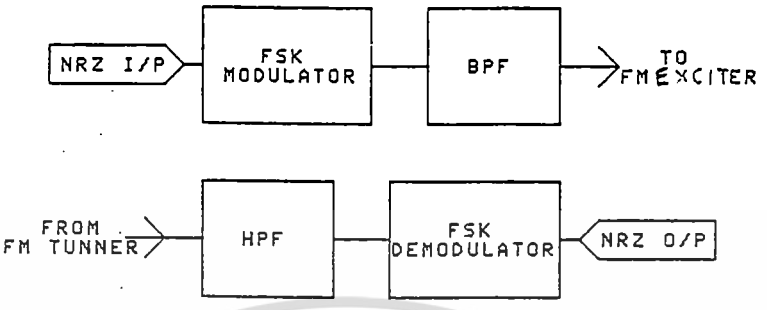
4.1 หลักการของวงจร FSK

สำกรับการส่งสัญญาณดิจิตอลในช่องสัญญาณ $FM-SCA$ สัญญาณที่เป็นการมอดูเลทแบบดิจิตอลที่ใช้เทคนิคการมอดูเลทและดีมอดูเลทที่ง่ายที่สุดคือการส่งโดยใช้สัญญาณ FSK โดยการแทนความถี่

$$\left.\begin{aligned} f_c &= A\cos\omega_1 t \\ f_c &= A\cos\omega_2 t \end{aligned}\right\} \qquad \cdots(1)$$

โดยความถี่ ω_1 เป็นความถี่สำหรับสัญญาณเบสแบนด์ที่เป็น "0" และความถี่ ω_2 เป็นความถี่สำหรับสัญญาณเบสแบนด์ที่เป็น "1" สำหรับโครงสร้างสำหรับการมอดูเลทแสดงได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



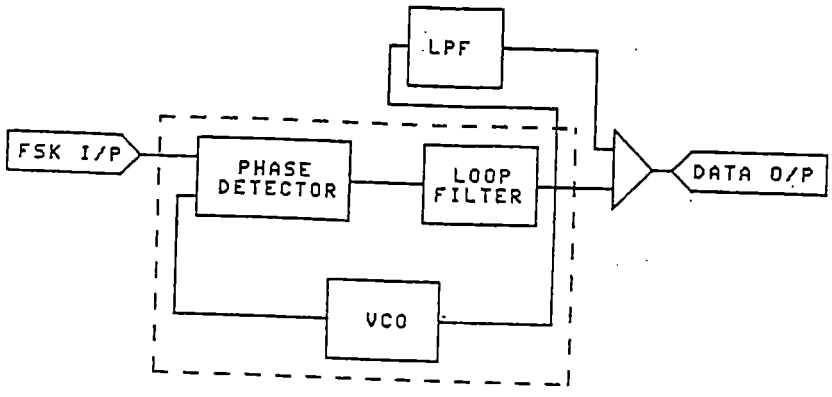
รูปที่ 4.2 แสดงวงจรดีมอดูเลทสัญญาณ *FSK*

สำหรับภาครับประกอบด้วยวงจรกรองความถี่สูงผ่านซึ่งกรองเอาเฉพาะสัญญาณ *FSK* มาทำการดีมอดูเลทโดยใช้วงจร *PLL* สำหรับสัญญาณ *FSK* ขนาดแบนด์วิดท์ของสัญญาณจะขึ้นอยู่กับมอดูเลชั่นอินเดคซ์ โดยการเลือกค่ามอดูเลชั่นอินเดคซ์ที่เหมาะสมในการส่ง ถ้าเลือกค่ามอดูเลชั่นอินเดคซ์มาก ๆ แล้วค่า *SNR* ของการส่งสัญญาณ *FM* ก็จะสูงหรือหมายถึงว่าค่า *Bit – Error Rate* สำหรับกรณีส่งสัญญาณ *FSK* ก็จะต่ำขนาดแบนด์วิดท์ของสัญญาณจะสูงตามค่าดีมอดูเลทมอดูเลชั่นเดคซ์ ดังนั้นในการเลือกค่ามอดูเลชั่นอินเดคซ์สำหรับสัญญาณ *FSK* จึงเลือกให้ค่าสูงสุดเท่าที่จะกระทำได้ โดยการทำให้เกิดการรบกวนช่องสัญญาณเมนโปรแกรมน้อยที่สุด

4.2 <u>การออกแบบวงจรดีมอดูเลทสัญญาณ FSK</u>

การดีมอดูเลทสัญญาณ *FSK* ด้วย *PLL* สามารถแสดงโครงสร้างได้ดังรูป 4.3.1 เอาท์พุทของสัญญาณเบสแบนด์จะได้ที่แรงดันอินพุทของ *VCO* ของ *PLL* ซึ่งจะเปลี่ยนแปลงความถี่ชิฟท์ สำหรับส่วนประกอบที่เพิ่มขึ้นจากวงจร *PLL* คือวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) และวงจรเปรียบเทียบ (Comparator) สำหรับการดีมอดูเลทเมื่อความถี่ *VCO* ล็อกกับความถี่ที่ชิฟท์ f_L หรือ f_H แรงดันอินพุทที่ป้อนเข้ากับ *VCO* และอินพุทหนึ่งของวงจรเปรียบเทียบจะมีค่าเท่ากับ $V_{c1} = (f_L - f_o)/K_o$ และ $V_{c2} = (f_H - f_o)/K_o$ โดยความแตกต่างแรงดันระหว่าง V_{c1} และ V_{c2} คือ $(f_L - f_H)/K_o$ สำหรับแรงดันอ้างอิงอีกอินพุทหนึ่งของวงจรเปรียบเทียบได้จากการป้อนแรงดันอินพุทของ *VCO* เข้าสู่วงจรกรองความถี่ต่ำผ่าน (*LPF*) ซึ่งมีค่าเวลาคงตัวนานมากเมื่อเทียบกับความถี่ของสัญญาณ *FSK* ดังนั้นที่เอาท์พุทของ (*LPF*) จะเป็นค่าสัญญาณ *dc* ซึ่งสัญญาณ *dc* จะมีค่าครึ่งหนึ่งของ V_{c1} และ V_{c2}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3.1 แสดงโครงสร้างการดีมอดูเลทสัญญาณ *FSK* ด้วย *PLL*

ในการกำหนดเงื่อนไขในการออกแบบ *PLL* สำหรับการดีมอดูเลทสัญญาณ *FSK* แสดงได้จากเออเรอร์ทรานเฟอร์ฟังก์ชั่นของ *PLL* ที่ใช้วงจรกรองฟาสซีฟ แบบลีด-แล็ก คือ

$$H_e = \frac{\theta_e(s)}{\theta_1(s)} = \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \qquad \cdots(2)$$

หาค่าเฟสเออเรอร์ของสมการ (2) โดยอินพุท $\theta_i(s)$ เป็นสัญญาณ *FSK* ซึ่งสามารถเขียนได้คือ

$$\theta_e(s) = \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \cdot \frac{\Delta\omega}{s} \qquad \cdots(3)$$

หา $\theta_e(t)$ โดยการอินเวอร์ลาปาสทรานฟอร์มสมการ (3) จะได้

$$\theta_e(t) = \frac{\Delta\omega}{\omega_n}\exp(-\zeta\omega_n t)\frac{1}{\sqrt{1-\zeta^2}}\sin\sqrt{1-\zeta^2}\,\omega_n t\,\exp(-\zeta\omega_n t) \cdots(4)$$

ถ้าให้ค่า ζ ของลูปเท่ากับ 0.707 แล้วค่า $\theta_e(t)$ ถูกนอร์มอลไลซ์ด้วย $(\Delta\omega/\omega_n)$ ค่า $\theta_{\max}$ จะมีค่าสูงสุดที่ $\omega_n(t) = 1.1$ (Phase locked Technique F.M. gardner) โดยค่า $\theta_{\max}$ แสดงได้

$$\theta_{\max} = \frac{0.445\Delta\omega}{\omega_n} \qquad \cdots(5)$$

ในการออกแบบสำหรับดีมอดูเลทสัญญาณค่าเฟสเออเรอร์ ของเฟสดีเทคเตอร์ต้องอยู่ในช่วง $\pi/2rad$ สำหรับการออกแบบเพื่อให้ลูปของการดีมอดูเลทสัญญาณ *FSK* ทำงานได้อย่างมีเสถียรภาพในกรณีที่อินพุทมีสัญญาณนอยส์เข้ามากับสัญญาณ *FSK* ค่าลูปนอยส์แบนวิดท์ของลูป (SNR_L) จะต้องมากกว่า 6 dB ซึ่งค่าลูปนอยส์แบนวิดท์ซึ่งกล่าวมาแล้ว แสดงได้ดังนี้คือ

$$SNR_L = \frac{SNR_i B_i}{2B_L} \qquad \cdots(6)$$

โดยค่า B_i เป็นแบนวิดท์สมมูลย์ของวงจรกรองด้านอินพุท โดยในการปฏิบัติมีขนาดเท่ากับขนาดแบนวิดท์ของวงจรกรองโดยค่า B_L สำหรับ *PLL* ที่ใช้วงจรกรองแบบพาสซิฟลีด-แล็ค แสดงได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

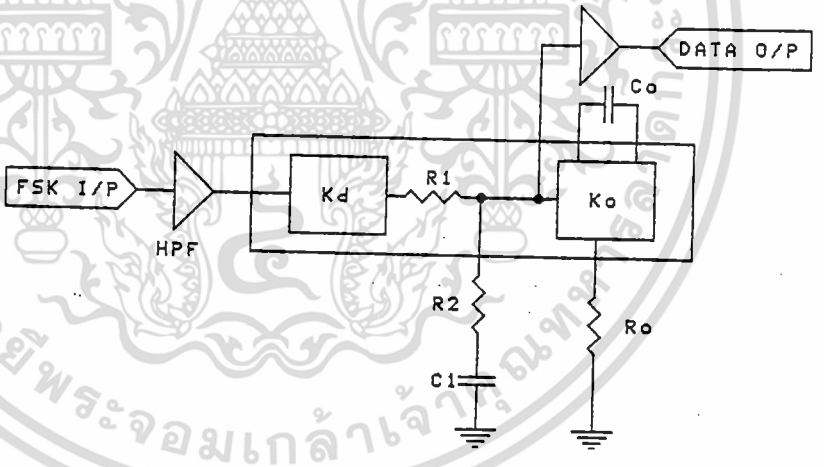
$$B_L = \frac{\omega_n}{2}\left[\zeta + \frac{1}{4\zeta}\right] \qquad \ldots(7)$$

สำหรับข้อพิจารณาสุดท้ายสำหรับการดีมอดูเลทสัญญาณ *FSK* ด้วย *PLL* คือต้องให้ความถี่ที่เบี่ยงเบน (f_d) อยู่ในพิสัยแคปเจอร์ ซึ่งพิสัยแคปเจอร์ แสดงได้คือ

$$\Delta\omega_c = 2\zeta\,\omega_n \qquad \ldots(8)$$

4.3 <u>การออกแบบวงจรดีมอดูเลทสัญญาณ FSK ด้วย PLL</u>

สำหรับวงจรในทางปฏิบัติแสดงวงจรสมมูลย์ได้ดังรูป โดย *PLL* ใช้วงจรรวม 565 ซึ่งมีค่าลูปเกน $(K = K_o K_d)$ เท่ากับ 33.6 f_o / V_{cc} ค่าความถี่อิสระของ *VCO* กำหนดได้ $f_o = 1/(3.7\ R_o C_o)$ สำหรับการออกแบบวงจรกรองในลูปนั้นค่า R_1 ของ 565 ที่มีขนาด 3600Ω การออกแบบถ้าความถี่อิสระของลูปกำหนดให้เท่ากับ 67.5KH$_z$ สำหรับค่าขนาดของ R$_o$ ถ้ากำหนด C$_o$ มีขนาดเท่ากับ $0.001\mu F$



รูปที่ 4.3.2 แสดงโครงสร้างการดีมอดูเลทสัญญาณ *FSK* ด้วยวงจรรวม 565

$$R_o = 1/(3.7 f_o C_o) = 4004 \qquad \ldots(9)$$

R$_o$ มีค่าเท่ากับ 4004 ในทางปฏิบัติใช้ความต้านทานปรับได้ขนาด $10K\Omega$ สำหรับค่า R$_o$ และ C$_o$ ซึ่งเป็นค่าที่กำหนดเวลาคงที่ของวงจรกรองในลูป โดย

$$(R_1 + R_2)C_1 = K_o K_d / (\omega_n)^2 \qquad \ldots(10)$$

$$(R_2 C_1) = (2\zeta)/\omega_n \qquad \ldots(11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า $K_o K_d$ ลูปเกนมีขนาดเท่ากับ $33.6 * f_o / VCC$ ในการออกแบบที่ใช้แรงดัน VCC = +12 V และ VEE = -12V ดังนั้นจึงคิดแรงดัน VCC = 24V ค่าลูปเกนมีขนาดเท่ากับ 94.080 (1/sec) สำหรับค่า กำหนดให้เท่ากับ 0.707 ค่า ω_n กำหนดได้จากสมการ (5) โดยจะต้องเป็นไปตามเงื่อนไขของสมการที่ (6) และ (7)

โดยสมการที่ (5) กำหนดค่าเฟสเออเรอร์ขนาดสูงสุดให้มีค่าเท่ากับ $1 rad$ ค่ามีขนาดเท่ากับ $2\pi\,(2fd)$ ดังนั้นค่า

$$\omega_n = 13.531\ rad/sed$$

จากสมการที่ (23) ลูปนอยส์แบนวิดท์มีค่าเท่ากับ

$$B_L = 7{,}171\,H_Z$$

ที่อินพุทของ PLL เป็นวงจรกรองความถี่ผ่านย่าน มีแบนวิดท์เท่ากับ $6.75ZKH_z$ ดังนั้นถ้ากำลังสัญญาณต่อกำลังสัญญาณนอยส์ (SNR) ที่เอาท์พุทของวงจรกรองหรือ SNR_1 ของ PLL มีขนาดไม่ต่ำกว่า 10 dB แล้วค่า SNR_L จากสมการที่ (6) จะมีขนาด

$$SNR_L = 6.73\ dB$$

ซึ่งเพียงพอที่ให้ PLL ทำงานได้อย่างมีเสถียรภาพ สำหรับขนาดของพิสัยแคปเจอร์ในสมการที่ (8) มีค่า

$$f_{cap} = 3{,}045\ H_z$$

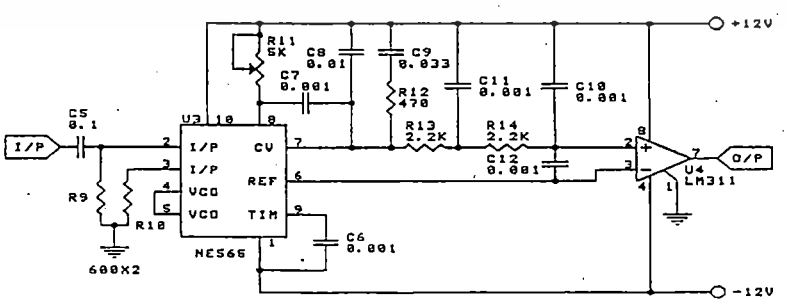
ซึ่งมีความถี่เบี่ยงเบนอยู่ในพิสัยแคปเจอร์ ดังนั้นค่า ω_n ขนาด 13,531 rad/sec จึงเป็นขนาดที่ใช้ได้ จากสมการที่ (10) ค่า

$$(R_1 + R_2)\, C_1 = 0.53 \quad mS$$

$$(R_2 C_1) = 0.104 \quad mS$$

ถ้า R_1 ภายในวงจรรวมมีค่าเท่ากับ $3.6K\Omega$ แล้ว

$$C_1 = 0.1\ \mu F$$



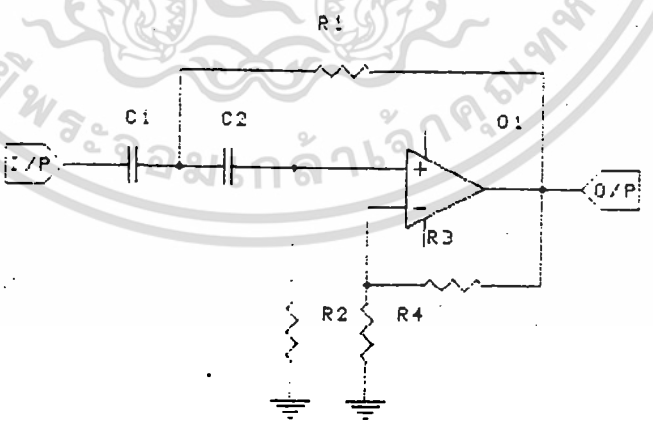
รูป 4..4 แสดงวงจรดีมอดูเลทสัญญาณ FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทางปฏิบัติแล้วใช้ C_1 เท่ากับ $0.1\mu F$ และ R_2 มีขนาดเท่ากับ 470Ω หรือเลือก R_2 ขนาด 470Ω โดยจากรูป 4.4.2 C_1 และ R_2 คือ C_9 และ R_{12} ส่วน R_o และ C_o คือความต้านทานปรับค่าได้ R_{11} และ C_8 ตามลำดับ สำหรับส่วนของวงจรเปรียบเทียบ ใช้วงจรรวม LM311 ซึ่งเป็นวงจรรวมสำหรับการเปรียบเทียบ ซึ่งเอาท์พุทสามารถที่จะพูลอัพต่อกับแรงดันขนาด 5V เพื่อให้เชื่อมต่อกับระดับสัญญาณ TTL ซึ่งเป็นภาคต่อไปได้ โดยอินพุทแรงดันอ้างอิงของ LM311 ที่ขา 3 ต่อกับขา 6 ซึ่งวงจรรวม 565 ซึ่งเป็นขาสัญญาณอ้างอิงซึ่งมีแรงดัน dc ออกจากวงจรรวม สำหรับสัญญาณ FSK เอาท์พุทที่ได้จากแรงดันที่ควบคุม VCO ของ PLL ซึ่งในวงจรรวม 565 คือขา 7 โดยระหว่างเอาท์พุท 565 และอินพุทของ LM311 เป็นวงจรกรองความถี่ต่ำผ่าน RC ต่อกัน 2 ชุด โดยค่าความถี่หักมุมของวงจรกรองนี้ประมาณระหว่างความถี่ของสัญญาณที่มอดูเลท $2{,}400H_z$ และ 2 เท่าของความถี่สูงสุด $(139.2KH_z)$

4.4 <u>การออกแบบวงจรกรองความถี่สูง</u>

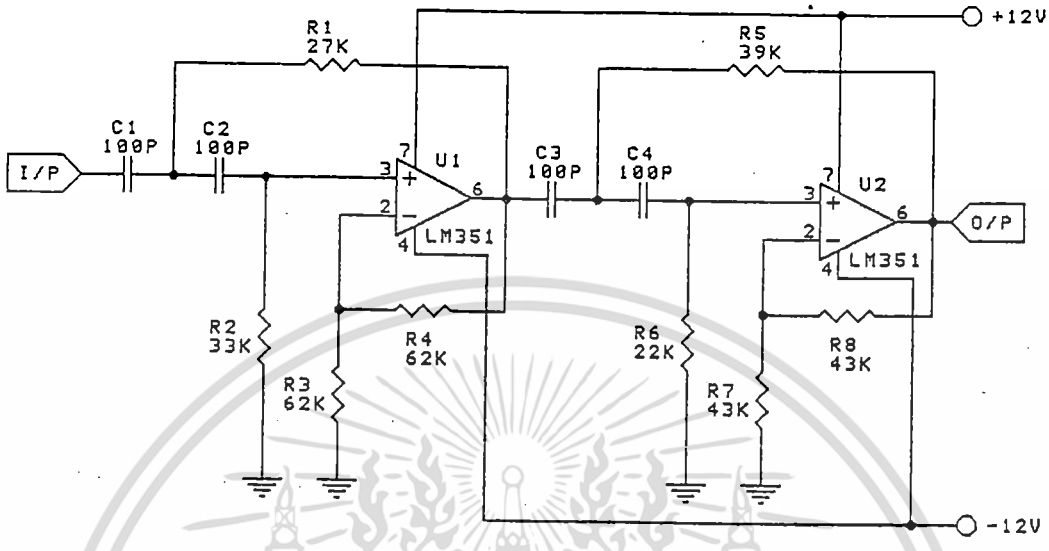
เป็นการออกแบบวงจรกรองความถี่สูงลำดับสี่ แบบบัตเตอร์เวิร์ท โดยต้องการกรองความถี่ $67.5KH_z$ ซึ่งกำหนดให้เป็นความถี่ศูนย์กลางการดีมอดูเลทแบบ FSK ผ่านไปได้ ในทางปฏิบัติจะอาศัยวงจรกรองความถี่สูงลำดับสองจำนวนสองวงจรมาต่อคาสเคท (Case Cade) กัน โดยที่เราจะกำหนดความถี่คัทออฟต่ำสุดของวงจรกรองที่ $53KH_z$ และ $54KH_z$ ตามลำดับ ค่าของตัวเก็บประจุ ตัวต้านทานและอัตราขยายสามารถคำนวณได้จากสมการที่ 12 และ 13



รูปที่ 4.5 .1 แสดงวงจรกรองความถี่สูงสุดลำดับสอง

$$f_L = \frac{1}{2\pi\sqrt{R_1R_2C_1C_2}} \qquad \ldots(12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



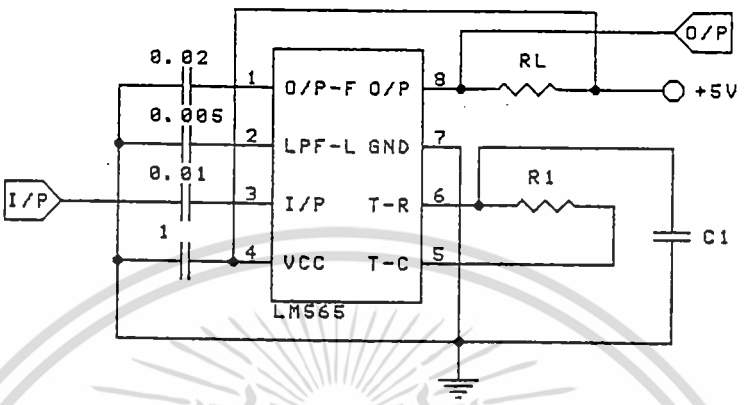
รูป 4.5 .2 แสดงวงจรกรองความถี่สูงลำดับ 4 สำหรับวงจร *FSK* ดีมอดูเลท

4.5 <u>การออกแบบวงจรโทนดีโค๊ดเดอร์</u>

เป็นวงจรเฟสล็อกลูฟ ที่ถูกใช้สำหรับการถอดรหัสสัญญาณ (Decoder) ในย่านความถี่เสียง การทำงานของวงจรโทนดีโค๊ดเดอร์ (Tone Decoder) จะมีหลักการเช่นเดียวกันกับการทำงานของวงจรเฟสล็อกลูฟโดยทั่วๆ ไปคือ ถ้ามีความถี่อินพุทเข้ามาตรงกับความถี่อ้างอิงที่ผลิตได้จากวงจร *VCO* วงจรจะอยู่ในสภาวะล็อกความถี่ ซึ่งจะทำให้แรงดันที่ได้ที่เอาท์พุทของ *LPF* ซึ่งก็คือแรงดันที่ไปควบคุม *VCO* มีค่าเป็นศูนย์โวลท์ แต่ถ้าความถี่อินพุทที่เข้ามาไม่ตรงกับความถี่อ้างอิงที่ผลิตได้จาก *VCO* จะทำให้เกิดแรงดันที่อินพุทของ *VCO* ซึ่งจากหลักการดังกล่าวจะนำไปใช้ในวงจรดีมอดูเลทสัญญาณ *FSK* โดย การกำหนด f_o ของวงจรโทนดีโค๊ดเดอร์ให้มีค่าเท่ากับ f_o ของวงจรมอดูเลทแบบ *FSK* ซึ่งจะพบว่าถ้ามีสัญญาณ *FSK* เข้ามายังอินพุทของวงจรโทนดีโค๊ดเดอร์การเบี่ยงเบนของความถี่ของ *FSK* จะทำให้เกิดระดับของแรงดันที่อินพุทของ *VCO* เปลี่ยนแปลงตามไปด้วย ซึ่งระดับของแรงดันนี้เองคือระดับของสัญญาณไปนารี่ของข้อมูลที่ส่งมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

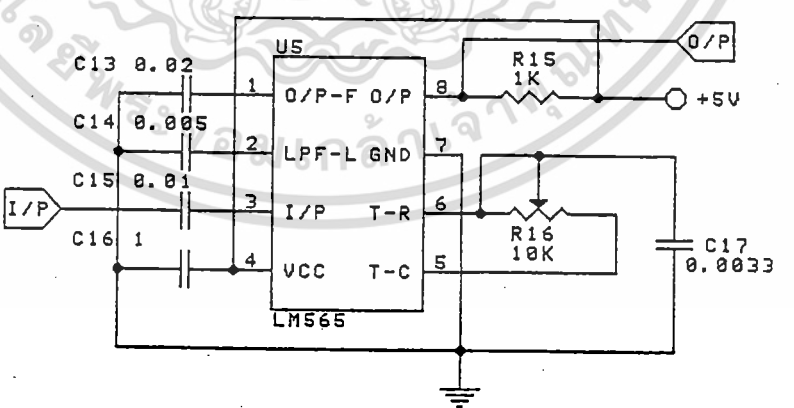
ในทางปฏิบัติสำหรับปริญญานิพนธ์ฉบับนี้จะใช้ไอซี $LM567$ ต่อร่วมกับตัวเก็บประจุและตัวต้านทานเป็นวงจรโทนดีโค๊ดเดอร์ ซึ่งสามารถคำนวณค่าของ R_1 และ C_1 ได้ดังสมการที่ 17



รูปที่ 4.6 แสดงวงจรโทนดีโค๊ดเดอร์ที่ใช้ไอซี $LM567$

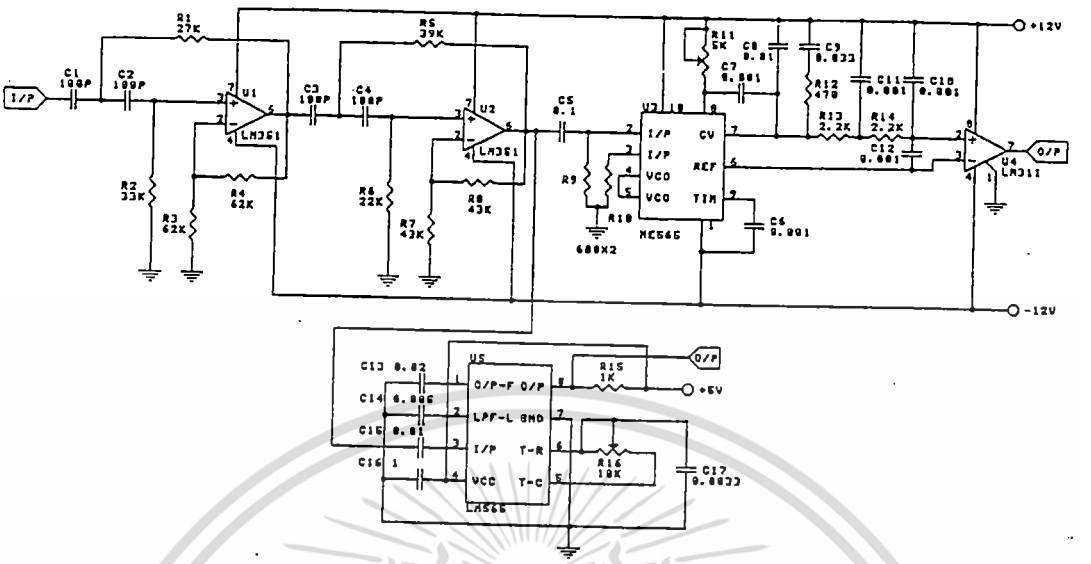
$$f_o = \frac{1}{1.1R_1C_1} \qquad \ldots(17)$$

จากสมการที่ 17 เราสามารถคำนวณค่าของ R_1 ได้เท่ากับ 4081.2Ω เมื่อเรากำหนด C_1 มีค่าเท่ากับ $0.0033\mu F$ และ f_o เท่ากับ $67.5KH_z$ ซึ่งในทางปฏิบัติแล้วจะใช้ตัวต้านทานปรับค่าได้เท่ากับ แทน



รูปที่ 4.7 แสดงวงจรโทนดีโค๊ดเดอร์สำหรับวงจร FSK ดีมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 แสดงวงจรดีมอดูเลทสัญญาณ *FSK* ทั้งหมด

4.6 <u>คอนโทรลบอร์ดสำหรับควบคุมการแสดงผงข้อมูล</u>

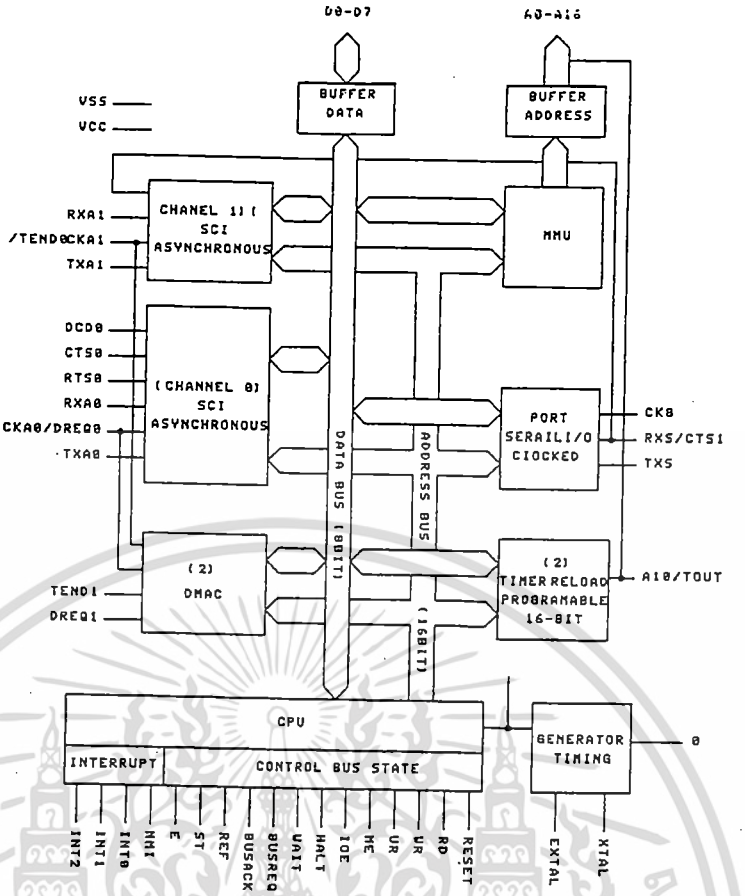
ในงานวิจัยนี้จะใช้คอนโทรลบอร์ด CP-JR180 สำหรับควบคุมการแสดงผลข้อมูลซึ่งภายในบอร์ดประกอบด้วยพอร์ทใช้งานต่าง ๆ เช่น พอร์ทควบคุมการแสดงผล LCD ซึ่งสามารถต่อใช้งานได้ทั้งแบบตัวอักษรและแบบกราฟฟิค พอร์ทรีย์บอร์ดและซีเรียลพอร์ท สำหรับไมโครโปรเซสเซอร์จะใช้เบอร์ Z80180 ซึ่งเป็นไมโครโปรเซสเซอร์ตระกูล Z80 ซึ่งสามารถใช้งานกับชุดคำสั่งของ Z80 ได้ นอกจากนี้คอนโทรลบอร์ด CP-JR180

4.6.1 <u>โครงสร้างของคอนโทรลบอร์ด CP-JR180</u>

<u>CPU เบอร์ Z80180</u>

ไมโครโปรเซสเซอร์ Z80180 นี้จะใช้คำสั่งของ Z80 ได้ทั้งหมดและยังเพิ่มคำสั่งอีก 12 คำสั่ง เช่นคำสั่งคูณ เป็นต้น โครงสร้างของไมโครโปรเซสเซอร์ Z80180 แสดงดังรูป 4.9

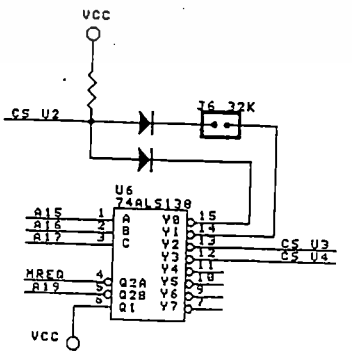
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 แสดงบล๊อกไดอะแกรมโครงสร้างภายในของ Z80180

<u>หน่วยความจำ</u>

คอนโทรลบอร์ด CP-JR180 เป็นคอนโทรลที่สามารถต่อใส่หน่วยความจำได้สูงสุด 128Kbyte โดยใช้ไอซีโค๊ดหน่วยความจำเป็นช่วง ๆ ได้ 8 ช่วง ช่วงละ 32Kbyte ใช้ A15,A16,A17 มาเข้ายังไอซี U6 เบอร์ 74ALS138 และใช้สัญญาณควบคุม MREQ และ A19 มาควบคุมขา G2A,G2B เพื่อให้เกิดสัญญาณ CG เฉพาะการติดต่อกับหน่วยความจำเท่านั้น



รูปที่ 4.10 แสดงวงจรการต่อใช้หน่วยความจำของคอนโทรลบอร์ด CP-JR180

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ท

ในส่วนนี้จะใช้ไอซีดีโค๊ดพอร์ท U7 74ALS138 เป็นตัว ดีโค๊ทแบ่งช่วงแอดเดรสพอร์โดยใช้สัญญาณควบคุม อุปกรณ์อินพุท-เอาท์พุท $(IORQ)$ และ M_1 มาควบคุมทำให้เกิดสัญญาณ CS ขึ้นเฉพาะในการติดต่อกับส่วนอินพุท-เอาท์พุทเท่านั้น

สำหรับไอซีที่ใช้เป็นพอร์ทคือเบอร์ 8255 ซึ่งเป็นพอร์บนคอนโทรลบอร์ด CP-JR180 ซึ่งไอซี 8255 นี้จะมีพอร์ท 3 พอร์ท พอร์ทละ 8 บิท ในการใช้งานแต่ละพอร์ทจะมีแอดเดรสดังนี้

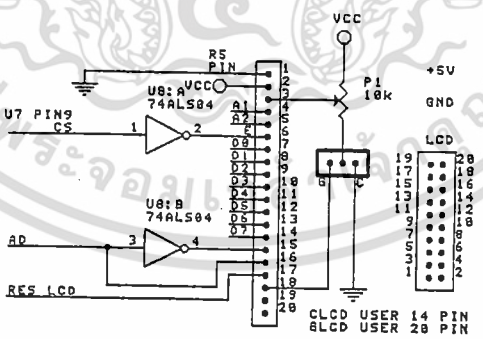
$$PORT\ \ A = 80H$$

$$PORT\ \ B = 81H$$

$$PORT\ \ C = 82H$$

$$CONTROL\ \ P[ORT = 83H$$

สำหรับพอร์ท LCD จะสามารถต่อเข้ากับโมดูล LCD ซึ่งโมดูลนี้จะสามารถแสดงผลได้ทั้งแบบตัวอักษรและแบบกราฟฟิก ซึ่งพอร์ท LCD นี้จะมีอยู่บนคอนโทรลบอร์ด CP-JR180 โดยสามารถต่อใช้งานได้โดยตรง เราใช้สัญญาณดีโค๊ดเดอร์จาก U7(y6) ผ่านอินเวอร์สเตอร์ U8A เพื่อกลับสถานะของสัญญาณ สร้างเป็นสัญญาณ E CLOCL ของ LCD ใช้ A_1 และ A_2 เป็นสัญญาณ RS และ R/W และใช้ไอซี U8C เป็นตัวกำหนดเพจ (PAGE) การทำงานของ LCD ในแบบกราฟฟิกจากสัญญาณแอดเดรส A_0



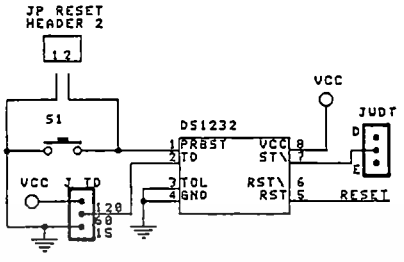
รูปที่ 4.11 แสดงวงจรการต่อใช้งานพอร์ท LCD ของคอนโทรลบอร์ด CP-JR180

วงจรเพาเวอร์ออนรีเซทและวอทด็อก

เป็นวงจรเพาเวอร์ออนรีเซทและวงจรวอทด็อก (Power On Reset & Watch Dog) ซึ่งวงจรเพาเวอร์ออนรีเซทจะทำการรีเซท CPU เมื่อมีแรงดันไฟเลี้ยงมากกว่า 4.75 โวลต์ และจะหน่วงเวลาใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีเพาเวอร์ออนประมาณ 250 mSEC ถึง 1 และในส่วนของวอทด็อกนั้นสามารถเลือกระยะเวลาในการทริกได้

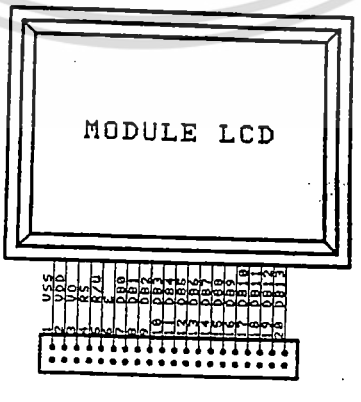


รูปที่ 4.12 แสดงวงจรเพาเวอร์ออนรีเซทและวงจรวอทด็อก

จากที่กล่าวมาแล้วทั้งหมดสำหรับหัวข้อ 4.6 นั้นเป็นเพียงรายละเอียดที่สำคัญบางประการเกี่ยวกับคอนโทรลบอร์ด CP-JR180 ซึ่งเป็นบอร์ดสำเร็จรูปที่นำมาใช้ในงานวิจัยนี้เท่านั้น ส่วนรายละเอียดปลีกย่อยนั้นสามารถศึกษาได้จากคู่มือการใช้งาน

4.6.2 <u>จอแสดงผลแบบกราฟฟิคแอลซีดี</u> (Graphich LCD)

สำหรับจอแสดงผลที่ใช้ในงานวิจัยนี้เป็นจอแสดงผลแบบกราฟฟิค LCD ซึ่งมีขนาดความกว้างคูณความยาวเท่ากับ 64*128 จุด ตัวอักษรหนึ่งตัวจะมีขนาดความกว้างคูณยาวเท่ากับ 8*8 ดังนั้นหน้าจอ LCD นี้สามารถแบ่งได้ 8 แถวและแต่ละแถวจะแสดงตัวอักษรได้ 16 ตัวอักษร สำหรับในงานวิจัยนี้จะมีรูปแบบของข้อมูลที่เป็นอักขระภาษาไทยด้วย ซึ่งการแสดงผลในรูปแบบตัวอักขระภาษาไทยนั้นจะต้องใช้พื้นที่ 3 แถวจึงจะสามารถแสดงข้อมูลได้ครบถ้วน ดังนั้นกรแสดงข้อมูลที่เป็นภาษาไทยจะสามารถแสดงบนจอ LCD ได้ครั้งละ 2 แถว เพื่อความสวยงามและเหมาะสม



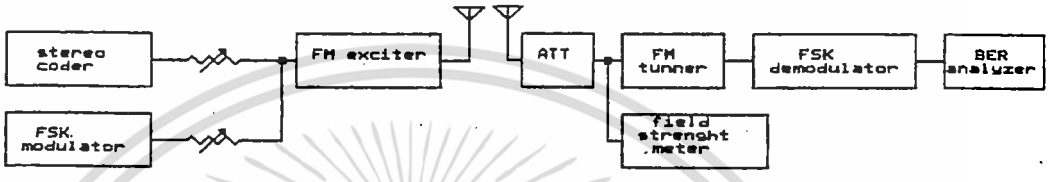
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การออกแบบโปรแกรม

5.1 วิธีการวัดอัตราการผิดพลาดของบิท

การวัดอัตรการผิดพลาดของบิทสำหรับการส่งข้อมูลโดยใช้โมเดม FSK ในช่องสัญญาณ FM - SCA โดยใช้เครื่องมือวัดอัตราการผิดพลาดของบิท ซึ่งแสดงระบบการวัดทั้งหมดดังรูป



รูป 5.1 แสดงการวัดอัตราการผิดพลาดของบิท

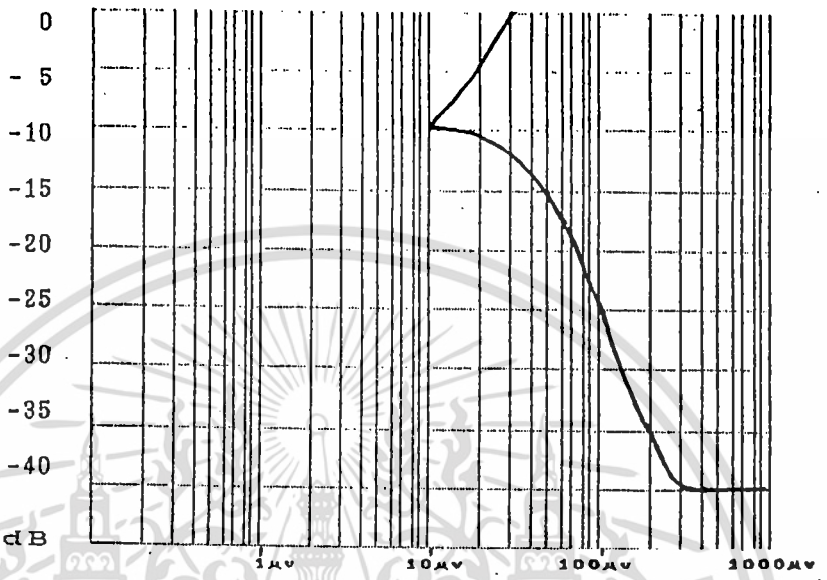
จากรูปประกอบด้วยภาคส่งและภาครับ โดยภาคส่งประกอบด้วยวงจรมอดูเลทสัญญาณ FM (FM exciter) และวงจรเข้าสัญญาณสเตอริโอและวงจรมอดูเลทสัญญาณ FSK สำหรับอัตรการมอดูเลทสัญญาณต่าง ๆ ใช้ตามข้อกำหนดของ FCC คือ 10 % สำหรับเอาท์พุทของวงจรมอดูเลทสัญญาณ FM ทดลองออกอากาศด้วยความถี่ 107.5 MHz โดยให้เอาท์พุทขนาด 1 W สำหรับภาครับประกอบด้วยเครื่องรับ FM ภาคดีมอดูเลทสัญญาณ FSK เครื่องวัดขนาดความแรงของสัญญาณที่อินพุทของเครื่องรับ FM โดยที่อินพุทของเครื่องรับและเครื่องวัดความแรงมีตัวลดทอนสัญญาณ (attenuator) ต่ออยู่และเครื่องมือวัดความผิดพลาดของบิท

สำหรับสัญญาณกึ่งแรนดัมสำหรับทดสอบหาความผิดของบิท ในการทดลองใช้ขนาด $2^9 - 1$ สำหรับการส่งบิทเรทขนาด 4800 bps ที่ภาครับเครื่องวัดอัตราการผิดพลาดของบิทต้องการสัญญาณนาฬิกา (clock) เป็นสัญญาณอินพุทด้วย

การทดลองระบบทั้งหมดทำการทดลองในห้องปฏิบัติการโดยให้เครื่องรับ FM รับสัญญาณจากเครื่องส่งมีขนาดสัญญาณที่ปลายสายอากาศ ได้ขนาดแรงเท่ากับขนาดที่เพียงพอสำหรับการรับสัญญาณ FM สเตอริโอสำหรับเขตชุมชนในเมืองโดย CCIR กำหนดไว้ให้มีขนาดมากกว่า $-5\ mv/m$ โดยเครื่องรับ FM ที่ใช้รับเป็นเครื่องรับ FM แบบธรรมดาทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยเมื่อมอดูเลทสัญญาณเบสแบนด์ทั้ง (L+ R) , (L-R), สัญญาณไพล็อททโทน, สัญญาณเบสแบนด์ SCA ที่เครื่องรับ FM แสดงขนาดสัญญาณเบสแบนด์ SCA ต่อสัญญาณนอยส์ที่ดีมอดูเลทได้ เมื่อความแรงที่อินพุทปลายสายอากาศเป็นขนาดต่าง ๆ ได้ดังรูป



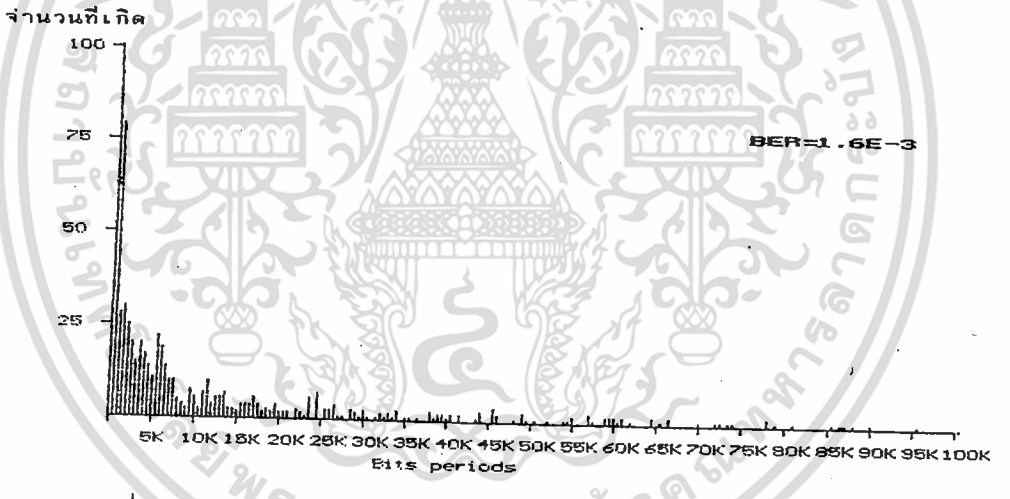
รูปที่ 5. 2 แสดงสัญญาณ SCA ต่อสัญญาณนอยส์ที่ความแรงของสัญญาณ RF ที่ปลายสายอากาศขนาดต่าง ๆ

โดยจากรูปความแรงขนาด $30\ \mu v(29.54\ dB\mu v)$ เป็นความแรงที่แยกสัญญาณ SCA ออกจากสัญญาณนอยส์ โดยเมื่อเพิ่มความแรงอินพุทไปเรื่อย ๆ ขนาดของสัญญาณ SCA ต่อสัญญาณนอยส์ก็จะเพิ่มขึ้น จนกระทั่งความแรงของสัญญาณ RF ที่ปลายสายอากาศมีขนาดเท่ากับ $400\mu v\ \ (52\ dB\mu v)$ ขึ้นไปขนาดของ SNR ของสัญญาณ SCA ต่อสัญญาณนอยส์ก็จะคงที่คือ เท่ากับ 40 dB การวัดการผิดพลาดของบิทเนื่องจากการผิดพลาดของบิทที่เกิดขึ้นมีลักษณะเป็นกลุ่ม (brust -error) ดังนั้นการวัดอัตราการผิดพลาดของบิทจึงสนใจระยะห่างระหว่างการผิด (error Free Interval) ที่เกิดขึ้นดังนั้นการวัดอัตราการผิดพลาดของบิทจึงแสดงการกระจายของ EFI ที่เกิดขึ้นโดยเริ่มต้นการวัดการผิดพลาดของบิทเริ่มต้นที่ขนาดความแรงของสัญญาณ RF ที่อินพุทเครื่องรับ FM เท่ากับ $100\ \mu v\ \ (40\ dB\mu v)$ ซึ่งเป็นความแรงที่เริ่มรับฟังสัญญาณวิทยุแบบสเตอริโอเป็นที่น่าพอใจและเพิ่มขนาดของสัญญาณเป็น $200\ \mu v\ \ (46\ dB\mu v)$ และ $400\ \ \mu v\ (52\ dB\mu v)$ ซึ่งเป็นขนาดความแรงที่รับสัญญาณสเตอริโอได้ดีและดีเยี่ยมตามลำกับ โดยการวัดใช้สัญญาณทดสอบสำหรับการมอดูเลทเป็น PRBS ขนาด $2^9 - 1$ บิท โดยส่งครั้งละ 10 MB หลาย ๆ ครั้งโดยเลือกผลที่ให้ค่าเฉลี่ยของ EFI ออกมาแสดง

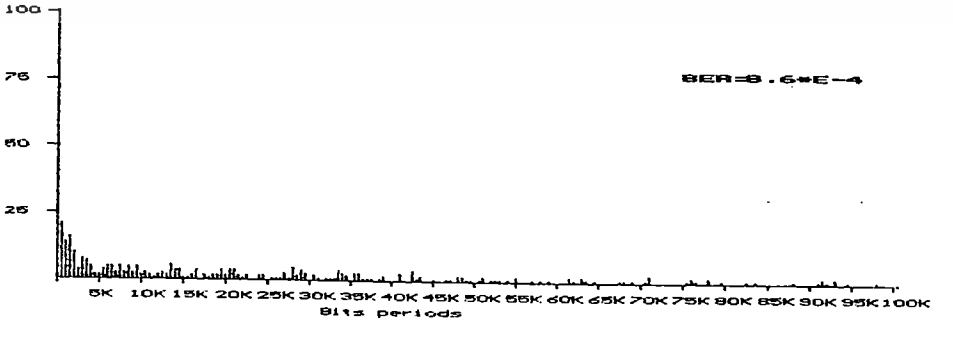
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 ผลการวัดอัตราการผิดพลาดของบิทของโมเดม

สามารถแสดงการวัด EFI ที่ความแรงของสัญญาณ RF ที่อินพุทเครื่องรับ FM ขนาดต่าง ๆ โดยรูปที่ (5.3) เป็นการวัด EFI ของโมเดมที่ความแรงเท่ากับ 40 $dB\mu v$ และรูปที่ (5.4) เป็นการวัด EFI ของโมเดมที่ความแรง 46 $dB\mu v$ โดยรูปที่ (5.3) แสดงการกระจาย EFI ที่เกิดขึ้น ส่วนใหญ่อยู่ในช่วง 4.8 Kb ถึง 38.4 Kb โดยค่า EFI เฉลี่ยเท่ากับ 168 Kb และอัตราการผิดพลาดของบิทเท่ากับ 1.6×10^{-3} รูปที่ (5.4) แสดงการกระจายของ EFI เกิดขึ้นส่วนใหญ่อยู่ในช่วง 19.2 Kb - 153 KB โดยค่า EFI เฉลี่ยเท่ากับ 304 Kb และอัตราการผิดพลาดของบิทเท่ากับ 8.6×10^{-4} สำหรับขนาดความแรงของสัญญาณ RF ที่อินพุทเครื่องรับ FM ขนาด 52 $dB\mu v$ ซึ่งเป็นขนาดความแรงที่ให้ขนาดสัญญาณ SCA ต่อสัญญาณนอยส์ที่เอาท์พุทสูงสุดคือ 40 dB และเมื่อพุทขนาดสัญญาณ RF ที่ปลายสายอากาศมากกว่า 52 $dB\mu v$ สัญญาณ SCA ต่อสัญญาณนอยส์ที่เอาท์พุทก็จะไม่เพิ่มไปกว่านี้ โดยค่าความผิดพลาดที่เกิดขึ้นเป็นแบบเดี่ยว ๆ (Single error) โดยมีอัตราการผิดพลาดน้อยมาก ๆ โดยอัตราการผิดพลาดของบิทขนาด 30×10^{-6} ของโมเดม



รูปที่ 5.3 (บน) รูป 5.4 (ล่าง)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 การออกแบบโปรแกรม

เนื่องจากการส่งข้อมูลในระบบบอร์ดคาส (broadcast) เป็นการส่งข้อมูลในทิศทางเดียว (Simplex) ไม่สามารถทำการแก้ไขโดยการส่งซ้ำ (retransmission) ได้หากจะแก้ไขข้อมูลที่ผิดพลาด จะต้องใช้วิธีเข้ารหัสเพื่อแก้ไขข้อมูลที่ผิดพลาด (error correct code) แต่ในการพัฒนาของงานวิจัยนี้ออกแบบส่งข้อมูล โดยใช้ไมโครคอมพิวเตอร์ IBM PC AT/XT สำหรับรับข้อมูลโดยผ่าน Asynchrononsserial port : RS232 การรับข้อมูลของการส่งต้องมีความสมบูรณ์ในตัวของแต่ละแพคเก็ตโดยอาจจะเป็นข้อความสั้น ๆ เช่นราคาข้อมูลของตลาดหลักทรัพย์แต่ถ้าหากต้องการส่งข้อมูลมาก ๆ จะต้องใช้ความสามารถในการตัดต่อของไมโครคอมพิวเตอร์เข้าช่วย

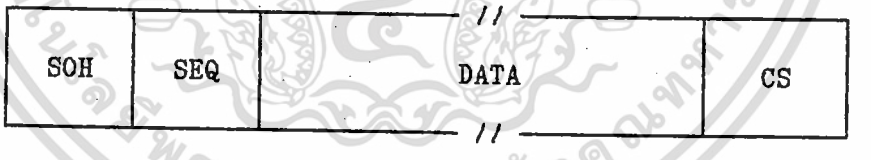
การออกแบบแพคเก็ต (packet)

รูปแบบของแพคเก็ตแสดงได้ในรูป 5.5 โดยในแต่ละแพคเก็ตประกอบด้วย ส่วนหัว (header) , ข้อมูล, และตรวจสอบความผิด (error detection)

SOH = 1 byte

SEQ = 2 byte

CS : checksum = 2 byte



รูปที่ 5.5 แสดงแพคเก็ตที่ใช้ส่งข้อมูล

ส่วนหัว (header)

ส่วนหัวเป็นรหัส SOH : start of head เริ่มต้นส่งตรงกับรหัส ASCII 01H, SEQ เป็น packet sequence กำหนดให้มีขนาด 2 ไบท์

ส่วนข้อมูล

การออกแบบของแพคเก็ต เพื่อการใช้ประโยชน์ของช่องสัญญาณ (Channel Utilization) เป็นไปอย่างสูงสุดเราต้องคำนึงถึงขนาดของ over head ของแพคเก็ตและความน่าจะเป็นที่แพคเก็ตจะเกิดการผิดพลาดโดยการส่งแบบ Simplex แสดงค่าการใช้ประโยชน์ของช่องสัญญาณ (Channel utilization) :

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

U = (loss due to packet over head) x (loss due to error)

$$U = \frac{D\,(1-E)^{(H+D)}}{D+H} \qquad \ldots(1)$$

D = จำนวนข้อมูลเป็นบิทในแพคเก็ต

H = จำนวนบิท over head ในแพคเก็ต

E = ความน่าจะเป็นของข้อมูลที่เกิดผิดพลาดโดยคิดจากส่วนกลับของค่า Error Free Interval : EFI

การส่งข้อมูลผ่าน Asynchronous port กำหนดให้มี 1 start bit และ 1 stop bit ต่อจำนวนข้อมูลขนาด 8 bit ดังนั้นจากสมการ (1) เพิ่มจำนวน over head เนื่องจาก start bit และ stop bit กำหนดให้เท่ากับ H_1

$$H_1 = \frac{D}{8} \times \left(1\ start\ bit\ +\ 1\ stop\ bit\right) \qquad \ldots(2)$$

$$H_1 = D/4$$

สมการที่ (1) เขียนได้ใหม่ดังนี้

$$U = \frac{D\,(1-E)^{(D+H+H_1)}}{\left(\mathrm{D+H+H_1}\right)}$$

$$U = \frac{D\,(1-E)^{(5/4)D+H}}{(5/4)D+K} \qquad \ldots(3)$$

หาค่าขนาดของจำนวนข้อมูล D ที่ดีที่สุด หาได้จาก $\partial U / \partial D$ แล้วให้เท่ากับ 0

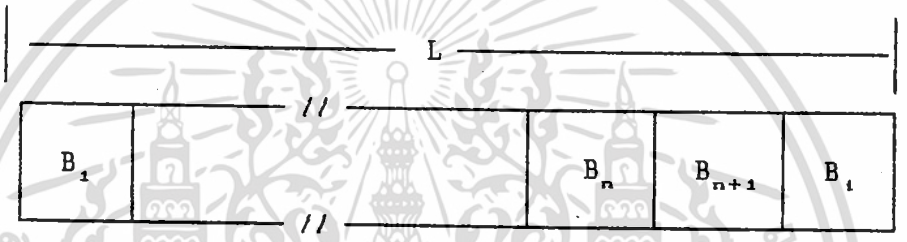
$$U = \mathrm{D^2} + \frac{4\mathrm{HD}}{5} + \frac{4\mathrm{H}}{5\ \mathrm{In}\,(1-\mathrm{E})} = 0 \qquad \ldots(4)$$

$$D = \frac{-2H}{5} + \sqrt{\frac{4H^2}{25} - \frac{H}{In\,(1-E)}} \qquad \ldots(5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 <u>การออกแบบส่วนของตรวจสอบความผิด</u>

สำหรับส่วนตรวจสอบความผิดพลาดของแพคเก็ตของข้อมูล เป็นส่วนที่ใช้ดีเทคการผิดพลาดของการส่งข้อมูลที่ส่งไปกับช่องสัญญาณโดยทั่วไปอาจใช้การตรวจสอบแบบ Cyclic Redundancy Code : CRC แต่ในวิทยานิพนธ์นี้ใช้การตรวจแบบผลรวมทางเลขคณิต (Arthematic checksum) โดยข้อมูลที่ต้องการส่งมีนยาด 8 บิท สามารถแทนค่าด้วยเลขจำนวนเต็ม (Integer) 0-225 การใช้ประโยชน์ของช่องสัญญาณจะนำผลรวมทั้งหมดในแพคเก็ตที่ต้องการส่งมาทำการบวกเข้าด้วยกัน แล้วทำการมอดูโล (Modulo) ด้วยค่า M (โดยเลือกค่า $M = 2^8 - 1$ หรือเป็นค่า 1's Complement) โดยจำนวนไบท์ตรวจสอบ (check byte) เลือกให้มีจำนวน 2 ไบท์ หรือเท่ากับ 16 บิท (เพื่อให้มีขนาดเดียวกับ CRC มาตรฐาน) โดยผลรวมทางเลขคณิตทั้งหมดแพคเก็ตเมื่อมอดูโลด้วยค่า M แล้วจะเท่ากับ 0



รูปที่ 5.6 แสดงตำแหน่งของ checksum byte

การหาค่าไบท์ตรวจสอบ สามารถทำได้โดยกำหนด

L : ความยาวของแพคเก็ตจำนวน L ไบท์

B_i : ค่าจำนวนเต็มที่ไบท์ใด ๆ

B_n, B_{n+1} : ไบท์ที่ใช้ตรวจสอบความผิด (โดยเริ่มต้นกำหนดให้มีค่าเท่ากับ 0)

ให้

$$C_0 = \sum_{i=1}^{i=L} B_i \; Mod\,[M] \qquad \ldots(6)$$

$$C_1 = \sum_{i=1}^{i=L} (L - i + 1)\, \mathrm{B_i}\ \mathrm{Mod}\,[\mathrm{M}] \qquad \ldots(7)$$

โดย C_0, C_1 เป็นผลบวกแล้วทำการมอดูโลด้วย M ที่ภาครับถ้าข้อมูลได้ถูกต้องทั้งหมดค่า C_0 มอดูโลด้วย M แล้วจะต้องเท่ากับ 0 ด้วยดังนั้น

$$\left(C_0 + B_n + B_{n+1}\right) Mod\,[M] \;=\; 0 \qquad \ldots(8)$$

$$(L - n + 1)\, B_n + (L - n)\, B_{n+1} - C_1\, Mod\,[\mathrm{M}] = 0 \qquad \ldots(9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (8), (9) สามารถไบท์ตรวจสอบความผิดได้

$$B_n = \{ (L-n)\, C_0 - C_1 \}\, Mod\,[M] \qquad \ldots(10)$$

$$B_{n+1} = \{ C_1 - (L-n+1)\, C_0 \}\, Mod\,[M] \qquad \ldots(11)$$

n = ตำแหน่งที่ใส่ค่าไบท์ตรวจสอบ ตัวแรก

$n+1$ = ตำแหน่งที่ใส่ค่าไบท์ตรวจสอบ ตัวที่สอง

ตัวอย่างการสร้างแพคเกต

@	1	A	B	C	D	E	B_n	B_{n+1}

@ = ส่วนหัวข้อมูล

1 = ลำดับของแพคเก็ต

A = 65

B = 66

C = 67

D = 68

E = 69

B_n = ไบท์ตรวจสอบความผิดตัวแรก

B_{n+1} = ไบท์ตรวจสอบความผิดตัวที่สอง

จากสมการที่ (6) จะได้

$$C_0 = (65+66+67+68+69+0+0)\, Mod\,[255] = 100$$

จากสมการที่ (7) จะได้

$$C_0 = \big(65 + (65+66) + (65+66+67) + (65+66+67+68) + (65+66+67+68+69) \big)\, Mod\,[255] = 230$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำค่า C_0 C_1 มาแทนในสมการที่ (10) จะได้ไบท์ตรวจสอบความผิดตัวแรก

$$B_n = \left[\{ (7-6) \times 100 \} - 230 \right] Mod [255]$$
$$= -130 \, Mod [255]$$
$$= 125$$

นำค่า C_0 C_1 มาแทนในสมการที่ (11) จะได้ไบท์ตรวจสอบความผิดที่สอง

$$B_{n+1} = [230 - (7-6+1) \times 100] Mod [255]$$
$$= 30$$

ที่ภาครับต้องการตรวจสอบข้อมูลที่รับได้มีค่าถูกต้องหรือไม่ทำได้โดยใช้สมการที่ (8)

$$\left(C_0 + B_n + B_{n+1}\right) Mod [\mathrm{M}] = 0$$

แทนค่า C_0, B_n, B_{n+1} ในสมการ

$$= [100 + 125 + 30] Mod [255]$$
$$= [255] Mod [255] = 0$$

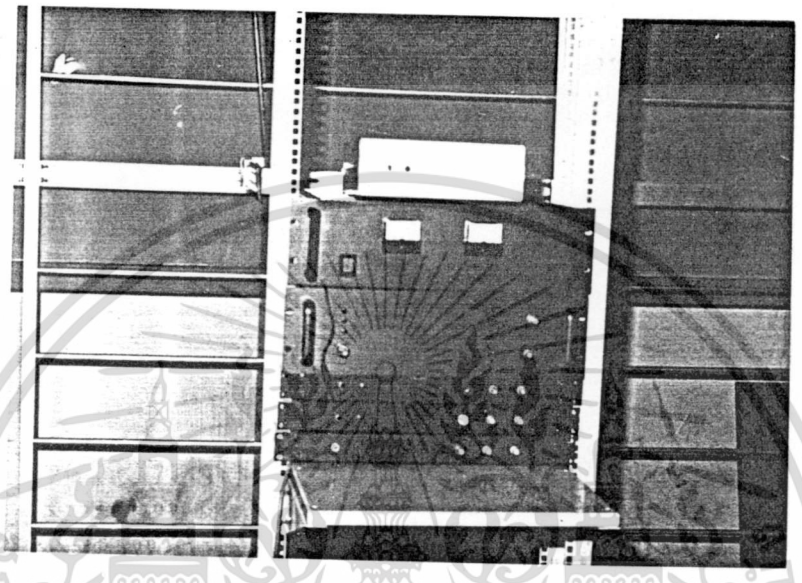
แสดงว่าแพคเกตมีข้อมูลถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

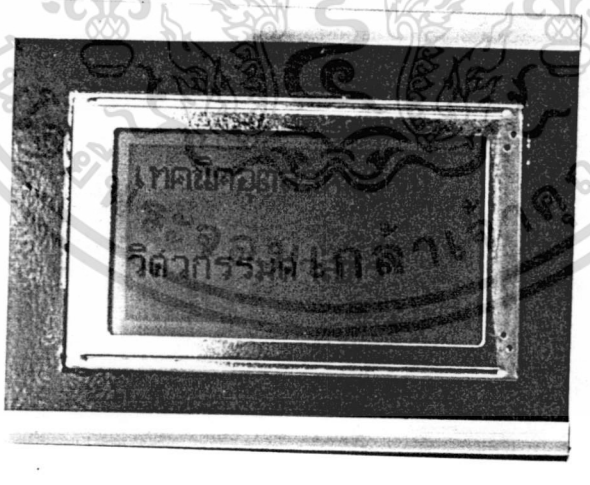
ผลการวิจัย

สำหรับงานวิจัยได้สร้างที่เป็นฮาร์ดแวร์ คือเครื่องส่ง, สายอากาศและวงจรมอดูเลทและดีมอดูเลท ซึ่งเป็นงานหลักของการวิจัย โดยส่วนของงานทั้งหมดที่สร้างแสดงได้ดังรูป



รูปที่6. 1 แสดงงานทั้งหมดที่สร้าง

โดยวงจรเครื่องรับที่สำหรับการแสดงผลแสดงได้ในรูปที่ 2



รูปที่ 6.2 แสดงผลจากจอ LCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้