งาน Paper ของ ผศ.ดร.พรชัย ทรัพย์นิธิ
(โทรคมนาคม)

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

โครงการวิจัยคณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ระบบการเข้ารหัสช่องสัญญาณด้วยรหัสพาริตี้เช็คความหนาแน่นต่ำ

Low-Density Parity-Check Codes Encoder Using FPGA

หัวหน้าโครงการวิจัย ผศ. ดร. พรชัย ทรัพย์นิธิ

วันที่ 28 กุมภาพันธ์ พ.ศ. 2550

RCH
TK
5102.92
พ231ร

เลขหมู่.....
เลขทะเบียน 84511
วัน,เดือน,ปี 13 ต.ค. 2551

b 11979484
i

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนำ

รายงานฉบับนี้เป็นการศึกษาค้นคว้าและรวบรวมข้อมูลที่เกี่ยวกับการนำรหัสพาริตี้เช็คไปใช้งาน ซึ่งการนำรหัสพาริตี้เช็คความหนาแน่นต่ำไปใช้งานในแต่ละด้านจะใช้เทคนิคที่แตกต่างกัน รวมถึงการจดสิทธิบัตร การประยุกต์ใช้งานรหัสพาริตี้เช็คความหนาแน่นต่ำ และยังมุ่งเน้นการเขียนโปรแกรมเพื่อทดสอบประสิทธิภาพในการเข้ารหัส ถอดหัสพาริตี้เช็คความหนาแน่นต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
คำนำ	ก
สารบัญ	ข
สารบัญรูปภาพ	ค
สารบัญตาราง	ง
บทที่ 1 บทนำ	1
บทที่ 2 การเข้ารหัสของรหัสพาริตี้เช็คที่มีความหนาแน่นต่ำ	2
2.1 รหัสพาริตี้เช็คความหนาแน่นต่ำ	2
2.2 รหัสพาริตี้เช็คความหนาแน่นต่ำประเภทอาเรย์	4
2.3 คุณสมบัติของ Quasi-Cyclic ที่ลดความซับซ้อนในการหาค่าบิตพาริตี้ (p)	5
บทที่ 3 ภาษาวีเอชดีแอล	7
3.1 แนะนำวีเอชดีแอล (Introduction to VHDL)	7
3.2 ข้อกำหนด (VHDL Requirement)	7
3.2.1 ลักษณะทั่วไป (Generation Features)	7
3.2.2 สนับสนุนการออกแบบลำดับขั้น (Support for Design Hierachy)	8
3.2.3 ไลบารี (Library Support)	8
3.2.4 ลำดับคำสั่ง (Sequential Statement)	8
3.2.5 การกำหนดคุณสมบัติ (Generic Design)	9
3.2.6 ชนิดของข้อมูล (Type Declaration and usage)	9
3.2.7 โปรแกรมย่อย (Use of subprogram)	9
3.2.8 การควบคุมเวลา (Timing Control)	9
บทที่ 4 การทดสอบและผลการทดสอบ	10
4.1 การทดสอบส่วนการสื่อสารข้อมูล	10
4.2 การทดสอบส่วนของหน่วยความจำ	10
4.3 การทดสอบส่วนของการเข้ารหัสและการถอดรหัส	11
4.5 การทดสอบการทำงานของระบบ	11
4.5.1 การตรวจการทำงานของวงจรเข้ารหัส	12
4.5.2 การโปรแกรมลงบล็อคเอฟพีจีเอ	12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
4.6 ผลการทดลองการเข้าและถอดรหัส	13
บทที่ 5 รหัสพาริตี้เช็คความหนาแน่นต่ำกับการประยุกต์ใช้งาน	15
5.1 การสำรวจสิทธิบัตร	15
เอกสารอ้างอิง	จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูปที่	หน้า
รูปที่ 2.1 วงจรการเข้ารหัสพาริตี้เช็คความหนาแน่นต่ำ	4
รูปที่ 2.2 การเลื่อนบิตแบบวนกลับ	6
รูปที่ 4.1 แสดงบล็อกไดอะแกรมของส่วนการสื่อสารข้อมูล	10
รูปที่ 4.2 แสดงบล็อกไดอะแกรมของส่วนหน่วยความจำ	10
รูปที่ 4.3 แสดงบล็อกไดอะแกรมของส่วนการเข้ารหัสพาริตี้เช็คความหนาแน่นต่ำ	11
รูปที่ 4.4 แสดงบล็อกไดอะแกรมของส่วนประกอบทั้งหมดของระบบ	11
รูปที่ 4.5 ทดสอบการทำงานของส่วนประกอบทั้งหมดของระบบ	12
รูปที่ 4.6 ทดสอบการทำงานของส่วนประกอบทั้งหมดของระบบ	12
รูปที่ 4.7 หน้าจอแสดงผลการเข้ารหัสเริ่มต้น	13
รูปที่ 4.8 การป้อนข้อมูลเพื่อใช้ในการเข้ารหัส	13
รูปที่ 4.9 ค่าที่ได้จากการเข้ารหัสพาริตี้เช็คความหนาแน่นต่ำ	14
รูปที่ 5.1.1 โครงสร้างการออกแบบอัตรารหัส (Rate)	17
รูปที่ 5.2.1 โครงสร้างการออกแบบ Sub Matrix พาริตี้เช็คความหนาแน่นต่ำ	19
รูปที่ 5.2.2 โครงสร้างการออกแบบ Sub Matrix	20
รูปที่ 5.2.3 โครงสร้างการออกแบบวิธีการเลือกเส้นทางในการถอดรหัส	20
รูปที่ 5.3.1 โครงสร้างระบบการถอดรหัสพาริตี้เช็คความหนาแน่นต่ำ	22
รูปที่ 5.3.2 การออกแบบรหัสพาริตี้เช็คความหนาแน่นต่ำ	23
รูปที่ 5.4.1 โครงสร้างการถอดรหัสพาริตี้เช็คความหนาแน่นต่ำ	25
รูปที่ 5.4.2 โครงสร้างหน่วยความจำที่ใช้สำหรับการถอดรหัส	26
รูปที่ 5.5.1 การทำงานของ QC-LDPC	27
รูปที่ 5.6.1 บล็อกไดอะแกรมการเข้ารหัส-ถอดรหัสพาริตี้เช็คความหนาแน่นต่ำ	28
รูปที่ 5.7.1 แสดงกระบวนการเข้ารหัส-ถอดรหัสพาริตี้เช็คความหนาแน่นต่ำ	30
รูปที่ 5.8.1 บล็อกไดอะแกรมแสดงการทำงาน	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ **หน้า**

ตารางที่ 2.1 การเข้ารหัสโดยใช้คุณสมบัติของ Quasi-Cyclic 6

ตารางที่ 5.1 Design of Rate – Compatible LDPC Codes Using Optimal Extending 16

ตารางที่ 5.2 Channel Processor Using Reduced Complexity LDPC Decoder 18

ตารางที่ 5.3 LDPC Encoding for Digital Communications 21

ตารางที่ 5.4 LDPC Decoder 24

ตารางที่ 5.5 Method of Constructing QC-LDPC Codes Using QTH-ORDER Power Residue 27

ตารางที่ 5.6 Address Generator for LDPC Encoder and Decoder and Method Thereof 28

ตารางที่ 5.7 LDPC Code and Encoder/Decoder Regaring Same 29

ตารางที่ 5.8 Encoding Low Density Parity Check (LDPC) Codes Through An LDPC Decoder 31

ตารางที่ สรุปยอดการสำรวจสิทธิบัตร 32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบัน การสื่อสารได้รับการพัฒนา โดยมีวัตถุประสงค์หลักคือ การส่งข้อมูลข่าวสารจากแหล่งกำเนิดสัญญาณไปยังภาครับโดยสามารถรองรับมาตรฐานที่มีอัตราเร็วข้อมูลสูงขึ้น และมีสมรรถนะในระดับที่ยอมรับได้ หากแต่ข้อมูลที่ได้รับในระบบมักมีความผิดพลาดเกิดขึ้น อุปสรรคสำคัญมีสาเหตุเนื่องมาจากสัญญาณรบกวน (Noise) การแทรกสอดสัญลักษณ์ ความผิดพลาดด้านการซิงค์เวลาและการแทรกสอดระหว่างผู้ใช้ เป็นต้น ในส่วนสัญญาณรบกวนภายในตัวอุปกรณ์เครื่องรับ (Internal Noise) แบ่งได้เป็น 2 ประเภทคือ สัญญาณรบกวนจากอุณหภูมิ (Thermal Noise) เกิดจากการเคลื่อนที่ของอิเล็กตรอนในตัวอุปกรณ์ และสัญญาณรบกวนที่เกิดจากการรวมตัวของอิเล็กตรอนกับโฮล (Hole) ซึ่งถ้าหากสัญญาณที่รับเข้ามาในระบบเป็นสัญญาณที่ไม่ต้องการ จะจัดว่าเป็นสัญญาณรบกวนทั้งหมด โดยกำลังของสัญญาณรบกวนนี้สูงขึ้นเมื่ออุณหภูมิที่ตัวรับสัญญาณสูงขึ้น จึงต้องมีการลดความผิดพลาดที่เกิดขึ้นโดยสามารถทำได้หลายวิธี ได้แก่ การเพิ่มกำลังของเครื่องส่งในการส่งข้อมูล และวิธีการเข้ารหัสช่องสัญญาณ เป็นต้น การเข้ารหัสช่องสัญญาณแบบเชิงเส้นสามารถจำแนกได้เป็น 2 ประเภทหลัก คือ การเข้ารหัสแบบบล็อก (Block Codes) และการเข้ารหัสแบบคอนโวลูชัน (Convolution Codes) เทคนิคการเข้ารหัสนี้ช่วยเพิ่มสมรรถนะของระบบโดยรวม โดยวัดในรูปของอัตราบิตผิดพลาดที่ต่ำลง ณ ระดับ SNR เท่าเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
การเข้ารหัสของรหัสพาริตี้เช็คที่มีความหนาแน่นต่ำ

การเข้ารหัสสามารถทำได้หลายวิธี โดยการเข้ารหัสที่จะนำเสนอนี้คือการเข้ารหัสโดยใช้รหัสพาริตี้เช็คความหนาแน่นต่ำประเภท XOR Network ซึ่งประเภทของรหัสพาริตี้เช็คความหนาแน่นต่ำ[1] แบ่งออกได้เป็น 2 ประเภทคือ รหัสแบบสม่ำเสมอ (Regular) และรหัสแบบไม่สม่ำเสมอ (Irregular) การเข้ารหัสสามารถทำได้โดยการนำข้อมูล (Message) มาต่อกับพาริตี้ (**p**) และการหาค่าพาริตี้นั้นทำได้หลายวิธี ซึ่งวิธีที่นำเสนอนี้เป็นการหาจากความสัมพันธ์ของคำรหัส (C : Codeword) กับเมตริกส์พาริตี้เช็ค **H**

2.1 รหัสพาริตี้เช็คความหนาแน่นต่ำ

เมื่อ **c** คือ คำรหัส

p คือ พาริตี้เช็ค

H คือ เมตริกส์พาริตี้เช็ค

0 คือ เมตริกส์ 0

โดยที่คำรหัส (**c**) มีมิติเท่ากับ 1 x n เมตริกส์พาริตี้เช็ค **H** มีมิติเท่ากับ (n-k) x n และเมตริกส์ **0** มีมิติขนาด 1 x (n-k) และใช้เทคนิคการบวกแบบมอดูโล-2 หรือการทำ XOR

$$\mathbf{cH}^T = \mathbf{0} \tag{2.1}$$

เมื่อทำการทรานสโพสต์สมการที่ 2.1 จะได้ $\mathbf{Hc}^T = \mathbf{0}^T$ และคำรหัส (Codeword) คือ $\mathbf{c} = \left[p_1\ p_2 \cdots p_{n-k} \mid m_1 m_2 \ldots m_k \right] = \left[\mathbf{p} \mid \mathbf{m} \right]$ และสามารถหาพาริตี้เช็ค (**p**) ดังแสดงในสมการที่ 2.2

การหาค่าพาริตี้ (**p**) เพื่อใช้สำหรับการเข้ารหัส

เมื่อทรานสโพส $\mathbf{cH}^T = \mathbf{0}$ จะได้

$$\mathbf{Hc}^T = \mathbf{0}^T \tag{2.2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เขียนคำรหัส (c) ให้อยู่ในรูป

$$\mathbf{c}^T = \begin{bmatrix} p_{n-k} \\ \hline m_k \end{bmatrix} \tag{2.3}$$

กำหนดให้เมตริกส์พาริตี้เช็ค H คือ

$$\mathbf{H} = \begin{bmatrix} 1 & 0 & 0 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 1 & 1 \end{bmatrix} \tag{2.4}$$

ดังนั้น เมตริกส์บิตพาริตี้ (p) ทั้งหมดจะหาได้จาก

$$\mathbf{Hc}^T = \mathbf{0}^T = \begin{bmatrix} 1 & 0 & 0 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 1 & 1 \end{bmatrix} \begin{bmatrix} p_1 \\ p_2 \\ p_3 \\ \hline m_1 \\ m_2 \\ m_3 \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ \hline 0 \\ 0 \\ 0 \end{bmatrix} \tag{2.5}$$

จากนั้น ทำการหาค่าเมตริกส์บิตพาริตี้ออกมา ดังนี้

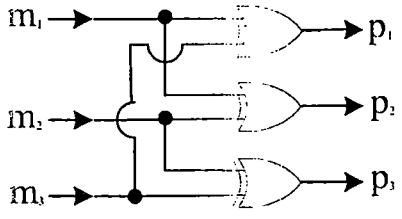
$$\begin{aligned} p_1 + m_1 + m_3 &= 0 \\ p_2 + m_2 + m_1 &= 0 \\ p_3 + m_3 + m_2 &= 0 \end{aligned} \tag{2.6}$$

โดยการบวกในข้างต้นเป็นการบวกแบบมอดูโล-2 หรือการทำ XOR จึงทำให้ได้พาริตี้บิต ดังนี้

$$\begin{aligned} p_1 &= m_1 + m_3 \\ p_2 &= m_2 + m_1 \\ p_3 &= m_3 + m_2 \end{aligned} \tag{2.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 2.7 สามารถนำไปออกแบบเป็นวงจรการเข้ารหัสพาริตี้เช็คความหนาแน่นต่ำ ซึ่งแสดงดังรูปที่ 2.1



รูปที่ 2.1 วงจรการเข้ารหัสพาริตี้เช็คความหนาแน่นต่ำ

จะสังเกตได้ว่าการเข้ารหัสข้างต้น มีจำนวนอินพุตที่รับเข้ามาในจำนวนน้อย แต่ในระบบการใช้งานจริงจะมีจำนวนอินพุตที่รับเข้ามาเท่ากับ 2^k และขนาดของอินพุต k มีค่าสูง เช่น k = 512 , 1024 จะทำให้ได้จำนวนคำรหัสจำนวนมาก

2.2 รหัสพาริตี้เช็คความหนาแน่นต่ำประเภทอาเรย์

ในการเข้ารหัสของรหัสพาริตี้เช็คที่มีความหนาแน่นต่ำ ที่กล่าวไว้ในข้างต้น จะเห็นว่าความซับซ้อนจะอยู่ตรงที่การนำข้อมูล (**m**) มาทำการหาค่าพาริตี้ (**p**) ซึ่งในขั้นตอนนี้ทำให้เกิดความซับซ้อนขึ้น และวิธีที่สามารถลดความซับซ้อนได้คือใช้คุณสมบัติของ Quasi-Cyclic โดยคุณสมบัตินั้นคือ เมื่อเราทำการเลื่อนบิตข้อมูลของคำรหัส (**c**) แบบวนกลับ เราจะได้พาริตี้ (**p**) ที่เลื่อนบิตแบบวนกลับเช่นกัน และสำหรับเมตริกส์พาริตี้เช็ค **H** มีมิติขนาด (n-k) x n ซึ่งเมตริกส์ **H** นั้น สามารถสร้างได้จากเพอร์มิวเทชั่นเมตริกส์ **P** โดยเมตริกส์ **P** มีมิติขนาด L x L และนำไปขยายเพื่อสร้างเมตริกส์ **H**

โดยกำหนดให้

P คือ เพอร์มิวเทชั่นเมตริกส์ (Permutation Matrix)

H คือ เมตริกส์พาริตี้เช็ค

L คือ ขนาดของเมตริกส์ P

n คือ การขยายเมตริกส์ **P** ออกไปทางด้านหลัก

m คือ การขยายเมตริกส์ **P** ออกไปทางด้านแถว

I คือ เมตริกส์เอกลักษณ์ (Identity Matrix)

ดั้งนั้นเมื่อกำหนดให้เพอร์มิวเทชั่นเมตริกส์ **P** มีมิติขนาด L x L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\mathbf{P}_{l,x\,l,} = \begin{bmatrix} 0 & 1 & 0 & & 0 \\ 0 & 0 & 1 & \dots & 0 \\ : & : & : & & : \\ 0 & 0 & 0 & \dots & 1 \\ 1 & 0 & 0 & & 0 \end{bmatrix} \tag{2.8}$$

และเมตริกส์พาริตี้เช็ค **H** สามารถสร้างได้จากสมการที่ 2.9 ซึ่งวิธการสร้างนั้นทำได้โดยการนำเมตริกส์ **P** ขยายออกในด้านแถวและด้านหลักไปจำนวน n และ m เท่า

$$\mathbf{H} = \begin{bmatrix} I & I & I & I & I & I & I \\ 0 & I & P & \dots & P^{m-2} & \dots & P^{(n-2)} \\ 0 & 0 & I & \dots & P^{m-3} & \dots & P^{(n-3)} \\ : & : & : & \dots & : & \dots & : \\ 0 & 0 & 0 & 0 & I & \dots & P^{(m-1)(n-m)} \end{bmatrix} \tag{2.9}$$

ซึ่งการขยายเมตริกส์ **P** นั้นมีข้อจำกัดคือ การขยายในด้านแถวต้องขยายน้อยกว่าในด้านหลักและการขยายในด้านหลักต้องน้อยกว่าขนาดของเมตริกส์ **P** คือ L สามารถแสดงได้ดังนี้ $m \le n \le L$ โดยอัตรารหัส (Code Rate) หาได้จากสมการที่ 2.10

$$R = \frac{Ln - Lm}{mn} = \frac{n-m}{n} = 1 - \frac{m}{n} \tag{2.10}$$

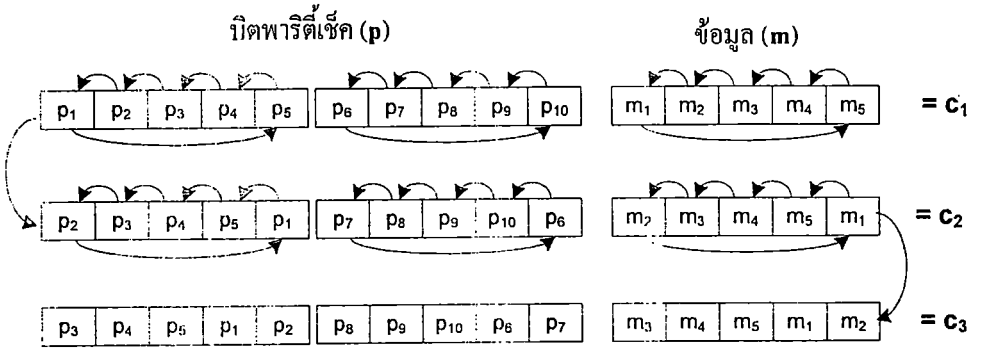
การสร้างเมตริกส์พาริตี้เช็ค **H** โดยใช้เพอร์มิวเทชั่นเมตริกส์ **P** ทำให้เมตริกส์สร้างขึ้นมีคุณสมบัติของ Quasi-Cyclic

2.3 คุณสมบัติของ Quasi-Cyclic ที่ลดความซับซ้อนในการหาค่าบิตพาริตี้ (p)

คุณสมบัติของ Quasi-Cyclic คือ การหาความสัมพันธ์ของ ข้อมูล (**m**) กับ บิตพาริตี้เช็ค (**p**) ซึ่งความสัมพันธ์คือ เมื่อทำการเลื่อนบิตคำรหัส (**c**) แบบวนกลับหนึ่งครั้ง จะเกิดคำรหัสใหม่ ดังแสดงในรูปที่ 2.2 ซึ่งแทนการเข้ารหัสด้วยวงจรที่ซับซ้อน

เมื่อกำหนดให้ $\mathbf{c} = [\mathbf{p} \mid \mathbf{m}]$ (2.11)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 การเลื่อนบิตแบบวนกลับ

จากรูปที่ 2.2 เมื่อทำการแทนบิตข้อมูล (**m**) และทำการหาค่าบิตพาริตี้เช็ค (**p**) จะได้ค่าดังตารางที่ 2.1

ตารางที่ 2.1 การเข้ารหัสโดยใช้คุณสมบัติของ Quasi-Cyclic

บิตพาริตี้เช็ค (*p*)			ข้อมูล (m)	
11110	11000	01110	10000	11000
01111	01100	00111	01000	01100
10111	00110	10011	00100	00110
11011	00011	11001	00010	00011
11101	10001	11100	00001	10001

จากตารางที่ 2.1 เป็นการแสดงตัวอย่างของข้อมูลที่ถูกเข้ารหัส ซึ่งจะได้เป็นคำรหัส (**c**) โดยที่คำรหัสนั้นจะแบ่งออกเป็น 2 ส่วนซึ่งประกอบไปด้วยบิตพาริตี้ (**p**) และ ข้อมูล (**m**) เมื่อสังเกตในแถวแรกมีข้อมูล (**m**) คือ 10000|11000 และ บิตพาริตี้ (**p**) คือ 11110|11000|01110 และในแถวที่ 2 มีข้อมูล (**m**) คือ 01000|01100 และ บิตพาริตี้ (**p**) คือ 01111|01100|00111 จากการเปรียบเทียบข้อมูลทั้ง 2 ชุดสามารถสรุปได้ว่าเมื่อข้อมูล (**m**) ได้รับการเลื่อนบิตข้อมูลแบบวนกลับ บิตพาริตี้ก็จะทำการเลื่อน แบบวนกลับเช่นกัน จากคุณสมบัตินี้สามารถทำการเข้ารหัสได้โดยไม่ต้องผ่านวงจรที่ซับซ้อน แต่เป็นการเข้ารหัสด้วยวิธีการการเลื่อนบิตข้อมูล (**m**) แบบวนกลับซึ่งจะให้คำรหัส (**c**) ใหม่แบบเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ภาษาวีเอชดีแอล

3.1 แนะนำวีเอชดีแอล (Introduction to VHDL)

ในช่วงฤดูร้อนของปี 1981 สถาบันเพื่อป้องกัน (The Institute for Defence Analysis) ในสหรัฐอเมริกาได้จัดตั้งคณะทำงานขึ้นคณะหนึ่ง เพื่อทำการพัฒนาภาษาที่ใช้ในการบรรยายหรืออธิบายรูปแบบการทำงานและความสัมพันธ์ ของอุปกรณ์ฮาร์ดแวร์แบบใหม่ขึ้น ผลการทำงานของคณะทำงานชุดนี้ได้ก่อให้เกิดภาษาการบรรยายฮาร์ดแวร์ขึ้น เรียกกว่า VHDL (VHDL Hardware Description Language) โดย VHDL เป็นชื่อย่อของแผนกหนึ่งของสถาบันที่ทำงานเกี่ยวกับวงจรรวมที่มีความเร็วสูงมาก (Very High Speed Intergrated Circuit) ต่อมาในปี 1985 IEEE ได้ทำการผลักดันให้ VHDL กลายเป็นภาษาที่เป็นมาตรฐานและมีการยอมรับกันอย่างกว้างขวางในวงการอุตสาหกรรมคอมพิวเตอร์ด้วยความสามารถของ VHDL ในด้านของการกำหนดพฤติกรรมของการทำงานของวงจร ทำให้นักออกแบบสามารถกำหนดรูปแบบพฤติกรรมการทำงานได้ทั้งวงจรของดิจิตอลทั่ว ๆ ไป และในระบบที่แตกต่างกันออกไป เช่น พฤติกรรมการทำงานของระบบเรดาร์หรือพฤติกรรมการทำงานของระบบเครือข่ายในประสาทในสมองมนุษย์ได้ ข้อดีมีหลักที่สำคัญของ VHDL ก็คือภาษานี้จะสามารถถูกใช้ได้ตลอดในทุก ๆ ระดับขั้นตอนการออกแบบที่แตกต่างกันได้ นั่นคือ ในกระบวนการออกแบบระดับสูง (System Level) จนถึงระดับที่ต่ำกว่า (Lower Hardware Level) สามารถใช้ภาษาเดียวกันได้โดยตลอด ทำให้เพิ่มประสิทธิภาพในการติดต่อระหว่างกลุ่มที่ทำงานร่วมกันได้เป็นอย่างดี

3.2 ข้อกำหนด (VHDL Requirement)

ในเอกสารของ Department of Defense Requirement for Hardware Description Language ซึ่งออกมาในเดือนมกราคม ปี 1983 ได้ตั้งขอกำหนดสำหรับภาษา VHDL

3.2.1 ลักษณะทั่วไป (Generation Features)

เอกสารของ DoD กำหนดไว้ว่า VHDL เป็นภาษาสำหรับการออกแบบและบรรยายของฮาร์ดแวร์ ซึ่งหมายถึงความสามารถในการอธิบายและออกแบบในระดับสูง โดยมีความสามารถในการเลียนแบบ (Simulation) การสังเคราะห์ (Synthesis) และการทดสอบ (Testing) นอกจากนั้น VHDL ยังถูกกำหนดไว้สำหรับการบรรยายฮาร์ดแวร์คือ ระบบจนถึงระดับเกทอีกด้วย เนื่องจากในการทำงานของระบบดิจิตอลจริงๆ ทุก ๆ องค์ประกอบในระบบไม่ว่าเล็กหรือใหญ่จะทำงานไปพร้อม ๆ กัน ซึ่งในเรื่องของความพร้อมในการทำงานนี้ถือว่าเป็นข้อกำหนดที่สำคัญอย่างหนึ่ง ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VHDL ด้วยเช่นกัน (สำหรับในภาษาที่ใช้ในการบรรยายฮาร์ดแวร์แล้ว ความพร้อมเพรียงที่จะหมายถึงทุก ๆ คำสั่งองค์ประกอบเกท หรือวงจรต่าง ๆ จะถูกนำมาปฏิบัติทั้งหมด ดังนั้นในตอนท้ายแล้วก็จะดูเหมือนว่าได้ปฏิบัติไปพร้อม ๆ กัน)

3.2.2 สนับสนุนการออกแบบลำดับขั้น (Support for Design Hierachy)

การออกแบบลำดับขั้น เป็นลักษณะที่สำคัญอย่างหนึ่ง การออกแบบที่มีหลายๆ ระดับในการออกแบบจะประกอบด้วยส่วนการบรรยายเชื่อมต่อและส่วนการบรรยายหน้าที่การทำงาน หน้าที่การทำงานของระบบก็สามารถกำหนดได้ด้วยตนเองหรือถูกกำหนดโดยโครงนร้างที่ประกอบย่อย ๆ ลงไปได้เช่นกัน แต่ที่ระดับล่างสุดองค์ประกอบต้องถูกบรรยายหน้าที่การทำงานด้วยตัวมันเองและไม่สามารถกำหนดการทำงานโดยลักษณะแบบโครงสร้างได้

3.2.3 ไลบารี (Library Support)

VHDL ได้สนับสนุนการมีไลบรารีเพื่อระบบการจัดการที่ดี ผู้ออกแบบสามารถกำหนดลักษระและการทำงานของอุปกรณ์พื้นฐานไว้ในระบบไลบรารี หรือจะใช้ไลบรารีที่ระบบได้จัดเตรียมไว้แล้วก็ได้ โมเดลและการบรรยายที่ถูกต้องจะถูกเก็บไว้ในไลบรารี หลังจากที่ได้ผ่าการคอมไพล์เรียบร้อยแล้ว เพื่อให้ผู้ออกแบบคนอื่น ๆ สามารถนำไปใช้ได้ด้วย

3.2.4 ลำดับคำสั่ง (Sequential Statement)

แม้ว่าการปฏิบัติคำสั่งหรือกระบวนการโดยพร้อมเพรียงกันจะเป็นคุณสมบัติที่สำคัญของ VHDL ก็ตาม ตัวภาษาเองได้มีการจัดเตรียมลักษณะการควบคุมแบบลำดับคำสั่งไว้ให้ด้วย เมื่อผู้ออกแบบได้กำหนดหน้าที่และองค์ประกอบที่ทำงานพร้อมกันของระบบไว้เรียบร้อยแล้ว ผู้ออกแบบก็ยังสามารถบรรยายหน้าที่การทำงานซึ่งเป็นรายละเอียดในของแต่ละองค์ประกอบได้ในลักษณะเดียวกับการเขียนโปรแกรมที่ประกอบด้วยโครงสร้างแบบ case if-then-else และloop ทั่ว ๆ ไปได้ การบรรยายแบบลำดับคำสั่งทำให้การออกแบบหน้าที่การทำงานของอุปกรณ์กระทำได้สะดวกและง่ายขึ้น อย่างไรก็ตามโครงสร้างทั้งหมดของ VHDL ก็คงเป็นการทำงานพร้อมเพรียงกันเช่นเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.5 การกำหนดคุณสมบัติ (Generic Design)

นอกจากการกำหนดอินพุทและอินเอาท์พุทแล้ว เงื่อนไขอื่น ๆ ก็มีผลต่อการปฏิบัติหน้าที่ของอุปกรณ์ฮาร์ดแวร์ด้วยเช่นกัน สิ่งนี้รวมถึงสภาพแวดล้อมและลักษณะทางกายภาพของอุปกรณ์นั้น ๆ ภาษาสำหรับการออกแบบที่ดีควรจะสามารถให้ผู้ออกแบบกำหนดคุณสมบัติของอุปกรณ์ที่ใช้ได้ด้วย เช่น สามารถกำหนดขนาด ลักษณะทางกายภาพ เวลา โหลด และเงื่อนไขทางสภาพแวดล้อมอื่น ๆ ความสามารถในการกำหนดคุณสมบัติก็เป็นส่วนหนึ่งที่มีอยู่ในภาษา VHDL ด้วยเช่นกัน

3.2.6 ชนิดของข้อมูล (Type Declaration and usage)

VHDL สามารถกำหนดชนิดของข้อมูลไม่เพียงแต่ชนิด BIT และ BOOLEAN เท่านั้น แต่ยังสามารถกำหนดชนิดของข้อมูลเป็นจำนวนเต็ม จำนวนจริง จุดทศนิยมและชนิดลำดับ การนับ (Enumerate Type) หรือแม้แต่ชนิดของข้อมูลที่ผู้ออกแบบกำหนดขึ้นใส่เองก็ได้

3.2.7 โปรแกรมย่อย (Use of subprogram)

ความสามารถในการใช้ฟังก์ชันและโพรซีเจอร์ (Procedure) เป็นข้อกำหนดอีกอย่างหนึ่งใน VHDL เราสามารถที่จะใช้โปรแกรมในการเปลี่ยนแปลงชนิดของข้อมูล การกำหนดหน่วยของลอจิก (Logic) การกำหนดตัวกระทำต่าง ๆ ทั้งเก่าและใหม่หรืออะไรก็ตามได้เช่นเดียวกับการเขียนโปรแกรมทั่วไป

3.2.8 การควบคุมเวลา (Timing Control)

VHDL อนุญาตให้ผู้ออกแบบสามารถกำหนดเวลาในการส่งผ่านข้อมูลหรือสัญญาณได้ตามต้องการ การตรวจสอบ การออกแบบเกท หรือการหน่วงเวลาก็สามารถกระทำได้โดยการกำหนดช่วงเวลาที่แน่นอนหรือกำหนดให้มีการรอคอยเหตุการณ์ (Event) นอกจากนี้ยังสามารถกำหนดรูปแบบของสัญญาณนาฬิกาได้อีกด้วย

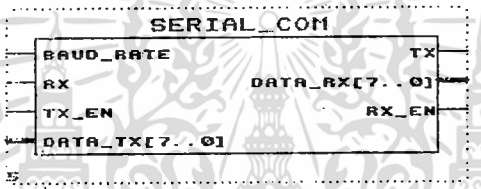
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดสอบและผลการทดสอบ

4.1 การทดสอบส่วนการสื่อสารข้อมูล

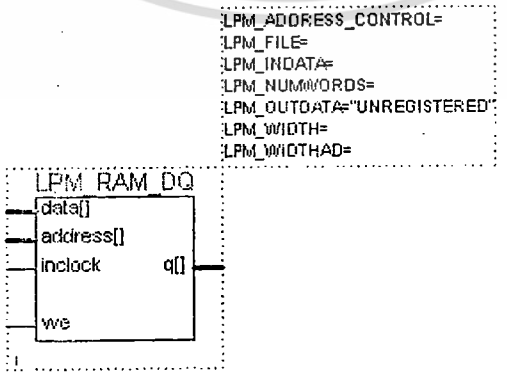
ส่วนของการสื่อสารข้อมูล จะเป็นการสื่อสารแบบอนุกรม ตามมาตรฐาน RS-232 ระหว่างระบบที่ออกแบบกับคอมพิวเตอร์ โดยใช้ Baud Rate ที่ 300 บิตต่อวินาที ตามมาตรฐาน โดยส่วนของการรับข้อมูลจะรับข้อมูลจากคอมพิวเตอร์ทางขาสัญญาณ RX เมื่อรับข้อมูลจนครบ 8 บิต จะทำการส่งข้อมูลไปยังส่วนต่าง ๆ ภายใน FPGA ทางขาสัญญาณ DATA_RX และส่วนของการส่งข้อมูลจาก FPGA ไปยังคอมพิวเตอร์ จะรับข้อมูลเข้ามาทางขา DATA_TX ซึ่งมีขนาด 8 บิต โดยจะมีสัญญาณ TX_EN เป็นตัวควบคุมในการส่ง โดยเมื่อข้อมูลเข้ามาครบ 8 บิต TX_EN จะสั่งให้ส่งข้อมูลออกทางขา TX ไปยังคอมพิวเตอร์



รูปที่ 4.1 แสดงบล็อกไดอะแกรมของส่วนการสื่อสารข้อมูล

4.2 การทดสอบส่วนของหน่วยความจำ

หน่วยความจำทำหน้าที่เก็บข้อมูลที่รับมาจาก Serial_Com โดยจะรับข้อมูลขนาด 8 บิตเข้ามาทางขา DATA_IN โดยการเขียนหรือการอ่านของหน่วยความจำนี้ จะถูกควบคุมโดยขา WE ในกรณีที่ WE เป็น “1” จะทำการเขียนข้อมูลที่รับเข้ามาลงไปใน ADDRESS โดย ADDRESS จะถูกสร้างขึ้นจากตัว We_Address โดย 1 แอดเดรส จะมีค่า 8 บิต แต่ถ้าขา WE มีค่าเป็น “0” จะทำการอ่านข้อมูลที่อยู่ในแอดเดรสนั้นๆ ขึ้นมา

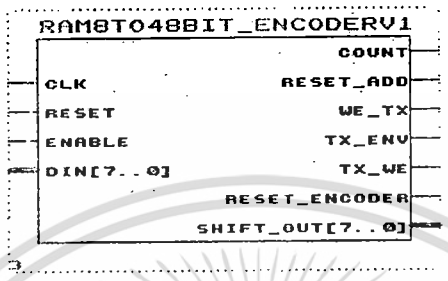


รูปที่ 4.2 แสดงบล็อกไดอะแกรมของส่วนหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทดสอบส่วนของการเข้ารหัสและการถอดรหัส

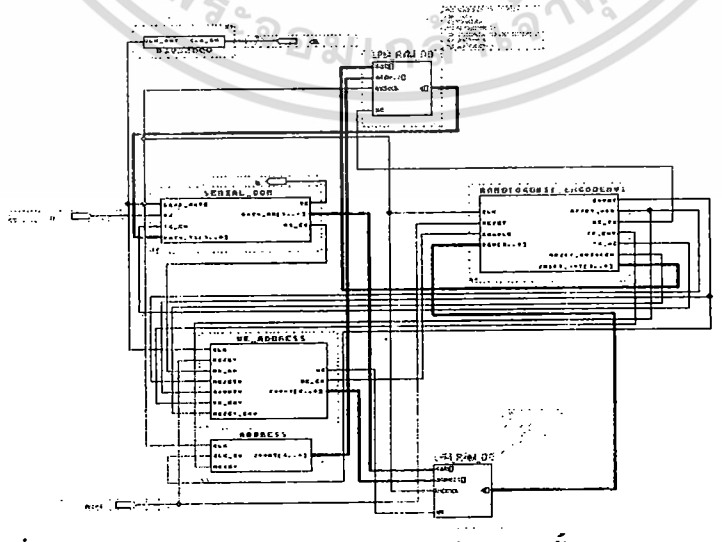
การเข้ารหัสเพื่อความถูกต้อง มีขั้นตอนในการเข้ารหัสคือ จะรับข้อมูล (Message) เข้ามาทางด้าน DIN[7..0] มาครบทุกบล็อกและวงจรการเข้ารหัสนั้นจะทำงานก็ต่อเมื่อสัญญาณของ ENABLE เท่ากับ '1' จากนั้นจะนำขอมูลที่รับมาได้ทำการเข้ารหัสด้วยวงจรเข้ารหัสแบบ XOR Network แล้วจึงทำการส่งข้อมูลที่ได้เข้ารหัสแล้วออกไปทางด้าน SHIFT_OUT[7..0]



รูปที่ 4.3 แสดงบล็อกไดอะแกรมของส่วนการเข้ารหัสพาริตี้เช็คความหนาแน่นต่ำ

4.5 การทดสอบการทำงานของระบบ

การออกแบบวงจรเข้ารหัสด้วยภาษาวีเอชดีแอลนั้นมีการทำงานที่แตกต่างกันออกไป เริ่มตั้งแต่การหารความถี่ให้ตรงกับความถี่ที่ต้องการเมื่อเริ่มต้นความถี่ที่กำเนิดบล็อดทดลองนั้นคือ 9.6 MHz จึงต้องออกแบบวงจรหารความถี่เพื่อให้ได้ความถี่ตรงกับที่ใช้งานโดยความถี่ที่ใช้งานคือ 300 kHz จากนั้นจะเริ่มทำการรับข้อมูลจากคอมพิวเตอร์ซึ่งรับทางด้านขา RX ที่อยู่ในส่วนของ Serial_Com ข้อมูลที่รับมานั้นเป็นแบบอนุกรม จะได้รับการแปลงเป็นแบบขนานและส่งออกไปทางขา Data_RX[7..0] เพื่อเข้ารหัสพาริตี้เช็คความหนาแน่นต่ำ เมื่อวงจรเข้ารหัสทำงานเสร็จก็จะส่งค่ากลับมายังขา Data_TX[7..0] ข้อมูลที่รับมาได้นั้นจะเป็นแบบขนานจะได้รับการแปลงกลับไปเป็นแบบอนุกรมเพื่อแสดงผลการเข้ารหัสต่อไป

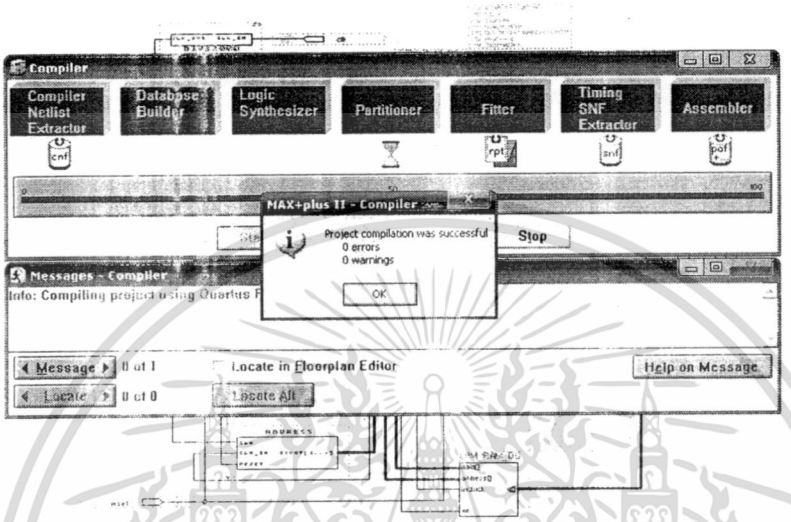


รูปที่ 4.4 แสดงบล็อกไดอะแกรมของส่วนประกอบทั้งหมดของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.1 การตรวจการทำงานของวงจรเข้ารหัส

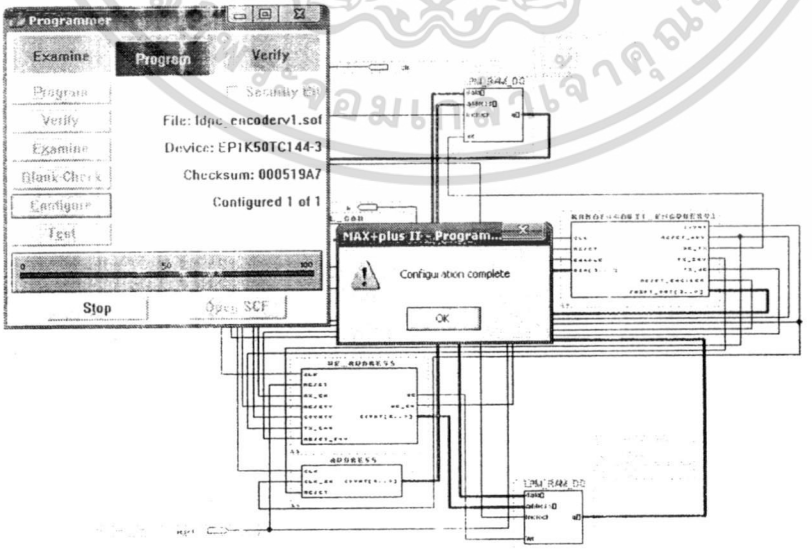
เมื่อออกแบบการทำงานทั้งหมดของระบบการเข้ารหัสพาริตี้เช็คความหนาแน่นต่ำเสร็จต้องทำการตรวจสอบการทำงานว่าตรงกับที่กับที่ได้ออกแบบหรือไม่ด้วยวิธีการ Compiler และในขั้นตอนนี้เองที่ต้องระบุรุ่นของบล็อคทดทองที่ใช้และกำหนดขาอินพุตและเอ้าพุตที่จะนำไปใช้งานจริง



รูปที่ 4.5 ทดสอบการทำงานของส่วนประกอบทั้งหมดของระบบ

4.5.2 การโปรแกรมลงบล็อคเอฟพีจีเอ

ในส่วนของการ Programmer เป็นการเบริ่นโปรแกรมที่ได้ออกแบบมาทั้งหมดลงบนบล็อคเอฟพีจีเอ จากนั้นจะได้ทำการส่งข้อมูลจากคอมพิวเตอร์มาทดสอบการเข้ารหัสต่อไป

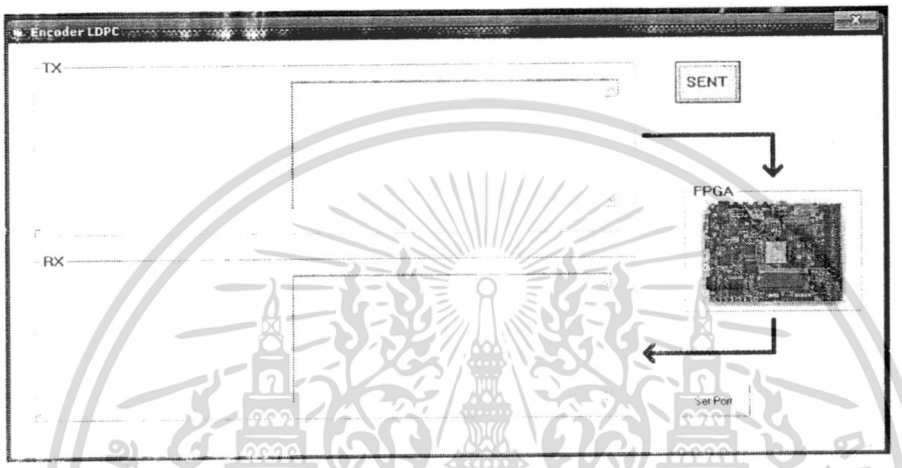


รูปที่ 4.6 ทดสอบการทำงานของส่วนประกอบทั้งหมดของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

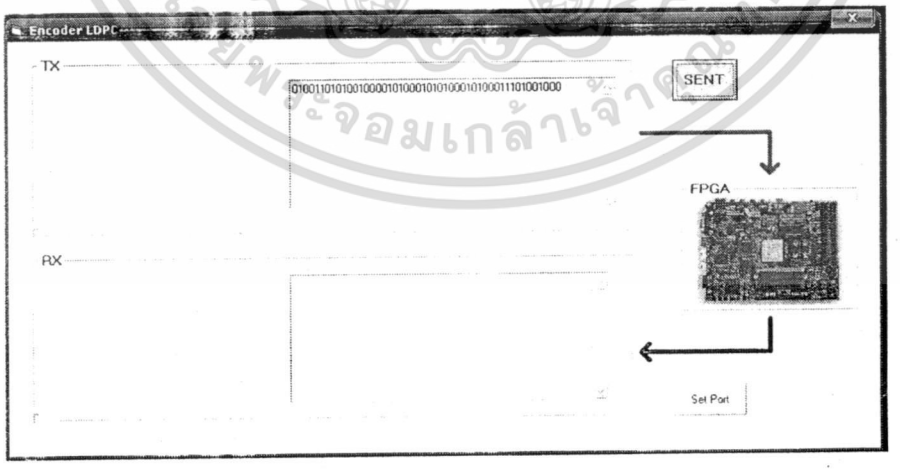
4.6 ผลการทดลองการเข้าและถอดรหัส

เมื่อได้ทำการโปรแกรมวงจรที่ออกแบบลงบนอุปกรณ์เอฟพีจีเอ ซึ่งจะมีโปรแกรมแสดงผลบนคอมพิวเตอร์ดังแสดงในรูปที่ 4.7 เพื่อรับข้อมูล-ส่งข้อมูลที่ใช้ในการเข้ารหัส จะทำการป้อนข้อมูลลงในช่องของ TX หลังจากนั้นกดปุ่ม SENT เพื่อส่งข้อมูลลงไปในบล็อคเอฟพีจีเอเพื่อทำการประมวลผลในการเข้ารหัส หลังจากที่ได้ทำการเข้ารหัสเสร็จข้อมูลจะถูกส่งกลับมาแสดงผลในหน้าจอคอมพิวเตอร์ในช่องของ RX



รูปที่ 4.7 หน้าจอแสดงผลการเข้ารหัสเริ่มต้น

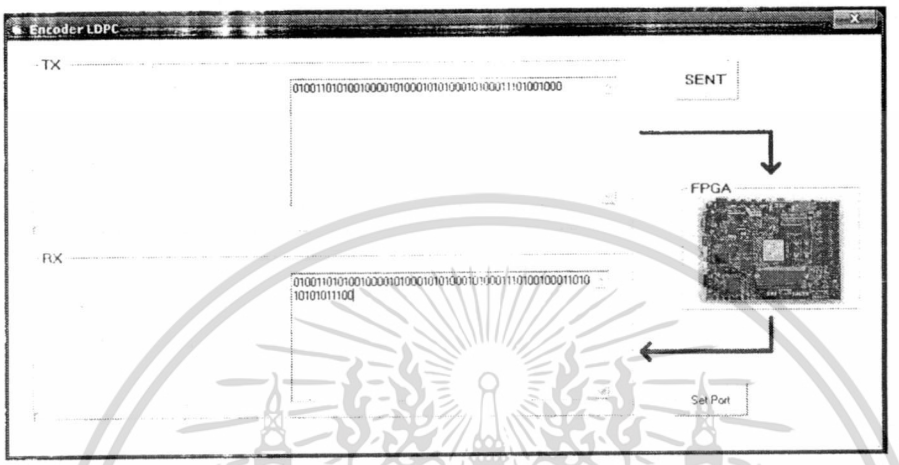
ในส่วนนี้เป็นการป้อนข้อมูล ลงไปในช่อง TX หลังจากนั้นทำการกดปุ่ม SENT เป็นการส่งขอ้มูลลงไปในบล็อคเอฟพีจีเอ



รูปที่ 4.8 การป้อนข้อมูลเพื่อใช้ในการเข้ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อได้ป้อนข้อมูลและทำการส่งลงไปประมวลผลเรียบร้อยแล้ว ข้อมูลที่ได้รับการเข้ารหัสจะส่งกลับมาแสดงผลดังในรูปที่ 4.9 ซึ่งจะเห็นว่าขอมูลที่ได้รับกลับมานั้นจะมีมากว่าเดิม ซึ่งส่วนที่เพิ่มมานั้นเรียกว่าบิตพิเศษหรือบิตพาริตี้ จาก **c** = [**p** | **m**] โดย c คือ คำรหัส (Codeword) **p** คือ บิตพิเศษ (Parity) และ **m** คือ ข้อมูล (Message) จะเห็นได้ว่าในส่วนที่รับกลับมาในช่อง RX นั่นคือคำรหัส



รูปที่ 4.9 ค่าที่ได้จากการเข้ารหัสพาริตี้เช็คความหนาแน่นต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
รหัสพาริตี้เช็คความหนาแน่นต่ำกับการประยุกต์ใช้งาน

ระบบการสื่อสาร โดยเฉพาะในส่วน Physical Layer มีค่าสมรรถนะขึ้นอยู่กับความผิดพลาดในการรับส่งข้อมูลอันเกิดจากสัญญาณรบกวนต่างๆ ทำให้ข้อมูลที่ภาครับเกิดความผิดพลาดขึ้นดังนั้น จึงต้องมีการแก้ไขความผิดพลาดดังกล่าว ซึ่งการเข้ารหัสช่องสัญญาณเป็นวิธีหนึ่งที่สามารถช่วยลดความผิดพลาดที่เกิดขึ้นในระดับเอสเอนอาร์สูง รหัสพาริตี้เช็คความหนาแน่นต่ำ (LDPC) เป็นระบบการเข้ารหัสรูปแบบหนึ่งที่นำมาใช้งานเพื่อเพิ่มประสิทธิภาพในการสื่อสาร เพื่อลดความผิดพลาดของข้อมูลที่ถูกส่งผ่านระบบสื่อสารจึงทำให้ประหยัดพลังงานและเวลาในการส่งข้อมูลซ้ำ สำหรับบทนี้จะแสดงผลการสำรวจ การนำรหัสพาริตี้เช็คความหนาแน่นต่ำมาประยุกต์ใช้งานในรูปสิทธิบัตร รวมไปถึงเทคโนโลยีที่เกี่ยวข้อง ซึ่งถือเป็นการรวบรวมและศึกษาการประยุกต์ใช้งานในรูปแบบต่าง ๆ เพื่อให้ผู้เริ่มศึกษาเกี่ยวกับรหัสพาริตี้เช็คความหนาแน่นต่ำได้มีความรู้ ความเข้าใจ เกี่ยวกับรหัสพาริตี้เช็คความหนาแน่นต่ำมากยิ่งขึ้น

5.1 การสำรวจสิทธิบัตร

รหัสพาริตี้เช็คความหนาแน่นต่ำได้ถูกนำเสนอในมาตรฐานต่าง ๆ ของระบบการสื่อสารอย่างแพร่หลาย และได้รับการนำไปใช้ร่วมกับเทคนิคอื่น ๆ เพื่อให้มีประสิทธิภาพในการแก้ไขความผิดพลาด สำหรับระบบการสื่อสารให้ดีขึ้น ในส่วนนี้ได้ทำการรวบรวมแต่ละเทคนิคที่จดสิทธิบัตรเกี่ยวกับการประยุกต์ใช้งานรหัสพาริตี้เช็คความหนาแน่นต่ำ เพื่อให้เห็นถึงการนำรหัสนี้มาใช้งานในหลากหลายรูปแบบและสามารถนำมาต่อยอดกลายเป็นเทคนิคใหม่หรือการประยุกต์ใช้งานได้อย่างหลากหลายมากขึ้นดังรายละเอียด ตัวอย่างของสิทธิบัตรที่เกี่ยวข้องกับรหัสพาริตี้เช็คความหนาแน่นต่ำดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1 การนำเสนอ Design of Rate – Compatible LDPC Codes Using Optimal Extending

ตารางที่ 5.1

Title of invention	**Design of Rate – Compatible LDPC Codes Using Optimal Extending**
Inventor names	**Young Jo Ko** , Daejeon (KR)
Applicant	-
Classification	International : H03M13/00; H03M13/00
	-
Patent number	US2006059401
Publication date	2006-03-16
Application number	US20050201017 20050810
Priority number	KR20040103690 20041209

สำหรับเทคนิคของการเข้ารหัสและถอดรหัสพาริตี้เช็คความหนาแน่นต่ำ ต้องการใช้ อัตรารหัส (Rate) หลากหลายมาก จึงต้องมีการออกแบบรหัสที่สามารถเปลี่ยนอัตรารหัสได้ ไม่ว่าจะเป็นการสื่อสารแบบมีสาย หรือการสื่อสารแบบไร้สาย และมีการออกแบบ อัตรารหัสของรหัสรหัสพาริตี้เช็คความหนาแน่นต่ำ หลายแบบ รวมถึงจำนวนของโหนดตัวแปลและโหนดตรวจสอบซึ่งการออกแบบทำได้หลายโครงสร้าง โดยอ้างอิงจากวิธีการต่างๆเช่น การใช้อัตรารหัสต่ำๆโดยใช้เทคนิคการขยายขนาดของเมตริกส์ออกไป ซึ่งในที่นี้จะเป็นการนำเสนอวิธีที่เหมาะสมที่สุดสำหรับรหัสที่ต้องการอัตรารหัสต่ำ ๆ [2]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

FIG. 1

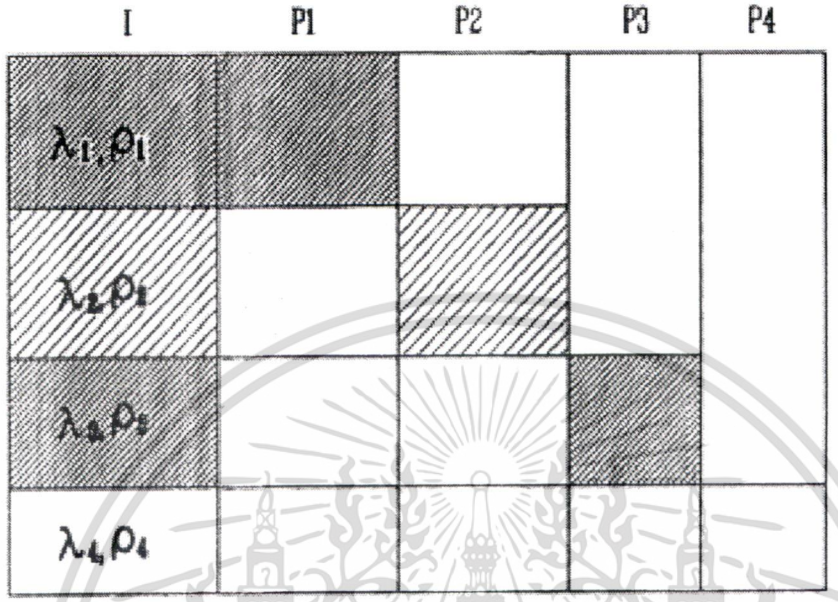
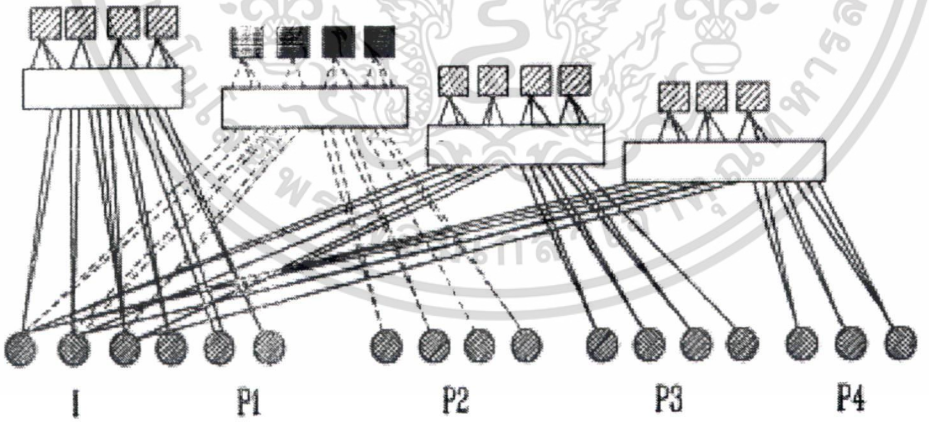


FIG. 2



รูปที่ 5.1.1 โครงสร้างการออกแบบอัตรารหัส (Rate)

84511

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

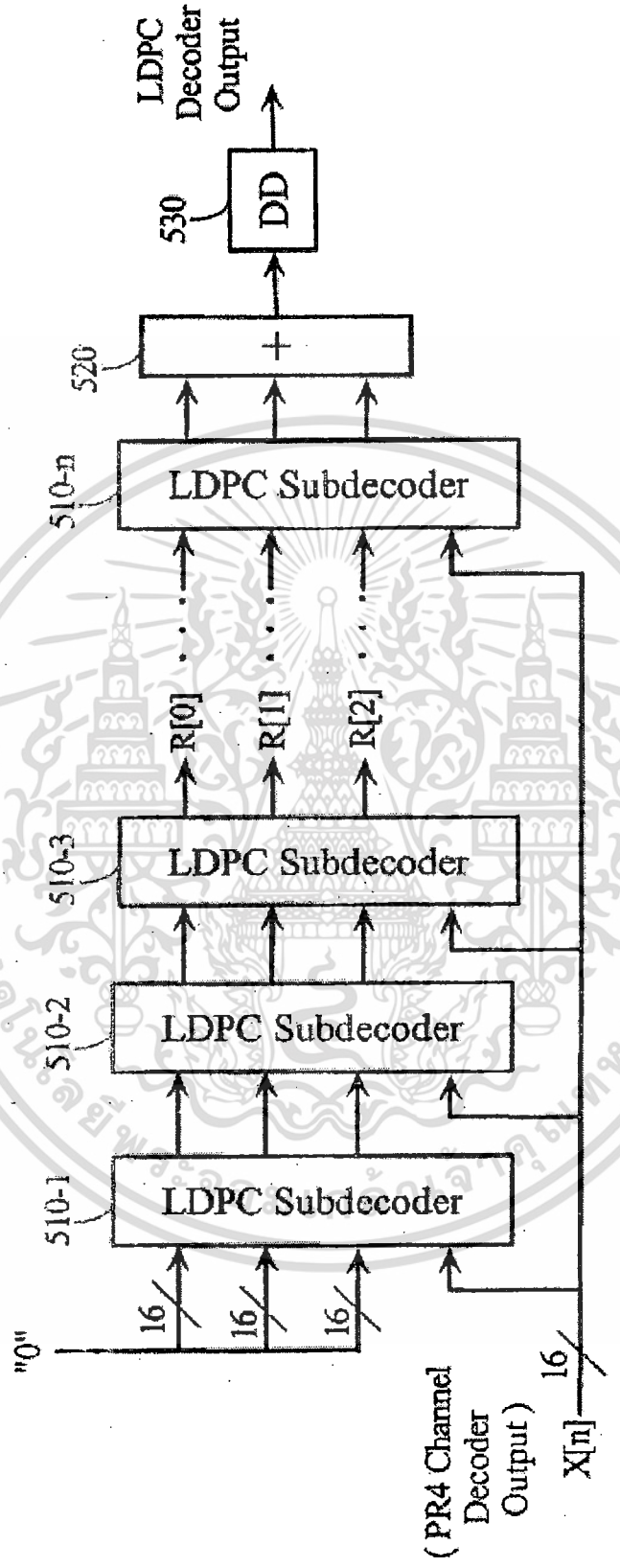
5.2 การนำเสนอ Channel Processor Using Reduced Complexity LDPC Decoder

ตารางที่ 5.2

Title of invention	**Channel Processor Using Reduced Complexity LDPC Decoder**
Inventor names	HUNG WILLIAM CHING-CHIT (US)
Applicant	CERTANCE LLC (US)
Classification	International : G11B20/18; H03M13/11; G11B20/18; H03M13/00; (IPC1-7): G06F11/00; H03M13/00
	European : G11B20/18; H03M13/11
Patent number	US2004093554
Publication date	2004-05-13
Application number	US20030673181 20030930
Priority number	US20030673181 20030930; US20020415151P 20020930

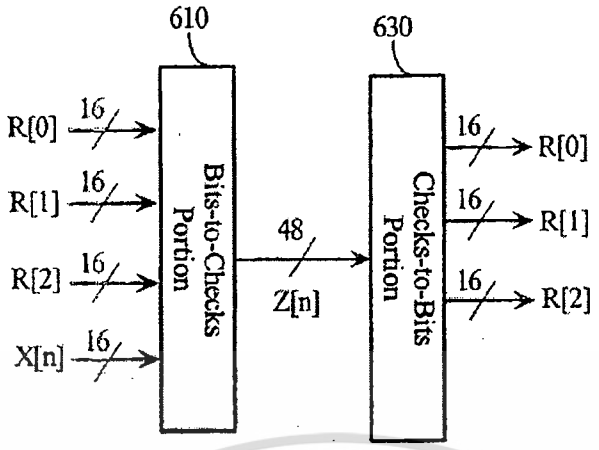
การวิเคราะห์หาขนาดของรหัสพาริตี้เช็คความหนาแน่นต่ำ สามารถหาขนาดในส่วนของจำนวนแถว และจำนวนหลัก โดยมีรูปแบบที่ประกอบไปด้วย เมตริกส์จัตุรัสประกอบกัน ซึ่งได้รับการสร้างขึ้นและถูกเก็บไว้ในหน่วยความจำ โดยมีการจำกัดการหรือกำหนดการเพิ่มของจำนวน Sub Matrix ในเมตริกส์พาริตี้เช็ค **H** ซึ่งเมื่อเพิ่มจำนวน Sub Matrix แล้วสามารถทำให้ประสิทธิภาพในการแก้ไขความผิดพลาดได้ดีขึ้น [3]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

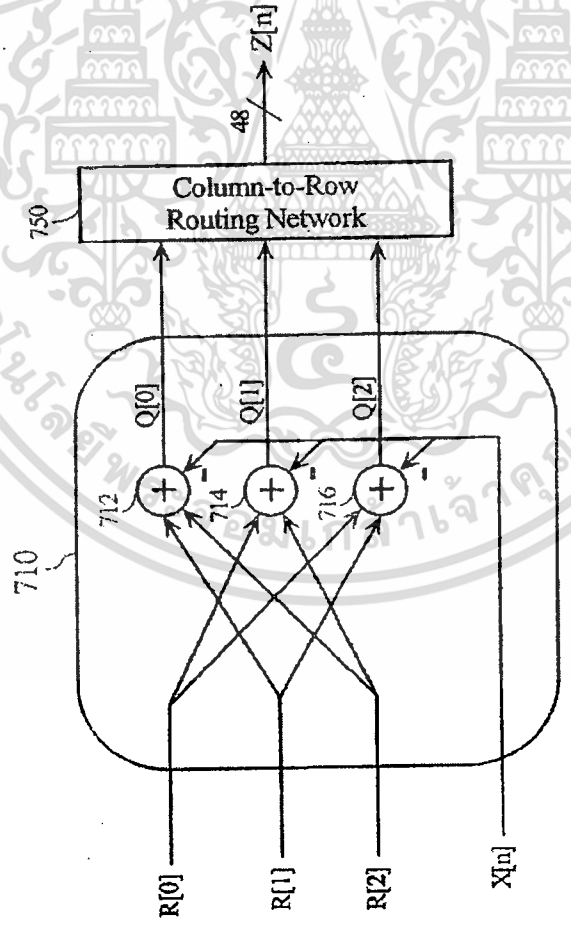


รูปที่ 5.2.1 โครงสร้างการออกแบบ Sub Matrix พาริตี้เช็คความหนาแน่นต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2.2 โครงสร้างการออกแบบ Sub Matrix



รูปที่ 5.2.3 โครงสร้างการออกแบบวิธีการเลือกเส้นทางในการถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 การนำเสนอ Simplified LDPC Encoding for Digital Communications

ตารางที่ 5.3

Title of invention	**Simplified LDPC Encoding For Digital Communications**
Inventor names	HOCEVAR DALE E (US)
Applicant	TEXAS INSTRUMENTS INC (US)
Classification	International : H03M13/00; H03M13/00
	European : H03M13/11
Patent number	US 20060020872A1
Publication date	2006-02-16
Application number	US20050201391 20050810
Priority number	US20050201391 20050810; US20040601602P 20040813; US20050703920P 20050729

รหัสพาริตี้เช็คความหนาแน่นต่ำได้รับการออกแบบเป็นวงจรการเข้ารหัสข้อมูลข่าวสาร โดยการเข้ารหัสนั้นเป็นกรเข้ารหัสเพื่อความถูกต้อง โดยการออกแบบวงจรการเข้ารหัสนั้นได้นำเอาข้อดีของ Macro Matrix มาใช้ รหัสพาริตี้เช็คความหนาแน่นต่ำ (LDPC) แบ่งออกเป็นส่วนของข้อมูลและส่วนของพาริตี้ โดยพาริตี้จะเป็นส่วนที่สร้างขึ้นมา ซึ่งสร้างมาจาก Macro Matrix บล็อกของพาริตี้จะมีมากกว่า 1 บล็อก และจะเรียงกันแบบซ้ำๆ เมื่อถึงบล็อกสุดท้ายของ พาริตี้ จะประกอบด้วยส่วนของเมตริกส์ที่ตรงข้ามกับเมตริกส์ในด้านแถว เมตริกส์ที่เริ่มต้นในด้านแถวจะเป็นเมตริกส์ศูนย์ [4]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

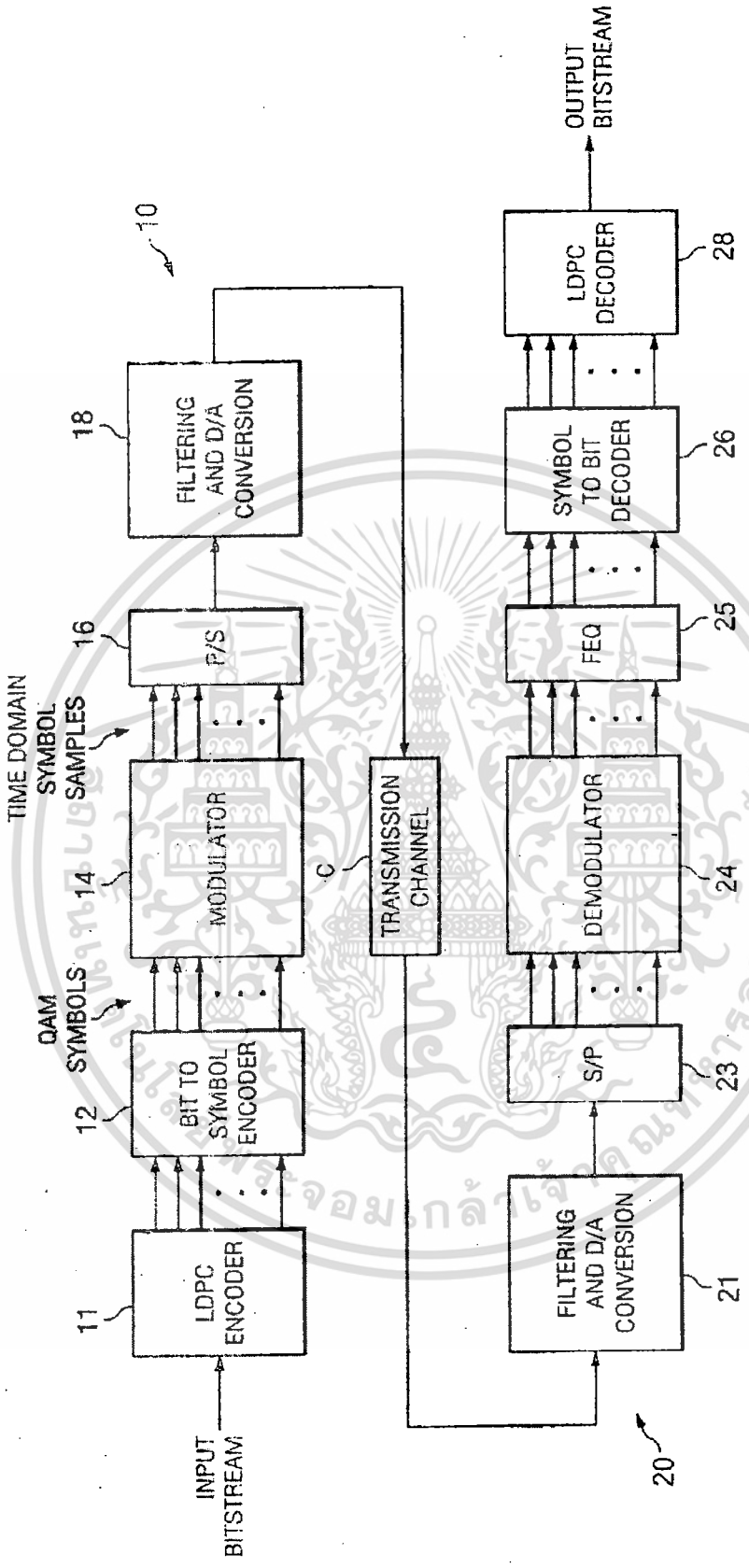


FIG. 1

รูปที่ 5.3.1 โครงสร้างระบบการถอดรหัสพาริตี้เช็คความหนาแน่นต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

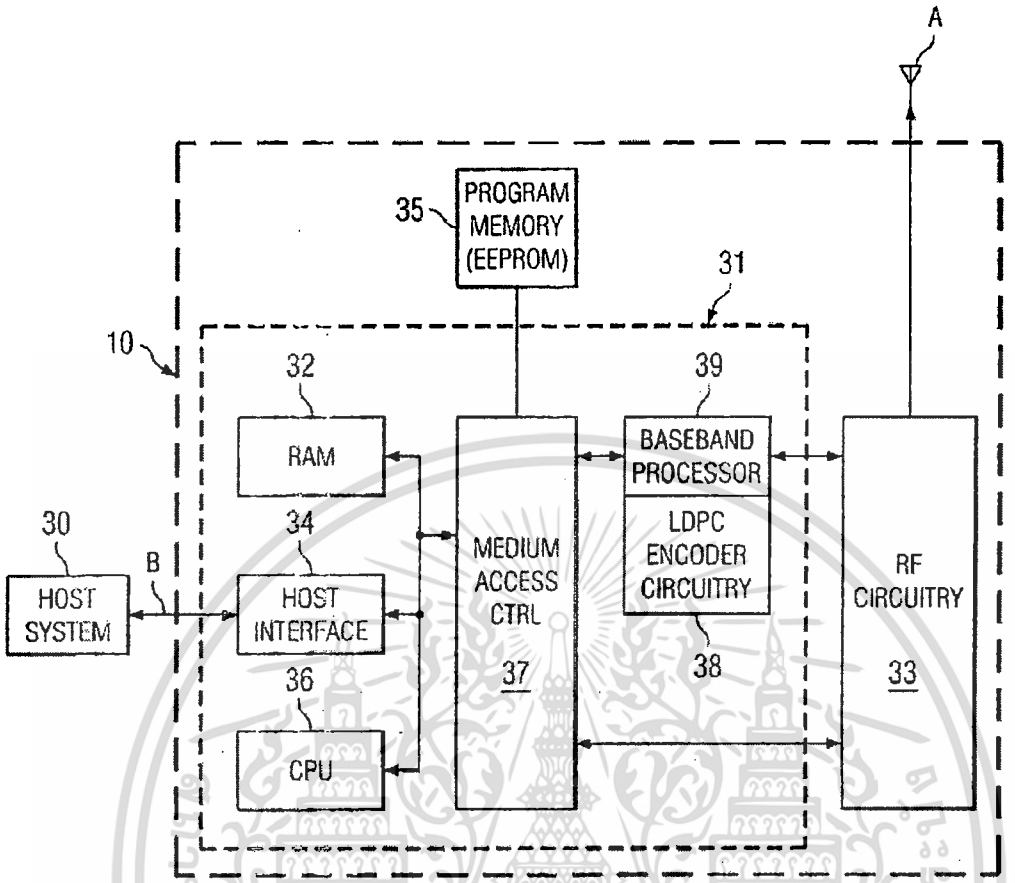


FIG. 2

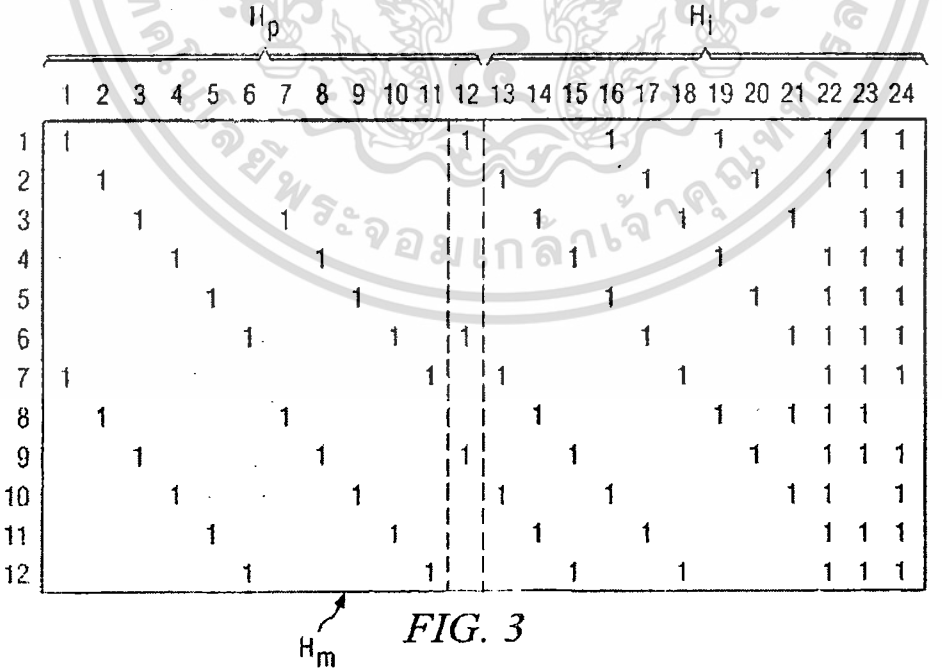


FIG. 3

รูปที่ 5.3.2 การออกแบบรหัสพาริตี้เช็คความหนาแน่นต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 การนำเสนอ LDPC Decoder

ตารางที่ 5.4

Title of invention	**LDPC Decoder**
Inventor names	URARD PASCAL (FR); PAUMIER LAURENT (FR)
Applicant	ST MICROELECTRONICS SA (FR)
Classification	International : H03M13/00; H04N7/16; H03M13/00; H04N7/16; (IPC1-7): H03M13/00
	European: -
Patent number	US2005283703
Publication date	2005-12-22
Application number	US20050158516 20050622
Priority number	FR20040051307 20040622

การถอดรหัสของรหัสพาริตี้เช็คความหนาแน่นต่ำใช้วิธีการตัดสินใจเป็นจำนวนตัวเลขและการทำงานเป็นแบบขนาน โดยต้องเก็บค่าของข้อมูลข่าวสารและการนำค่าที่เก็บในครั้งแรกมาใช้ ซึ่งจะประกอบด้วยข้อมูลข่าวสารในชุดแรกที่ได้รับการจัดเรียงและเทียบเคียงกับข้อมูลชุดถัดไป ส่วนข้อมูลชุดที่สอง จะเป็นการจัดเรียงข้อมูลและเทียบเคียงกับข้อมูลอื่น ๆ เช่นกัน โดยมีการดำเนินในการจัดข้อมูลชุดแรกและชุดที่สอง และค่าที่ได้จากการคำนวณในชุดแรกจะถูกเขียนเก็บในหน่วยความจำ หลังจากนั้นค่าที่ถูกเก็บ จะถูกอ่านออกมาเพื่อใช้สำหรับการคำนวณในชุดที่สองต่อไป[5]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

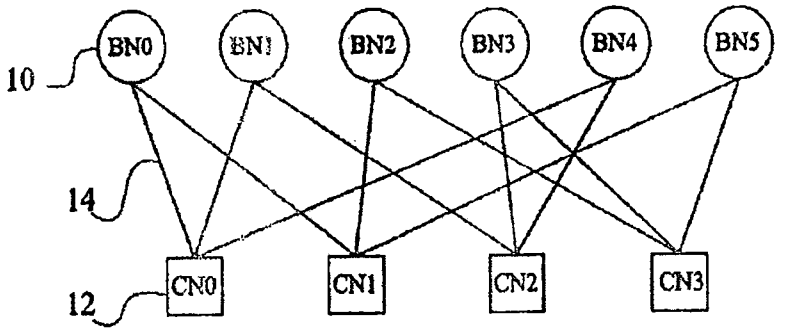


Fig 1

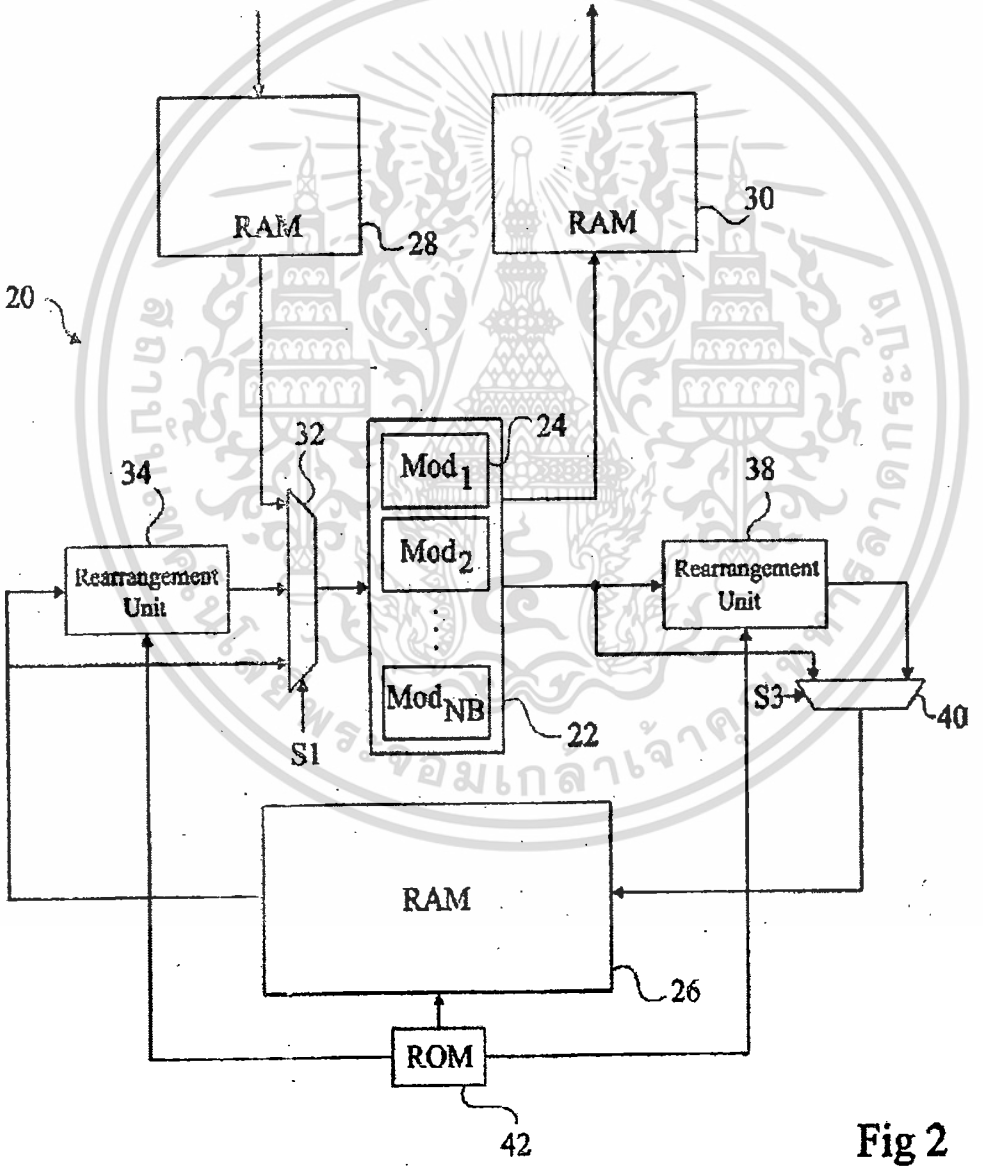
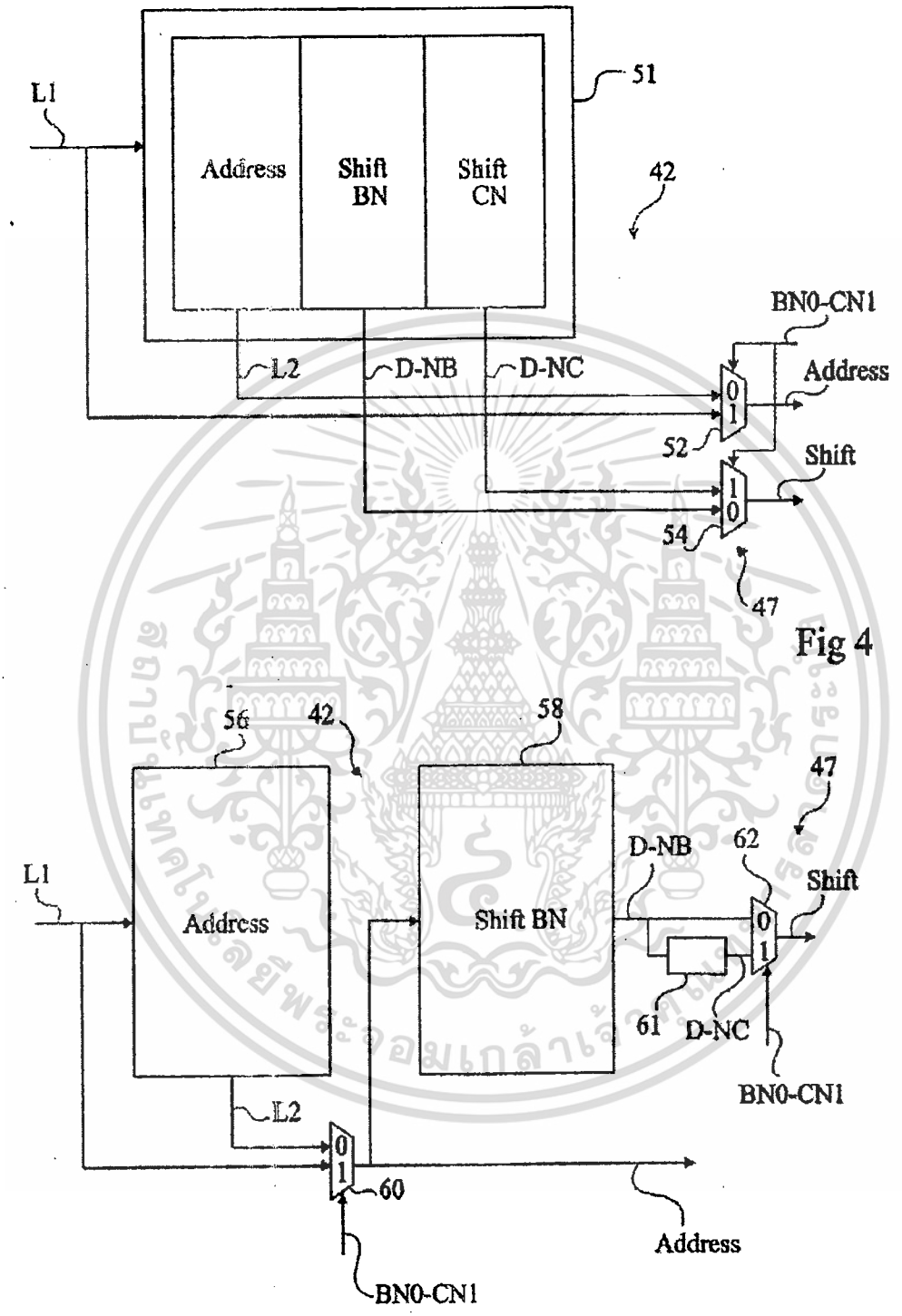


Fig 2

รูปที่ 5.4.1 โครงสร้างการถอดรหัสพาริตี้เช็คความหนาแน่นต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



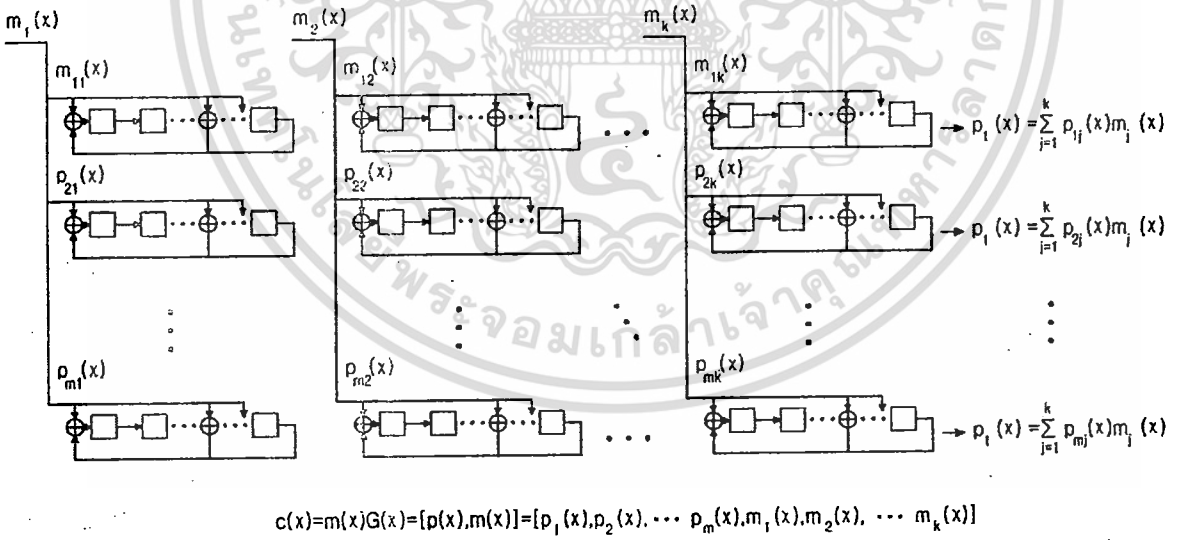
รูปที่ 5.4.2 โครงสร้างหน่วยความจำที่ใช้สำหรับการถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 การนำเสนอ Method of Constructing QC-LDPC Codes Using QTH-ORDER Power Residue

ตารางที่ 5.5

Title of invention	**Method of Constructing QC-LDPC Codes Using QTH-ORDER Power Residue**
Inventor names	**Min-Ho Shin**, Seoul(KR); **Hong-Yeop Song**,Seoul(KR); **Seung-Bum Suh**, Seoul(KR); **Eoi-Young Chi**, Seoul(KR)
Applicant	-
Classification	International : (IPC1-7): H03M13/00; G06F 11/00
	European: 714/801
Patent number	US 20050149845A1
Publication date	Jul. 7, 2005
Application number	10/983,347
Priority number	US 2005/0149845 A1



รูปที่ 5.5.1 การทำงานของ QC-LDPC

วิธีการเข้ารหัสพาริตี้เช็คความหนาแน่นต่ำสำหรับระบบสื่อสารดิจิตอลที่ได้นำพาริตี้เช็คเมตริกส์ H มาใช้ และ Circulant เมตริกส์นั้นเป็นองค์ประกอบของ First Generate โดยที่เมตริกส์

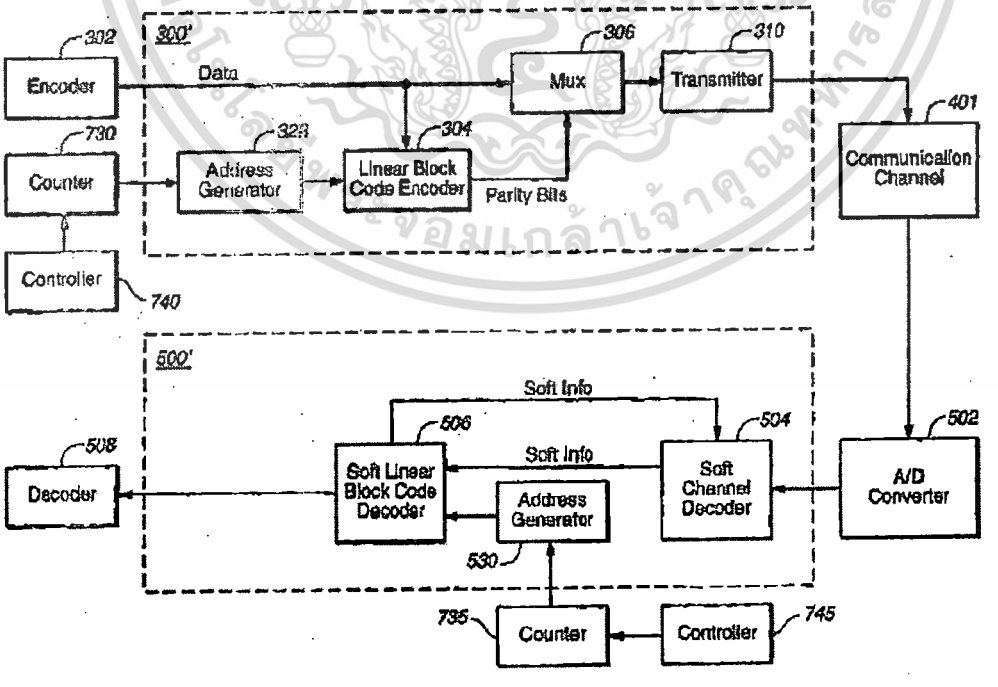
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Generation (G) เป็นการ Generate มาใช้กับพาริตี้เช็คบิตข้อมูลข่าวสารเป็นการใช้สำหรับการเข้ารหัสโดย Generation Matrix G[6]

5.6 การนำเสนอ Address Generator for LDPC Encoder and Decoder and Method Thereof

ตารางที่ 5.6

Title of invention	**Address Generator for LDPC Encoder and Decoder and Method Thereof**
Inventor names	**Gregory Burd**, San Jose, CA(US); **Zining Wu**, Los Altos CA(US)
Applicant	-
Classification	International : (IPC1-7): H03D 1/00; H04L 27/06
	European: 375/341
Patent number	US006965653B1
Publication date	Nov. 15, 2005
Application number	09//30,597
Priority number	US 6,965,652 B1



รูปที่ 5.6.1 บล็อกไดอะแกรมการเข้ารหัส-ถอดรหัสพาริตี้เช็คความหนาแน่นต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบการส่งข่าวสารได้รับการจัดเตรียมไว้สำหรับการส่งข้อมูลจากช่องสัญญาณสื่อสาร ประกอบไปด้วยการกำเนิด Address ด้วยการ Generate ซึ่งทำ Address แรกให้สอดคล้องกันโดยใช้ข้อมูลของ User และการเข้ารหัสของ Linear Block Encode ข้อมูลการใช้งานจะให้ผลตอบสนองด้วย First address จาก First generator เครื่องส่งทำการส่งข้อมูล Output ของการเข้ารหัส Linear Encode ด้วยช่องสัญญาณการสื่อสาร และช่องสัญญาณการถอดรหัสแบบ Soft ด้วยข้อมูลการถอดรหัส Address ที่ 2 การกำเนิด Generate ใน Address ที่ 2 ที่สอดคล้องกับการถอดข้อมูลจากช่องสัญญาณการถอดรหัสแบบ Soft และ Soft Linear Block Code สำหรับการถอดรหัสข้อมูล ซึ่งถอดรหัสข้อมูลโดยช่องสัญญาณการถอดแบบ Soft ในความสอดคล้องกับ Address ที่ 2 ที่ได้จาก Address ที่ 2 ของ Generator[7]

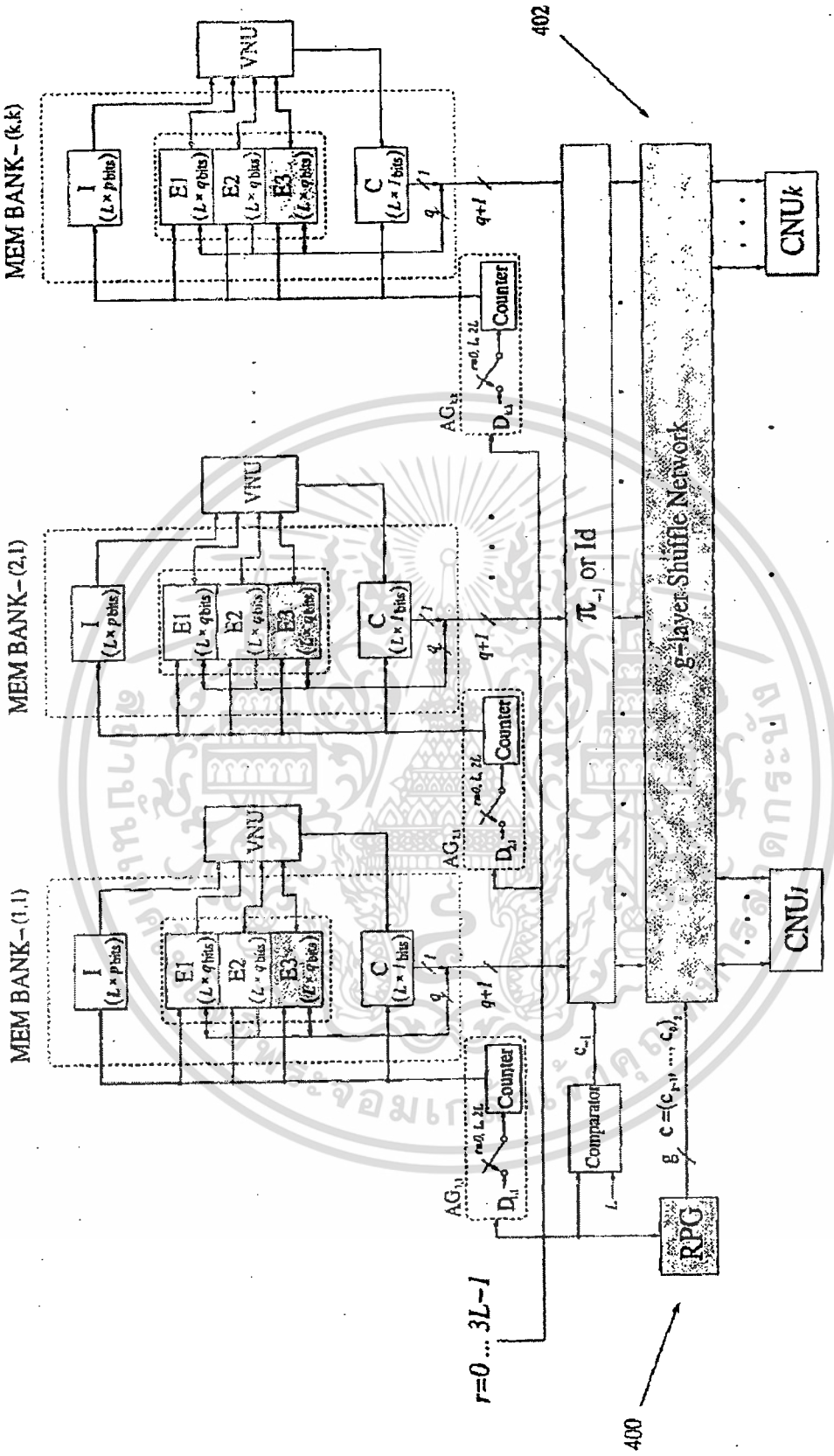
5.7 การนำเสนอ LDPC Code and Encoder/Decoder Regaring Same

ตารางที่ 5.7

Title of invention	**LDPC Code and Encoder/Decoder Regaring Same**
Inventor names	**Tong Zhang**, Troy NY (US); **Keshab K. Parhi**, Mission Viejo, CA (US)
Applicant	-
Classification	International : (IPC1-7): H04M 1/00; H04M 9/00
	European: 379/399.02
Patent number	US 20040057575A1
Publication date	Mar. 25, 2004
Application number	10/670,018
Priority number	US 2004/0057575 A1

การออกแบบการทำงานร่วมกันระหว่างการเข้ารหัส-การถอดรหัส และการออกแบบโครงสร้าง Circuit สำหรับรหัสพาริตี้เช็คความหนาแน่นต่ำ (3,k) - Regular เป็นระบบที่เตรียมนำไปใช้ร่วมกับการดำเนินการ Relies บนโครงสร้างของรหัสพาริตี้เช็คความหนาแน่นต่ำ High-Girth (2,k) - Regular การถอดรหัสแบบขนานบางส่วนจะถูกทำให้เป็นจริงสำหรับการถอดรหัส[8]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.7.1 แสดงกระบวนการเข้ารหัส-ถอดรหัสพาริตี้เช็คความหนาแน่นต่ำ

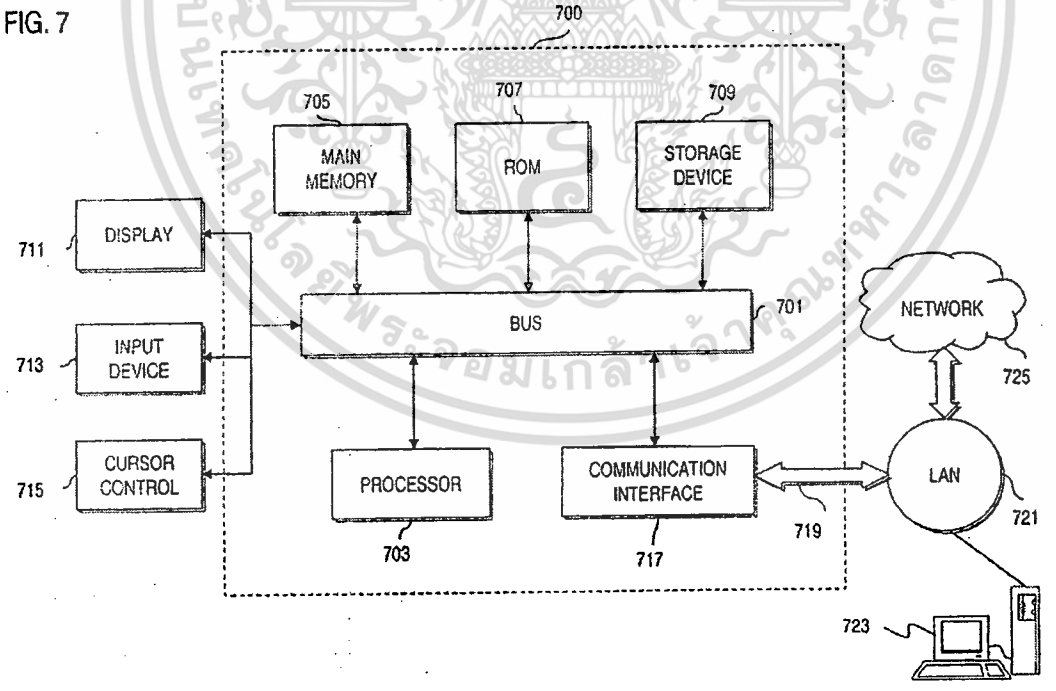
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.8 การนำเสนอ Encoding Low Density Parity Check (LDPC) Codes Through An LDPC Decoder

ตารางที่ 5.8

Title of invention	**Encoding low density parity check (LDPC) codes through an LDPC decoder**
Inventor names	SUN FENG-WEN (US); EROZ MUSTAFA (US); LEE LIN-NAN (US)
Applicant	-
Classification	International : (IPC1-7): H03M13/11; H03M13/00; H04H1/00
	European: (IPC1-7): H03M13/11
Patent number	US2005003756
Publication date	2005-01-06
Application number	US20040883338 20040701
Priority number	US20040883338 20040701; US20030484988P 20030703

FIG. 7



รูปที่ 5.8.1 บล็อกไดอะแกรมแสดงการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเตรียมการสำหรับรองรับการส่งข้อมูลแบบแพร่กระจายของรหัสพาริตี้เช็คความหนาแน่นต่ำ (Low density parity check : LDPC) ซึ่งเป็นสัญญาณที่ใช้ และยังประกอบไปด้วยโครงสร้างที่ใช้สำหรับการถอดรหัสพาริตี้เช็คความหนาแน่นต่ำ โดยการถอดรหัสนั้นจะมีส่วนสนับสนุนการดำเนินการเข้ารหัส ดังนั้นแล้วการรบกวนจะถูกทำลายด้วยวิธีการเข้ารหัส re - encode ด้วยการรับสัญญาณมาทำการถอดรหัส และจะมีประสิทธิภาพดีกว่านั้นถ้านำไปใช้งานร่วมกับระบบการแพร่กระจายโดยใช้ดาวเทียม[9]

สรุปยอดการสำรวจสิทธิบัตร

ลำดับ	ผู้แต่ง	ชื่อบทความ
1	Young Jo Ko , Daejeon (KR)	Design of Rate – Compatible LDPC Codes Using Optimal Extending
2	Hung William Ching-Chit (US)	Channel Processor Using Reduced Complexity LDPC Decoder
3	Hocevar Dale e (US)	Simplified LDPC Encoding For Digital Communications
4	Urard Pascal (FR); Paumier Laurent (FR)	LDPC Decoder
5	Min-Ho Shin ; Hong-Yeop Song ; Seung-Bum Suh ; Eoi-Young Chi	Method of Constructing QC-LDPC Codes Using QTH-ORDER Power Residue
6	Gregory Burd ; Zining Wu	Address Generator for LDPC Encoder and Decoder and Method Thereof
7	Tong Zhang ; Keshab K. Parhi,	LDPC Code and Encoder/Decoder Regarding Same
8	Feng-Wen Sun ; M. Eroz ; L. Lin-Nan	Encoding low density parity check (LDPC) codes through an LDPC decoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] R. G. Gallager, "**Low density parity check codes**," *IRE Trans. Inform.Theory*, vol. IT-8, pp. 21–28, Jan. 1962.

[2] **Design of rate-compatible LDPC codes using optimal extending** [Online](02 October,06) Available URL : http://v3.espacenet.com/textdoc?DB=EPODOC&IDX=US2006059401&F=0

[3] **Channel processor using reduced complexity LDPC decoder** [Online](03 October,06) Available URL : http://v3.espacenet.com/textdoc?DB=EPODOC&IDX=US2004093554&F=0

[4] **Simplified LPDC encoding for digital communications** [Online](05 October,06) Available URL : http://v3.espacenet.com/textdoc?DB=EPODOC&IDX=EP1626506&F=0

[5] **LDPC Decoder** [Online](10 October,06) Available URL : http://v3.espacenet.com/results?TI=LDPC+Decoder&IC=H03M13%2F00&DB=EPODOC&sf=a&CY=ep&PGS=10&ST=advanced&LG=en&FIRST=11

[6] **Method of Constructing QC-LDPC Codes Using QTH-ORDER Power Residue** [Online](20 October,06) Available URL : http://v3.espacenet.com/textdoc?DB=EPODOC&IDX=US2005149845&F=0

[7] **Address Generator for LDPC Encoder and Decoder and Method Thereof** [Online](21 October,06) Available URL : http://v3.espacenet.com/textdoc?DB=EPODOC&IDX=US6965652&F=0

[8] **LDPC Code and Encoder/Decoder Regaring Same** [Online](23 October,06) Available URL : http://v3.espacenet.com/textdoc?DB=EPODOC&IDX=US2004057575&F=0

[9] **Encoding Low Density Parity Check (LDPC) Codes Through An LDPC Decoder** [Online](25 October,06) Available URL : http://v3.espacenet.com/textdoc?DB=EPODOC&IDX=US2005003756&F=0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้