สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

รายงานการวิจัย

พัดลมอัจฉริยะ

INTELLIGEN FAN

ชื่อผู้วิจัย 1. นางจีรสุดา โกษียาภรณ์

2. นางสาวรพีพร บัวหอม

RCH
TH
7683
.F3
ว563 พ
เลขหมู่.....
เลขทะเบียน 114502
วัน,เดือน,ปี 20 ส.ค. 2554

ได้รับทุนสนับสนุนงานวิจัยจากเงินงบประมาณแผ่นดินหรือรายได้ประจำปีงบประมาณ 2553

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

b. 12292138
i.

ชื่อโครงการวิจัย (ภาษาไทย) พัดลมอัจฉริยะ

(ภาษาอังกฤษ) INTELLIGEN FAN

ได้รับทุนอุดหนุนการวิจัยจาก คณะวิศวกรรมศาสตร์.....
.....สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.....
ประจำปี.....2553..... จำนวนเงิน.....59,000...บาท.....
ระยะเวลาทำการวิจัย.....1..... ปี ตั้งแต่.....1.....ตุลาคม....2552.....ถึง.....30.....กันยายน...2553.....

หน่วยงานและผู้ดำเนินการวิจัยพร้อมหน่วยงานที่สังกัดและเลขหมายโทรศัพท์

ภาควิชา วิศวกรรมโทรคมนาคม คณะ วิศวกรรมศาสตร์
ชื่อสถาบัน สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ที่อยู่ ถนนฉลองกรุง ลาดกระบัง กรุงเทพฯ 10520
โทรศัพท์ 02-737-3000 ต่อ 3958 โทรสาร 02-326-4554

บทคัดย่อ

โครงงานวิจัยนี้นำเสนอพัดลมอัจฉริยะที่สามารถเลือกการควบคุมได้ 2 รูปแบบ คือ แบบควบคุมความต้องการของผู้ใช้ และแบบควบคุมด้วยระบบอัตโนมัติ สำหรับการควบคุมตามความต้องการนั้น พัดลมที่นำเสนอจะให้ระดับความเย็นของพัดลมได้ละเอียดกว่าพัดลมทั่วไป คือสามารถหมุนปรับตามความต้องการแทนการกดปุ่ม 1-3 ระดับ ส่วนการควบคุมแบบอัตโนมัติจะใช้สัญญาณที่ได้จากเซนเซอร์อุณหภูมิมาควบคุมการปรับค่าแรงดันที่ป้อนให้กับมอเตอร์ไฟฟ้ากระแสสลับ จึงทำให้พัดลมปรับความเร็วการหมุนของใบพัดตามอุณหภูมิได้ โครงงานนี้จะประกอบไปด้วยวงจรทางฝั่งส่ง และฝั่งรับ ทางฝั่งส่งจะประกอบด้วยเซ็นเซอร์วัดอุณหภูมิซึ่งจะถูกประมวลผลค่าอุณหภูมิจากเซนเซอร์ด้วยไมโครคอนโทรเลอร์หลังจากนั้นก็จะส่งข้อมูลที่ได้ผ่านโมดูลไร้สาย TRW ไปให้โมดูลไร้สาย TRW ทางด้านฝั่งรับซึ่งถูกควบคุมด้วยไมโครคอนโทรลเลอร์เช่นกัน ซึ่งจะทำการแปลงค่าอุณหภูมิในรูปของข้อมูลดิจิตอลที่ได้มาให้เป็นสัญญาณอนาล็อก เพื่อไปควบคุมการจ่ายแรงดันไฟฟ้ากระแสสลับให้แก่พัดลมต่อไป

Abstract

This research project present an intelligent fan that its controlling system are manual or automatic. In manual controlling the proposed fan provides finer steps of cooling levels than just 2-3 steps in the conventional fan. For automatically control, the signal from a temperature sensor will be used to control voltage applied to the ac motor. Hence, the fan can adjust its rotating speed when the environment temperature changes. The propose project is composed of a transmitter and receiver. The transmitter part has a temperature sensor whose data is analyzed by a microcontroller and be transmitted to a receiver via a TRW wireless module. At the receiver, the signal received by a TRW wireless module is sent to a microcontroller to convert digital data temperature level into analog signal. This obtained analog signal will then control the ac voltage applied to the fan.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานวิจัยนี้สำเร็จลุล่วงได้ เนื่องจากความกรุณาของท่าน รศ.ดร.ปราโมทย์ วาดเขียน และอีกท่านที่สละเวลาให้ได้แก่ท่าน ผศ.ดร.จีรสุดา โกษียาภรณ์ ข้าพเจ้าขอขอบพระคุณในความช่วยเหลือทั้งด้านเครื่องมือ อุปกรณ์ ตลอดจนคำแนะนำและข้อมูลต่างๆ และขอขอบคุณให้ความเอื้อเฟื้อ ความอนุเคราะห์ และน้ำใจจากนายธงชัย รัตนลาโภ และนายธีรเทพ เหล่าจินดาพันธ์ ที่ให้ความร่วมมือในการทำวงจร ตลอดจนบุคคลอีกหลายท่านที่มีส่วนร่วมจนกระทั่งโครงงานวิจัยบรรลุผลสำเร็จเป็นอย่างดี สุดท้ายนี้ขอบพระคุณคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่สนับสนุนเงินทุนในการทำวิจัยครั้งนี้

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญเรื่อง

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ก
กิตติกรรมประกาศ	ข
สารบัญเรื่อง	ค
สารบัญภาพ	จ
บทที่ 1 บทนำ	1
1.1 วัตถุประสงค์ของโครงการวิจัย	1
1.2. ขอบเขตของโครงการวิจัย	1
บทที่ 2 งานวิจัยและทฤษฎีที่เกี่ยวข้อง	2
2.1 การทบทวนวรรณกรรมที่เกี่ยวข้อง	2
2.2 เฟสล็อคลูป	3
2.3 โครงสร้างของเฟสล็อคลูป	3
2.4 สัญญาณพัลส์วิดมอดูเลชัน	6
บทที่ 3 วิธีดำเนินการวิจัย	11
3.1 การสร้างสัญญาณพัลส์วิดมอดูเลชันโดยอาศัยเฟสล็อกลูป	11
3.2 วงจรเฟสล็อกลูป	14
3.3 วงจรรวมสัญญาณ	16
3.4 ชุดวงจร TTL	16
3.5 วงจร Triac	17
3.6 วงจร Buffer	17
3.7 Digital to Analog Converter (D/A) แบบโครงข่ายแบบ R-2R	18
3.8 ภาคการรับและการส่งผ่าน TRW	19
บทที่ 4 ผลการทดลอง	21
4.1 วงจรแปลงไฟฟ้ากระแสสลับเป็น สัญญาณ TTL	21
4.2 วงจรเฟสล็อกลูป	22
4.3 วงจรกรองความถี่ต่ำผ่าน	26
4.4 วงจร Triac	26
4.5 วงจรแปลงดิจิตอลเป็นอนาล็อก	30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญเรื่อง (ต่อ)

หน้า

4.6 วงจรรับและส่งผ่าน TRW 2.4G 31

บทที่ 5 สรุปผล 32

บรรณานุกรม 33

ภาคผนวก 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

ภาพที่	หน้า
2.1 ภาพจำลองของระบบพัดลมอัจฉริยะ	3
2.2 บล็อกไดอะแกรมของเฟสล็อกลูป	3
2.3 วงจรตรวจจับความต่างเฟส	4
2.4 (ก).โครงสร้างของวงจรตรวจจับความต่างเฟสชนิด X-OR	4
(ข). สัญญาณการเปรียบเทียบความต่างเฟสของสัญญาณ	
2.5 (ก). โครงสร้างของวงจรตรวจจับความต่างเฟสชนิด RS-Flip Flop	5
(ข). สัญญาณการเปรียบเทียบความต่างเฟสของสัญญาณ	
2.6 กราฟผลตอบสนองทางความถี่ของวงจรความถี่ต่ำผ่าน	5
2.7 บล็อกไดอะแกรมของวงจร VCO	6
2.8 (ก) บล็อกไดอะแกรมของวงจรหารความถี่	6
(ข) ตัวอย่างสัญญาณที่ได้จากวงจรหารความถี่ที่ N = 2 และ N = 4	
2.9 การมอดูเลตพัลส์วิดมอดูเลชั่น	7
2.10 สัญญาณพัลส์วิดมอดูเลชั่นที่มีความกว้างพัลส์แปรผันตามขนาดของข่าวสาร	8
3.1 บล็อกไดอะแกรมระบบพัดลมอัจฉริยะ	11
3.2 บล็อกไดอะแกรมของพัลส์วิดมอดูเลชันโดยอาศัยเฟสล็อคลูป	11
3.3 วงจรกรองความถี่ต่ำผ่าน	15
3.4 วงจรตรวจจับความต่างเฟส	16
3.5 วงจรรวมสัญญาณ	16
3.6 วงจรTTL	16
3.7 วงจรTriac	17
3.8 รูปวงจรBuffer	17
3.9 วงจร D/A โดยใช้ R-LADDER	18
3.10 แผนผังการทำงานทางฝั่งส่ง	19
3.11 แผนผังการทำงานทางฝั่งรับ	20
4.1 สัญญาณอ้างอิง (TTL) ที่ผ่านออปแอมป์	21
4.2 สัญญาณอ้างอิง (TTL) ที่ผ่านไดโอด	21
4.3 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูป duty cycle 87.6 %	22
4.4 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูป duty cycle 65 %	22
4.5 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูป duty cycle 22.5 %	23
4.6 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูป duty cycle 6.9%	23
4.7 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูปที่ duty cycle 86%	24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
4.8 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูปที่ duty cycle 70 %	24
4.9 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูปที่ duty cycle 44 %	25
4.10 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูปที่ duty cycle 24 %	25
4.11 วงจรกรองความถี่ต่ำผ่าน	26
4.12 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน	26
4.13 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูป (135 องศา)	27
4.14 วงจรPWM ต่อเข้ากับวงจรไทรแอก (90 องศา)	27
4.15 วงจรPWM ต่อเข้ากับวงจรไทรแอก (45 องศา)	28
4.16 วงจรPWM ต่อเข้ากับวงจรไทรแอก	28
4.17 วงจรPWM ต่อเข้ากับวงจรไทรแอก	29
4.18 วงจรPWM ต่อเข้ากับวงจรไทรแอก	29
4.19 วงจรPWM ต่อเข้ากับวงจรไทรแอก	30
4.20 วงจร D/A โดยใช้ R2R-LADDER	30
4.21 แสดงผลการเปรียบเทียบระหว่างค่าแปลงอุณหภูมิ กับไฟฟ้ากระแสตรง	30
4.22 แสดงข้อมูลส่งและรับ	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

เนื่องจากในปัจจุบันอุปกรณ์เครื่องใช้ไฟฟ้ามีส่วนเกี่ยวข้องในชีวิตประจำวันของมนุษย์เราเพิ่มมากขึ้น จึงอาจกล่าวได้ว่าเมื่อมนุษย์ยิ่งมีความต้องการความสะดวกสบายสูงขึ้น จะส่งผลให้เราต้องมีการพัฒนาเทคโนโลยีให้ก้าวตามเพื่อตอบสนองความต้องการของเราได้ทัน

ซึ่งพัดลมก็จัดว่าเป็นเครื่องอำนวยความสะดวกในการบรรเทาความร้อนราคาถูกที่เป็นที่นิยมใช้กันอย่างแพร่หลาย แต่พัดลมที่มีขายอยู่ตามท้องตลาดในปัจจุบันก็ยังไม่มีฟังก์ชั่นที่ตอบสนองความต้องการของมนุษย์ได้อย่างครบถ้วน เช่นมีระดับความเร็วที่สามารถปรับได้เพียง 3 – 5 ระดับ การควบคุมความเร็วต้องกระทำผ่านตัวควบคุม หรือสัมผัสสวิตช์ เป็นต้น นอกจากนั้นแล้วในบางสถานการณ์ความเร็วของพัดลมอาจจะไม่เหมาะสมทำให้เกิดการสิ้นเปลืองโดยใช่เหตุ เช่น ในตอนหัวค่ำเมื่อเราเริ่มนอนอากาศจะร้อนเราต้องการพัดลมที่มีความเร็วสูง แต่ในตอนดึกอากาศจะเย็นลงเราต้องการพัดลมทำงานที่ความเร็วต่ำลง เพื่อให้ได้อุณหภูมิที่เราต้องการ ซึ่งก็จะต้องทำให้เราต้องตื่นมาปรับความเร็วของพัดลม ทำให้เป็นอุปสรรคต่อการพักผ่อน ดังนั้นในโครงการวิจัยนี้ จึงได้นำเสนอการสร้างพัดลมอัจฉริยะที่สามารถปรับความเร็วของตัวมันเองได้ด้วยการตรวจจับอุณหภูมิจากภายนอก และมีความสามารถในการปรับความเร็วได้แบบต่อเนื่องไม่จำกัดอยู่ที่ 2 – 5 ระดับความเร็วอีกต่อไป จึงทำให้พัดลมอัจฉริยะนี้มีการทำงานที่มีการตอบสนองต่อความต้องการได้มากขึ้น และยังช่วยทำให้มีการประหยัดพลังงานเป็นผลพลอยได้ตามมาอีกด้วย

1.1 วัตถุประสงค์ของโครงการวิจัย

1. เพื่อตอบสนองความต้องการของผู้ใช้เครื่องใช้ไฟฟ้าที่มีความต้องการความง่ายต่อการใช้งาน มีความสะดวกสบายไม่ยุ่งยาก
2. เพื่อช่วยในการประหยัดพลังงาน

1.2. ขอบเขตของโครงการวิจัย

1. เป็นการออกแบบ และการควบคุมอุปกรณ์ที่เป็นมอเตอร์ไฟฟ้ากระแสสลับของพัดลมให้ทำงานอัตโนมัติตามการเปลี่ยนแปลงของอุณหภูมิภายในห้องของผู้อยู่อาศัย
2. เป็นการศึกษา และพัฒนาระบบควบคุมขนาดแรงดันไฟฟ้าแบบไร้สาย
3. เป็นการนำสัญญาณพัลส์วิดมอดูเลชันบนพื้นฐานของเฟสล็อคลูป มาประยุกต์ใช้ควบคุมกำลังไฟฟ้ากระแสสลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
งานวิจัยและทฤษฎีที่เกี่ยวข้อง

ในเนื้อหาของบทนี้ ได้มีการศึกษางานวิจัยที่มีความเกี่ยวข้อง และหลักการต่างๆ ที่ได้นำมาใช้ในโครงงานวิจัยนี้ ซึ่งประกอบไปด้วยเนื้อหาส่วนพื้นฐานของเฟสล็อคลูป การวิเคราะห์และการสร้างสัญญาณพัลส์วิดมอดูเลชันโดยอาศัยเฟสล็อคลูป

2.1 การทบทวนวรรณกรรมที่เกี่ยวข้อง(Literature review)

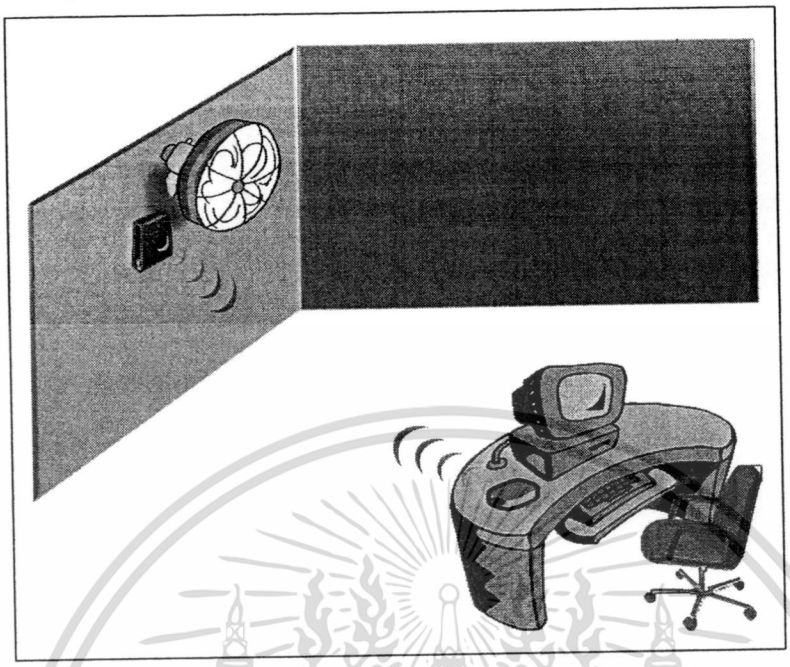
ชุดอิเล็กทรอนิกส์สวิทช์และการตั้งเวลาสำหรับควบคุมพัดลม นายประการ ยอมินและคณะ [1] ได้กล่าวถึงการออกแบบชุดควบคุมโหลดที่เป็นมอเตอร์ไฟฟ้ากระแสสลับให้ทำงานอัตโนมัติตามการเปลี่ยนแปลงของอุณหภูมิ โดยใช้การควบคุมมุมเฟสของมอเตอร์ด้วย AC – AC Converter และมีการตั้งระบบเวลาเพื่อควบคุมการเปิด – ปิดของพัดลม แต่ในการใช้งานนั้น เราต้องเลือกโหมดการทำงานก่อนด้วยมือ ว่าเราต้องการให้ระบบควบคุมมอเตอร์พัดลมอัตโนมัติ หรือเลือกให้เป็นการตั้งเวลาเปิด – ปิด พัดลม เนื่องจากว่าระบบยังไม่สามารถทำงานพร้อมกันทั้งสองอย่างได้

งานวิจัยต่อมาเป็นเรื่องของสัญญาณพัลส์วิดธ์มอดูเลชันบนพื้นฐานของวงจรเฟสล็อคลูป ของ P.Wisartpong และคณะ [2] ได้นำเสนอโครงสร้างใหม่ของวงจรกำเนิดสัญญาณพัลส์วิดธ์มอดูเลชันบนพื้นฐานของเฟสล็อคลูป โดยมีการเปรียบเทียบกับโครงสร้างแบบที่ M.J. Nasila ได้เสนอไว้ก่อนหน้า นั่นคือ แบบ Analytical Phase Shifter and PWM ที่มีการป้อนสัญญาณอินพุตที่ตำแหน่ง ระหว่างวงจรลูปฟิลเตอร์ และวงจรVCO ซึ่งโครงสร้างใหม่ที่งานวิจัยนี้ได้เสนอนั่นเป็นการเปลี่ยนตำแน่งที่ป้อนสัญญาณอินพุตเป็นระหว่างวงจรเฟสดีเทกเตอร์ และลูปฟิลเตอร์ ซึ่งการเปลี่ยนโครงสร้างดังกล่าวแสดงให้เห็นถึงสมรรถนะที่ดีขึ้น คือวงจรที่นำเสนอใหม่นี้มีย่านการล็อคของความถี่ที่กว้างขึ้น และมีการผิดพลาดของผลต่างเฟสน้อยกว่าเดิม

การนำเสนองานวิจัยของ A.Kitipongwatana และคณะ [3] ที่นำงานวิจัย [2] ก่อนหน้ามาประยุกต์ใช้ในการนำสัญญาณพัลส์วิดธ์มอดูเลชันบนพื้นฐานของวงจรเฟสล็อคลูป ไปใช้ควบคุมอุปกรณ์ไฟฟ้า และปรับขนาดแรงดันไฟฟ้ากระแสสลับ โดยเริ่มจากการออกแบบให้วงจรเฟสล็อคลูปกำเนิดสัญญาณ พัลส์วิดธ์มอดูเลชันที่มีความถี่สอดคล้องกับความถี่ของแหล่งกำเนิดไฟบ้าน คือ 220 โวลต์ 50 เฮิร์ต ยิ่งไปกว่านั้นการนำเสนอดังกล่าว ยังมีการสวิตช์การทำงานได้ 2 แบบ เพื่อที่จะรองรับกาควบคุมกระแสไฟฟ้าที่ไหลให้เต็มคลื่น คือ 1). ควบคุมกำลังไฟฟ้าที่ส่งจากแหล่งกำเนิดไปที่อุปกรณ์ไฟฟ้าโดยการควบคุมแบบเฟสเดียว(single phase controlling) 2). เป็นการควบคุมกำลังไฟฟ้าที่แหล่งกำเนิดกำลังไฟฟ้ากระแสสลับไปที่โหลด โดยหลักการควบคุมกำลังแบบเฟสคู่(biphase controlling) ซึ่งการสวิตช์การทำงานแบบ 1 หรือ 2 ที่กล่าวไปแล้วนั้น สามารถควบคุมได้ด้วยสัญญาณอินพุตกระแสตรง ดังนั้น ในการวิจัยนี้ จึงได้นำเอาเทคนิคการควบคุมการจ่ายค่ากำลังงานให้กับโหลดด้วยพัลส์วิดธ์มอดูเลชันบนพื้นฐานของวงจรเฟสล็อคลูป ของ A.Kitipongwatana มาใช้ในการควบคุมความเร็วมอเตอร์พัดลมและใช้ ตัวตรวจจับอุณหภูมิจับระดับของอุณหภูมิ ณ ตำแหน่งเป้าหมาย และส่งข้อมูลแบบไร้สายไปยังส่วนควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

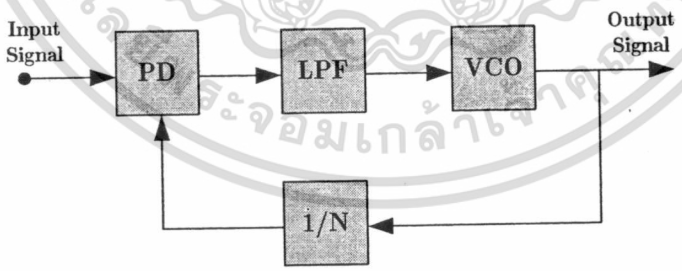
ความเร็วพัดลมเพื่อให้ตัวควบคุมความเร็วปรับความเร็วพัดลมให้ได้อุณหภูมิตามต้องการ แสดงภาพจำลองของระบบไว้ที่รูป 2.1



รูปที่ 2.1 ภาพจำลองของระบบพัดลมอัจฉริยะ

2.2 เฟสล็อคลูป (Phase Locked Loop)

เฟสล็อคลูปคือระบบป้อนกลับที่ทำหน้าที่สร้างสัญญาณเอาต์พุตให้สอดคล้องกับสัญญาณอ้างอิงของระบบ โดยอาศัยการเปรียบเทียบผลต่างเฟสของสัญญาณที่เข้ามากับสัญญาณอ้างอิง เฟสล็อคลูปประกอบด้วย 3 ส่วนด้วยกันคือ วงจรตรวจจับความต่างเฟส วงจรกรองความถี่ต่ำผ่าน วงจร VCO (Voltage Control Oscillator) และวงจรอินทิเกรเตอร์ แสดงดังรูป 2.2



รูปที่ 2.2 บล็อกไดอะแกรมของเฟสล็อคลูป

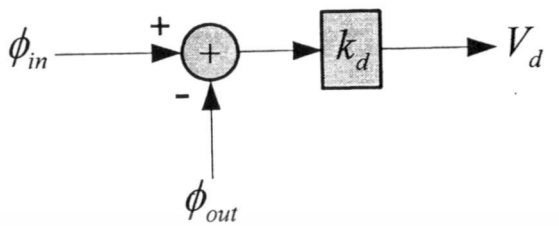
2.3 โครงสร้างของเฟสล็อคลูป

โครงสร้างของเฟสล็อคลูปประกอบไปด้วย 4 ส่วน

1. วงจรตรวจจับความต่างเฟส (Phase Detector)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรตรวจจับความต่างเฟสคือวงจรที่ทำหน้าที่เปรียบเทียบสัญญาณอินพุตสองสัญญาณ โดยให้เอาท์พุตเป็นความต่างเฟสของสัญญาณทั้งสอง ซึ่งเป็นได้ทั้งในรูปแบบของแรงดันไฟฟ้า หรือกระแสไฟฟ้า ซึ่งจะขึ้นอยู่กับชนิดของวงจรตรวจจับความต่างเฟสที่นำมาใช้ แสดงดังรูปที่ 2.3



รูปที่ 2.3 วงจรตรวจจับความต่างเฟส

$$V_d = k_d(\phi_{in} - \phi_{out}) \qquad 2.1$$

โดยที่ V_d คือ ปริมาณความต่างเฟสในรูปแรงดันไฟฟ้า

k_d คือ อัตราขยายของวงจรตรวจจับความต่างเฟส

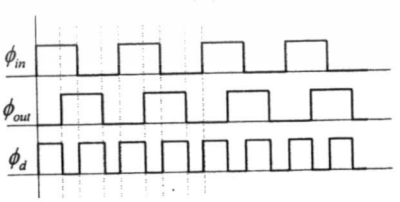
ϕ_{in} และ ϕ_{out} คือ เฟสของสัญญาณอินพุตทั้งสองสัญญาณ

วงจรตรวจจับความต่างเฟสยังแบ่งได้อีกหลายชนิดด้วยกัน ตัวอย่างเช่น

วงจรตรวจจับความต่างเฟสชนิด X-OR gate

วงจรตรวจจับความต่างเฟสชนิดนี้เป็นการตรวจจับเฟสของสัญญาณดิจิตอล ซึ่งมีสองระดับคือ 0 และ 1 ผลต่างเฟสของสัญญาณได้จากการนำสัญญาณสองสัญญาณมาทำการ Exclusive OR ซึ่งในรูปที่ 2.4 (ก) แสดงถึงโครงสร้างของวงจรตรวจจับความต่างเฟสชนิด X-OR gate และ รูปที่ 2.4 (ข) แสดงผลของสัญญาณที่ได้จากการทำ Exclusive OR

(ก).



(ข).

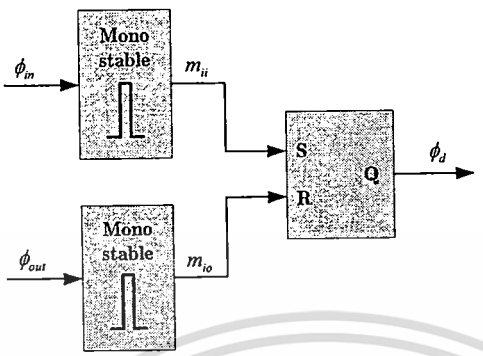
รูปที่ 2.4 (ก). โครงสร้างของวงจรตรวจจับความต่างเฟสชนิด X-OR

(ข). สัญญาณการเปรียบเทียบความต่างเฟสของสัญญาณ

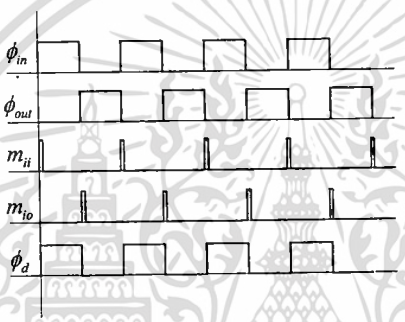
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรตรวจจับความต่างเฟสชนิด RS Flip-Flop

วงจรตรวจจับความต่างเฟสชนิดนี้ เป็นวงจรตรวจจับเฟสของสัญญาณดิจิตอลเช่นเดียวกันกับแบบ X-OR gate ประกอบด้วยสองส่วนคือ RS Flip-Flop และ Monostable Multivibrator ดังที่ได้แสดงไว้ในรูปที่ 2.5



(ก).

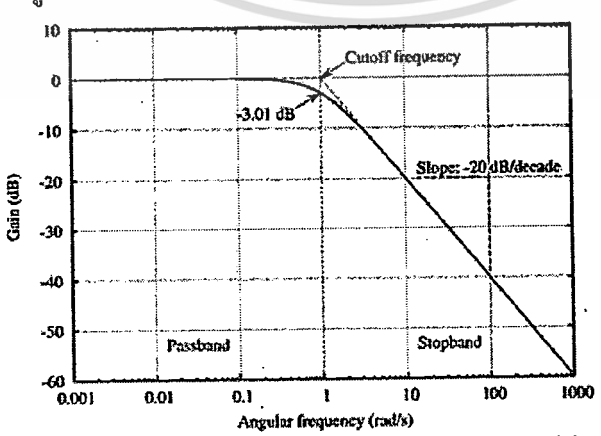


(ข).

รูปที่ 2.5 (ก). โครงสร้างของวงจรตรวจจับความต่างเฟสชนิด RS-Flip Flop
(ข). สัญญาณการเปรียบเทียบความต่างเฟสของสัญญาณ

2. วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

วงจรกรองความถี่ต่ำผ่านคือวงจรที่ทำหน้าที่ลดทอนขนาดของสัญญาณที่มีความถี่สูงกว่าความถี่ที่ได้กำหนดไว้ (ความถี่คัทออฟ) ไม่ให้ผ่านไปได้ คุณลักษณะของวงจรสามารถแสดงได้ด้วยกราฟผลตอบสนองทางความถี่ดังรูปที่ 2.6

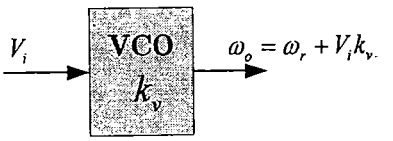


รูปที่ 2.6 กราฟผลตอบสนองทางความถี่ของวงจรความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจร VCO (Voltage Control Oscillator)

วงจร VCO คือวงจรกำเนิดสัญญาณซึ่งความถี่ของสัญญาณถูกควบคุมด้วยแรงดันไฟฟ้า ดังสมการที่ 2.2



รูปที่ 2.7 บล็อกไดอะแกรมของวงจร VCO

$$\omega_o = \omega_r + V_i k_v \qquad 2.2$$

โดยที่ ω_o คือ ความถี่ของสัญญาณเอาต์พุต

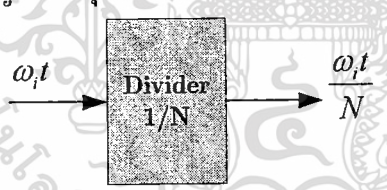
ω_r คือ ความถี่ศูนย์กลาง

V_i คือ แรงดันไฟฟ้าควบคุม

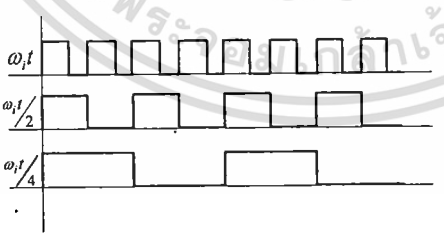
k_v คือ อัตราขยายของวงจร VCO

4. วงจรหารความถี่

วงจรหารความถี่คือวงจรที่ทำหน้าที่สร้างสัญญาณเอาต์พุตที่มีความถี่ต่ำกว่าความถี่ของสัญญาณอินพุตด้วยสัดส่วน N เท่า โดยที่ N เป็นจำนวนเต็ม ตัวอย่างสัญญาณที่ได้จากวงจรหารความถี่สามารถแสดงดังรูปที่ 2.8 (ข) วงจรหารความถี่ในวงจรเฟสล็อคลูปจะถูกใช้เมื่อต้องการสังเคราะห์ความถี่ หรือความถี่ที่มีค่าสูงกว่าความถี่ของสัญญาณอินพุต



(ก)



(ข)

รูปที่ 2.8 (ก) บล็อกไดอะแกรมของวงจรหารความถี่
(ข) ตัวอย่างสัญญาณที่ได้จากวงจรหารความถี่ที่ N = 2 และ N = 4

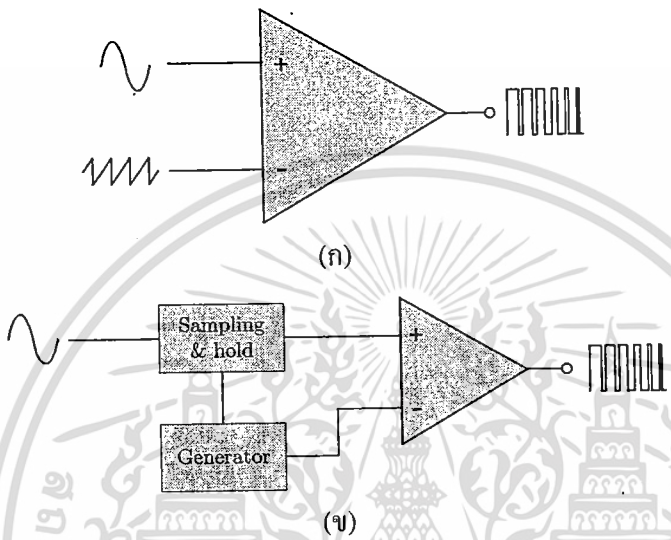
2.4 สัญญาณพัลส์วิดมอดูเลชัน (PWM Signal)

การสื่อสารเป็นกระบวนการส่งผ่านข้อมูลจากตัวผู้ส่งไปยังผู้รับ ดังนั้นการสื่อสารจึงจำเป็นต้องมีตัวกลางในการส่งผ่าน ซึ่งอาจจะใช้สาย หรือไร้สาย ตัวกลางทั้งสองชนิดจะมีคุณสมบัติที่แตกต่างกันไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นการที่จะต้องส่งผ่านข้อมูลลงไปบนตัวกลางนั้นจำเป็นต้องจัดเตรียมข้อมูลให้เหมาะสมกับตัวกลางเสียก่อน กระบวนการจัดเตรียมข้อมูลนี้เรียกว่า การมอดูเลต

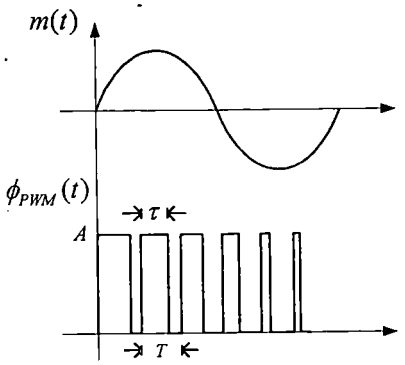
พัลส์วิดมอดูเลชัน คือการมอดูเลตประเภทหนึ่งโดยอาศัยความกว้างของพัลส์ โดยการเปลี่ยนสัญญาณข่าวสารไปเป็นสัญญาณพัลส์สองระดับ โดยความกว้างพัลส์ที่เปลี่ยนไปจะแปรผันตามขนาดของสัญญาณข่าวสาร โดยทั่วไปสามารถทำการมอดูเลตพัลส์วิดมอดูเลชันได้ 2 วิธี วิธีแรกคือการสุ่มแบบธรรมชาติ (Natural Sampling) และวิธีที่สองคือการสุ่มแบบมีรูปแบบ (Uniform Sampling) แสดงดังรูปที่ 2.9

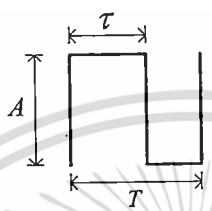


รูปที่ 2.9 การมอดูเลตพัลส์วิดมอดูเลชัน
(ก) การสุ่มแบบธรรมชาติ
(ข) การสุ่มแบบมีรูปแบบ

เป็นที่ทราบกันดีว่าสัญญาณใดๆ เกอดจากการรวมกันของสัญญาณรูปไซน์หลายความถี่ จึงทำให้สามารถอธิบายองค์ประกอบทางความถี่ของสัญญาณได้ด้วยการใช้อนุกรมฟูเรียร์ และการแปลงฟูเรียร์ และเนื่องจากว่าสัญญาณพัลส์วิดมอดูเลชันเป็นสัญญาณรายคาบ ดังนั้นจึงสามารถทำการวิเคราะห์ และอธิบายองค์ประกอบทางความถี่ได้ด้วยอนุกรมฟูเรียร์ [18] ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 2.10 สัญญาณพัลส์วิดมอดูเลชันที่มีความกว้างพัลส์แปรผันตามขนาดของข่าวสาร

จากรูปที่ 2.10 สัญญาณพัลส์วิดมอดูเลชันจะถูกพิจารณาเพียง 1 คาบมีค่าเท่ากับ T และความกว้างของพัลส์ หรือ duty cycle (τ) แปรผันตามขนาดของสัญญาณข่าวสาร $m(t)$ จึงกำหนดให้

$$\tau = k_p m(t) \qquad 2.3$$

โดย k_p คือ ค่าคงที่

$m(t)$ คือ สัญญาณข่าวสาร

ในการวิเคราะห์สัญญาณจะอาศัยฟูเรียร์แบบเอ็กโปเนนเชียลมาอธิบาย ดังนี้

$$\phi_{PWM}(t) = F_0 + \sum_{n=-\infty}^{\infty} F_n e^{jn\omega_0 t} \qquad 2.4$$

จากสมการที่ 2.4 F_0 สามารถหาได้จาก

$$F_0 = \frac{1}{T}\int_{t_0}^{T} \phi_{PWM}(t)dt \qquad 2.5$$

จากรูปสัญญาณ 1 คาบ ในรูปที่ 2.19 กำหนดให้ $t_0 = 0$ จะได้

$$F_0 = \frac{1}{T}\int_0^{\tau} A dt \qquad 2.6.1$$

$$= \frac{A}{T} t\Big|_0^{\tau} \qquad 2.6.2$$

$$= A\frac{\tau}{T} \qquad 2.6.3$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าของ F_n หาได้จาก

$$F_n = \frac{1}{T}\int_{t_0}^{T} \phi_{PWM}(t) e^{-jn\omega_0 t}\, dt \qquad 2.7$$

จากรูปสัญญาณ 1 คาบในรูปที่ 2.10 กำหนดให้ $t_0 = 0$ จะได้

$$F_n = \frac{1}{T}\int_{0}^{\tau} A e^{-jn\omega_0 t}\, dt \qquad 2.8.1$$

$$= \frac{A}{T}\frac{1}{-jn\omega_0} e^{-jn\omega_0 t}\Big|_0^{\tau} \qquad 2.8.2$$

$$= \frac{A}{T}\left(\frac{e^{-jn\omega_0 \tau} - 1}{-jn\omega_0}\right) \qquad 2.8.3$$

$$= \frac{A}{T}\left(\frac{1 - e^{-jn\omega_0 \tau}}{jn\omega_0}\right) \qquad 2.8.4$$

นำค่า F_0 และ F_n จากสมการที่ 2.6.3 และ 2.8.4 แทนลงในสมการที่ 2.4

$$\phi_{PWM}(t) = A\frac{\tau}{T} + \sum_{n=-\infty}^{\infty} \frac{A}{T}\left(\frac{1 - e^{-jn\omega_0 \tau}}{jn\omega_0}\right) e^{jn\omega_0 t} \qquad 2.9.1$$

$$= A\frac{\tau}{T} + \sum_{n=-\infty}^{\infty} \frac{A}{T}\left(\frac{e^{jn\omega_0 t} - e^{-jn\omega_0 (t-\tau)}}{jn\omega_0}\right) \qquad 2.9.2$$

แยกพิจารณาสมการที่ 2.9.2

$$\phi_{PWM}(t) = A\frac{\tau}{T} + \sum_{n=-\infty}^{-1} \frac{A}{T}\left(\frac{e^{jn\omega_0 t} - e^{jn\omega_0 (t-\tau)}}{jn\omega_0}\right) + \sum_{n=1}^{\infty} \frac{A}{T}\left(\frac{e^{jn\omega_0 t} - e^{jn\omega_0 (t-\tau)}}{jn\omega_0}\right) \qquad 2.10$$

ในเทอมกลางของสมการที่ 2.10 เปลี่ยนตัวแปร $n = -n$ จะได้

$$\phi_{PWM}(t) = A\frac{\tau}{T} + \sum_{n=\infty}^{1} \frac{A}{T}\left(\frac{e^{j(-n)\omega_0 t} - e^{-j(-n)\omega_0 (t-\tau)}}{j(-n)\omega_0}\right) + \sum_{n=1}^{\infty} \frac{A}{T}\left(\frac{e^{jn\omega_0 t} - e^{jn\omega_0 (t-\tau)}}{jn\omega_0}\right) \qquad 2.11.1$$

$$= A\frac{\tau}{T} + \sum_{n=\infty}^{1} \frac{A}{T}\left(\frac{e^{-jn\omega_0 t} - e^{-jn\omega_0 (t-\tau)}}{-jn\omega_0}\right) + \sum_{n=1}^{\infty} \frac{A}{T}\left(\frac{e^{jn\omega_0 t} - e^{jn\omega_0 (t-\tau)}}{jn\omega_0}\right) \qquad 2.11.2$$

จัดรูปสมการใหม่แล้วจะได้

$$\phi_{PWM}(t) = A\frac{\tau}{T} + \sum_{n=1}^{\infty} \frac{A}{T}\left\{\frac{e^{jn\omega_0 t} - e^{-jn\omega_0 t}}{jn\omega_0} - \frac{e^{jn\omega_0 (t-\tau)} - e^{-jn\omega_0 (t-\tau)}}{jn\omega_0}\right\} \qquad 2.12$$

จาก $\sin(\theta) = \dfrac{e^{j\theta} - e^{-j\theta}}{2j}$

$$\phi_{PWM}(t) = A\frac{\tau}{T} + \sum_{n=1}^{\infty} \frac{2A}{n\omega_0 T}\left\{\sin(n\omega_0 t) - \sin(n\omega_0 (t-\tau))\right\} \qquad 2.13$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากความสัมพันธ์ของค่า τ และ $m(t)$ ในสมการที่ 2.3

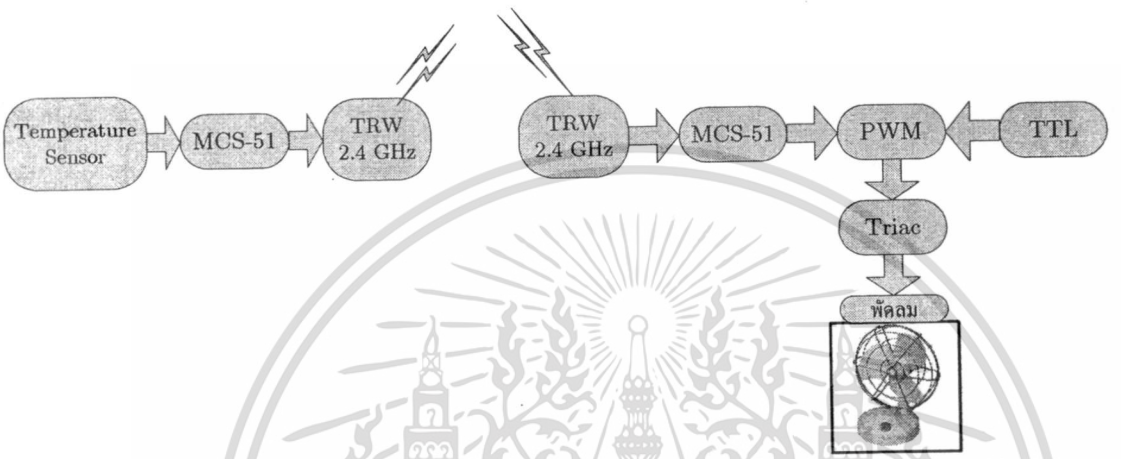
$$\phi_{PWM}(t) = A\frac{k_p m(t)}{T} + \sum_{n=1}^{\infty}\frac{2A}{n\omega_0 T}\left\{\sin(n\omega_0 t) - \sin(n\omega_0(t - k_p m(t)))\right\} \qquad 2.14$$

จากสมการที่ 2.14 จะเห็นได้ว่า $\phi_{PWM}(t)$ ประกอบด้วยสองเทอมคือเทอมความถี่ต่ำ ซึ่งเป็นเทอมของสัญญาณข่าวสาร และอีกเทอมหนึ่งคือเทอมความถี่สูงซึ่งเป็นเทอมของสัญญาณคลื่นพาห์ที่มีรูปสมการคล้ายกับสมการของการมอดูเลตทางเฟส ดังนั้นการกู้สัญญาณข่าวสารสามารถทำได้ด้วยการนำไปผ่านวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
วิธีดำเนินการวิจัย

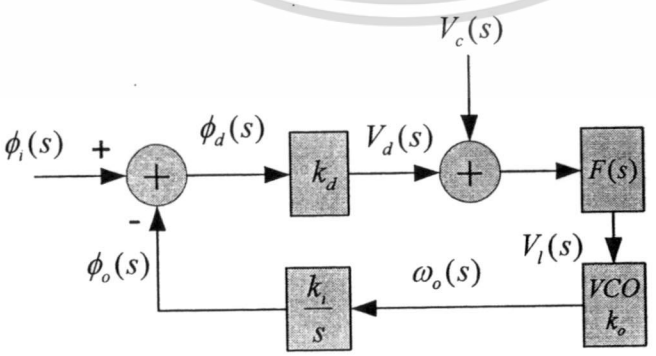
จากบทที่ผ่านมาได้กล่าวถึงทฤษฎี และหลักการพื้นฐานที่นำมาใช้ในงานวิจัย สำหรับเนื้อหาในบทนี้จะกล่าวถึงหลักการที่ใช้ในการวิจัยโดยอาศัยทฤษฎี และหลักการพื้นฐานที่ได้กล่าวไปในบทที่ผ่านมา ซึ่งประกอบไปด้วยการสร้างสัญญาณพัลส์วิดมอดูเลชันโดยอาศัยเฟสล็อคลูป การคำนวณวงจรต่างๆที่นำมาใช้ และการนำไปประยุกต์ใช้ในการควบคุมการจ่ายกำลังให้แก่โหลดโดยอาศัยวงจรเฟสล็อคลูป



รูปที่ 3.1 บล็อกไดอะแกรมระบบพัดลมอัจฉริยะ

3.1 การสร้างสัญญาณพัลส์วิดมอดูเลชันโดยอาศัยเฟสล็อคลูป

สัญญาณพัลส์วิดมอดูเลชัน คือ สัญญาณที่ได้จากการมอดูเลชันระหว่างสัญญาณข่าวสาร และสัญญารพาหะ โดยพื้นฐานการมอดูเลชันสามารถทำได้โดยการนำสัญญาณข่าวสารมาทำการเปรียบเทียบกะบสัญญาณพาหะ ที่มีลักษณะเป็นสัญญาณสามเหลี่ยมหรือสัญญาณฟันเลื่อย ผลที่ได้คือสัญญาณสี่เหลี่ยมที่มี Duty Cycle แปรผันตามระดับตามขนาดของสัญญาณข่าวสาร นอกจากนี้ยังมีผู้นำเสนอวิธีการสร้างสัญญาณพัลส์วิดมอดูเลชันโดยอาศัยพื้นฐานของเฟสล็อคลูปอีกด้วย ซึ่งจะอธิบายโดยใช้บล็อกไดอะแกรมในรูปที่ 3.2



รูปที่ 3.2 บล็อกไดอะแกรมของพัลส์วิดมอดูเลชันโดยอาศัยเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.2 ซึ่งเป็นบล็อกไดอะแกรมของพัลส์วิดมอดูเลชัน โดยอาศัยเฟสล็อคลูป สามารถแสดงการวิเคราะห์ได้ โดยกำหนดให้

$\phi_i(s)$ คือ เฟสอินพุต

$\phi_o(s)$ คือ เฟสเอาต์พุต

$\phi_d(s)$ คือ ความต่างเฟส

k_d คือ อัตราขยายของวงจรตรวจจับความต่างเฟส

$V_c(s)$ คือ สัญญาณข่าวสาร

$F(s)$ คือ ฟังก์ชันถ่านโอนของวงจรกรองความถี่ต่ำผ่าน

k_o คือ อัตราขยายของวงจร VCO

k_i คือ อัตราขยายของตัวปริพันธ์

จากรูปที่ 3.1 เขียนความสัมพันธ์ของระบบได้ดังนี้

$$V_d(s) = k_d\left(\phi_i(s) - \phi_o(s)\right) \tag{3.1}$$

$$\omega_o(s) = \omega_r(s) + k_o F(s)\left(V_d(s) + V_c(s)\right) \tag{3.2}$$

$$\phi_o(s) = \frac{k_i}{s}\omega_o(s) \tag{3.3}$$

แทน $V_d(s)$ จากสมการที่ 3.1 ลงในสมการที่ 3.2

$$\omega_o(s) = \omega_r(s) + k_o F(s)\left[k_d\left(\phi_i(s) - \phi_o(s)\right) + V_c(s)\right] \tag{3.4}$$

แทน $\omega_o(s)$ จากสมการที่ 3.4 ลงในสมการที่ 3.3

$$\phi_o(s) = \frac{k_i}{s}\left[\omega_r(s) + k_o k_d F(s)\left(\phi_i(s) - \phi_o(s)\right) + k_o F(s) V_c(s)\right]$$

$$\phi_o(s) = \frac{k_i}{s}\omega_r(s) + \frac{k_i}{s}k_o k_d F(s)\left(\phi_i(s) - \phi_o(s)\right) + \frac{k_i}{s}k_o F(s) V_c(s)$$

$$\phi_o(s)\left(\frac{s + k_i k_o k_d F(s)}{s}\right) = \frac{k_i}{s}\omega_r(s) + \frac{k_i}{s}k_o k_d F(s)\left(\phi_i(s) - \phi_o(s)\right) + \frac{k_i}{s}k_o F(s) V_c(s)$$

$$\phi_o(s)\left(\frac{s + k_i k_o k_d F(s)}{s}\right) = \frac{k_i}{s + k_i k_o k_d F(s)}\omega_r(s) + \frac{k_i k_o k_d F(s)}{s + k_i k_o k_d F(s)}\phi_i(s) + \frac{k_i k_o F(s)}{s + k_i k_o k_d F(s)} V_c(s) \tag{3.5}$$

กำหนดให้ตัวกรองความถี่ต่ำผ่านของระบบเป็นแบบอันดับหนึ่ง และฟังก์ชันถ่ายโอนคือ

$F(s) = \dfrac{A}{\dfrac{s}{\omega_c} + 1}$ ดังนั้นสามารถเขียนสมการที่ 3.5 ได้ใหม่ดังสมการที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\phi_o(s)=\frac{k_i\left(1+\frac{s}{\omega_c}\right)}{s\left(1+\frac{s}{\omega_c}\right)+Ak_ik_ok_d}\omega_r(s)+\frac{Ak_ik_ok_d}{s\left(1+\frac{s}{\omega_c}\right)+Ak_ik_ok_d}\phi_i(s)$$
$$+\frac{Ak_ik_o}{s\left(1+\frac{s}{\omega_c}\right)+Ak_ik_ok_d}V_c(s) \qquad 3.6$$

เพื่อให้ง่ายต่อการพิจารณากำหนดให้ $K=Ak_ik_ok_d$

$$\phi_o(s)=\frac{k_i\left(1+\frac{s}{\omega_c}\right)}{s\left(1+\frac{s}{\omega_c}\right)+K}\omega_r(s)+\frac{K}{s\left(1+\frac{s}{\omega_c}\right)+K}\phi_i(s)$$
$$+\frac{Ak_ik_o}{s\left(1+\frac{s}{\omega_c}\right)+K}V_c(s) \qquad 3.7$$

จัดรูปแล้วจะได้ว่า

$$\left(s\left(1+\frac{s}{\omega_c}\right)+K\right)\phi_o(s)=k_i\left(1+\frac{s}{\omega_c}\right)\omega_r(s)+K\phi_i(s)+Ak_ik_oV_c(s)$$

$$\frac{1}{\omega_c}s^2\phi_o(s)+s\phi_o(s)+K\phi_o(s)=k_i\left(1+\frac{s}{\omega_c}\right)\omega_r(s)+K\phi_i(s)+Ak_ik_oV_c(s)$$

$$s^2\phi_o(s)+s\phi_o(s)+K\phi_o(s)=\omega_ck_i\left(1+\frac{s}{\omega_c}\right)\omega_r(s)+\omega_cK\phi_i(s)+\omega_cAk_ik_oV_c(s) \qquad 3.8$$

ทำการแปลงกลับลาปลาซในสมการที่ 3.8 จะได้

$$\frac{d^2\phi_o(t)}{dt^2}+\omega_c\frac{d\phi_o(t)}{dt}+\omega_cK\phi_o(t)=\omega_ck_i\left(\omega_r(t)+\frac{1}{\omega_c}\frac{d\omega_r(t)}{dt}\right)+\omega_cK\phi_i(t)$$
$$+\omega_cAk_ik_oV_c(t) \qquad 3.9$$

เนื่องจาก $\omega_r(t)$ คือค่าคงที่ จะเขียนได้ดังนี้

$$\frac{d^2\phi_o(t)}{dt^2}+\omega_c\frac{d\phi_o(t)}{dt}+\omega_cK\phi_o(t)=\omega_ck_i\omega_r(t)+\omega_cK\phi_i(t)+\omega_cAk_ik_oV_c(t) \qquad 3.10$$

จากสมการอนุพันธ์ที่ 3.10 จะแสดงถึงการวิเคราะห์ผลตอบสนองฟังก์ชันบังคับ (forced response) ในที่นี้แทนด้วย $\phi_{of}(t)$ โดยกำหนดให้สัญญาณของระบบคือ $\sin(\omega_it+\theta_i)$ ซึ่งจะได้

$$\phi_i(t)=\omega_it+\theta_i$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย ω_i คือ ความถี่ของสัญญาณอินพุต

θ_i คือ เฟสของสัญญาณอินพุต

ดังนั้น

$$\phi_{of}(t) = at + b$$

โดย a, b คือ ค่าคงที่

แทน $\phi_i(t)$ และ $\phi_{of}(t)$ ลงในสมการที่ 3.10

$$\frac{d^2(at+b)}{dt^2} + \omega_c \frac{d(at+b)}{dt} + \omega_c K(at+b) = \omega_c k_i \omega_r(t) + \omega_c K(\omega_i t + \theta_i) + \omega_c A k_i k_o V_c(t)$$

$$Kat + a + Kb = K\omega_i(t) + k_i\omega_r + K\theta_i + Ak_ik_oV_c$$

ทำการเทียบสัมประสิทธิ์ในแต่ละเทอม

$$a = \omega_i$$

$$b = \frac{k_i}{K}\omega_r + \theta_i - \frac{1}{K}\omega_i + \frac{Ak_ik_o}{K}V_c$$

ดังนั้นสามารถเขียน $\phi_o(t)$ ได้ดังสมการที่ 3.11

$$\phi_o(t) = \omega_i t + \frac{k_i}{K}\omega_r + \theta_i - \frac{1}{K}\omega_i + \frac{Ak_ik_o}{K}V_c \qquad 3.11$$

เมื่อพิจารณาผลต่างเฟส จะได้ว่า

$$\phi_d(t) = \phi_i(t) - \phi_o(t)$$

$$\phi_d(t) = \frac{1}{K}\omega_i - \frac{k_i}{K}\omega_r - \frac{Ak_ik_o}{K}V_c \qquad 3.12$$

จากสมการที่ 3.11 และ 3.12 สังเกตได้ว่าความต่างเฟส $\phi_d(t)$ จะขึ้นอยู่กับ V_c ที่เข้ามา นั่นจะทำให้ได้สัญญาณพัลส์วิดมอดูเลชัน หรือ สัญญาณ PWM โดยวงจรเฟสล็อคลูปนั่นเอง

3.2 วงจรเฟสล็อคลูป

เพื่อให้ง่ายในทางปฏิบัติ จึงได้เลือกใช้ไอซีสำเร็จรูป CD4046 ซึ่งมีคุณสมบัติเป็นวงจรเฟสล็อคลูปมาใช้ในการออกแบบวงจร ซึ่งจะต้องมีการคำนวณและออกแบบวงจรย่อย 3 ส่วนของเฟสล็อคลูป

3.2.1 วงจร VCO

ไอซีสำเร็จรูป CD4046 และสามารถคำนวณหาค่าตัวเก็บประจุและตัวต้านทานที่ใช้จากกราฟภายในเอกสารที่แสดงไว้ในภาคผนวก จากนั้นเราสามารถหาระยะทางที่ความถี่ล็อค (Frequency Lock Range) ได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$2f_L$= Full VCO frequency range

$2f_L = f_{max} - f_{min}$

$f_L = 18.5Hz$

แล้วนำค่า f_L ที่ได้มาคำนวณหาค่า f_c จากสมการ

$$2f_c = \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{C_3 R_2}}$$

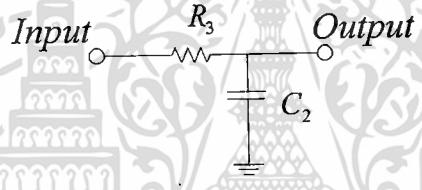
$$f_c = 7.5Hz$$

โดย f_c คือ ความถี่ย่านจับล็อค (Frequency Capture Range)

f_L คือ ความถี่ล็อค (Frequency Lock Range)

3.2.2 วงจรกรองความถี่ต่ำผ่าน

เราสามารถนำค่าที่คำนวณได้มาสร้างวงจรกรองความถี่ต่ำผ่าน โดยให้ $R_3 = 100k\Omega$ และ $C_2 = 0.47\mu F$



รูปที่ 3.3 วงจรกรองความถี่ต่ำผ่าน

สูตรในการคำนวณหาค่าความถี่คัดออฟ

$$f_c = \frac{1}{2\pi R_3 C_2}$$

โดยที่ $C_2 = 0.47\mu F$ และ $R_3 = 100k\Omega$ คำนวณแล้วได้

$$f_c = 3.8Hz$$

3.2.3 การคำนวณของวงจรตรวจจับความต่างเฟส (Phase Detector)

การหาค่าช่วงเวลาที่ได้จากสัญญาณขาออก สมารถคำนวณได้จากสูตร

$$T = KR_t C_t$$

โดย R_t คือ External timing resistor

C_t คือ External timing capacitor

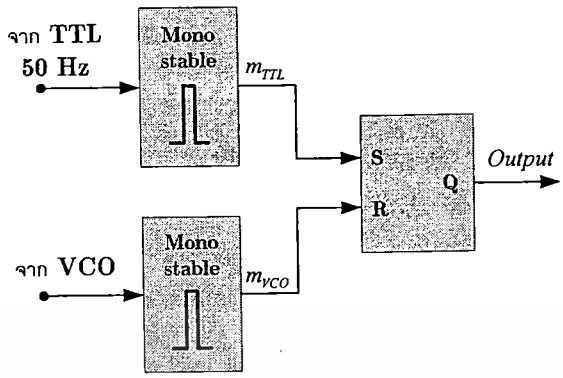
แล้วกำหนดให้ $R_t = 1k\Omega, C_t = 0.33\mu F, K = 0.42$

$$T = (0.42)(1k\Omega)(0.33\mu F)$$

$$T = 0.14ms$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

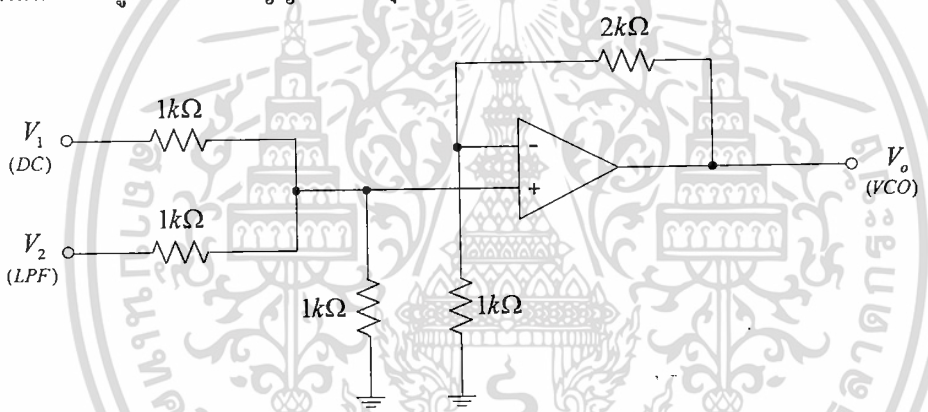
จะได้ช่วงเวลาของพัลส์มีค่าเท่ากับ 0.14 มิลลิวินาที



รูปที่ 3.4 วงจรตรวจจับความต่างเฟส

3.3 วงจรรวมสัญญาณ

วงจรรวมสัญญาณ จะทำหน้าที่รวมสัญญาณไฟฟ้ากระแสตรง ซึ่งจะควบคุม Duty Cycle ของสัญญาณพัลส์วิดมอดูเลชัน และสัญญาณเอาต์พุตของวงจรตรวจจับความต่างเฟส

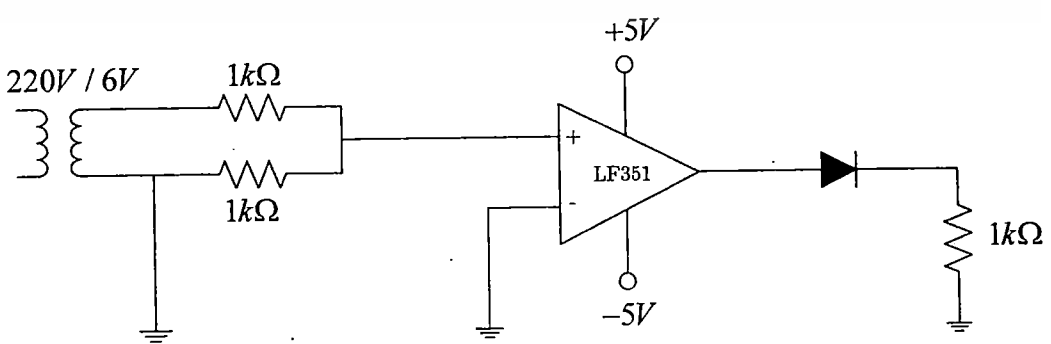


รูปที่ 3.5 วงจรรวมสัญญาณ

การคำนวณหาค่าระดับแรงดันเอาท์พุตในวงจรรวมโดยกำหนดให้ $R_1 = 1k\Omega$, $R_2 = 1k\Omega$, $R_f = 2k\Omega$

$$V_o = -R_f \times \left(\frac{V_1}{R_1} + \frac{V_2}{R_2}\right)$$

3.4 ชุดวงจร TTL

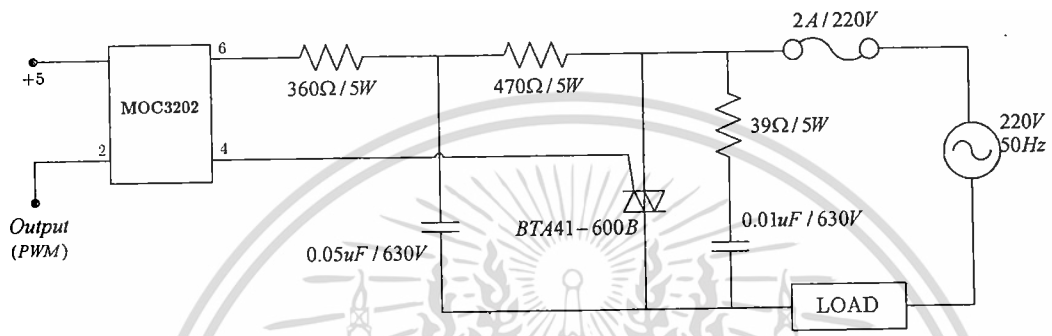


รูปที่ 3.6 วงจรTTL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่ารูปคลื่นสัญญาณพัลส์สี่เหลี่ยมที่ได้จะส่งเข้าไปยังไมโครคอนโทรเลอร์ซึ่งไมโครคอนโทรเลอร์จะตรวจจับขอบขาลงของพัลส์ เพื่อที่กำหนดสภาวะการทำงานเริ่มต้นให้กับไมโครคอนโทรเลอร์ในการส่งสัญญาณมุมทริกออกไปที่ขาเอาท์พุตของไมโครคอนโทรเลอร์โดยสามารถนำไปสั่งงานให้กับชุดวงจรขับไทรแอกได้ตามต้องการ

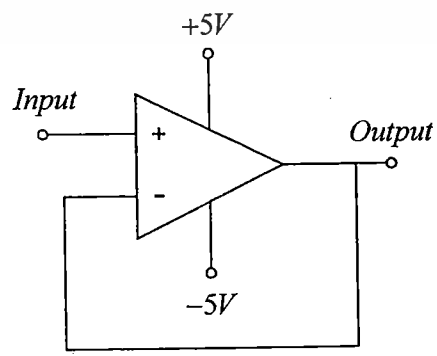
3.5 วงจร Triac



รูปที่ 3.7 วงจรTriac

จากวงจรการทำงานของTriacจะมีตัว Optoisolators เป็นตัวเชื่อมการทำงานด้วยแสงเพื่อป้องกันการลัดวงจรทางด้านแรงดันไฟสูงที่จะส่งมายังแรงดันต่ำทำให้วงจรไฟทางด้านแรงดันต่ำไม่เสียหายการทำงานของวงจรนี้จะเริ่มต้นเมื่อมีสัญญาณริกที่ขาเอาท์พุตของไมโครคอนโทรเลอร์มาทริกที่ขาเบสของทรานซิสเตอร์ ซึ่งทรานซิสเตอร์ตัวนี้เปรียบเหมือนสวิทช์ ในการต่อวงจรให้กระแสไหลผ่าน Optoisolators ซึ่งผ่านในOptoisolators จะมีLEDจะทำงานให้ในช่วง 30-50 mA เปล่งแสงไปควงคุมตัวไทรแอกที่ทำงานเสมือนสวิทช์ต่อวงจรไฟทางด้านแรงดันไฟสูง ในการไปทริกขาเกทให้มีสัญญาณไฟไหลผ่านตัวไทรแอก โดยในวงจรนี้จะมีตัวต้านทาน 39Ω/5W ที่ต่ออนุกรมกับตัวเก็บประจุ 0.01 μ F/630V จะเป็นตัวป้องกันกระแสกระชากให้กับตัวไทรแอกอีกด้วย

3.6 วงจร Buffer



รูปที่ 3.8 รูปวงจรBuffer

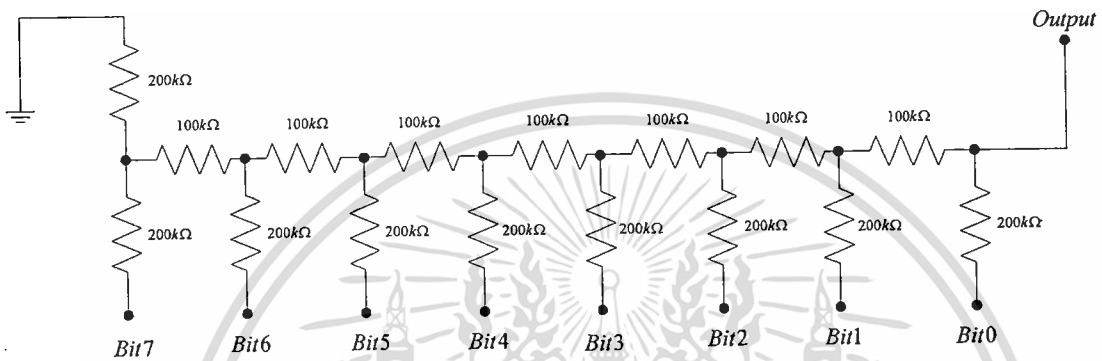
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำหน้าที่ในการเพิ่มกระแสให้วงจร จากกระแสที่เสียไปจะทำให้กระแสเพิ่มมากขึ้น อัตราการขยายของวงจรชนิดนี้มีค่าเท่ากับ 1 นั่นคือ

$$\frac{V_{out}}{V_{in}} = 1$$

$$V_{out} = V_{in}$$

3.7 Digital to Analog Converter (D/A) แบบโครงข่ายแบบ R-2R



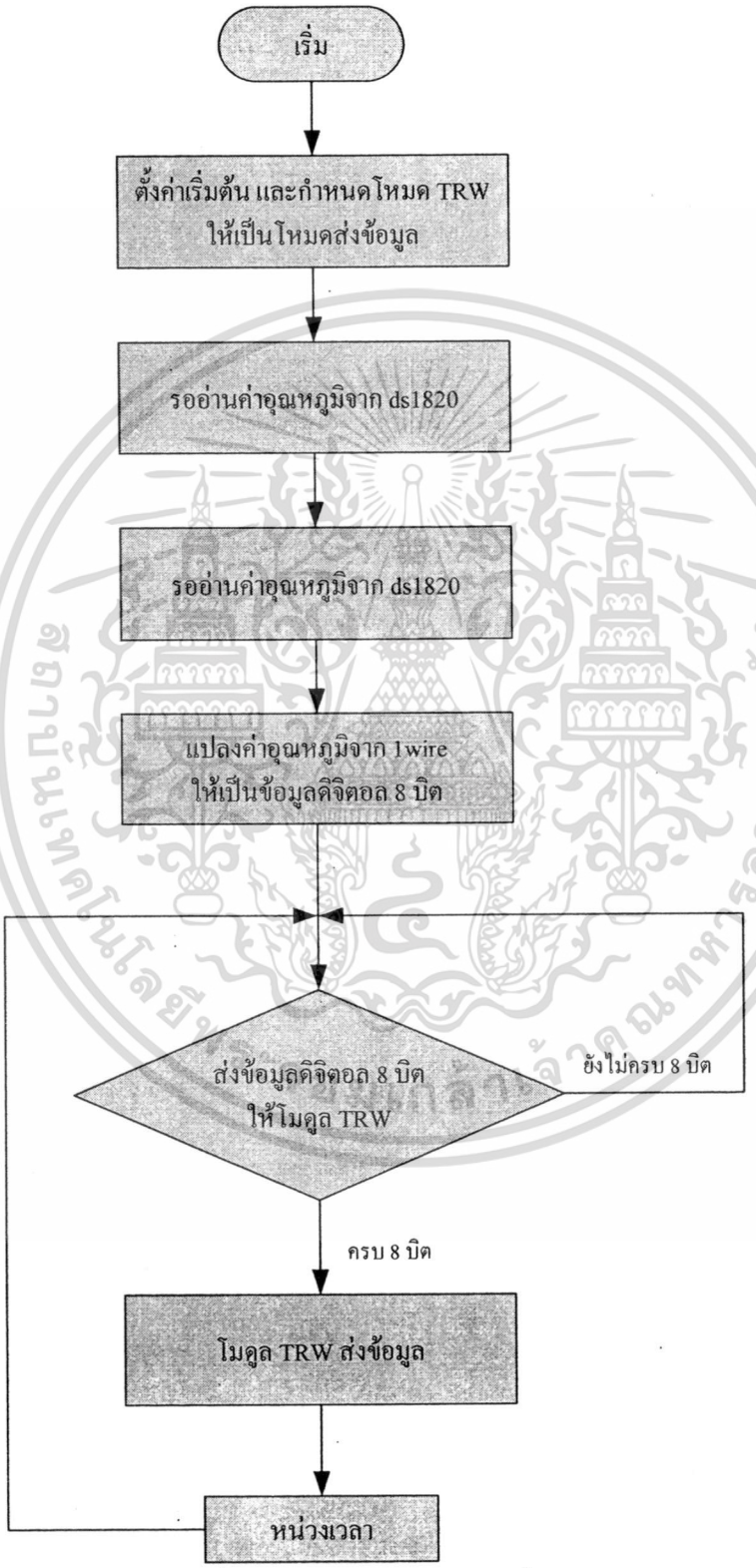
รูปที่ 3.9 วงจร D/A โดยใช้ R-LADDER

วงจร R2R-LADDER ทำหน้าที่แปลงข้อมูลผลลัพธ์จากการประมวลผลเป็นสัญญาณไฟฟ้า ให้เป็นสัญญาณที่มนุษย์รับรู้ได้ สัมผัสได้ ซึ่งเป็นการแสดงผลข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 ภาคการรับและการส่งผ่าน TRW

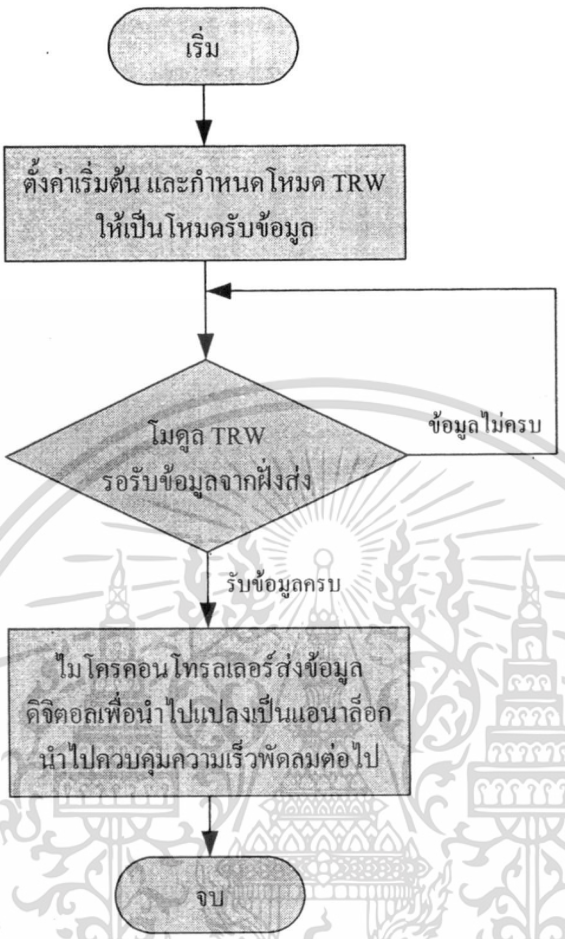
3.8.1 ภาคส่ง ในภาคส่งข้อมูลผ่านโมดูล TRW นั้นจะต้องมีการเขียนไมโครคอนโทรลเลอร์ควบคุมการทำงานของตัวตรวจจับอุณหภูมิและควบคุมการทำงานของโมดูลไร้สาย TRW ซึ่งได้แสดงขั้นตอนการทำงานของไมโครคอนโทรลเลอร์ ดังรูปที่ 3.11



รูปที่ 3.10 แผนผังการทำงานทางฝั่งส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8.2 ภาครับ ในภาครับการรับข้อมูลจากโมดูล TRW เข้าสู่ไมโครคอนโทรเลอร์ได้แสดงขั้นตอนการรับข้อมูล แสดงดังรูปที่ 3.12



รูปที่ 3.11 แผนผังการทำงานทางฝั่งรับ

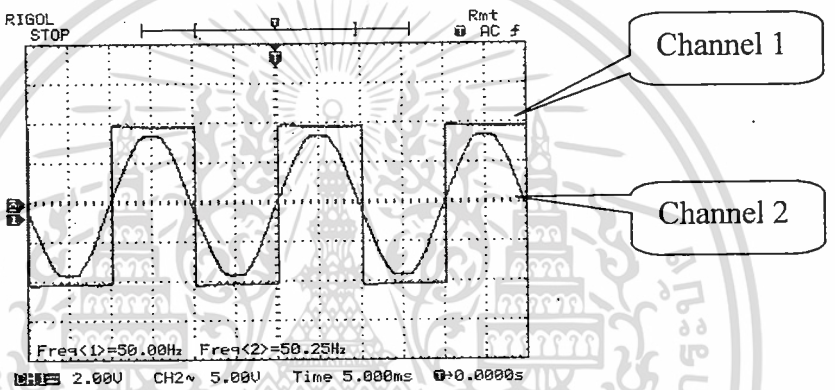
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

4.1 วงจรแปลงไฟฟ้ากระแสสลับเป็นสัญญาณ TTL

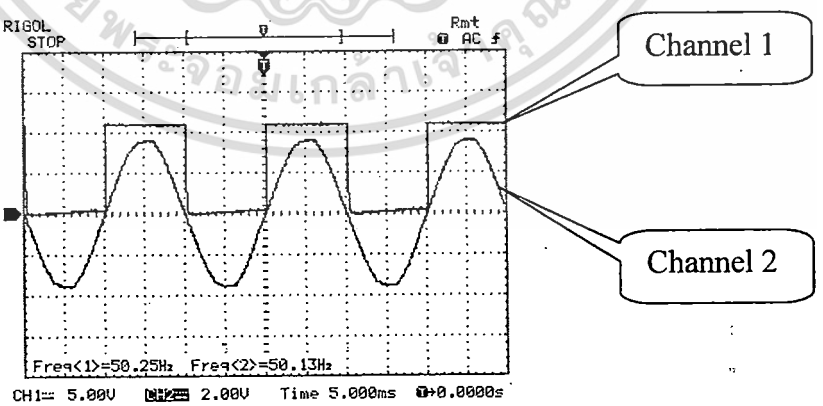
เนื่องจากวงจรเฟสล็อคลูปได้ใช้วงจรตรวจจับความต่างเฟสแบบดิจิตอล ดังนั้นสัญญาณไฟฟ้ากระแสสลับจึงต้องถูกแปลงให้เป็นสัญญาณดิจิตอลก่อน โดยอาศัยหลักการของวงจร Zero Crossing เมื่อทำการวัดที่ขาเอาต์พุตของออปแอมป์และทำการวัดที่หม้อแปลง จะได้ผลดังรูปที่ 4.1 ซึ่งอินพุตที่ถูกป้อนให้วงจรดังกล่าว คือ สัญญาณไฟฟ้ากระแสสลับ และสัญญาณเอาต์พุตที่ได้จะเป็นสัญญาณดิจิตอล ซึ่งจะถูกป้อนเข้าสู่วงจรเฟสล็อคลูป เพื่อใช้เป็นสัญญาณอ้างอิง



รูปที่ 4.1 สัญญาณอ้างอิง (TTL) ที่ผ่านออปแอมป์

Channel 1 สัญญาณเอาต์พุตที่ผ่านออปแอมป์

Channel 2 สัญญาณไฟฟ้ากระแสสลับที่ออกจากหม้อแปลง



รูปที่ 4.2 สัญญาณอ้างอิง (TTL) ที่ผ่านไดโอด

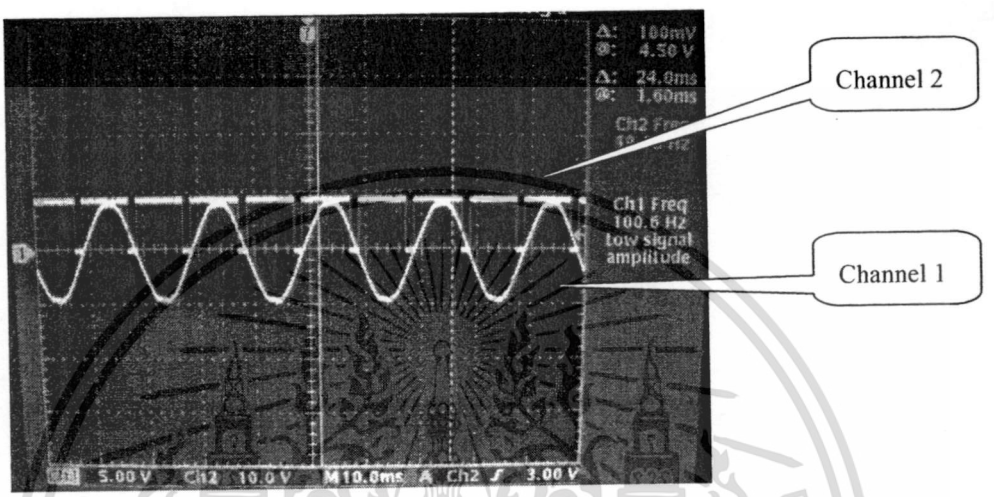
Channel 1 สัญญาณเอาต์พุตที่ผ่านไดโอด

Channel 2 สัญญาณไฟฟ้ากระแสสลับที่ออกจากหม้อแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรเฟสล็อคลูป

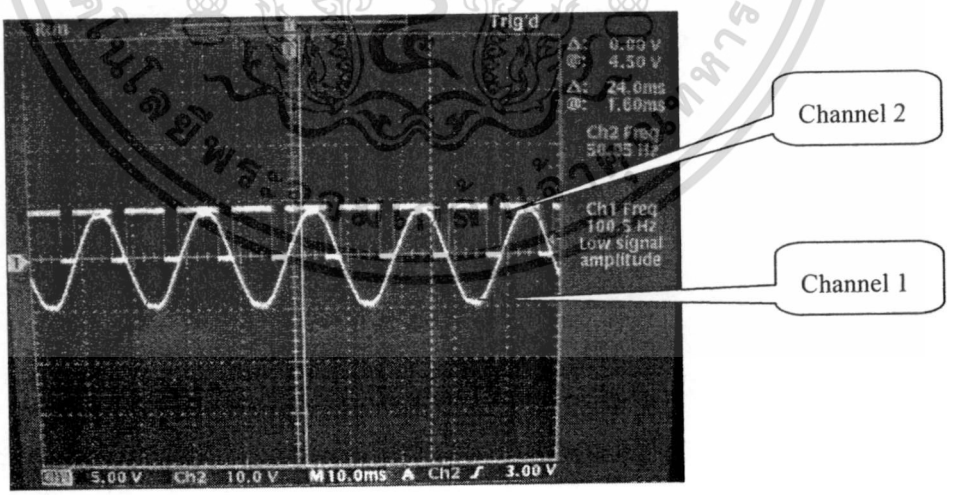
เนื่องด้วยเรานำวงจรเฟสล็อคลูปมาประยุกต์ใช้ในการสร้างสัญญาณพัลส์วิดมอดูเลชัน จึงได้แสดงผลของสัญญาณพัลส์วิดมอดูเลชันที่ได้จากเฟสล็อคลูปโดยเปรียบเทียบกับสัญญาณไฟฟ้ากระแสสลับที่ได้จากหม้อแปลง ซึ่งผลที่ได้แสดงไว้นั้นเป็นการเปลี่ยน duty cycle ของสัญญาณพัลส์ที่เกิดขึ้น ดังรูปที่ 4.3, 4.4, 4.5 และ4.6 และยังได้แสดงผลของสัญญาณพัลส์ที่เกิดขึ้น เปรียบเทียบกับสัญญาณอ้างอิง (TTL) ดังรูปที่ 4.7, 4.8, 4.9 และ4.10



รูปที่ 4.3 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูป duty cycle 87.6 %

Channel 1 สัญญาณไฟฟ้ากระแสสลับจากหม้อแปลง

Channel 2 สัญญาณพัลส์วิดมอดูเลชันที่ duty cycle 87.6 %

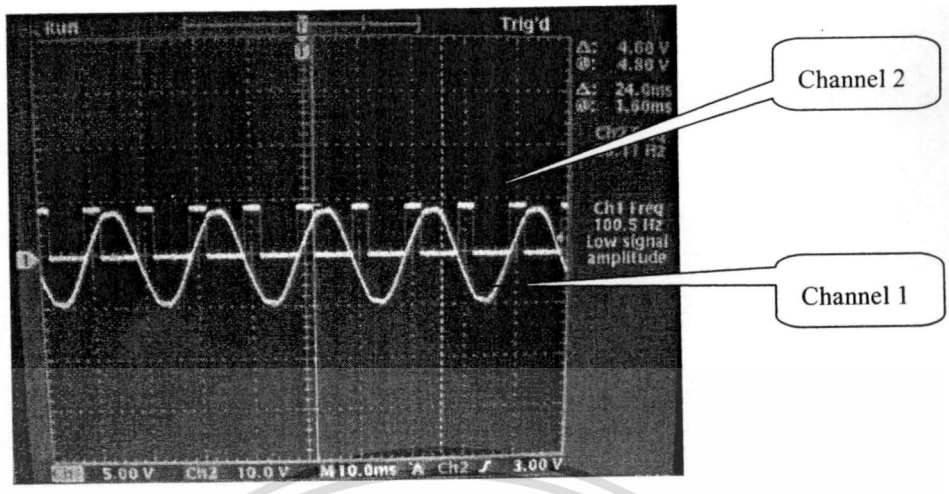


รูปที่ 4.4 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูป duty cycle 65 %

Channel 1 สัญญาณไฟฟ้ากระแสสลับจากหม้อแปลง

Channel 2 สัญญาณพัลส์วิดมอดูเลชันที่ duty cycle 65 %

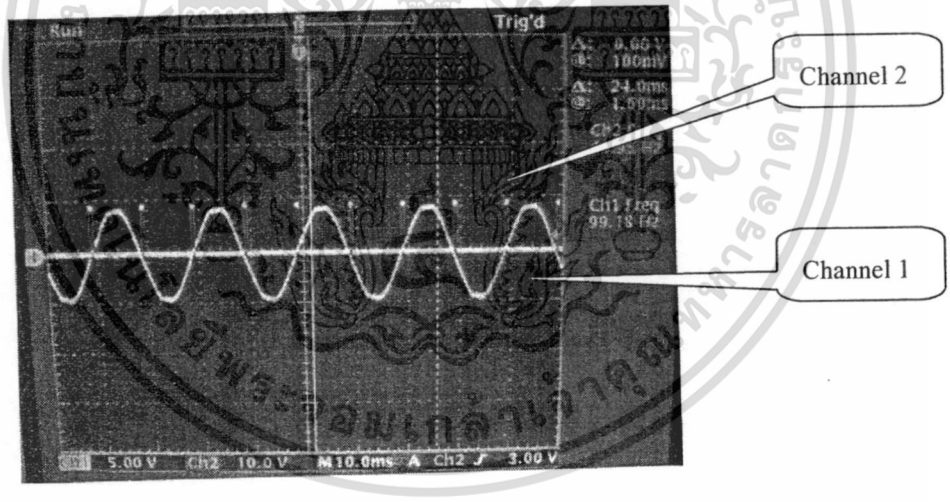
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูป duty cycle 22.5 %

Channel 1 สัญญาณไฟฟ้ากระแสสลับจากหม้อแปลง

Channel 2 สัญญาณพัลส์วิดมอดูเลชันที่ duty cycle 22.5 %

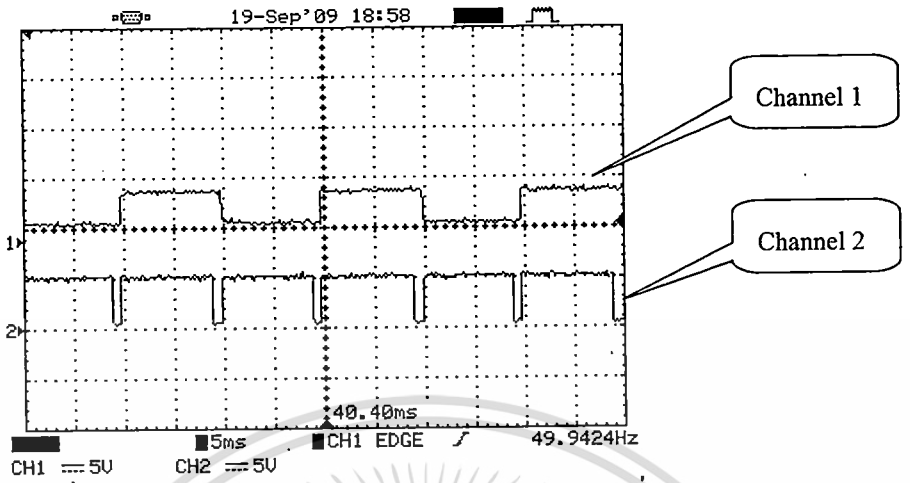


รูปที่ 4.6 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูป duty cycle 6.9%

Channel 1 สัญญาณไฟฟ้ากระแสสลับจากหม้อแปลง

Channel 2 สัญญาณพัลส์วิดมอดูเลชันที่ duty cycle 6.9%

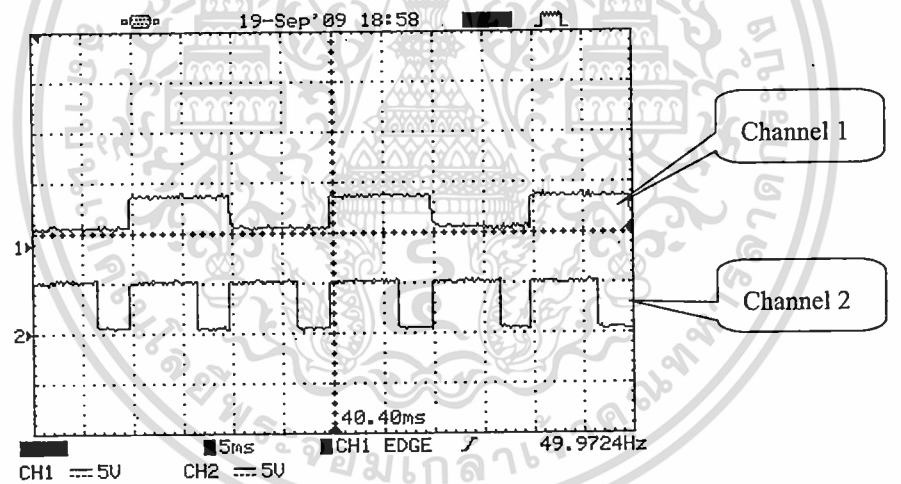
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูปที่ duty cycle 86%

Channel 1 สัญญาณอ้างอิง (TTL)

Channel 2 สัญญาณพัลส์วิดมอดูเลชันที่ duty cycle 86%

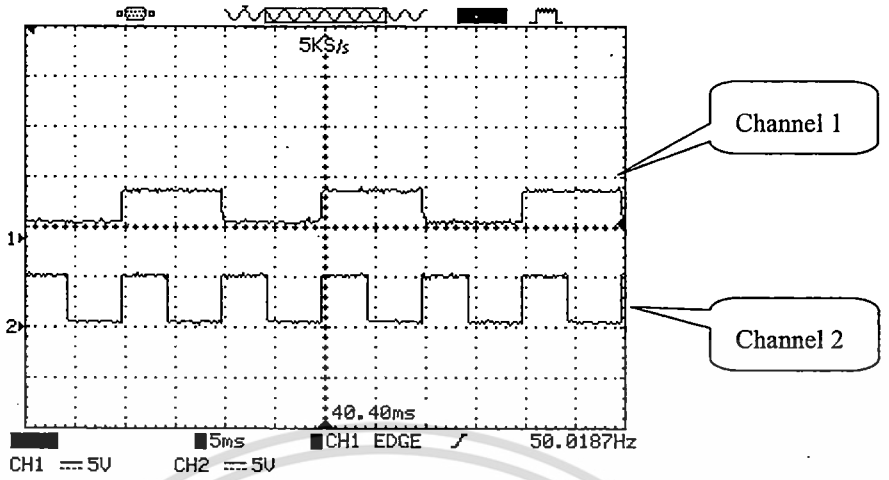


รูปที่ 4.8 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูปที่ duty cycle 70 %

Channel 1 สัญญาณอ้างอิง (TTL)

Channel 2 สัญญาณพัลส์วิดมอดูเลชันที่ duty cycle 70 %

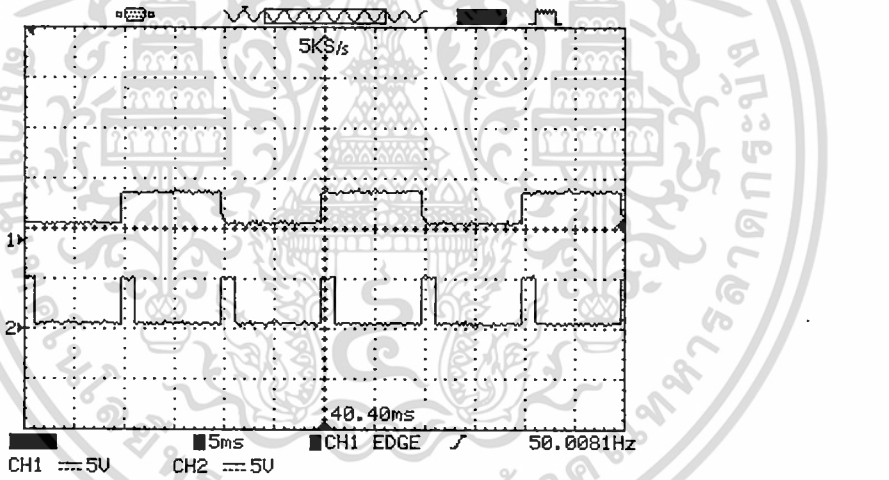
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูปที่ duty cycle 44 %

Channel 1 สัญญาณอ้างอิง (TTL)

Channel 2 สัญญาณพัลส์วิดมอดูเลชันที่ duty cycle 44 %



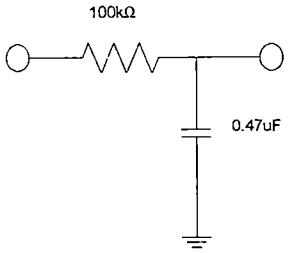
รูปที่ 4.10 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูปที่ duty cycle 24 %

Channel 1 สัญญาณอ้างอิง (TTL)

Channel 2 สัญญาณพัลส์วิดมอดูเลชันที่ duty cycle 24 %

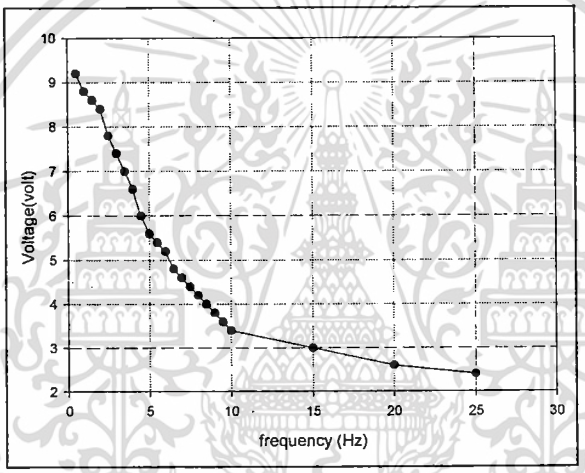
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจรกรองความถี่ต่ำผ่าน



รูปที่ 4.11 วงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่าน จะอยู่ในวงจรเฟสล็อคลูปโดยอยู่ระหว่างวงจรตรวจจับความต่างเฟสกับวงจร VCO สามารถคำนวณหาค่าตัวต้านทานและ ตัวเก็บประจุ ได้จากบทที่สาม จากวงจรในรูป 4.11 ได้ทำการป้อนสัญญาณไซน์ ขนาดคงที่ ความถี่ต่างๆ กันเข้าไปในวงจรได้ผลตอบสนองทางความถี่เป็นดังรูปที่ 4.12

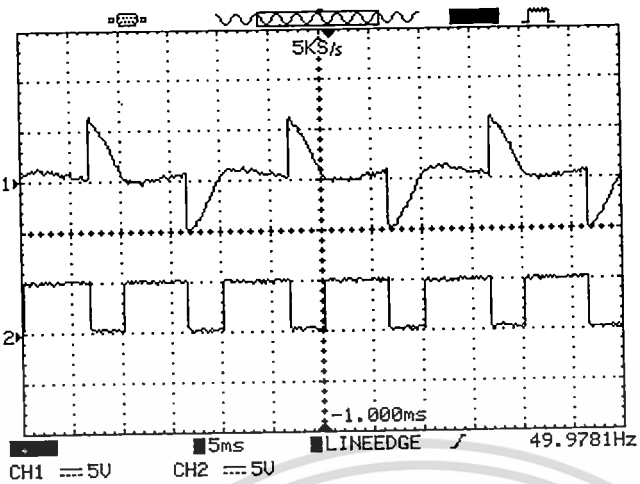


รูปที่ 4.12 กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน

4.4 วงจร Triac

ทำการวัดสัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูป เทียบกับแรงดันไฟฟ้าที่ตกคร่อมโหลด แสดงดังรูปที่ 4.13, 4.14 และ 4.15 ส่วนในรูปที่ 4.16, 4.17, 4.18 และ 4.19 แสดงแรงดันไฟฟ้าที่ตกคร่อมโหลดเปรียบเทียบกับไฟฟ้ากระแสสลับ

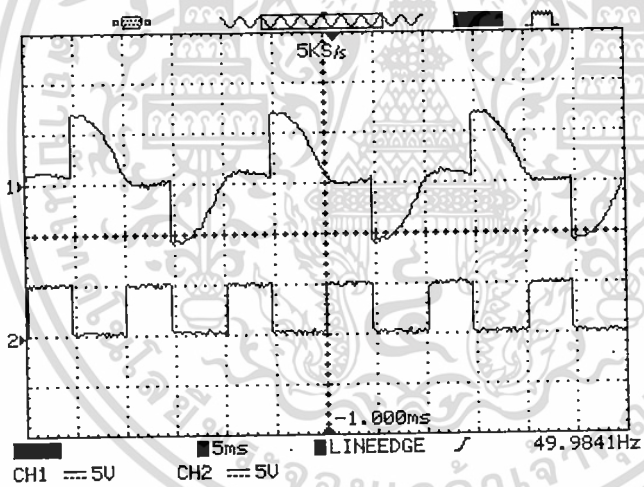
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 สัญญาณพัลส์วิดมอดูเลชันจากวงจรเฟสล็อคลูป (135 องศา)

Channel 1 สัญญาณแรงดันไฟฟ้าที่ตกคร่อมโหลด

Channel 2 สัญญาณพัลส์วิดมอดูเลชัน (135 องศา)

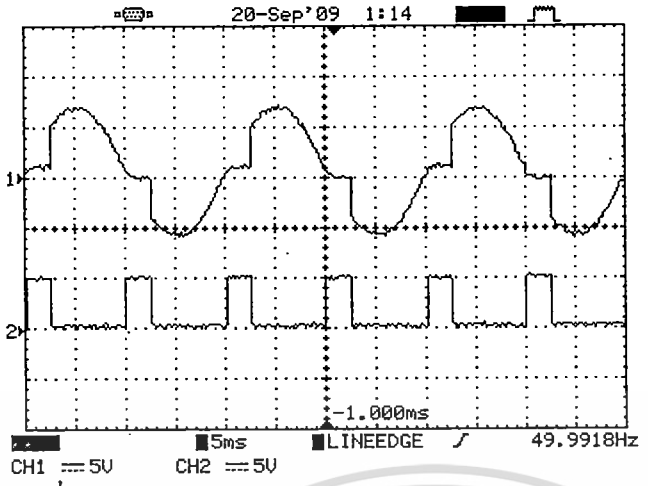


รูปที่ 4.14 วงจรPWMต่อเข้ากับวงจรไทรแอก (90 องศา)

Channel 1 สัญญาณแรงดันไฟฟ้าที่ตกคร่อมโหลด

Channel 2 สัญญาณพัลส์วิดมอดูเลชัน (90 องศา)

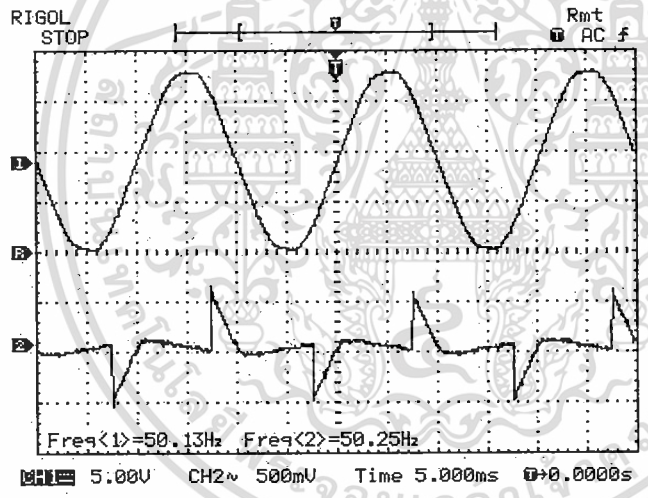
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 วงจรPWMต่อเข้ากับวงจรไทรแอก (45 องศา)

Channel 1 สัญญาณแรงดันไฟฟ้าที่ตกคร่อมโหลด

Channel 2 สัญญาณพัลส์วิดมอดูเลชัน (45 องศา)

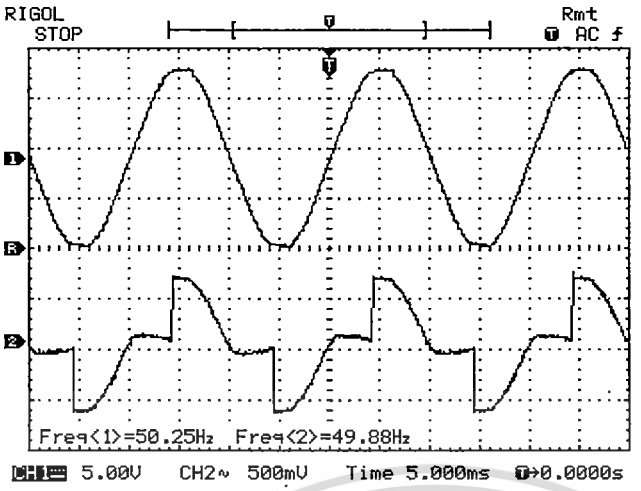


รูปที่ 4.16 วงจรPWMต่อเข้ากับวงจรไทรแอก

Channel 1 สัญญาณไฟฟ้ากระแสสลับจากหม้อแปลง

Channel 2 สัญญาณแรงดันไฟฟ้าที่ตกคร่อมโหลด

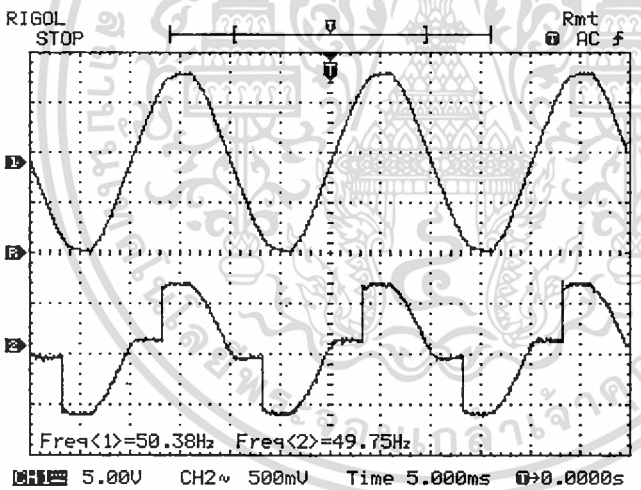
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 วงจรPWMต่อเข้ากับวงจรไทรแอก

Channel 1 สัญญาณไฟฟ้ากระแสสลับจากหม้อแปลง

Channel 2 สัญญาณแรงดันไฟฟ้าที่ตกคร่อมโหลด

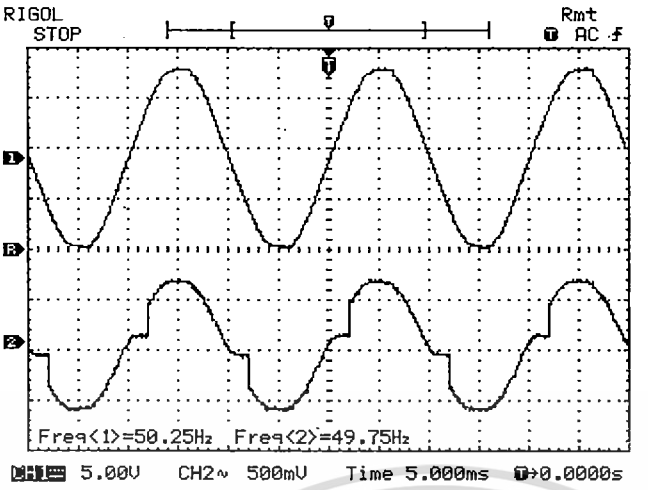


รูปที่ 4.18วงจรPWMต่อเข้ากับวงจรไทรแอก

Channel 1 สัญญาณไฟฟ้ากระแสสลับจากหม้อแปลง

Channel 2 สัญญาณแรงดันไฟฟ้าที่ตกคร่อมโหลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



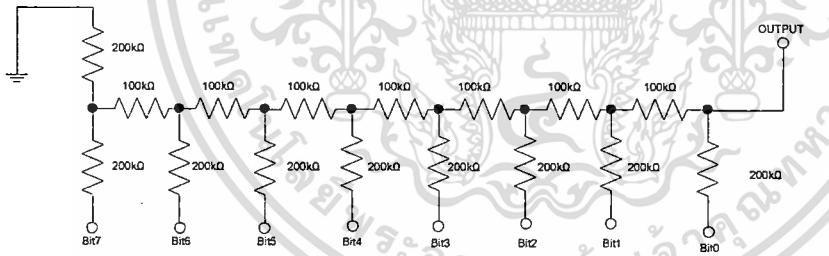
รูปที่ 4.19 วงจรPWMต่อเข้ากับวงจรไทรแอก

Channel 1 สัญญาณไฟฟ้ากระแสสลับจากหม้อแปลง

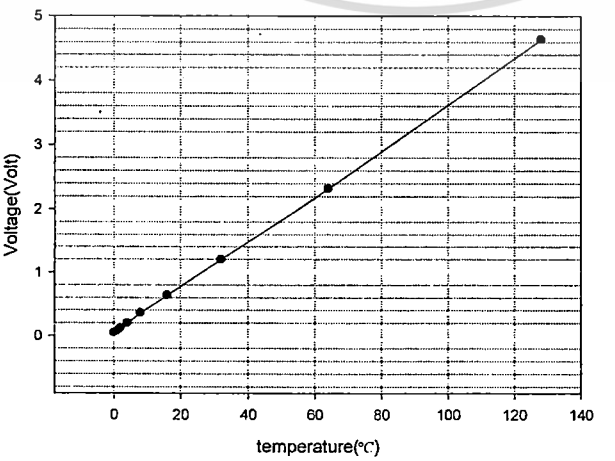
Channel 2 สัญญาณแรงดันไฟฟ้าที่ตกคร่อมโหลด

วงจรแปลงดิจิตอลเป็นอนาล็อก D/A

วงจรแปลง D/A นี้ ใช้วงจร R2R-LADDER ในรูปที่ 4.20 ในการแปลงข้อมูลดิจิตอลค่าของอุณหภูมิที่ับมาแปลงเป็นระดับแรงดันและนำมาแสดงความสัมพันธ์ได้ดังรูปที่ 4.21



รูปที่ 4.20 วงจร D/A โดยใช้ R2R-LADDER

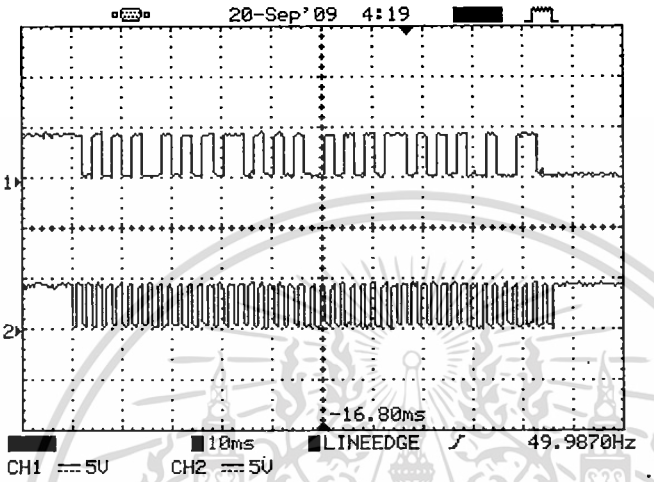


รูปที่ 4.21 แสดงผลการเปรียบเทียบระหว่างค่าแปลงอุณหภูมิ กับไฟDC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 วงจรรับและส่งผ่าน TRW 2.4G

รูปที่ 4.22 เป็นการแสดงสัญญาณทางด้านรับของส่งข้อมูลดิจิตอล 8 บิตของอุณหภูมิที่อ่านได้จากฝั่งส่ง ในอุณหภูมิที่อ่านได้ 38 องศาเซลเซียส จะแปลงเป็นข้อมูลดิจิตอล 8 บิตได้แก่ 01001100 ซึ่งข้อมูลมีทั้งหมด 48 บิต ที่ 40 บิตแรกคือ Address และ 8 บิตหลังคือข้อมูลที่ทำการส่ง



รูปที่ 4.22 แสดงข้อมูลส่งและรับ

Channel 1 สัญญาณ address และข้อมูล

Channel 2 สัญญาณclock

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการวิจัย

โครงงานวิจัยนี้ได้นำเสนอชุดควบคุมระดับความแรงของพัดลมแบบไร้สาย โดยควบคุมระดับความแรงของพัดลมได้สองวิธีได้แก่ วิธีแรกความแรงปรับระดับตามอุณหภูมิและวิธีที่สองผู้ใช้งานสามารถปรับความแรงของพัดลมได้ตามต้องการ โดยใช้หลักการของระบบเฟสล็อกลูป ซึ่งเป็นวงจรที่สามารถสร้างสัญญาณเอาต์พุตให้ใกล้เคียงกับสัญญาณอ้างอิง โดยอาศัยผลต่างเฟสของสัญญาณ นอกจากนี้แล้วโครงสร้างของวงจรยังมีประโยชน์ต่อการนำมาประยุกต์ใช้เป็นวงจรพัลส์วิดมอดูเลชันได้ เนื่องจากคุณสมบัตินี้วงจรเฟสล็อกลูปจึงได้นำมาใช้เพื่อควบคุมกำลังไฟฟ้ากระแสสลับที่จ่ายให้แก่โหลดได้ ทั้งนี้ในการออกแบบส่วนของวงจรที่ยุ่งเกี่ยวกับโหลด ได้เลือกใช้วงจรไทรแอกเนื่องจากว่าเป็นการป้องกันส่วนของแรงดันที่เกินมาจากไฟบ้านทำให้ไม่เกิดความเสียหายขึ้นกับวงจรอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] ประการ ยอมิน และคณะ "ชุดอิเล็กทรอนิกส์สวิทช์และการตั้งเวลาสำหรับควบคุมพัดลม" ปริญญานิพนธ์ สาขาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์,สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , กรุงเทพ ฯ, 2547.

[2] P. Wisartpong, J. Koseeyaporn, and P.Wardkein, "Pulse Width Modulation Based On Phase Locked Loop", Proc. ECTI-CON, pp.697-700, 2008.

[3] A. Kitipongwatana, P. Koseeyaporn, J. Koseeyaporn3, and P.Wardkein, "AC Power Load Controlling by Using PWM Based on Phase Locked Loop", Proc. ECTI-CON, 2009.

[4] P. Wisartpong, J. Koseeyaporn, and P.Wardkein, "Pulse Position Modulation Based On Phase Locked Loop", Proc. ECTI-CON, pp.578-571, 2008.

[5] Emmy Denton, "Application Brieft Autonomous Fan Control For Processor System Using The LM85" , National Semiconductor Coporation,2002

[6] Michael Huang, "Application of PWM Fan Control", JMC Products ,Texas

[7] วีระเชษฐ์ ขันเงิน, อิเล็กทรอนิกส์กำลัง, คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2549

[8] J. Koseeyaporn, Electronic Engineering, Faculty of Engineering, King Mongkut's Institute of technology Ladkrabang, 2008

[9] M. J. Nasila, "Phase Locked Loop Pulse Width Modulation System", United States Patent, 27 Mar. 2001.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR™

October 1987
Revised March 2002

CD4046BC
Micropower Phase-Locked Loop

General Description

The CD4046BC micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pin $C1_A$, $C1_B$, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10 kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

Features

- Wide supply voltage range: 3.0V to 18V
- Low dynamic power consumption: 70 μW (typ.) at f_o = 10 kHz, V_{DD} = 5V
- VCO frequency: 1.3 MHz (typ.) at V_{DD} = 10V
- Low frequency drift: 0.06%/°C at V_{DD} = 10V with temperature
- High VCO linearity: 1% (typ.)

Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

Ordering Code:

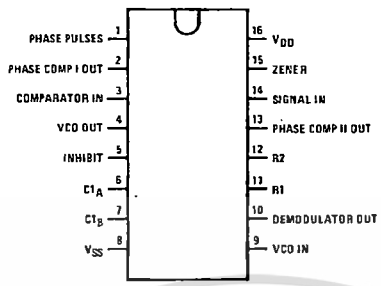
Order Number	Package Number	Package Description
CD4046BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4046BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

© 2002 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagram



Top View

Block Diagram

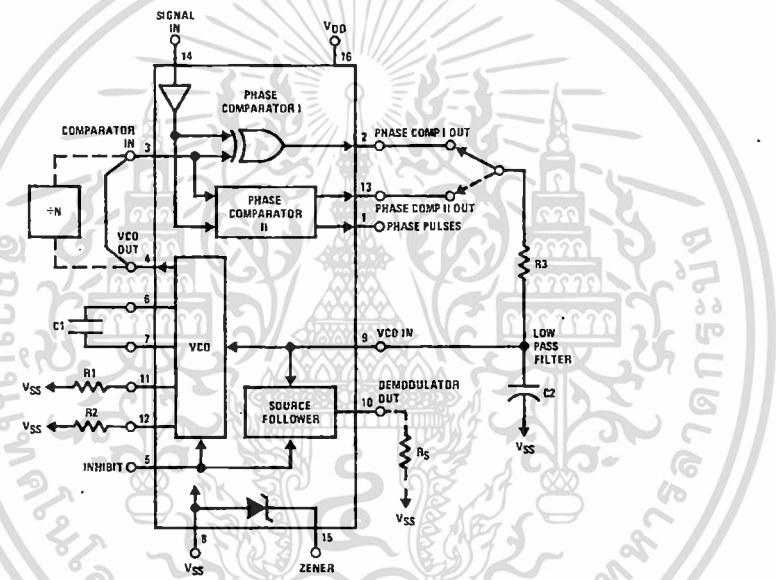


FIGURE 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings(Note 1)

(Note 2)

DC Supply Voltage (V_{DD})	−0.5 to +18 V_{DC}
Input Voltage (V_{IN})	−0.5 to V_{DD} +0.5 V_{DC}
Storage Temperature Range (T_S)	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	3 to 15 V_{DC}
Input Voltage (V_{IN})	0 to V_{DD} V_{DC}
Operating Temperature Range (T_A)	−55°C to +125°C

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

DC Electrical Characteristics (Note 2)

Symbol	Parameter	Conditions	−55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	Pin 5 = V_{DD}, Pin 14 = V_{DD}, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		5		0.005	5		150	µA
		V_{DD} = 10V		10		0.01	10		300	
		V_{DD} = 15V		20		0.015	20		600	
		Pin 5 = V_{DD}, Pin 14 = Open, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		45		5	35		185	µA
		V_{DD} = 10V		450		20	350		650	
		V_{DD} = 15V		1200		50	900		1500	
V_{OL}	LOW Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	
		V_{DD} = 15V		0.05		0	0.05		0.05	
V_{OH}	HIGH Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		
		V_{DD} = 15V	14.95		14.95	15		14.95		
V_{IL}	LOW Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
	Comparator and Signal In	V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0	
V_{IH}	HIGH Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
	Comparator and Signal In	V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		
I_{OL}	LOW Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36		mA
	(Note 4)	V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9		
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4		
I_{OH}	HIGH Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.64		−0.51	−0.88		−0.36		mA
	(Note 4)	V_{DD} = 10V, V_O = 9.5V	−1.6		−1.3	−2.25		−0.9		
		V_{DD} = 15V, V_O = 13.5V	−4.2		−3.4	−8.8		−2.4		
I_{IN}	Input Current	All Inputs Except Signal Input								µA
		V_{DD} = 15V, V_{IN} = 0V		−0.1		-10^{-5}	−0.1		−1.0	
		V_{DD} = 15V, V_{IN} = 15V		0.1		10^{-5}	0.1		1.0	
C_{IN}	Input Capacitance	Any Input (Note 3)							7.5	pF
P_T	Total Power Dissipation	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, VCO_{IN} = V_{CC}/2								
		V_{DD} = 5V				0.07				mW
		V_{DD} = 10V				0.6				
		V_{DD} = 15V				2.4				

Note 3: Capacitance is guaranteed by periodic testing.

Note 4: I_{OH} and I_{OL} are tested one output at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 5)

$T_A = 25°C$, $C_L = 50$ pF

Symbol	Parameter	Conditions	Min	Typ	Max	Units
VCO SECTION						
I_{DD}	Operating Current	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, $VCO_{IN} = V_{CC}/2$				
		V_{DD} = 5V		20		μA
		V_{DD} = 10V		90		
		V_{DD} = 15V		200		
f_{MAX}	Maximum Operating Frequency	C1 = 50 pF, R1 = 10 kΩ, R2 = ∞, $VCO_{IN} = V_{DD}$				
		V_{DD} = 5V	0.4	0.8		MHz
		V_{DD} = 10V	0.6	1.2		
		V_{DD} = 15V	1.0	1.6		
	Linearity	VCO_{IN} = 2.5V ± 0.3V, R1 ≥ 10 kΩ, V_{DD} = 5V		1		%
		VCO_{IN} = 5V ± 2.5V, R1 ≥ 400 kΩ, V_{DD} = 10V		1		
		VCO_{IN} = 7.5V ± 5V, R1 ≥ 1 MΩ, V_{DD} = 15V		1		
	Temperature-Frequency Stability No Frequency Offset, $f_{MIN} = 0$	%/°C < 5c1/f, V_{DD} R2 = ∞				
		V_{DD} = 5V		0.12–0.24		%/°C
		V_{DD} = 10V		0.04–0.08		
		V_{DD} = 15V		0.015–0.03		
	Frequency Offset, $f_{MIN} \neq 0$	V_{DD} = 5V		0.06–0.12		%/°C
		V_{DD} = 10V		0.05–0.1		
		V_{DD} = 15V		0.03–0.06		
VCO_{IN}	Input Resistance	V_{DD} = 5V		10^5		MΩ
		V_{DD} = 10V		10^6		
		V_{DD} = 15V		10^6		
VCO	Output Duty Cycle	V_{DD} = 5V		50		%
		V_{DD} = 10V		50		
		V_{DD} = 15V		50		
t_{THL}	VCO Output Transition Time	V_{DD} = 5V		90	200	ns
t_{THL}		V_{DD} = 10V		50	100	ns
		V_{DD} = 15V		45	80	
PHASE COMPARATORS SECTION						
R_{IN}	Input Resistance					
	Signal Input	V_{DD} = 5V	1	3		MΩ
		V_{DD} = 10V	0.2	0.7		
		V_{DD} = 15V	0.1	0.3		
	Comparator Input	V_{DD} = 5V		10^6		
		V_{DD} = 10V		10^6		
		V_{DD} = 15V		10^6		
	AC-Coupled Signal Input Voltage Sensitivity	C_{SERIES} = 1000 pF f = 50 kHz				
		V_{DD} = 5V		200	400	mV
		V_{DD} = 10V		400	800	
		V_{DD} = 15V		700	1400	
DEMODULATOR OUTPUT						

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
VCO_{IN}–V_{DEM}	Offset Voltage	RS ≥ 10 kΩ, V_{DD} = 5V		1.50	2.2	V
		RS ≥ 10 kΩ, V_{DD} = 10V		1.50	2.2	
		RS ≥ 50 kΩ, V_{DD} = 15V		1.50	2.2	
	Linearity	RS ≥ 50 kΩ				%
		VCO_{IN} = 2.5V ± 0.3V, V_{DD} = 5V		0.1		
		VCO_{IN} = 5V ± 2.5V, V_{DD} = 10V		0.6		
		VCO_{IN} = 7.5V ± 5V, V_{DD} = 15V		0.8		
ZENER DIODE						
V_Z	Zener Diode Voltage	I_Z = 50 µA	6.3	7.0	7.7	V
R_Z	Zener Dynamic Resistance	I_Z = 1 mA		100		Ω

Note 5: AC Parameters are guaranteed by DC correlated testing.

Phase Comparator State Diagrams

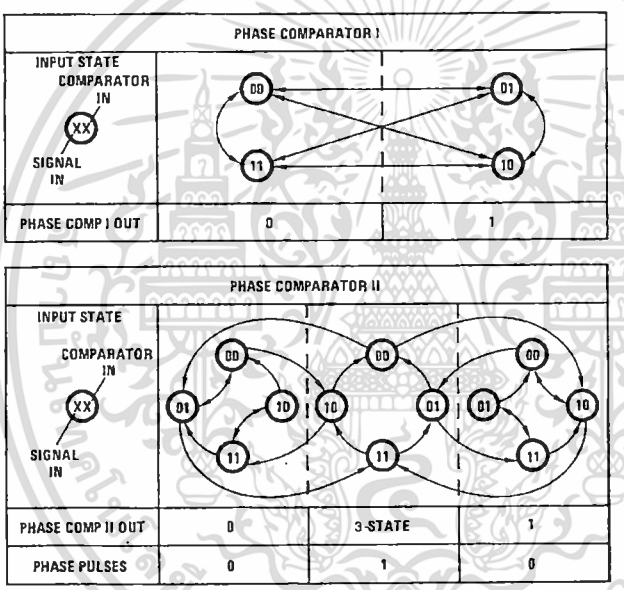


FIGURE 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Waveforms

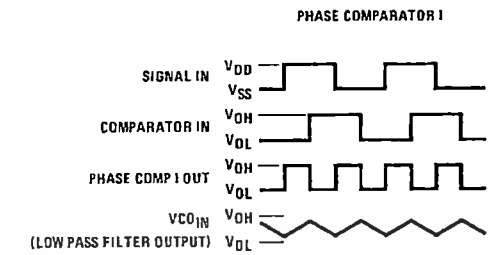


FIGURE 3. Typical Waveform Employing Phase Comparator I in Locked Condition

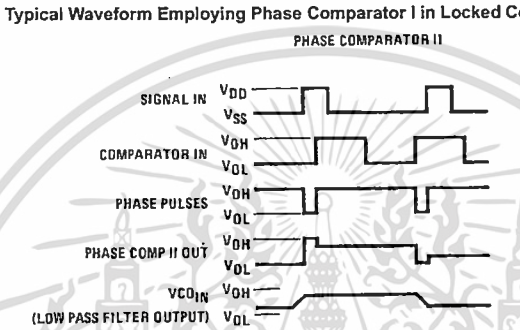


FIGURE 4. Typical Waveform Employing Phase Comparator II in Locked Condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

Typical Center Frequency vs C1
for R1 = 10 kΩ, 100 kΩ and 1 MΩ

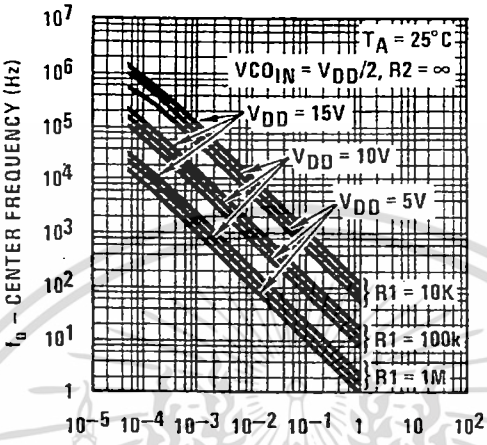


FIGURE 5.

Typical Frequency vs C1
for R2 = 10 kΩ, 100 kΩ and 1 MΩ

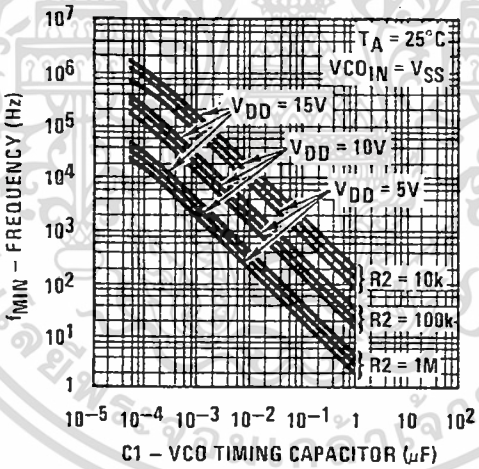


FIGURE 6.

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

Typical f_{MAX}/f_{MIN} vs R2/R1

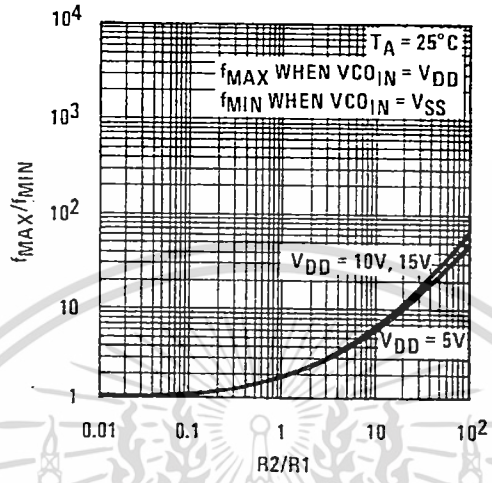


FIGURE 7.

Typical VCO Power Dissipation at Center Frequency vs R1

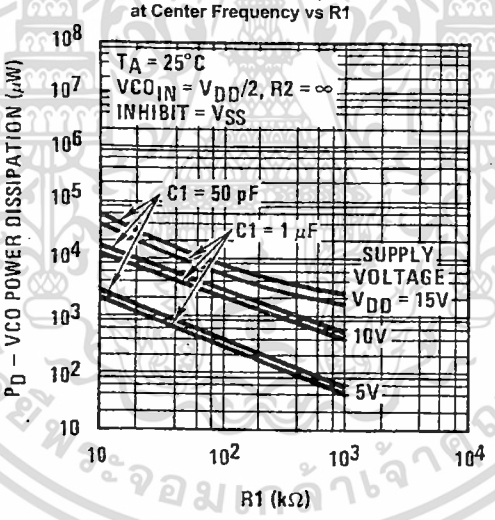


FIGURE 8.

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

Typical VCO Power Dissipation at f_{MIN} vs R2

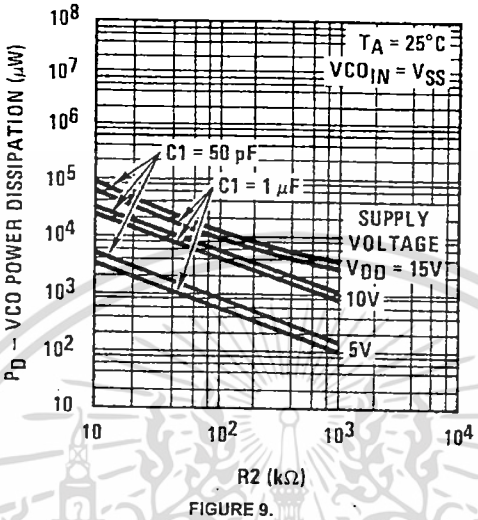


FIGURE 9.

Typical Source Follower Power Dissipation vs R_S

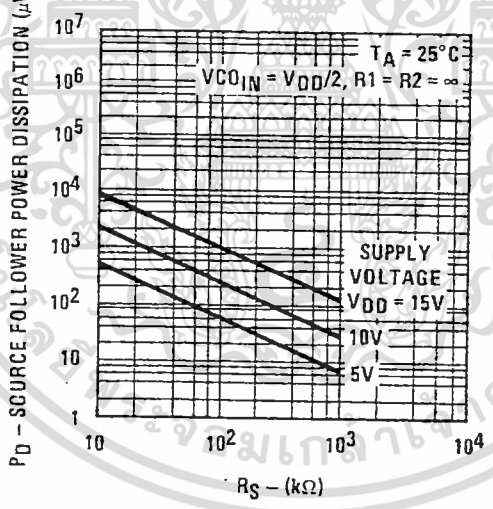


FIGURE 10.

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

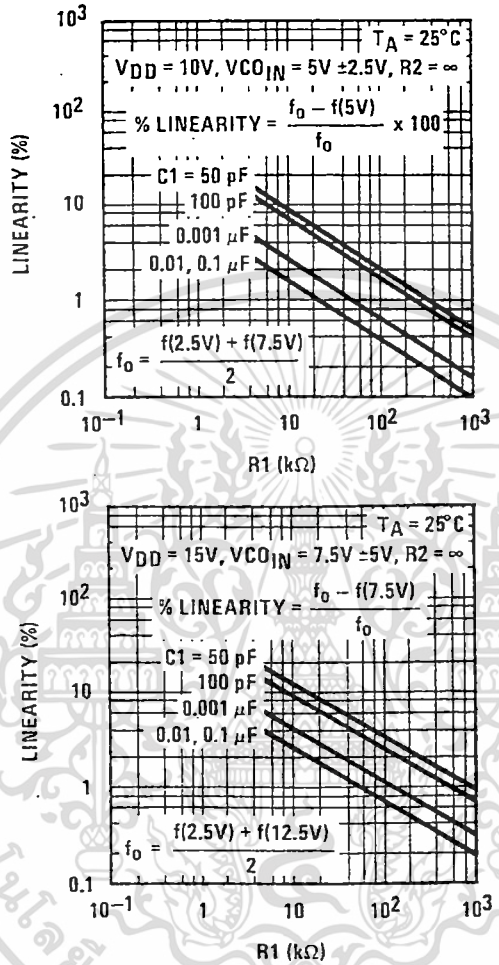


FIGURE 11. Typical VCO Linearity vs R1 and C1

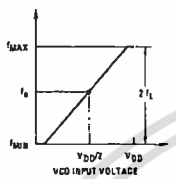
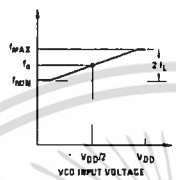
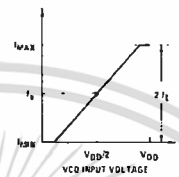
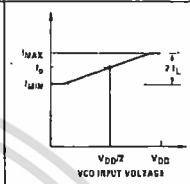
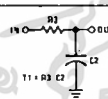
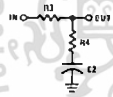
Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Information

This information is a guide for approximating the value of external components for the CD4046B in a phase-locked-loop system. The selected external components must be within the following ranges: R1, R2 ≥ 10 kΩ, R_S ≥ 10 kΩ, C1 ≥ 50 pF.

In addition to the given design information, refer to Figure 5, Figure 6, Figure 7 for R1, R2 and C1 component selections.

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset R2 = ∞	VCO With Offset	VCO Without Offset R2 = ∞	VCO With Offset
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_o		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 $2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\tau 1}}$			
Loop Filter Component Selection	 For $2f_C$, see Ref.		$f_C = f_L$	
Phase Angle Between Single and Comparator	90° at center frequency (f_o), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Information (Continued)

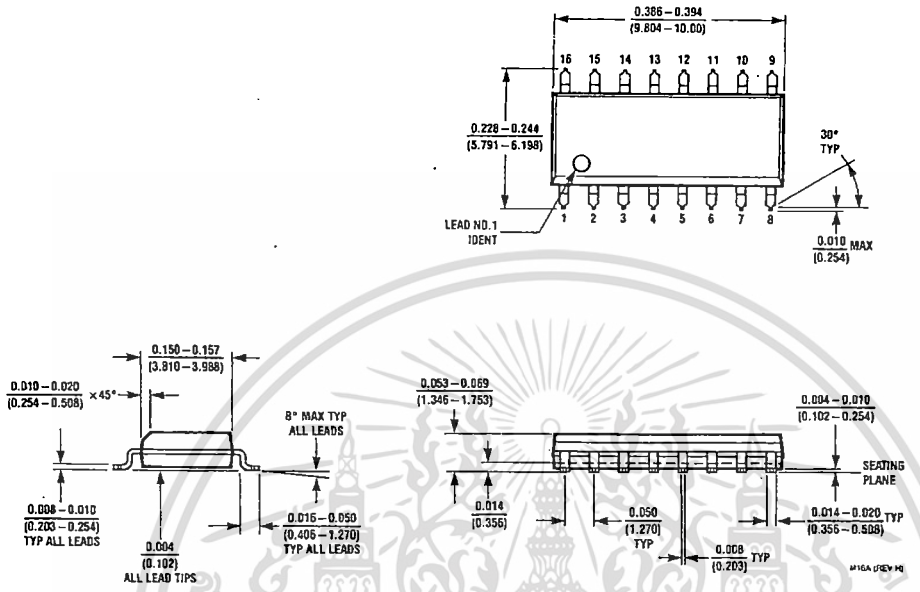
Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset R2 = ∞	VCO With Offset	VCO Without Offset R2 = ∞	VCO With Offset
VCO Component Selection	Given: f_o. Use f_o with Figure 5 to determine R1 and C1.	Given: f_o and f_L. Calculate f_{min} from the equation $f_{min} = f_o - f_L$. Use f_{min} with Figure 6 to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_o + f_L}{f_o - f_L}$. Use $\frac{f_{max}}{f_{min}}$ with Figure 7 to determine ratio R2/R1 to obtain R1.	Given: f_{max}. Calculate f_o from the equation $f_o = \frac{f_{max}}{2}$. Use f_o with Figure 5 to determine R1 and C1.	Given: f_{min} and f_{max}. Use f_{min} with Figure 6 to to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ Use $\frac{f_{max}}{f_{min}}$ with Figure 7 to determine ratio R2/R1 to obtain R1.

References

G.S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.
Floyd Gardner, "Phaselock Techniques", John Wiley & Sons, 1966.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

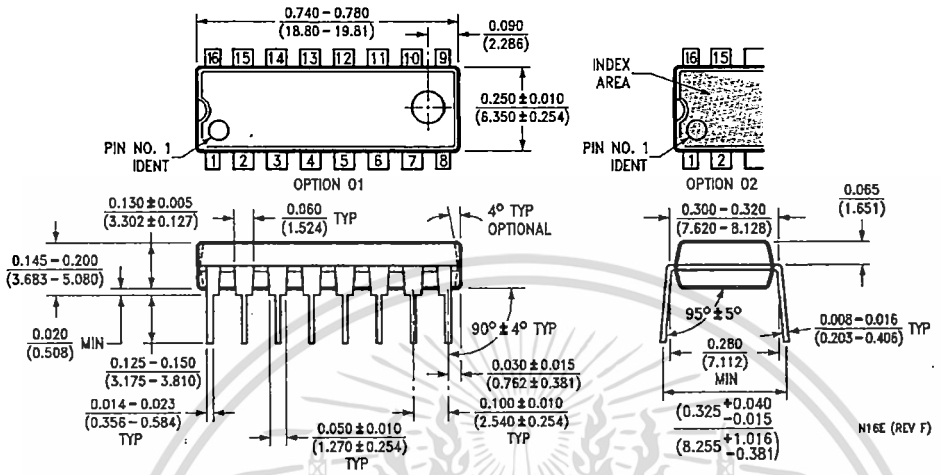
Physical Dimensions inches (millimeters) unless otherwise noted



16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
Package Number M16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
Package Number N16E

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้