โครงการวิจัยปีงบประมาณ 2551

เรื่อง

การออกแบบโครงสร้างและสถาปัตยกรรมที่มีประสิทธิภาพสูง สำหรับการแปลงเวฟเล็ต

โดย

ผศ. อัครพล ตรีรัตน์

รศ. ดร. กอบชัย เดชหาญ

ดร. ศรวัฒน์ ชิวปรีชา

คณะวิศวกรรมศาสตร์ ภาควิชาวิศวกรรมโทรคมนาคม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสือเป็นสมบัติของท่าน
โปรดช่วยกันรักษา
www.lib.kmitl.ac.th
สำนักหอสมุดกลาง โทร. 0 2739 2221

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

บทที่ 1
การคำนวณและการสร้าง

การสร้างตัวแปลงเวฟเลตจะต้องคำนวณและออกแบบส่วนประกอบต่าง ๆ ดังต่อไปนี้

1.1 การออกแบบตัวแปลงเวฟเลต

1.2 การออกแบบโครงสร้างเลขคณิตกระจาย

1.3 การออกแบบอุปกรณ์รับส่งข้อมูลผ่านพอร์ทอนุกรม

1.1 การออกแบบตัวแปลงเวฟเลต

1.1.1 สัมประสิทธิ์ที่ใช้สำหรับการแปลงเวฟเลตและการแปลงกลับเวฟเลต

เลือกใช้สัมประสิทธิ์ของตัวกรองสัญญาณแบบ 4 Tap Orthonormal Filter with Two Vanishing Moments (DB 4)

n	$H_0(n)$	$H_1(n)$
0	0.48296291314453	0.12940952255126
1	0.83651630373781	0.22414386804201
2	0.224143868042010	-0.83651630373781
3	-0.12940952255126	0.48296291314453

ตารางที่ 1.1 ค่าสัมประสิทธิ์ของดอร์บีชี 4 ค่า ของการแปลงเวฟเลต

เพื่อให้ได้ผลตรงตามหลักการของการสร้างกลับคืนอย่างสมบูรณ์ (Perfect Reconstruct) จะได้ค่าสัมประสิทธิ์ในการแปลงกลับเวฟเลตที่สามารถหาแสดงดังตารางที่ 1.2

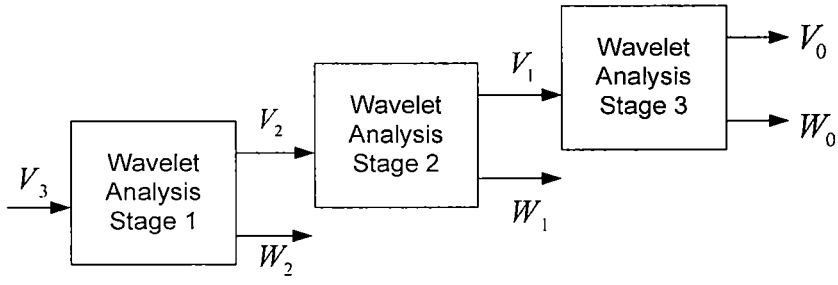
n	$F_0(n)$	$F_1(n)$
0	-0.12940952255126	0.48296291314453
1	0.22414386804201	-0.83651630373781
2	0.83651630373781	0.22414386804201
3	0.48296291314453	0.12940952255126

ตารางที่ 1.2 ค่าสัมประสิทธิ์ของดอร์บีชี 4 ค่า ของการแปลงกลับเวฟเลต

RCH
TH
845
.0476 ก
เลขหมู่.....
เลขทะเบียน.....108263
วัน,เดือน,ปี 18 ส.ค. 2553
b.....1811561206
i.....
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

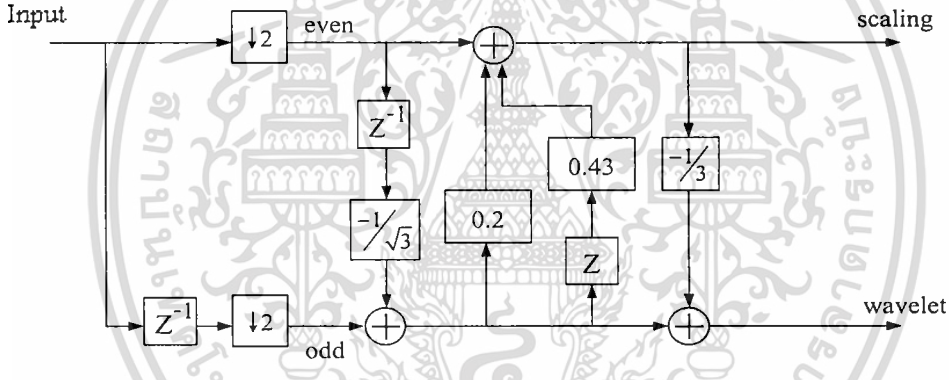
1.1.2 การแปลงเวฟเลต 3 ระดับ

จะประกอบด้วยการแปลงเวฟเลต 3 ระดับ ดังรูปที่ 1.1



รูปที่ 1.1 บล็อกไดอะแกรมของการแปลงเวฟเลต 3 ระดับ

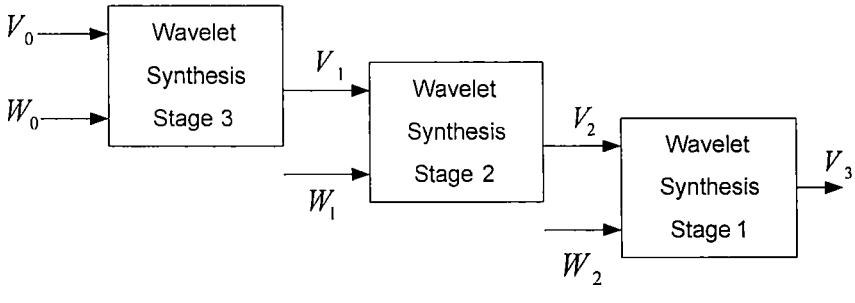
โดยที่ในแต่ละระดับจะมีโครงสร้างภายในเป็นโครงสร้างของการแปลงเวฟเลตแบบ lifting scheme เหมือนกันในทุกระดับ ซึ่งมีส่วนประกอบภายในดังรูปที่ 1.2



รูปที่ 1.2 โครงสร้างภายในของการแปลงเวฟเลตโดยใช้ lifting scheme

1.1.3 การแปลงกลับเวฟเลต 3 ระดับ

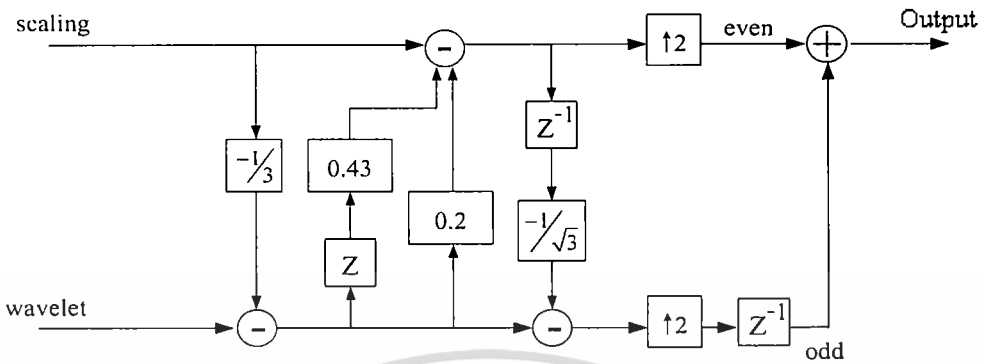
จะประกอบด้วยการแปลงกลับเวฟเลต 3 ระดับ ดังรูปที่ 1.3



รูปที่ 1.3 บล็อกไดอะแกรมของการแปลงกลับเวฟเลต 3 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ในแต่ละระดับจะมีโครงสร้างภายในเป็นโครงสร้างของฟิลเตอร์แบบ lifting scheme เหมือนกันในทุกระดับ พิจารณาโครงสร้างในระดับที่ 1 มีส่วนประกอบภายใน ดังรูปที่ 1.4

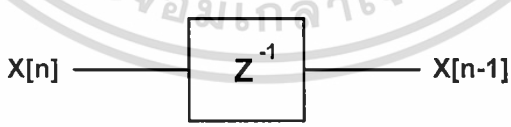


รูปที่ 1.4 โครงสร้างภายในของการแปลงกลับเวฟเลตโดยใช้ lifting scheme

ในการแปลงเวฟเลตและการแปลงกลับเวฟเลตในระดับที่ 2 และระดับที่ 3 จะใช้โครงสร้างภายในเหมือนในระดับที่ 1 แต่ต่างกันที่อินพุตที่เข้ามาในระดับที่ 3 จะมีคาบเวลาเป็นสองเท่าของระดับที่ 2 และอินพุตที่เข้ามาในระดับที่ 2 จะมีคาบเวลาเป็นสองเท่าของอินพุตที่เข้ามาในระดับที่ 1 ซึ่งการใช้ความถี่สัญญาณนาฬิกาที่แตกต่างนี้ทำให้ไม่ต้องออกแบบวงจรในระดับที่ 2 และระดับที่ 3 เพียงแต่ต้องเพิ่มการควบคุมสัญญาณนาฬิกาที่ป้อนให้กับระดับที่ 2 ให้เป็นสองเท่าของระดับที่ 1 และเพิ่มการควบคุมสัญญาณนาฬิกาในระดับที่ 3 ให้เป็นสองเท่าของระดับที่ 2

1.1.4 ส่วนประกอบของวงจรการแปลงเวฟเลตโดยใช้ Lifting scheme

1.1.4.1 วงจรหน่วงเวลา (Delay)

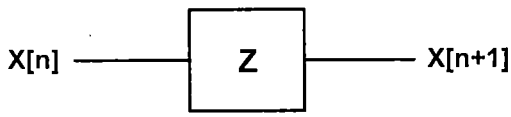


รูปที่ 1.5 บล็อกไดอะแกรมของวงจรหน่วงเวลา

วงจรหน่วงเวลามีหลักการทำงาน คือ จะเลื่อนเวลาของอินพุตที่เข้ามาให้มีเวลาที่ช้ากว่าเดิมอยู่ 1 หน่วย ดังรูปที่ 1.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

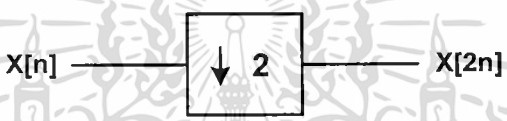
1.1.4.2 วงจรฟอร์เวิร์ดเวลา (Forward)



รูปที่ 1.6 บล็อกไดอะแกรมของวงจรฟอร์เวิร์ดเวลา

วงจรฟอร์เวิร์ดเวลามีหลักการทำงาน คือ จะเลื่อนเวลาของอินพุตที่เข้ามาให้มีเวลาที่เร็วกว่าเดิมอยู่ 1 หน่วย ดังรูปที่ 1.6

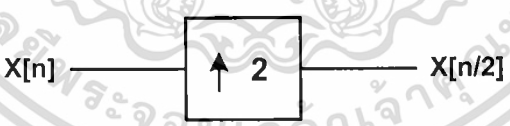
1.1.4.3 วงจรสุ่มค่าตัวอย่าง (Down-sampling)



รูปที่ 1.7 บล็อกไดอะแกรมของวงจรสุ่มค่าตัวอย่าง

วงจรสุ่มค่าตัวอย่าง คือ วงจรที่ลดขนาดของอินพุตลงเหลือครึ่งหนึ่ง แสดงดังรูปที่ 1.7

1.1.4.4 วงจรเพิ่มค่าตัวอย่าง (Up-sampling)

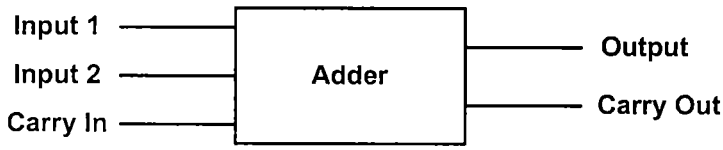


รูปที่ 1.8 บล็อกไดอะแกรมของวงจรเพิ่มค่าตัวอย่าง

จากรูปที่ 1.8 เมื่อมีอินพุตเข้ามา 1 ค่า เอาต์พุตจะมีค่าของอินพุตตัวเดิมพร้อมด้วยการแทรกค่าศูนย์เข้าไประหว่างค่าเดิม ทำให้ขนาดของเอาต์พุตที่ได้มีขนาดเป็น 2 เท่าเมื่อเทียบกับขนาดของอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1.4.5 วงจรบวก (Adder)



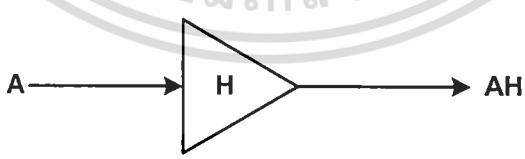
รูปที่ 1.9 บล็อกไดอะแกรมของวงจรบวก

ในการบวกข้อมูล 14 บิต จะได้ผลลัพธ์ของการบวกตามตารางความจริง ดังตารางที่ 1.3

Input 1	Input 2	Carry in	Output	Carry out
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

ตารางที่ 1.3 ตารางความจริงของวงจรบวก

1.1.4.6 วงจรคูณ (Multiplier)



รูปที่ 1.10 บล็อกไดอะแกรมของวงจรคูณ

การทำงานของวงจรคูณเมื่อมีอินพุตเข้ามาจะคูณค่าอินพุตนั้นกับค่าคงที่ที่ได้กำหนด ซึ่งจะได้ผลลัพธ์เป็นผลคูณระหว่างอินพุตกับค่าคงที่ ดังรูปที่ 1.10

ในแต่ละระดับการแปลงเวฟเลตและการแปลงกลับเวฟเลต จะใช้วงจรคูณระดับละ 4 วงจร สำหรับการคูณกับสัมประสิทธิ์ 4 ค่า และเนื่องจากการแปลงเวฟเลตสามารถทำได้หลายระดับ จึงจะต้องใช้

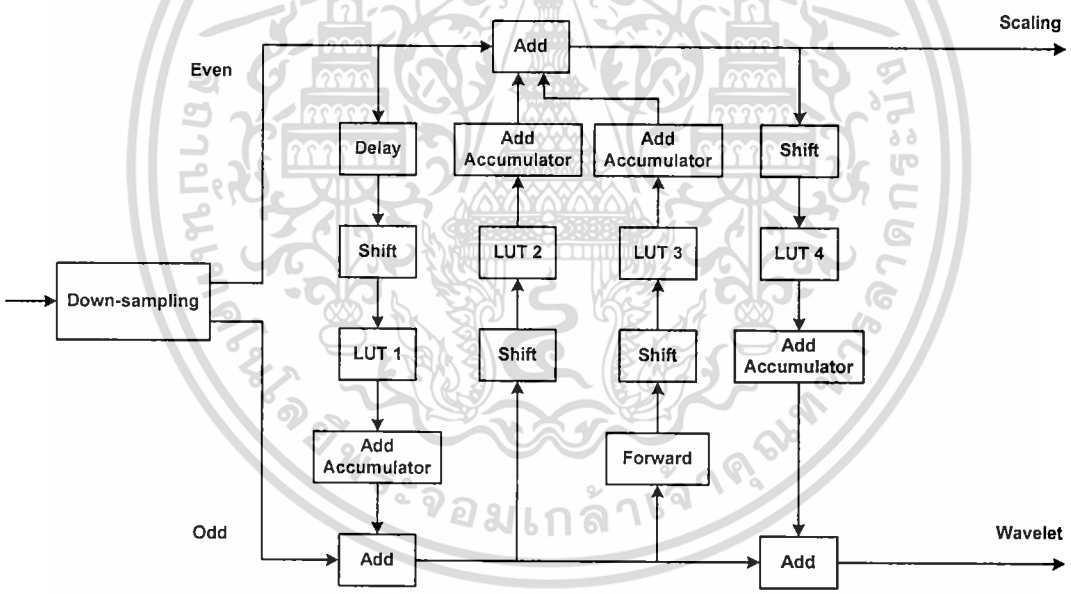
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรคูณจำนวนเป็นจำนวนมาก ในการจำลองการทำงานรวมถึงการสร้างจริงของวงจรคูณจะใช้ทรัพยากรลิจิกเกตจำนวนมาก ดังนั้นจึงนำหลักการเลขคณิตกระจายมาประยุกต์ใช้ ซึ่งหลักการนี้จะใช้จำนวนทรัพยากรลอจิกเกตที่น้อยกว่าวงจรคูณแบบโดยตรง

1.2 การออกแบบโครงสร้างเลขคณิตกระจาย

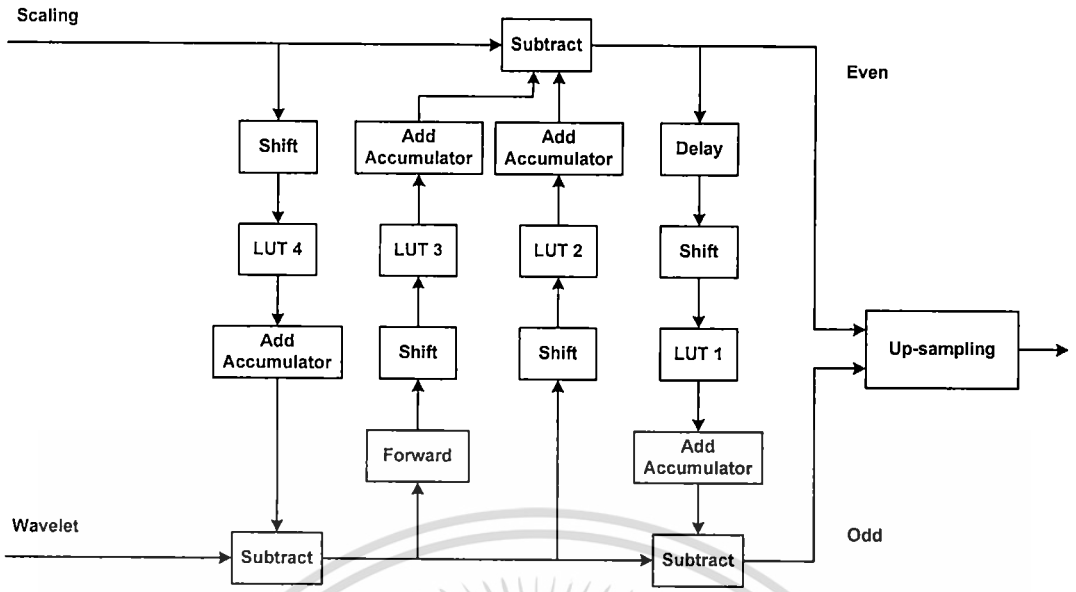
1.2.1 การประยุกต์ใช้โครงสร้างเลขคณิตกระจายกับการแปลงเวฟเลตที่มีโครงสร้างแบบ Lifting scheme

การแปลงเวฟเลตและการแปลงกลับโดยใช้โครงสร้างของฟิลเตอร์แบบ Lifting Scheme ดังรูปที่ 3.2 และ 3.4 มีจำนวนของวงจรคูณเป็นจำนวนมาก ทำให้เกิดการใช้ทรัพยากรลอจิกเกตสิ้นเปลือง จึงมีการนำโครงสร้างของเลขคณิตกระจายหรือ (Distributed Arithmetic : DA) มาประยุกต์ใช้ ซึ่งคุณสมบัติของเลขคณิตกระจายจะทำงานอยู่ในรูปแบบของผลบวกของผลคูณ (Sum of Products) โดยไม่ใช้การคูณโดยตรงในการประมวลผลของข้อมูล ซึ่งแนวความคิดนี้เหมาะสมกับรูปแบบของการคำนวณของการแปลงเวฟเลต โดยสามารถเปลี่ยนให้อยู่ในรูปโครงสร้างเลขคณิตกระจายได้ดังรูปที่ 1.11 และ 1.12



รูปที่ 1.11 การแปลงเวฟเลตโดยนำหลักการของ DA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

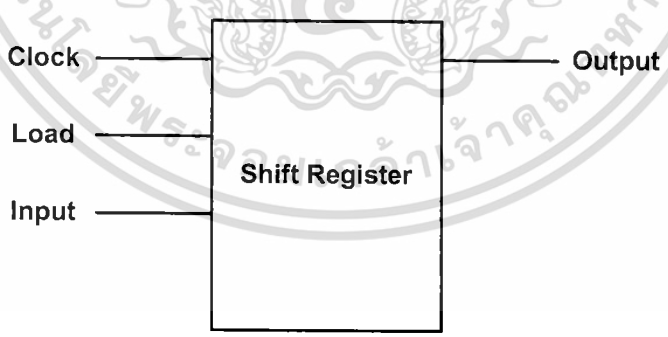


รูปที่ 1.12 การแปลงกลับเวฟเลตโดยนำหลักการของ DA มาใช้

1.2.2 โครงสร้างเลขคณิตกระจายแบบอนุกรม

โครงสร้างเลขคณิตกระจายแบบอนุกรมที่ใช้เป็นส่วนประกอบของการแปลงเวฟเลต และการแปลงกลับเวฟเลต ดังรูปที่ 1.11 และ 1.12 จะประกอบด้วยวงจรเลื่อนข้อมูลแบบเข้าขนานออกอนุกรม ตารางเปิดดู วงจรสะสมค่า วงจรบวกและลบ ดังต่อไปนี้

1.2.2.1 วงจรเลื่อนข้อมูลแบบเข้าขนานออกอนุกรม



รูปที่ 1.13 วงจรเลื่อนข้อมูลแบบเข้าขนานออกอนุกรม

การทำงานของวงจรเมื่อมีสัญญาณอินพุทเข้ามาและสัญญาณที่ขาโหลดมีค่า '1' จะโหลดข้อมูลเข้ามาเก็บในวงจรเลื่อนข้อมูล เมื่อขาโหลดมีค่า '0' และมีสัญญาณนาฬิกาจะทำให้วงจรเลื่อนข้อมูล เลื่อนข้อมูลออกเอาท์พุททีละ 1 บิต เริ่มจากบิตที่มีนัยสำคัญต่ำสุด (LSB) ถึงบิตที่มีนัยสำคัญสูงสุด (MSB) ตามจังหวะของสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2.2.2 ตารางเปิดดู

การแปลงเวฟเลตจะเก็บค่าที่ใช้ในการคูณไว้ในตารางเปิดดูหรือ LUT ซึ่งมีความยาว 14 บิต ในการแปลงเวฟเลตแบบ lifting scheme จะมีการคูณ 4 ครั้งต่อการคำนวณแต่ละระดับ ดังนั้นในการออกแบบวงจรแปลงเวฟเลตจะใช้ LUT 4 ตัว สำหรับเก็บค่าในการคูณทั้ง 4 ครั้ง ส่วนการแปลงกลับเวฟเลตจะใช้ LUT 4 ตัว สำหรับการคูณ 4 ครั้งเช่นเดียวกัน แต่เนื่องจากว่าในส่วนนี้จะมีวงจรลบซึ่งจะใช้วงจรบวกแทนวงจรลบ จึงต้องเปลี่ยนค่าที่เก็บใน LUT สำหรับการแปลงเวฟเลตให้เป็นค่าลบแทน ซึ่งสามารถออกแบบ LUT ของทั้ง 2 ส่วน ได้ดังตารางที่ 1.4 และ 1.5

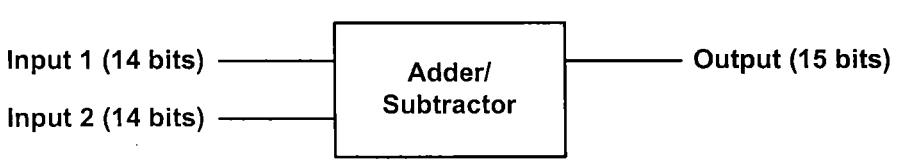
Input Bit	0	1
LUT 1	0	10110110000110
LUT 2	0	00011001101110
LUT 3	0	00110111011011
LUT 4	0	11010101010101

ตารางที่ 1.4 ผลลัพธ์ของตารางเปิดดูสำหรับการแปลงเวฟเลต

Input Bit	0	1
LUT 1	0	01001001111010
LUT 2	0	11100110010010
LUT 3	0	11001000100101
LUT 4	0	00101010101011

ตารางที่ 1.5 ผลลัพธ์ของตารางเปิดดูสำหรับการแปลงกลับเวฟเลต

1.2.2.3 วงจรบวกและลบ



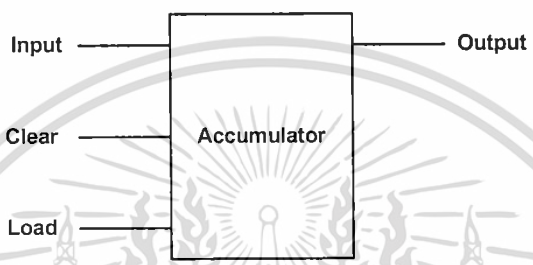
รูปที่ 1.14 วงจรบวกและลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรบวกและลบ (Adder/Subtractor) จะรับค่าที่อ่านจาก LUT เข้ามาทำการบวกหรือลบกับค่าในวงจรสะสมค่า ซึ่งสามารถเลือกโหมดว่าต้องการบวกหรือลบได้ ผลลัพธ์จะมี 15 บิต โดยบิตที่มีนัยสำคัญสูงสุดหรือบิตที่ 15 จะเป็นบิตเช็คเครื่องหมายเพื่อนำไปเลื่อนแทนที่ในการเลื่อนขวาของข้อมูลในวงจรสะสมค่า

1.2.2.4 วงจรสะสมค่า

วงจรสะสมค่าทำหน้าที่สะสมค่าที่ได้จากการบวกหรือลบ เข้ามาเก็บแล้วทำการเลื่อนขวา 1 บิต แล้วส่งกลับมาบวกหรือลบกับค่าต่อไปที่เข้ามา

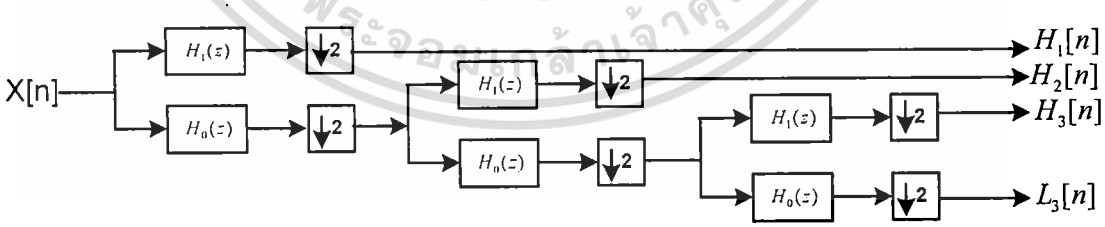


รูปที่ 1.15 วงจรสะสมค่า

1.2.3 โครงสร้างเลขคณิตกระจายแบบขนาน

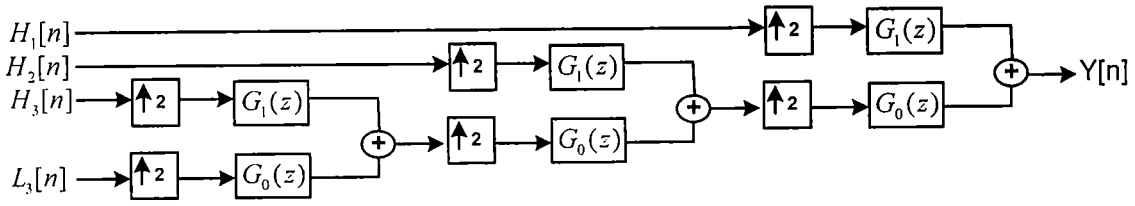
1.2.3.1 การสร้างโครงสร้างเลขคณิตกระจายแบบขนาน

สมการการแปลงเวฟเลตแบบไม่ต่อเนื่อง สามารถคำนวณให้มีประสิทธิภาพได้โดยการใช้ฟิลเตอร์แบงค์ ซึ่งแสดงในรูปที่ 1.16 โดยในที่นี้จะใช้โครงสร้างของเลขคณิตกระจายแบบขนาน (Parallel DA) หรือเรียกอย่างย่อๆว่า PDA ของวงจรกรองเอฟไอาร์



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

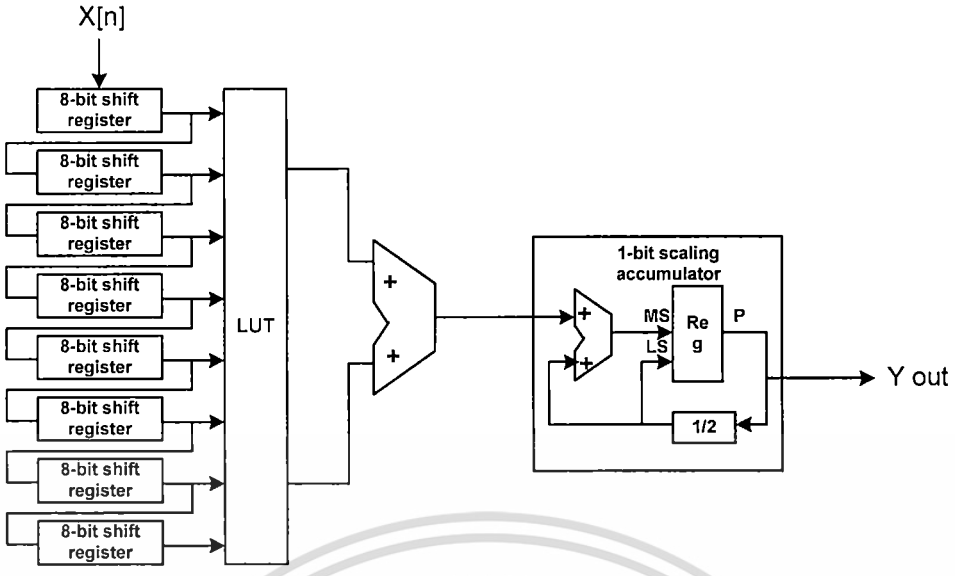
รูปที่ 1.16 โครงสร้างฟิลเตอร์แบงค์ (ก) การแปลงเวฟเลต (ข) การแปลงกลับเวฟเลต

1.2.3.2 โครงสร้างวงจรกรองเอฟไออาร์โดยการใช้เลขคณิตกระจายแบบขนาน

วงจรกรองทั้งหมดที่เป็นโครงสร้างที่แสดงในรูปที่ 1.16 สามารถสร้างได้โดยการใช้วงจรกรองเอฟไออาร์เนื่องจากมีความเสถียรภาพ ดังนั้นในการสร้างการแปลงเวฟเลตแบบไม่ต่อเนื่อง จึงมักจะใช้โครงสร้างเอฟไออาร์แบบโดยตรง ซึ่งในวงจรกรองจะประกอบไปด้วย วงจรหน่วงเวลา วงจรบวก และวงจรคูณ

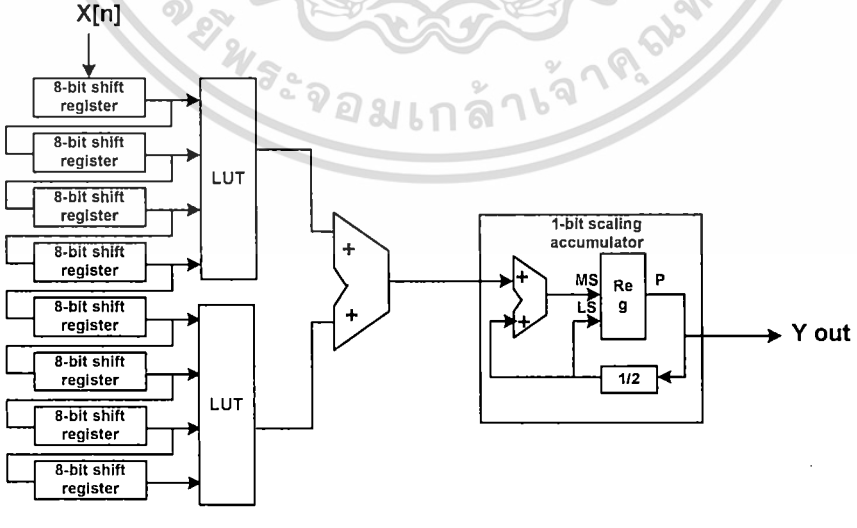
ในการออกแบบเบื้องต้นนี้จะพิจารณา DA ของเวฟเลตที่ใช้วงจรกรองเอฟไออาร์แบบดาร์บีชีอันดับ 8 (Daubechies 8-tap wavelet FIR filter) ซึ่งประกอบด้วยตารางเปิดดู (LUT) วงจรเลื่อนข้อมูล(shift register) และวงจรสะสมค่า (scaling accumulator) ซึ่งแสดงในรูปที่ 1.17 โดยที่ตารางเปิดดูจะเก็บผลที่เป็นไปได้ทั้งหมดของสัมประสิทธิ์เวฟเลตดาร์บีชี 8 ค่า ข้อมูลอินพุตจะนำไปประมวลผลโดยจะแยกบิตที่ขนานกันออกเป็นบิตโดยใช้วงจรเลื่อนบิตแบบอนุกรม (bit-serial shift register cascade) โดยจะปล่อย 1 บิตที่หนึ่งเวลา ชุดอนุกรมจะเก็บข้อมูลอินพุตทั้งหมดในรูปแบบของบิตอนุกรม (bit-serial) และจะเป็นตัวกำหนดผลคูณภายใน (inner product) เพื่อให้ได้บิตเอาต์พุตของวงจรเลื่อน โดยการใช้ข้อมูลอินพุตเป็นตัวชี้ตำแหน่งในตารางเปิดดู ผลลัพธ์ที่ได้จากตารางเปิดดูจะนำไปบวกโดยใช้วงจรสะสมค่า เมื่อบวกค่าจนครบชุดอนุกรมใน 1 ชุด ก็จะส่งค่าผลลัพธ์สุดท้ายออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.17 การสร้าง DA โดยใช้วงจรกรองเอฟไออาร์ดาร์บีชี

เนื่องจากขนาดของตารางเปิดดูของโครงสร้างเลขคณิตกระจายหนึ่ง ๆ จะเพิ่มแบบเอกซ์โพเนนเชียล (Exponentially) โดยขึ้นกับจำนวนสัมประสิทธิ์ ดังนั้นการเข้าถึงทางเวลาของตารางเปิดดู ซึ่งอาจทำให้เกิดการชนกันในการใส่อินพุทเข้าไปได้ โดยจะมีผลต่อความเร็วของระบบทั้งหมดเนื่องจากขนาดของตารางเปิดดูที่มีขนาดใหญ่ ดังนั้นเราจะทำการจัดแบ่งตารางเปิดดู 8 บิต ที่แสดงในรูปที่ 1.17 ไปเป็นตารางเปิดดู 4 บิต สองอัน และรวมค่าผลลัพธ์เหล่านั้นโดยการใช้วงจรสะสมค่า 2 อินพุต ตารางเปิดดูที่ทำการแบ่งแล้วแสดงไว้ในรูปที่ 1.18 ซึ่งจะทำให้ขนาดของความจุลดลง นอกจากนี้การแบ่งตารางเปิดดูที่ใหญ่กว่าไปยังตารางเปิดดูสองอันที่เล็กกว่าในแบบขนานก็จะลดเวลาในการเข้าถึงการทำงานด้วย

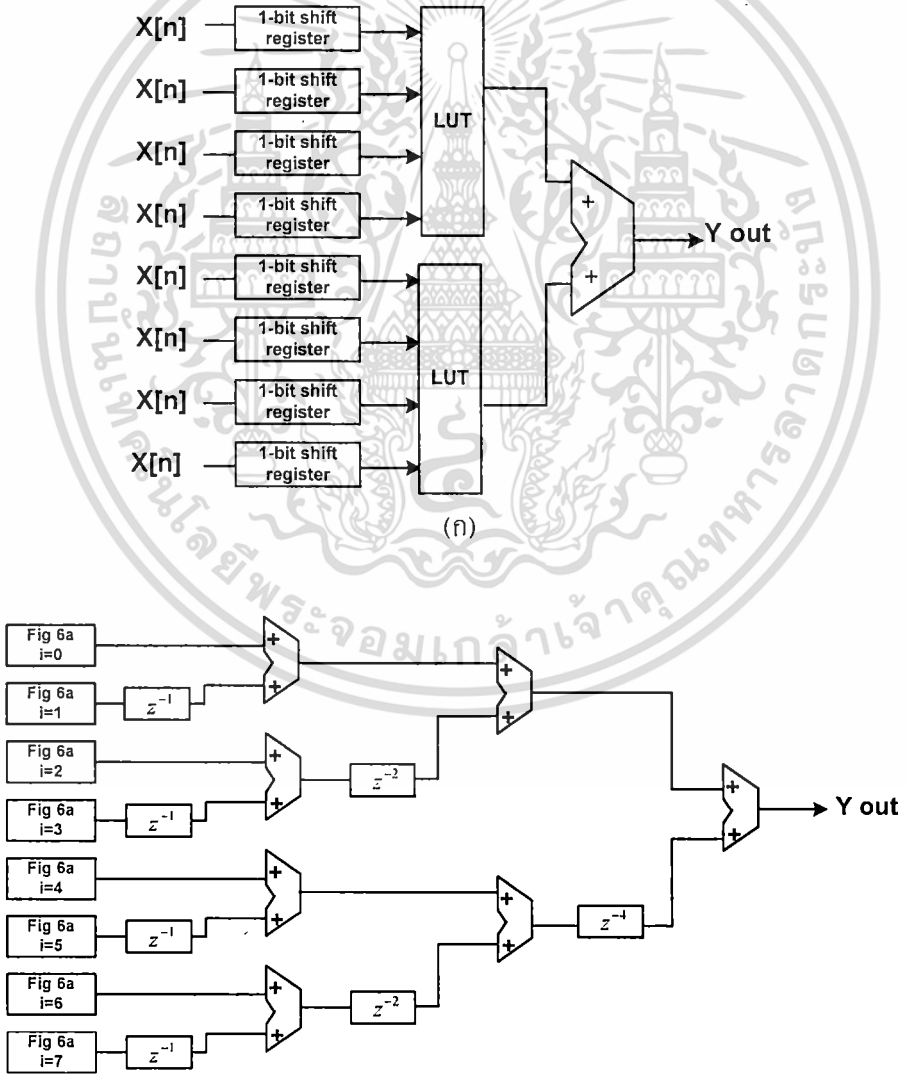


รูปที่ 1.18 การสร้าง DA ที่มีการแบ่งตารางเปิดดูของวงจรกรองเอฟไออาร์ดาร์บีชี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำวงจรกรองเอฟไออาร์ที่เป็นโครงสร้างเลขคณิตกระจายแบบอนุกรม (Serial DA) หรือเรียกอย่างย่อว่า SDA ให้ทำงานเป็นแบบขนานดังแสดงในรูปที่ 1.18 เปรียบเสมือนกับการแบ่งค่าตัวอย่างอินพุต (Input Sample) ไปเป็นค่าตัวอย่างย่อยจำนวน m ตัว (m-Sub Sample) และประมวลผลค่าตัวอย่างย่อยเหล่านี้ในแบบขนาน ดังนั้นการทดลองแบบขนานต้องการจำนวน m ครั้งซึ่งต้องใช้ความจำของตารางเปิดดูจำนวนมากทำให้มีค่าใช้จ่ายที่เพิ่มจำนวนของลอจิก

ดังนั้นสำหรับการสร้างวงจรกรองเอฟไออาร์แบบ PDA 8 บิตแบบสมบูรณ์ (Fully Parallel 8-bit PDA FIR Filter) โดยอินพุท 8 บิต ถูกแบ่งออกเป็น 1 บิต ย่อยจำนวน 8 อัน ดังนั้นจึงทำให้ได้ความเร็วสูงสุด ดังรูปที่ 1.19 แสดงวงจรกรองเอฟไออาร์แบบ PDA 8 บิตแบบสมบูรณ์ ซึ่งอินพุต 8 บิตทั้งหมดถูกคำนวณแบบขนานและต่อจากนั้นจะรวมเข้าด้วยกันด้วยวงจรบวก อินพุทที่ต่ำกว่าในแต่ละวงจรบวกจะถูกเปลี่ยนขนาดสเกลด้วยแฟคเตอร์ 2 ดังนั้นจากการออกแบบด้วยวิธีนี้จึงไม่ต้องใช้วงจรสะสมค่า เนื่องจากเอาต์พุตเป็นผลบวกของผลลัพธ์ที่คำนวณเสร็จสมบูรณ์แล้ว



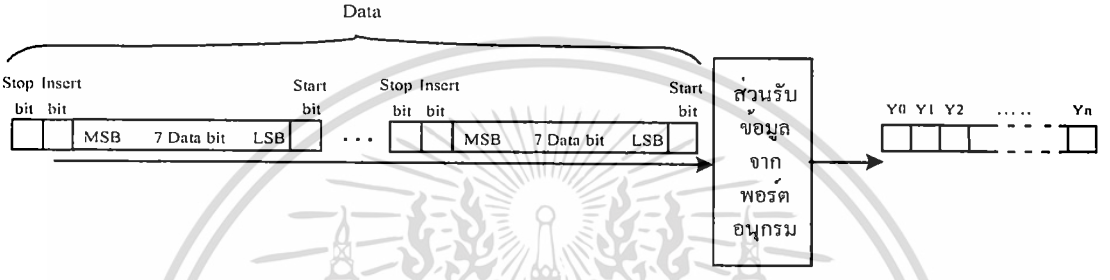
รูปที่ 1.19 วงจรกรองเอฟไออาร์ดาร์บีซี แบบ PDA (ก) บิตเดี่ยว (ข) 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 การออกแบบอุปกรณ์รับส่งข้อมูลผ่านพอร์ทอนุกรม

1.3.1 การรับข้อมูลของอุปกรณ์ FPGA ที่ส่งมาจากคอมพิวเตอร์ผ่านพอร์ทอนุกรม

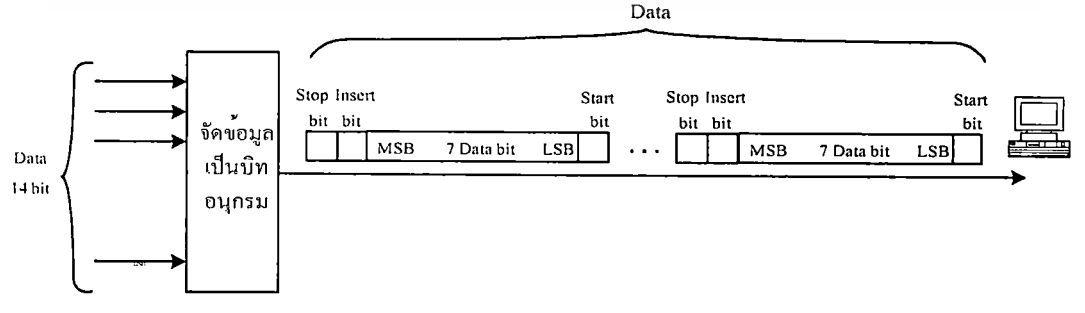
การรับข้อมูลแบบอนุกรมจากคอมพิวเตอร์จะเขียนโปรแกรมสำหรับส่งด้วยโปรแกรม MATLAB เพื่อทำหน้าที่ส่งเฟรมข้อมูลผ่านพอร์ตอนุกรมตามความถี่บอดเรท (Baud Rate) ออกไปทีละ 1 บิต เมื่ออุปกรณ์ FPGA รับเฟรมข้อมูลได้ครบ 1 ชุด จะตัดบิตสตาร์ท (Start bit) บิตสต็อป (Stop bit) และบิตแทรก (Insertion bit) ทิ้งไปให้เหลือเฉพาะบิตข้อมูล แล้วส่งต่อไปยังวงจรตัวแปลงเวฟเลตเพื่อประมวลผลต่อไป โดยบล็อกไดอะแกรมการรับข้อมูลผ่านทางพอร์ทอนุกรมของอุปกรณ์ FPGA จากคอมพิวเตอร์แสดงได้ดังรูปที่ 1.20



รูปที่ 1.20 บล็อกไดอะแกรมการรับข้อมูลของอุปกรณ์ FPGA ผ่านพอร์ทอนุกรม

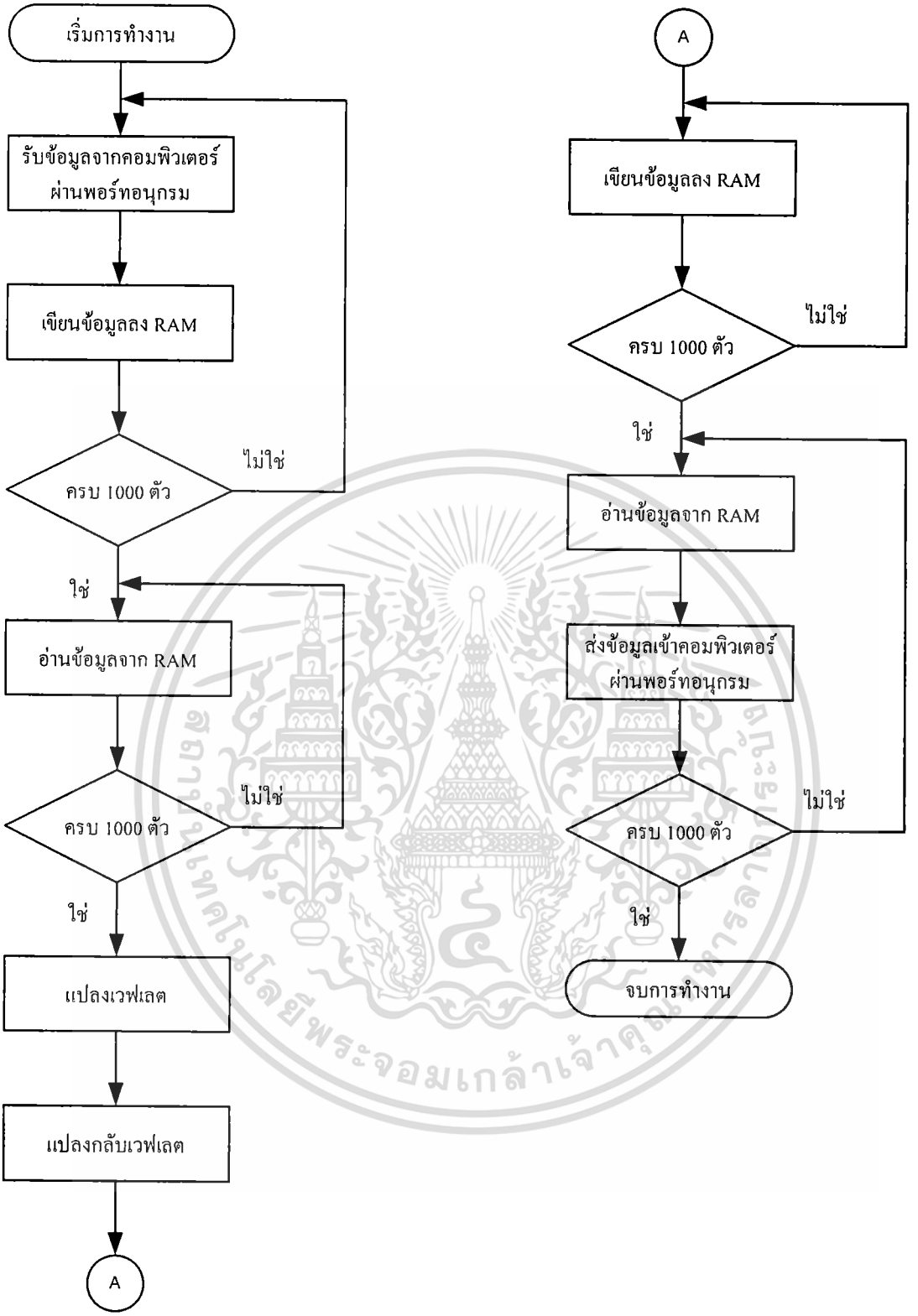
1.3.2 การส่งข้อมูลของอุปกรณ์ FPGA ไปยังคอมพิวเตอร์ผ่านพอร์ทอนุกรม

การส่งข้อมูลออกจากอุปกรณ์ FPGA จะมีอุปกรณ์ทำหน้าที่แปลงบิตข้อมูลแบบขนานขนาด 14 บิตที่ได้จากตัวแปลงเวฟเลต ให้เป็นบิตข้อมูลแบบอนุกรมโดยจะแบ่งออกเป็น 2 เฟรม แต่ละเฟรมข้อมูลประกอบด้วย บิตสตาร์ท (Start bit) 1 บิต บิตสต็อป (Stop bit) 1 บิต บิตข้อมูล (Data bit) 7 บิต และบิตแทรก (Insertion bit) 1 บิต เพื่อแก้ไขกรณีการส่งบิตบิตข้อมูลที่เป็น 0 ทั้งหมด จากนั้นจะส่งเฟรมข้อมูลดังกล่าวออกทางพอร์ตอนุกรมไปยังคอมพิวเตอร์ตามความถี่บอดเรท โดยบล็อกไดอะแกรมการส่งข้อมูลทางพอร์ทอนุกรมจากอุปกรณ์ FPGA ไปยังคอมพิวเตอร์แสดงดังรูปที่ 1.21



รูปที่ 1.21 บล็อกไดอะแกรมการส่งข้อมูลของอุปกรณ์ FPGA ผ่านพอร์ทอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.22 โฟลว์ชาร์ตการทำงานของตัวแปลงเวฟเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
การทดลองและผลการทดลอง

การจำลองการทำงานและการทดลองตัวแปลงเวฟเลตโดยใช้โครงสร้างลิฟท์ติ้ง และโครงสร้างเลขคณิตกระจายแบบขนาน เป็นดังนี้

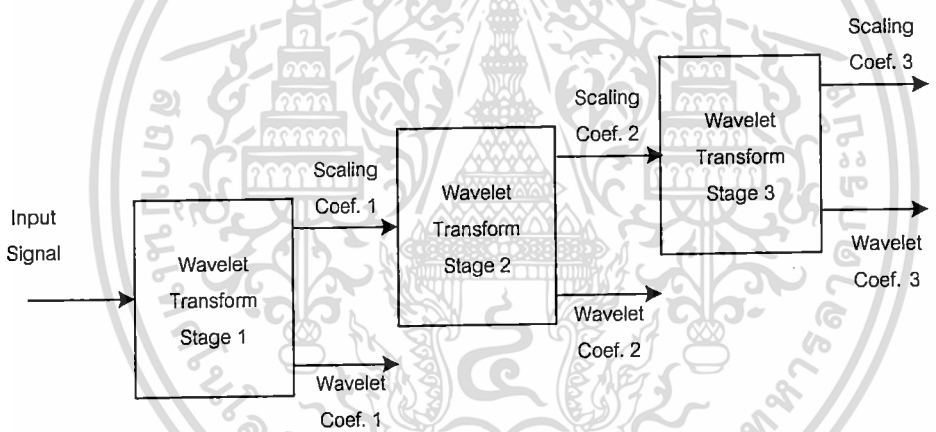
2.1 การจำลองการทำงานตัวแปลงเวฟเลตโดยใช้โปรแกรมแมทแลบ

2.2 การทดลองตัวแปลงเวฟเลตที่สร้างจริงลงอุปกรณ์ FPGA และแสดงผลผ่านจอคอมพิวเตอร์

2.1 การจำลองการทำงานตัวแปลงเวฟเลตโดยใช้โปรแกรมแมทแลบ

2.1.1 การแปลงเวฟเลต (Wavelet Transform)

การทดลองการแปลงเวฟเลตจะคำนวณหาค่าสัมประสิทธิ์สเกลลิ่งและสัมประสิทธิ์เวฟเลตทั้งหมด 3 ขั้น เพื่อเปรียบเทียบค่าที่ได้ในแต่ละระดับ โดยขั้นตอนการทดลองแสดงดังรูปที่ 2.1

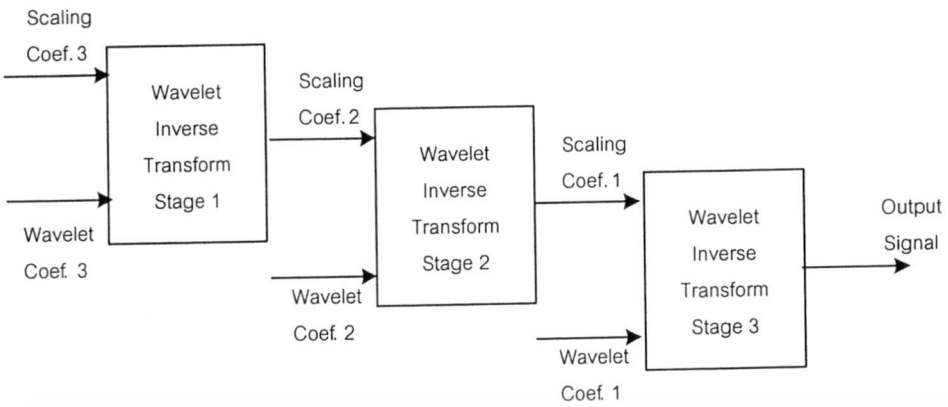


รูปที่ 2.1 บล็อกไดอะแกรมของการแปลงเวฟเลต

2.1.2 การแปลงกลับเวฟเลต (Wavelet Inverse Transform)

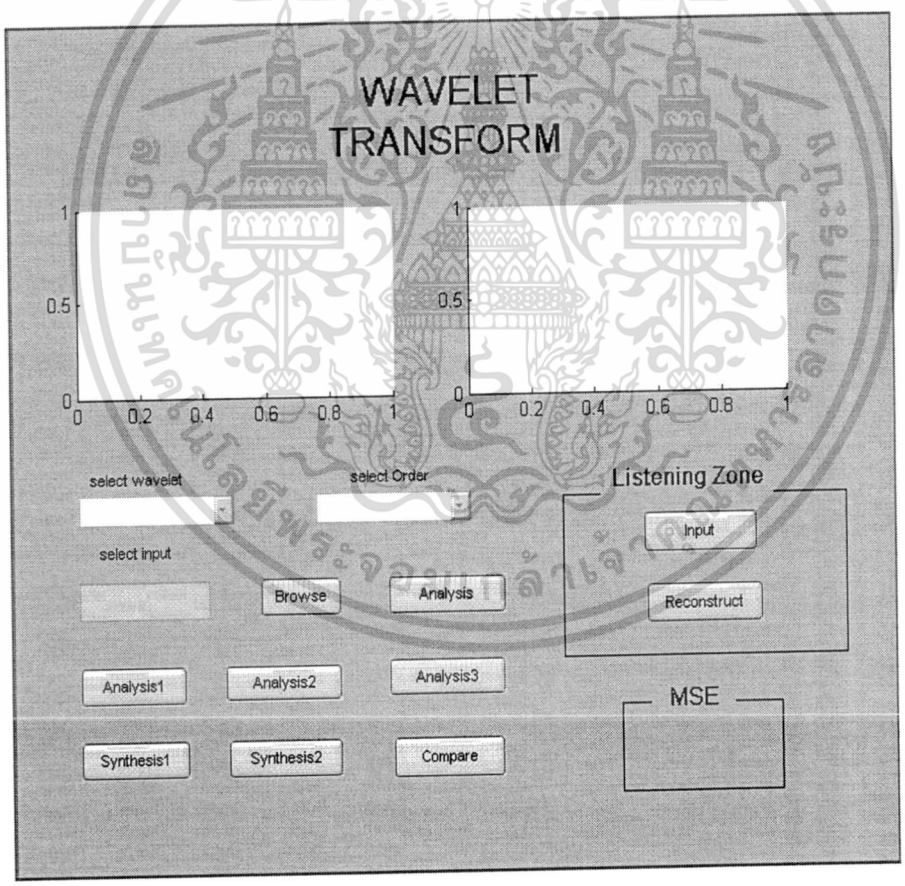
การทดลองการแปลงกลับเวฟเลตจะคำนวณหาสัมประสิทธิ์สเกลลิ่งของขั้นที่ต่ำกว่า โดยใช้สัมประสิทธิ์สเกลลิ่งและสัมประสิทธิ์เวฟเลตของขั้นที่สูงกว่ามาคำนวณ โดยขั้นตอนการทดลองแสดงดังรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 บล็อกไดอะแกรมของการแปลงกลับเวฟเลต

2.1.3 ขั้นตอนการทดลอง



รูปที่ 2.3 หน้าต่างของแมทแลบส่วนอินเตอร์เฟสของโปรแกรม Wavelet Transform

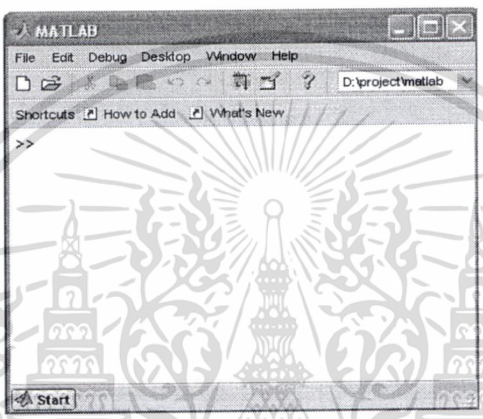
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

จากรูป 2.3 แสดงหน้าต่างของอินเตอร์เฟสของโปรแกรมคำนวณและแสดงผลการแปลงเวฟเลต โดยตัวโปรแกรมประกอบด้วย หน้าต่างที่ใช้แสดงผลกราฟ 2 กราฟ ซึ่งได้จากการคำนวณที่ได้จากการแปลงเวฟเลตในแต่ละขั้น ส่วนของการเลือกชนิดของเวฟเลตที่จะใช้ในการแปลงและอันดับ ส่วนของการเลือกสัญญาณที่จะใช้ในการแปลงเวฟเลต และส่วนแสดงค่าความผิดพลาดของสัญญาณที่กู้กลับมาได้เมื่อเทียบกับสัญญาณอินพุตหรือค่า MSE

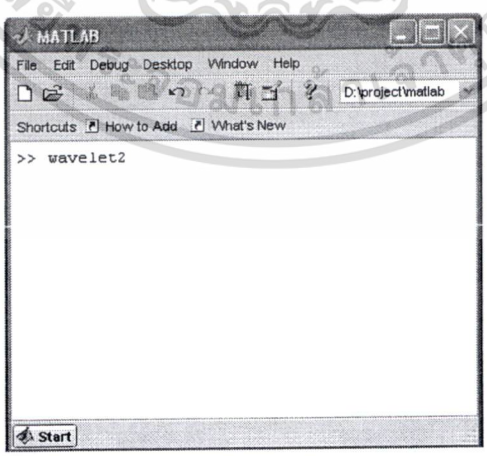
ขั้นตอนการใช้งานโปรแกรมจำลองการทำงาน

1. เริ่มจากเปิดโปรแกรมแมทแลบขึ้นมาดังรูป 2.4



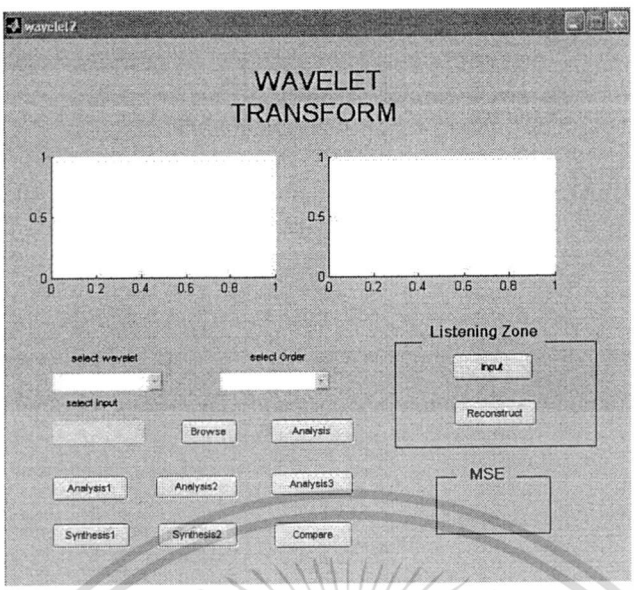
รูปที่ 2.4 หน้าต่าง command ของโปรแกรมแมทแลบ

2. พิมพ์คำสั่ง wavelet2 ลงบนหน้าต่าง command ดังรูป 2.5 จะปรากฏหน้าต่างของส่วนอินเตอร์เฟส ดังรูปที่ 2.6



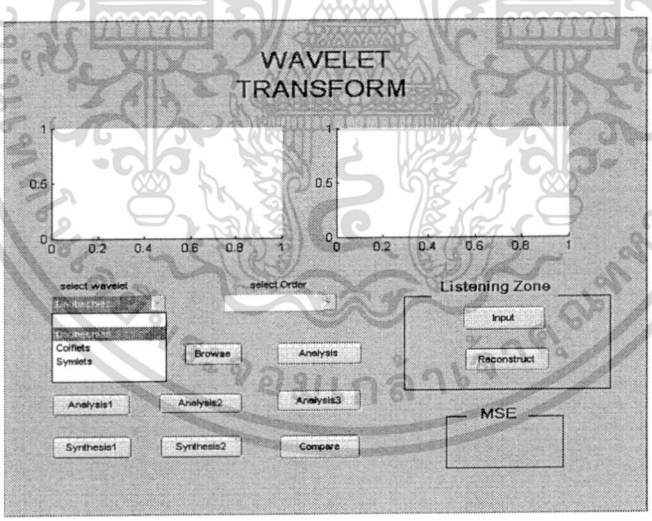
รูปที่ 2.5 คำสั่งที่ใช้เรียกส่วนของ GUI ขึ้นมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
108263



รูปที่ 2.6 หน้าต่างของ GUI หลังพิมพ์คำสั่ง wavelet 2

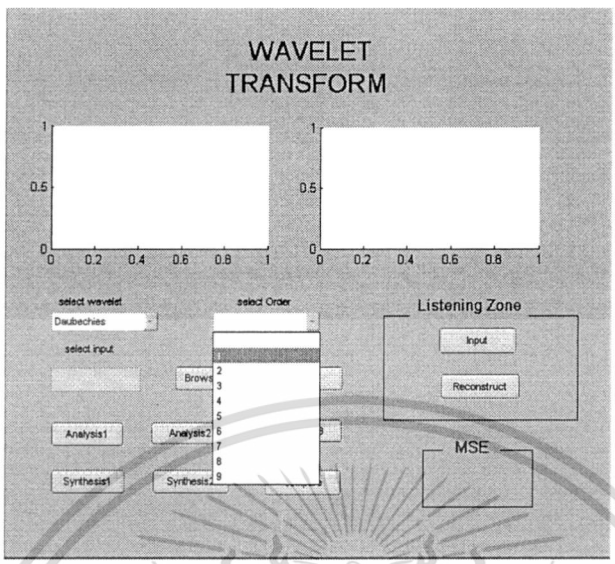
3. เลือกชนิดของ mother wavelet ที่จะใช้ในการแปลงเวฟเลต ดังรูป 2.7 โดยจะมีชนิดของ mother wavelet ให้เลือก 3 ชนิด คือ Daubechies , Coiflets และ Symlets



รูปที่ 2.7 การเลือกชนิดของ mother wavelet ที่จะใช้ในการแปลงเวฟเลต

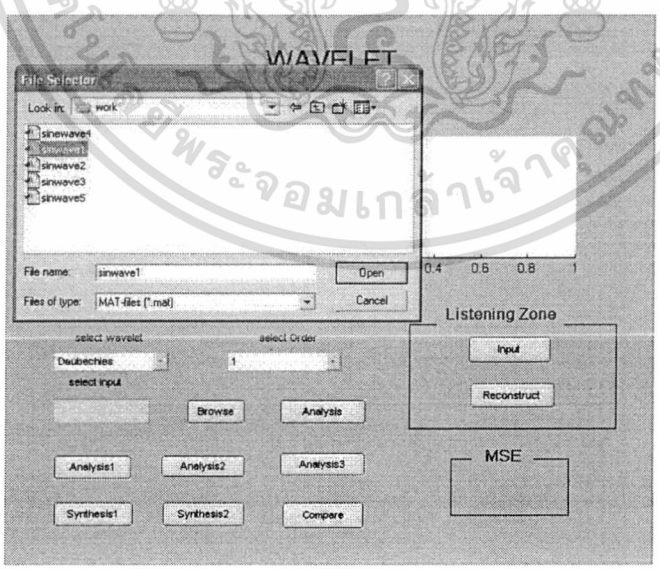
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. เลือกอันดับของ mother wavelet โดยมีให้เลือกตั้งแต่ 1- 9 ดังรูปที่ 2.8



รูปที่ 2.8 การเลือกอันดับของ mother wavelet

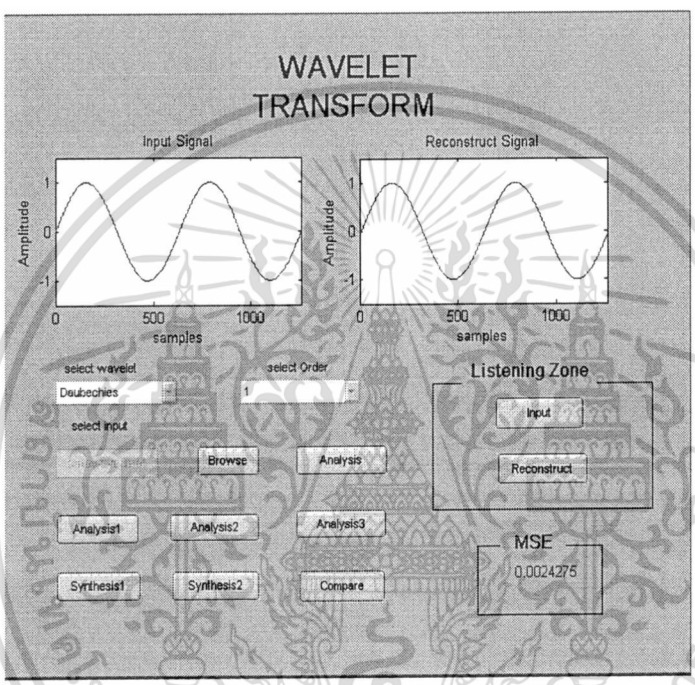
5. เลือกสัญญาณอินพุตที่จะนำมาแปลงเวฟเลต โดยกดปุ่ม Browse จะมีหน้าต่างชื่อ File Selector ขึ้นมา จากนั้นเลือกไฟล์สัญญาณอินพุต ซึ่งสามารถรับสัญญาณได้สองแบบคือ สัญญาณ 1 มิติที่สร้างจากโปรแกรมแมทแลบ (ไฟล์นามสกุล . mat) และสัญญาณเสียง (ไฟล์นามสกุล .wav) ดังรูปที่ 2.9



รูปที่ 2.9 การเลือกสัญญาณอินพุตที่ใช้ในการแปลงเวฟเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. จากนั้นกดปุ่ม Analysis เพื่อแปลงเวฟเลตทั้งด้านการแปลงและการแปลงกลับ ซึ่งจะใช้สัมประสิทธิ์ของตัวกรองสัญญาณตามชนิดและอันดับของ mother wavelet ที่เลือกไว้ เมื่อประมวลผลเสร็จจะแสดงผลเป็นกราฟเปรียบเทียบกันระหว่างสัญญาณอินพุตและสัญญาณที่สร้างกลับคืนมาได้ดังรูปที่ 2.10
7. กดปุ่ม Analysis1 เพื่อแสดงผลระหว่างสัมประสิทธิ์สเกลลิ่งระดับที่ 1 ที่ออกมาจากตัวกรองความถี่ต่ำผ่านในการแปลงขั้นที่ 1 และสัมประสิทธิ์เวฟเลตระดับที่ 1 ที่ออกมาจากตัวกรองความถี่สูงผ่านในการแปลงขั้นที่ 1 ดังรูปที่ 2.11



รูปที่ 2.10 การเปรียบเทียบระหว่างสัญญาณอินพุตกับสัญญาณที่สร้างกลับคืน

8. กดปุ่ม Analysis2 เพื่อแสดงผลระหว่างสัมประสิทธิ์สเกลลิ่งระดับที่ 2 ที่ออกมาจากตัวกรองความถี่ต่ำผ่านในการแปลงขั้นที่ 2 และสัมประสิทธิ์เวฟเลตระดับที่ 2 ที่ออกมาจากตัวกรองความถี่สูงผ่านในการแปลงขั้นที่ 2 ดังรูปที่ 2.12
9. กดปุ่ม Analysis3 เพื่อแสดงผลระหว่างสัมประสิทธิ์สเกลลิ่งระดับที่ 3 ที่ออกมาจากตัวกรองความถี่ต่ำผ่านในการแปลงขั้นที่ 3 และสัมประสิทธิ์เวฟเลตระดับที่ 3 ที่ออกมาจากตัวกรองความถี่สูงผ่านในการแปลงขั้นที่ 3 ดังรูปที่ 2.13
10. กดปุ่ม Synthesis1 เพื่อแสดงผลระหว่างสัญญาณอินพุตกับสัญญาณที่สร้างกลับคืนมาได้เมื่อผ่านการแปลงกลับขั้นที่ 1 ดังรูปที่ 2.14
11. กดปุ่ม Synthesis2 เพื่อแสดงผลระหว่างสัญญาณอินพุตกับสัญญาณที่สร้างกลับคืนมาได้เมื่อผ่านการแปลงกลับขั้นที่ 2 ดังรูปที่ 2.15

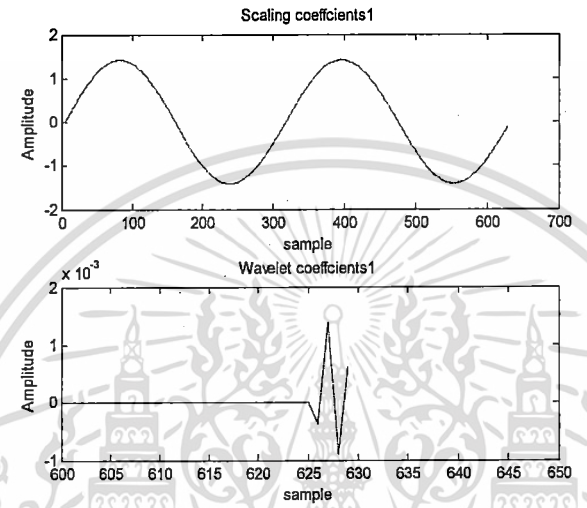
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12. กดปุ่ม Synthesis3 เพื่อแสดงผลระหว่างสัญญาณอินพุตกับสัญญาณที่สร้างกลับคืนมาได้เมื่อผ่านการแปลงกลับขั้นที่ 3 ดังรูปที่ 2.16

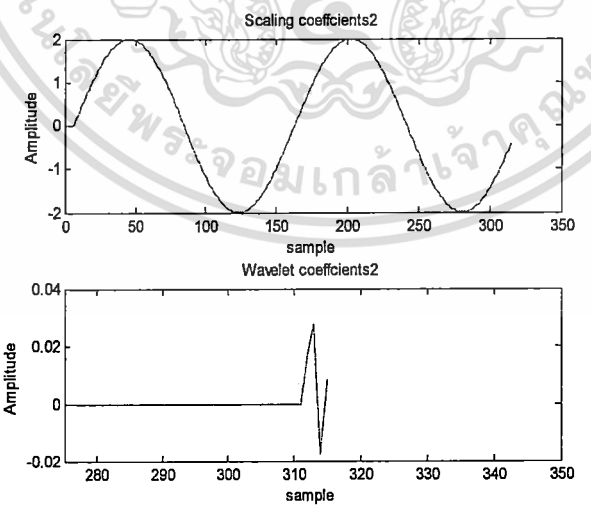
ผลการทดลอง

ผลการจำลองการทำงานโดยใช้โปรแกรมแมทแลบจะแสดงเป็นกราฟ โดยสัญญาณอินพุทที่ใช้ทดลอง มี 3 แบบ คือ สัญญาณไซน์ สัญญาณสี่เหลี่ยม และสัญญาณเสียง

2.1.3.1 ผลการแปลงเวฟเลตเมื่อสัญญาณอินพุตเป็นสัญญาณไซน์

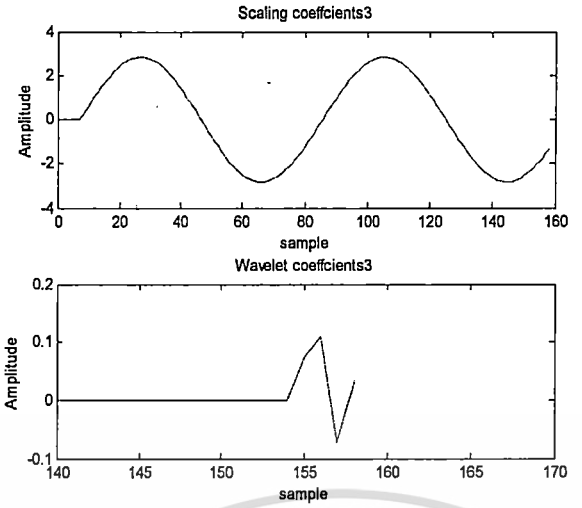


รูปที่ 2.11 ผลการแปลงเวฟเลตขั้นที่ 1 ประกอบด้วยสัมประสิทธิ์สเกลลิ่งระดับที่ 1 และสัมประสิทธิ์เวฟเลตระดับที่ 1



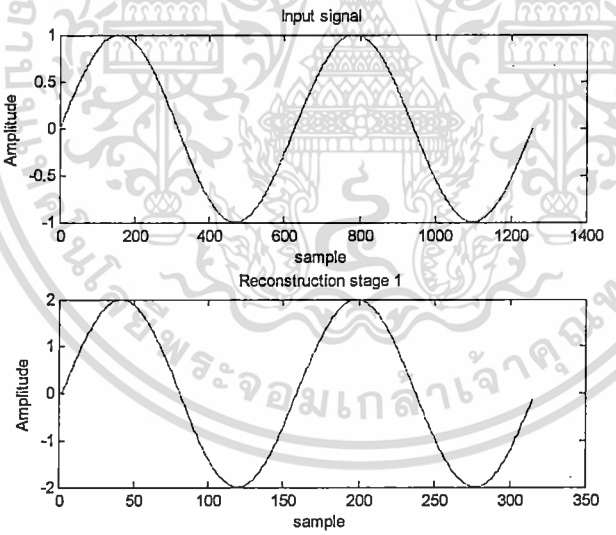
รูปที่ 2.12 ผลการแปลงเวฟเลตขั้นที่ 2 ประกอบด้วยสัมประสิทธิ์สเกลลิ่งระดับที่ 2 และสัมประสิทธิ์เวฟเลตระดับที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



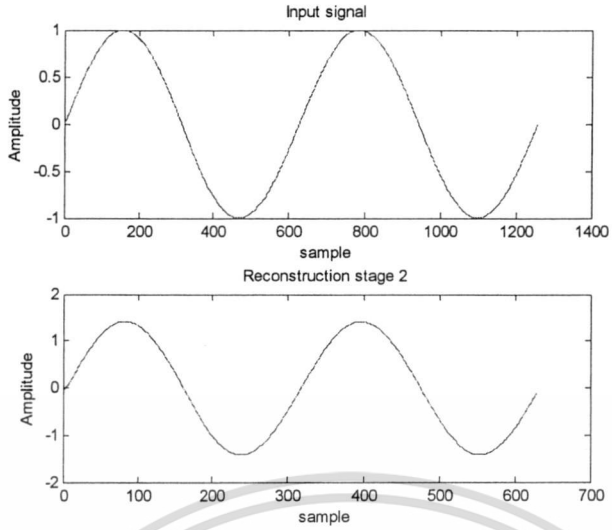
รูปที่ 2.13 ผลการแปลงเวฟเลตขั้นที่ 3 ประกอบด้วยสัมประสิทธิ์สเกลลิ่งระดับที่ 3 และสัมประสิทธิ์เวฟเลตระดับที่ 3

2.1.3.2 ผลการแปลงกลับเวฟเลตเมื่อสัญญาณอินพุตเป็นสัญญาณไซน์

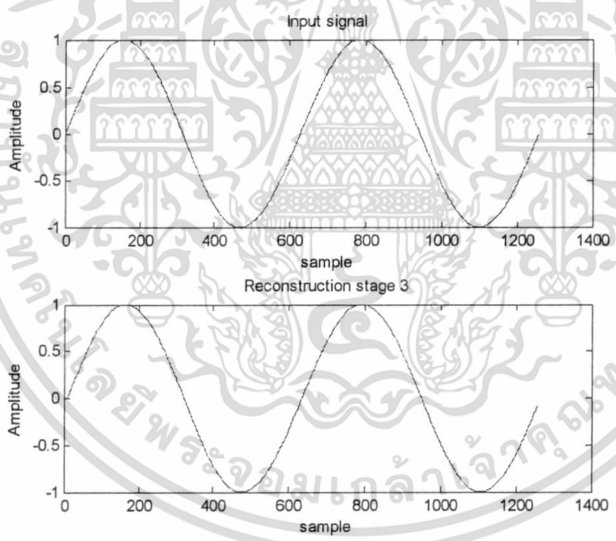


รูปที่ 2.14 ผลการแปลงกลับเวฟเลตขั้นที่ 1 ประกอบด้วยสัญญาณอินพุต และสัญญาณที่สร้างกลับคืนระดับที่ 1

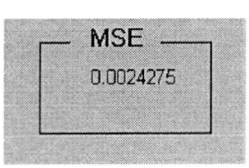
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 ผลการแปลงกลับเวฟเลตขั้นที่ 2 ประกอบด้วยสัญญาณอินพุต
และสัญญาณที่สร้างกลับคืนระดับที่ 2



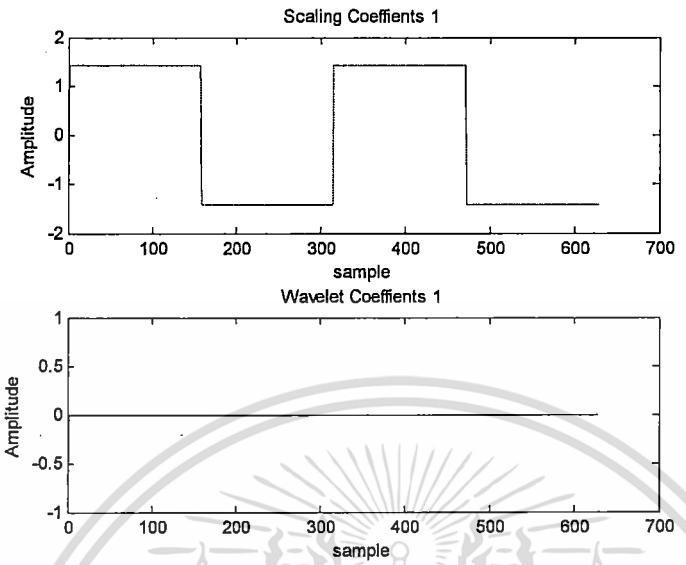
รูปที่ 2.16 ผลการแปลงกลับเวฟเลตขั้นที่ 3 ประกอบด้วยสัญญาณอินพุต
และสัญญาณที่สร้างกลับคืนระดับที่ 3



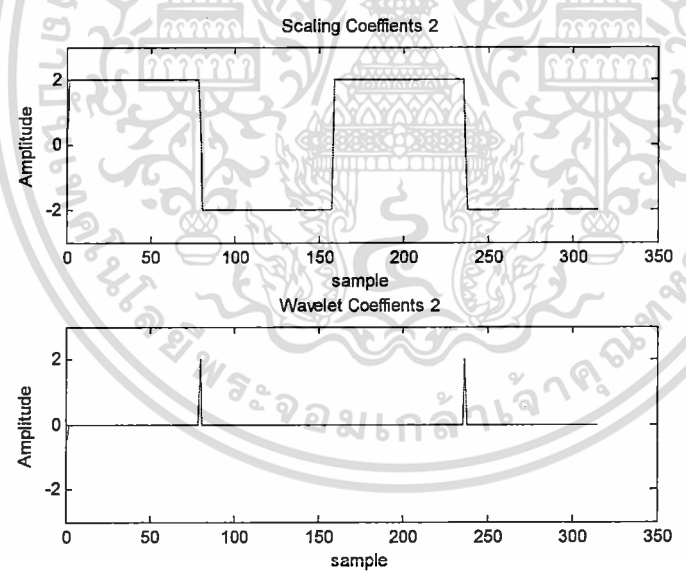
รูปที่ 2.17 ค่า MSE ที่คำนวณได้เมื่อกดปุ่ม Compare

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3.3 ผลการแปลงเวฟเลตเมื่อสัญญาณอินพุตเป็นสัญญาณสี่เหลี่ยม

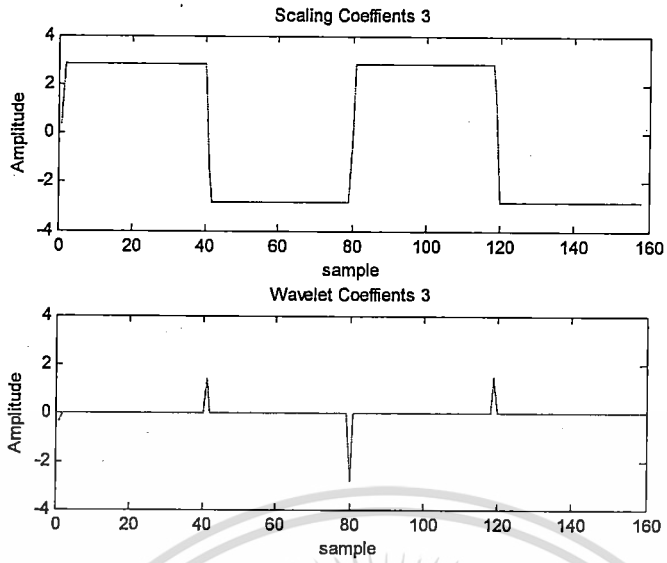


รูปที่ 2.18 ผลการแปลงเวฟเลตขั้นที่ 1 ประกอบด้วยสัมประสิทธิ์สเกลลิ่งระดับที่ 1 และสัมประสิทธิ์เวฟเลตระดับที่ 1



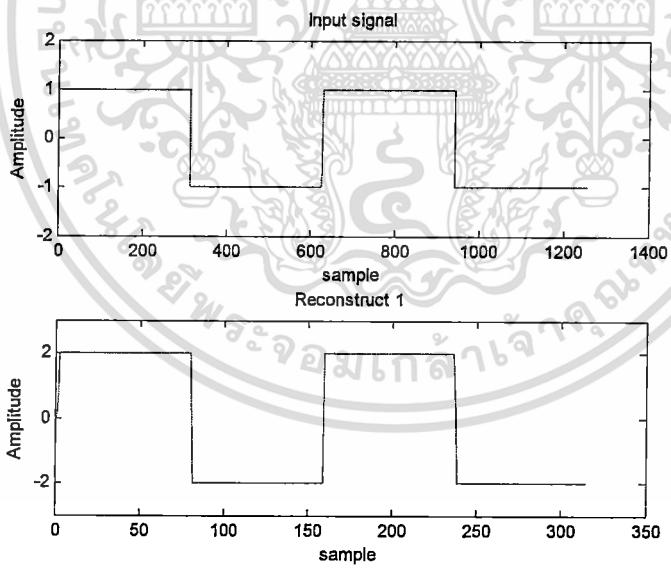
รูปที่ 2.19 ผลการแปลงเวฟเลตขั้นที่ 2 ประกอบด้วยสัมประสิทธิ์สเกลลิ่งระดับที่ 2 และสัมประสิทธิ์เวฟเลตระดับที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



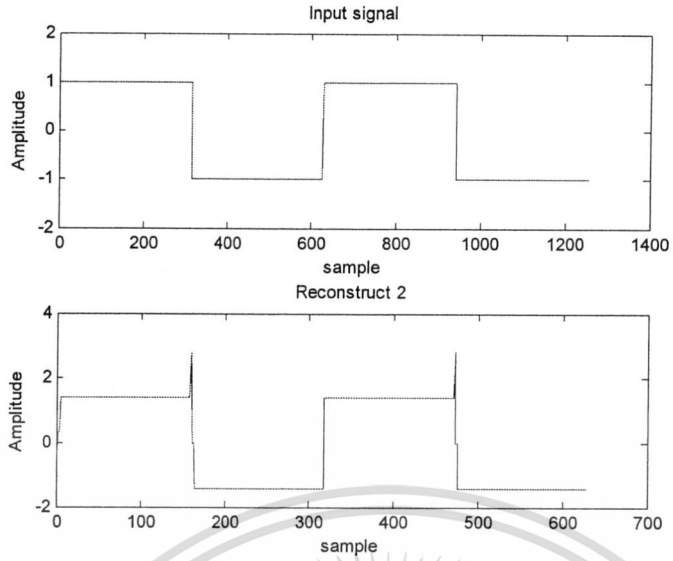
รูปที่ 2.20 ผลการแปลงเวฟเลตขั้นที่ 3 ประกอบด้วยสัมประสิทธิ์สเกลลิ่งระดับที่ 3 และสัมประสิทธิ์เวฟเลตระดับที่ 3

2.1.3.4 ผลการแปลงกลับเวฟเลตเมื่อสัญญาณอินพุตเป็นสัญญาณสี่เหลี่ยม

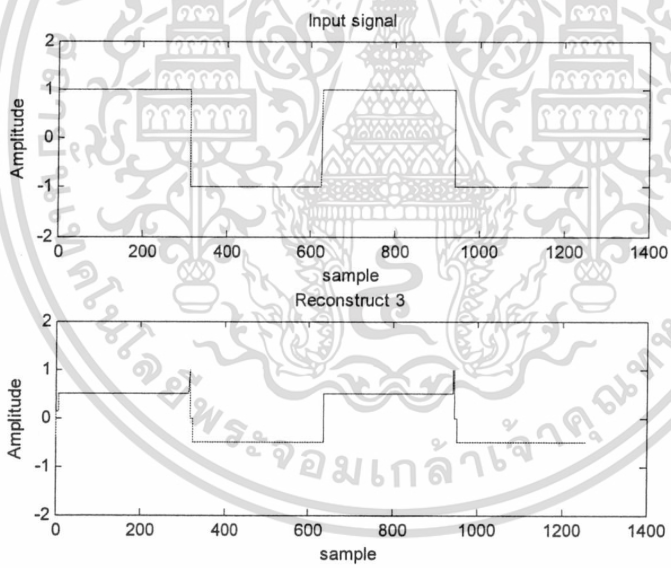


รูปที่ 2.21 ผลการแปลงกลับเวฟเลตขั้นที่ 1 ประกอบด้วยสัญญาณอินพุต และสัญญาณที่สร้างกลับคืนระดับที่ 1

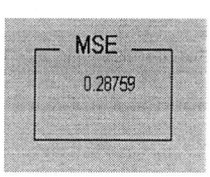
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 ผลการแปลงกลับเวฟเลตขั้นที่ 2 ประกอบด้วยสัญญาณอินพุต และสัญญาณที่สร้างกลับคืนระดับที่ 2



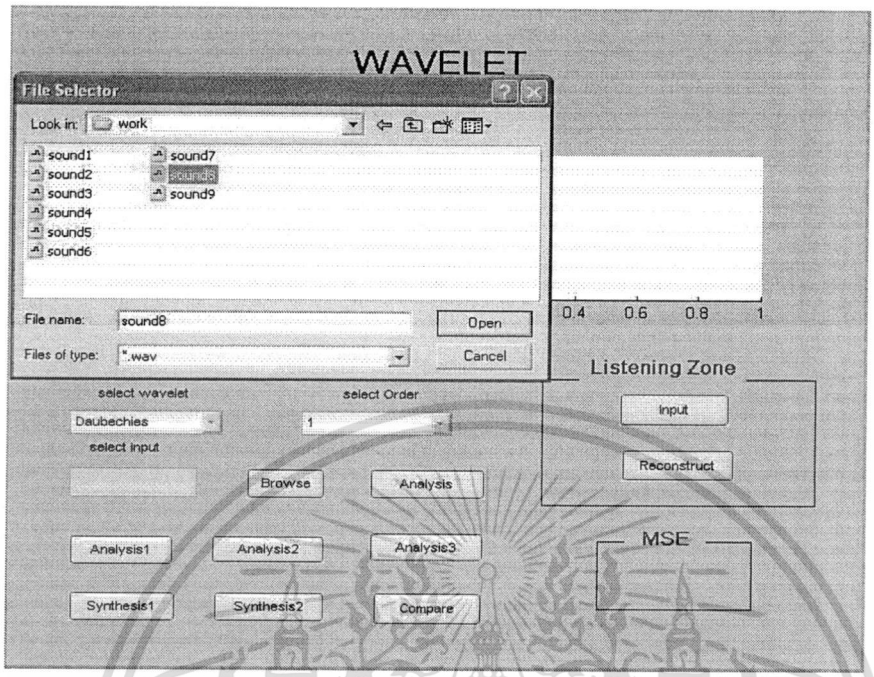
รูปที่ 2.23 ผลการแปลงกลับเวฟเลตขั้นที่ 3 ประกอบด้วยสัญญาณอินพุต และสัญญาณที่สร้างกลับคืนระดับที่ 3



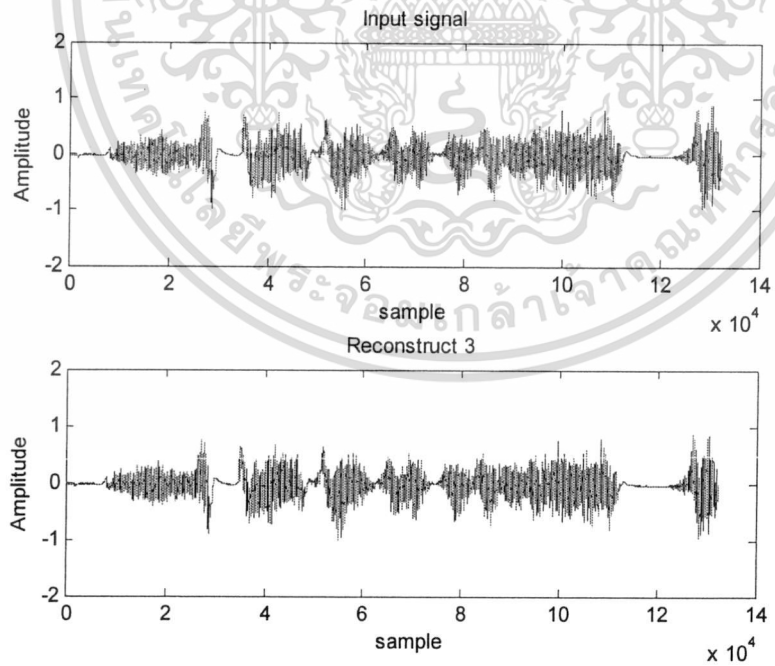
รูปที่ 2.24 ค่า MSE ที่คำนวณได้เมื่อกดปุ่ม Compare

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3.5 ผลการแปลงและการแปลงกลับเวฟเลตเมื่อสัญญาณอินพุตเป็นสัญญาณเสียง

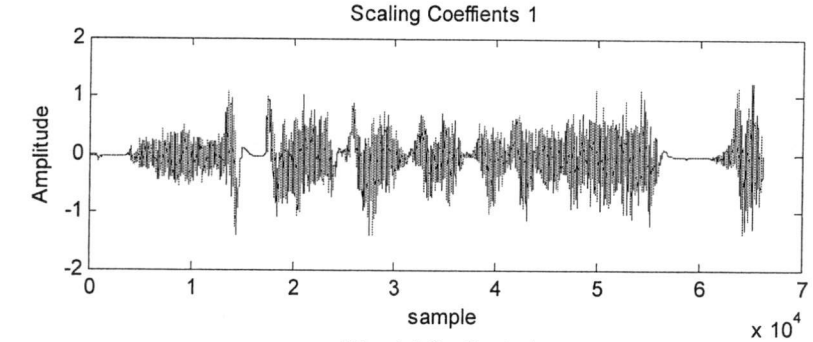


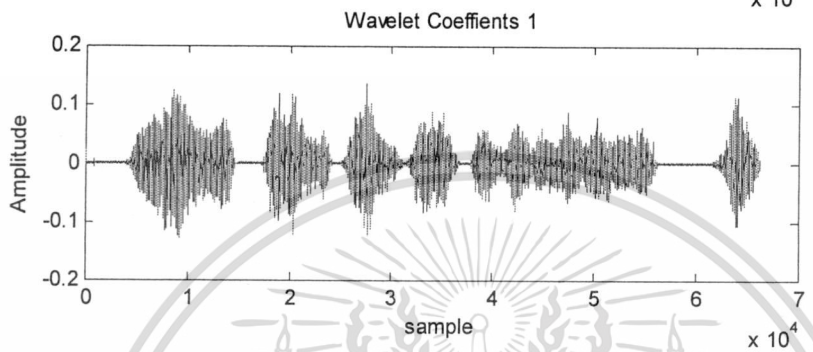
รูปที่ 2.25 เมื่อสัญญาณอินพุตเป็นสัญญาณเสียง



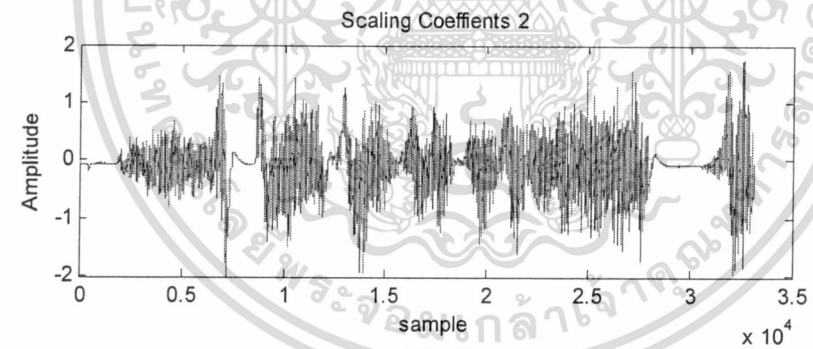
รูปที่ 2.26 การเปรียบเทียบระหว่างสัญญาณอินพุต
กับสัญญาณที่สร้างกลับคืนเมื่อกดปุ่ม Analysis

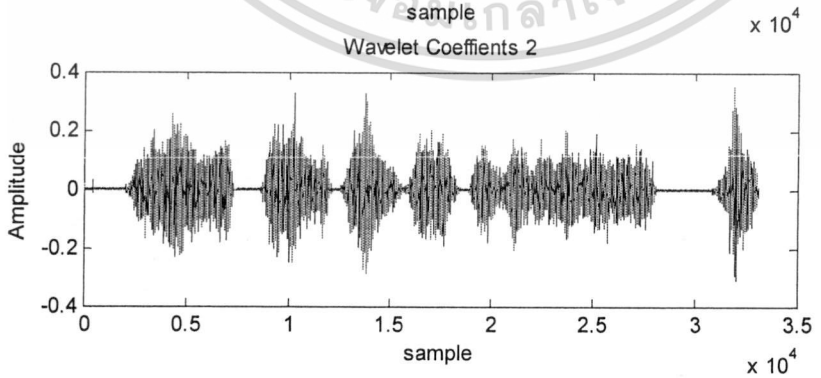
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





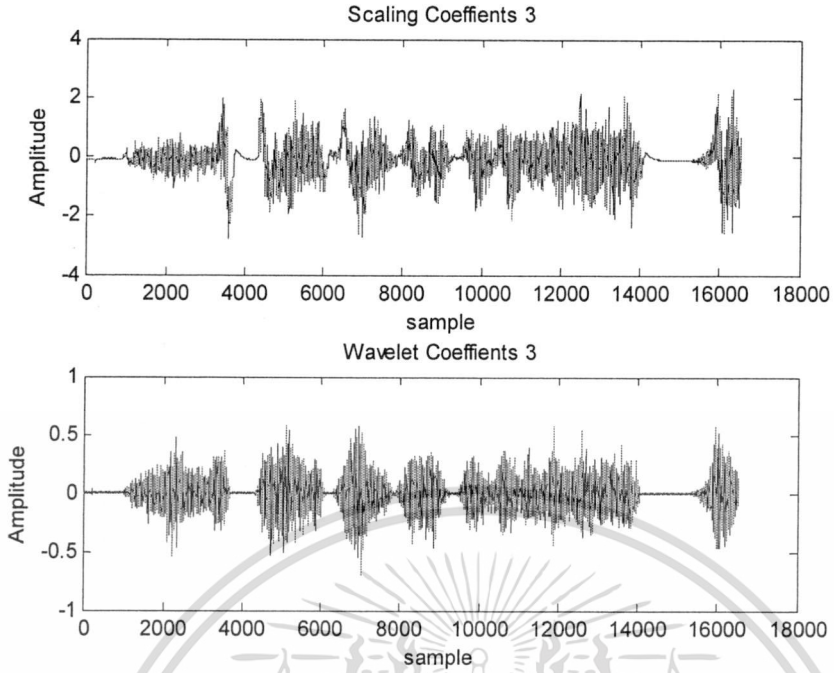
รูปที่ 2.27 ผลการแปลงเวฟเลตขั้นที่ 1 ประกอบด้วยสัมประสิทธิ์สเกลลิ่งระดับที่ 1 และสัมประสิทธิ์เวฟเลตระดับที่ 1



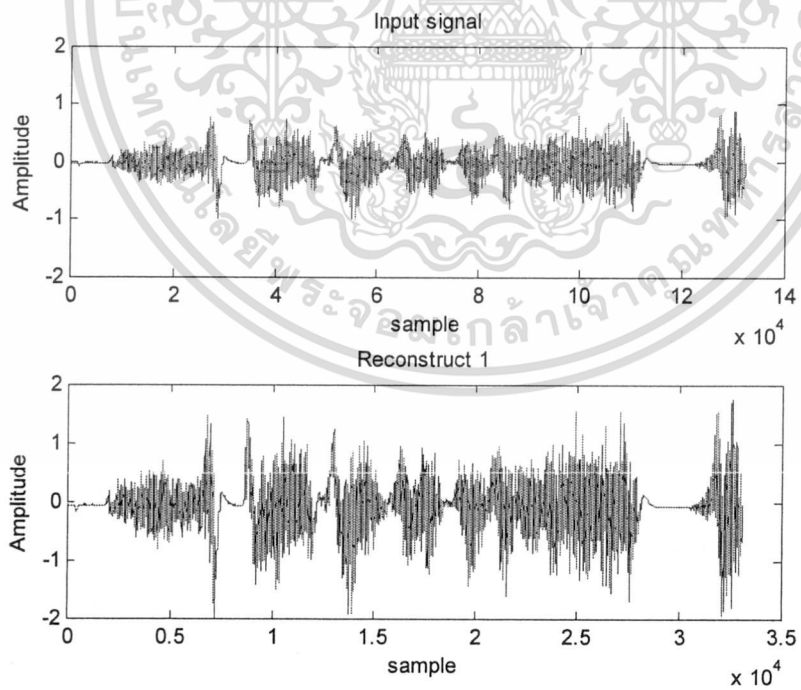


รูปที่ 2.28 ผลการแปลงเวฟเลตขั้นที่ 2 ประกอบด้วยสัมประสิทธิ์สเกลลิ่งระดับที่ 2 และสัมประสิทธิ์เวฟเลตระดับที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

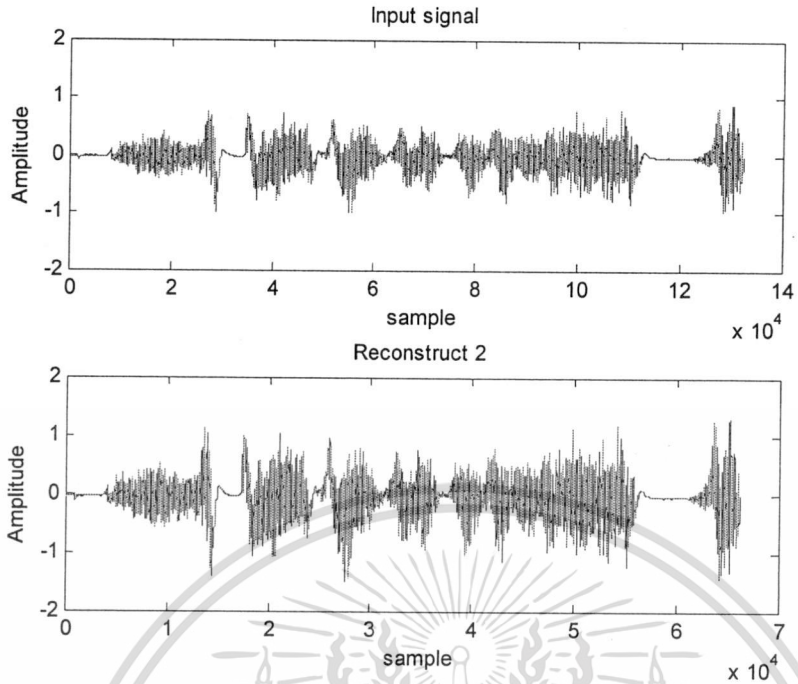


รูปที่ 2.29 ผลการแปลงเวฟเลตขั้นที่ 3 ประกอบด้วยสัมประสิทธิ์สเกลลิ่งระดับที่ 3 และสัมประสิทธิ์เวฟเลตระดับที่ 3

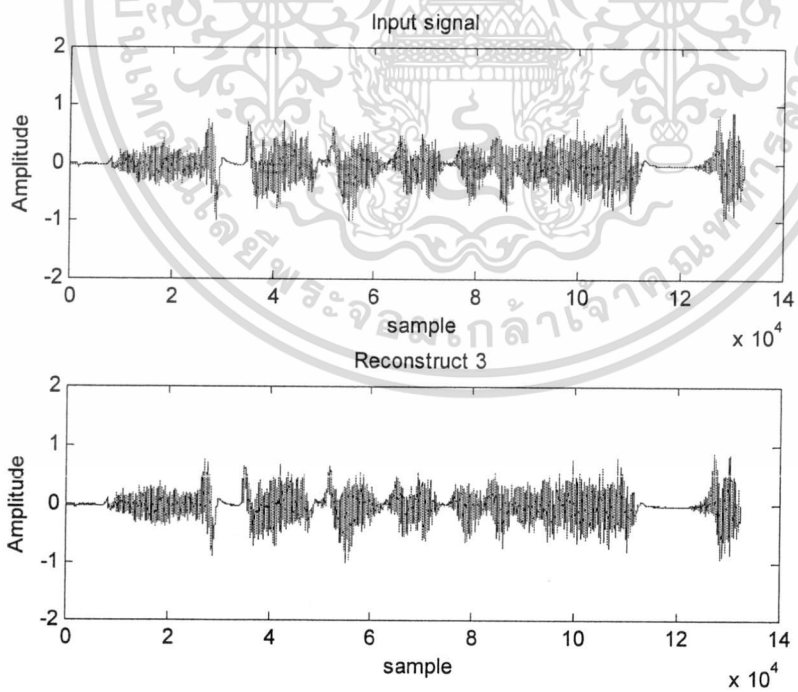


รูปที่ 2.30 ผลการแปลงกลับเวฟเลตขั้นที่ 1 ประกอบด้วยสัญญาณอินพุต และสัญญาณที่สร้างกลับคืนระดับที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

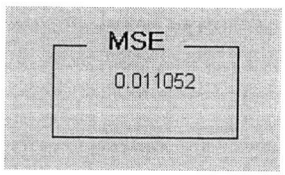


รูปที่ 2.31 ผลการแปลงกลับเวฟเลตขั้นที่ 2 ประกอบด้วยสัญญาณอินพุต
และสัญญาณที่สร้างกลับคืนระดับที่ 2

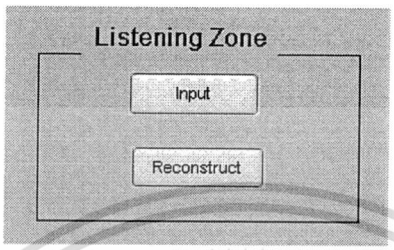


รูปที่ 2.32 ผลการแปลงกลับเวฟเลตขั้นที่ 3 ประกอบด้วยสัญญาณอินพุต
และสัญญาณที่สร้างกลับคืนระดับที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.33 ค่า MSE ที่คำนวณได้เมื่อกดปุ่ม Compare



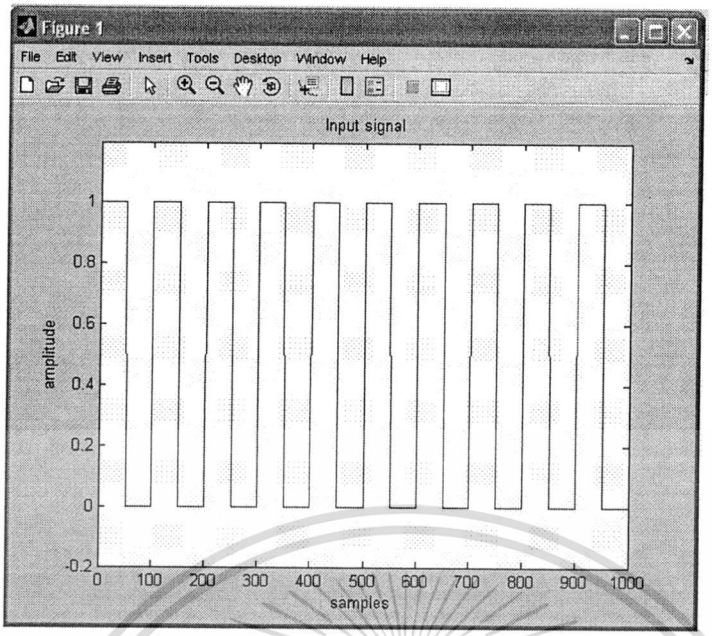
รูปที่ 2.34 ปุ่มที่ใช้ในการฟังเสียงของสัญญาณเสียงอินพุต
และสัญญาณเสียงที่สร้างกลับคืน

2.2 การทดลองตัวแปลงเวฟเลตที่สร้างจริงลงอุปกรณ์ FPGA และแสดงผลผ่านจอคอมพิวเตอร์

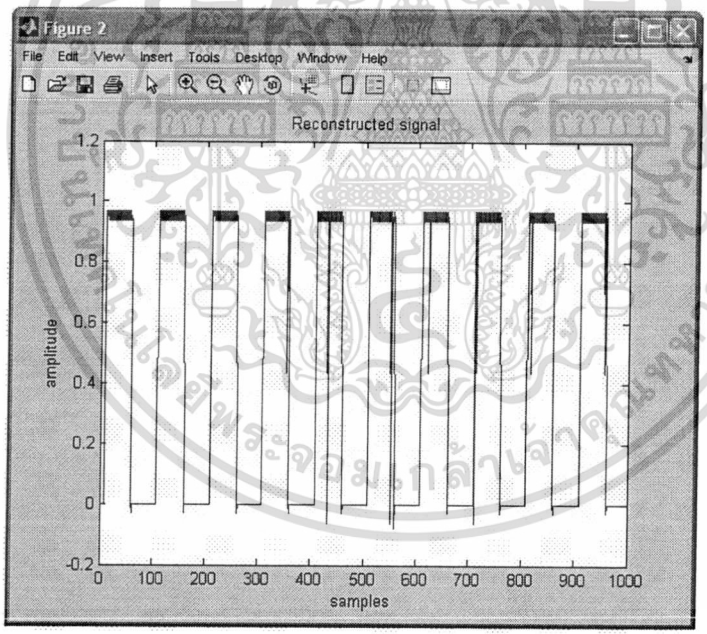
การทดลองนี้เป็นการทดสอบการทำงานจริงของตัวแปลงเวฟเลตที่ออกแบบและสร้างขึ้นมา โดยโครงสร้างของตัวแปลงเวฟเลตเป็นแบบลิฟท์ติ้งและใช้โครงสร้างเลขคณิตกระจายแบบขนานแทนการคูณโดยตรง

ในการทดลองจะส่งสัญญาณอินพุตจากพอร์ทอนุกรมของคอมพิวเตอร์ส่งไปยังอุปกรณ์ FPGA ที่มีวงจรตัวแปลงเวฟเลต ซึ่งสัญญาณที่ใช้มี 3 แบบ คือ สัญญาณรูปสี่เหลี่ยม (Square wave) สัญญาณรูปไซน์ (Sinusoidal wave) และสัญญาณเสียง (Sound wave) เมื่อตัวแปลงเวฟเลตได้รับสัญญาณจะคำนวณผลของการแปลงเวฟเลตและการแปลงกลับเวฟเลต แล้วส่งค่าที่ได้จากการคำนวณกลับคืนมายังคอมพิวเตอร์ผ่านทางพอร์ตอนุกรมให้กับโปรแกรมแมทแลบ เพื่อแสดงผลเป็นกราฟของสัญญาณอินพุตและสัญญาณเอาท์พุตที่สร้างกลับคืนมาได้ โดยจะมีหน้าต่างแสดงผลการทดลองดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

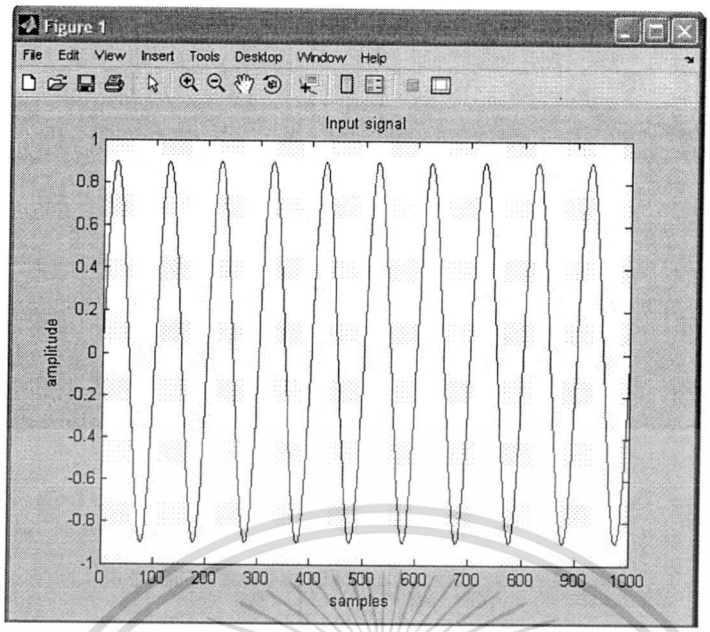


รูปที่ 2.35 สัญญาณอินพุตเป็นสัญญาณสี่เหลี่ยม

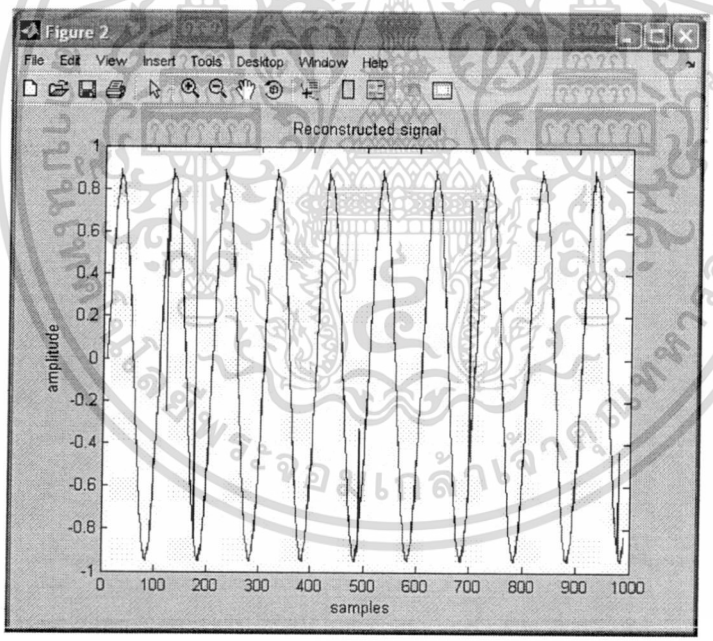


รูปที่ 2.36 สัญญาณเอาท์พุตของสัญญาณสี่เหลี่ยมที่สร้างกลับคืน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

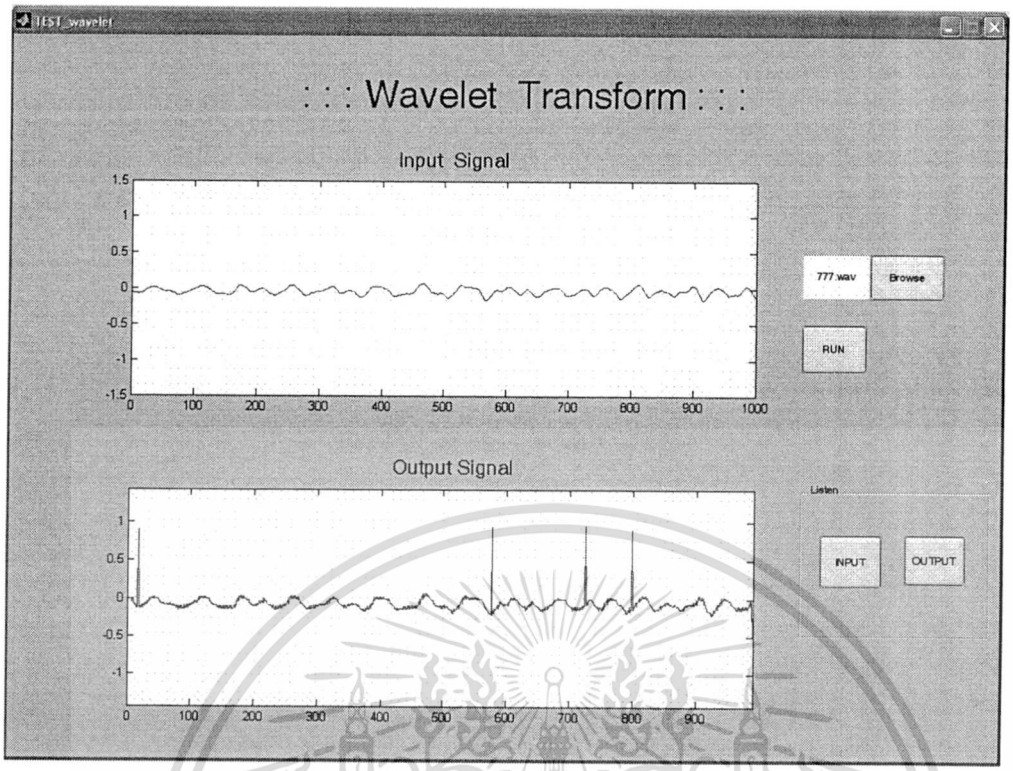


รูปที่ 2.37 สัญญาณอินพุตเป็นสัญญาณรูปไซน์

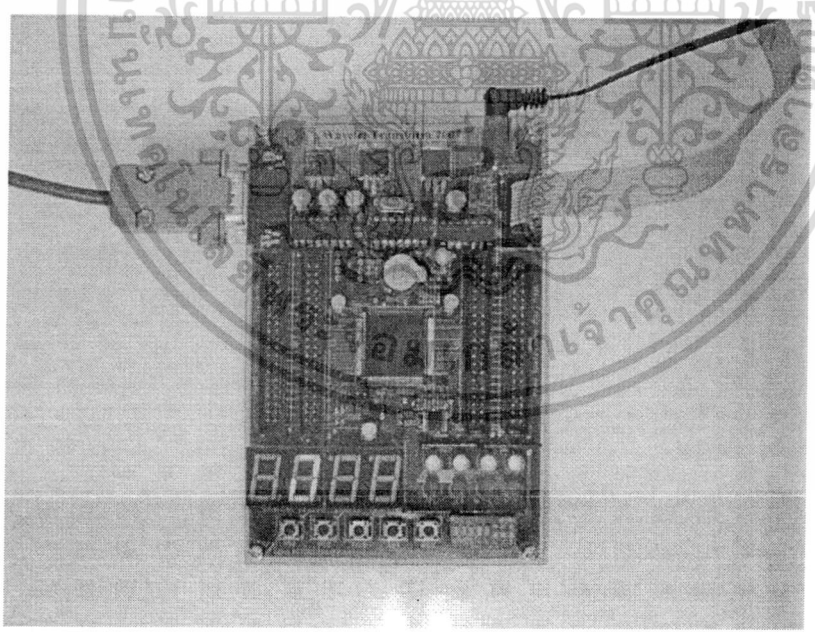


รูปที่ 2.38 สัญญาณเอาท์พุตของสัญญาณรูปไซน์ที่สร้างกลับคืน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.39 การเปรียบเทียบระหว่างสัญญาณเสียงอินพุตกับสัญญาณเสียงที่สร้างกลับคืน



รูปที่ 2.40 อุปกรณ์ FPGA ขณะทดสอบการทำงานจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้