สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

รายงานการวิจัยฉบับสมบูรณ์

การออกแบบบล็อกแอกทีฟ CDCCC ปรับค่าด้วยกระแสและการประยุกต์ใช้งาน

Design of Active building block: Current-Controlled CDCCC and its applications

รศ.ดร.พิพัฒน์ พรหมมี
นายเทิดศักดิ์ กันโต

RCH
ท 6977
2558

เลขหมู่.....
เลขทะเบียน 137789
รับเมื่อวันที่ 16 มี.ค. 2558

b 12699998
i.....

ได้รับทุนสนับสนุนงานวิจัยจากเงินงบประมาณเงินรายได้ ประจำปีงบประมาณ 2558

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

กิตติกรรมประกาศ

โครงการวิจัยนี้สำเร็จลุล่วงได้ ผู้เขียนขอขอบคุณผู้ที่ให้การช่วยเหลือ หรือให้ความร่วมมือเป็นอย่างดีในการทำวิจัยทุกท่าน ตลอดจนสถานที่ได้สนับสนุนการทำวิจัย โดยการวิจัยครั้งนี้ได้รับทุนสนับสนุนการวิจัยจากคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง จากแหล่งเงินงบประมาณเงินรายได้ ประจำปีงบประมาณ พ.ศ. 2558

รศ.ดร.พิพัฒน์ พรหมมี

นายเทิดศักดิ์ กันโต

King Mongkut's Institute of Technology Ladkrabang

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....I

บทคัดย่อภาษาไทย.....II

กิตติกรรมประกาศ.....III

สารบัญ.....IV

สารบัญตาราง.....VII

สารบัญภาพ.....VIII

บทที่ 1 บทนำ.....1

1.1 ความเป็นมาและความสำคัญของปัญหา.....1

1.2 วัตถุประสงค์ของการวิจัย.....1

1.3 ขอบเขตของการวิจัย.....2

1.4 วิธีดำเนินการวิจัย.....2

1.5 ประโยชน์ที่คาดว่าจะได้รับ.....3

บทที่ 2 ทฤษฎีที่เกี่ยวข้อง.....4

2.1 เทคโนโลยีของมอสทรานซิสเตอร์.....4

2.1.1 มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมดชนิดเอ็นแชนเนล.....6

2.1.2 มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมดชนิดพีแชนเนล.....7

2.1.3 มอสทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดเอ็นแชนเนล.....7

2.1.4 มอสทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดพีแชนเนล.....8

2.1.5 ทฤษฎีการทำงานของมอสทรานซิสเตอร์.....9

2.1.6 สัญลักษณ์ของมอสทรานซิสเตอร์.....13

2.2 เทคโนโลยีของซีมอส.....14

2.3 วงจรสายพานกระแส.....15

2.3.1 วงจรสายพานกระแสรุ่นที่หนึ่ง.....16

2.3.2 วงจรสายพานกระแสรุ่นที่สอง.....16

2.3.3 วงจรสายพานกระแสรุ่นที่สองแบบกระแสควบคุม.....17

2.3.4 ทฤษฎีทรานสลิเนียร์.....18

2.3.5 วงจรสะท้อนกระแส.....22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

สารบัญ(ต่อ)

หน้า

2.4 หลักการพื้นฐานของวงจรกรองสัญญาณ.....24
2.4.1 คุณสมบัติของฟังก์ชันถ่ายโอน.....24
2.4.2 การพล็อตค่าขนาด (Magnitude) และเฟส (Phase) ของฟังก์ชันโครงข่าย.....24
2.5 ฟังก์ชันถ่ายโอนแบบไบควอดเดรติก.....35
2.6 ทฤษฎีการทำงานของออสซิลเลเตอร์.....37
2.6.1 องค์ประกอบของวงจรออสซิลเลเตอร์.....37
2.6.2 หน้าที่สำคัญของวงจรออสซิลเลเตอร์.....38
2.6.3 ลักษณะของวงจรออสซิลเลเตอร์.....38
2.6.4 หลักการกำเนิดสัญญาณไซน์ที่นำเสนอในโครงงานวิจัยนี้.....38
2.6.4.1 การกำเนิดสัญญาณไซน์ด้วยโพลิโนเมียลอันดับสอง.....39
บทที่ 3 งานวิจัยที่เกี่ยวข้อง.....40
3.1 ผลงานวิจัยที่เกี่ยวข้อง.....41
บทที่ 4 การออกแบบบล็อกแอกทีฟ CDCCC ปรับค่าด้วยกระแสและการประยุกต์ใช้งาน.....48
4.1 บทนำ.....48
4.2 หลักการของ CC-CDCCC ด้วยโครงสร้างของมอส.....49
4.3 การประยุกต์ใช้งานบล็อกแอกทีฟ CC-CDCCC.....51
4.3.1 วงจรกรองความถี่ไบควอดราติกรูปแบบกระแส โดยใช้ CC-CDCCC.....51
4.3.2 วงจรกำเนิดสัญญาณแบบควอเดรเจอร์รูปแบบกระแส โดยใช้ CC-CDCCC.....53
4.3.3 การวิเคราะห์คุณสมบัติของวงจร.....54
4.4 ผลจำลองการทำงานของวงจรที่นำเสนอ.....57
4.4.1 ผลการจำลองคุณสมบัติการทำงานของ CC-CDCCC.....57
4.4.2 ผลการจำลองวงจรกรองความถี่ไบควอดราติกที่นำเสนอ.....60
4.4.3 ผลการจำลองวงจรกำเนิดสัญญาณไซน์แบบควอเดรเจอร์ที่นำเสนอ.....62
บทที่ 5 บทสรุปและข้อเสนอแนะ.....63
5.1 บทสรุปการวิจัย.....63
5.2 ข้อเสนอแนะ.....64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

สารบัญ(ต่อ)

หน้า

เอกสารอ้างอิง.....65

ภาคผนวก.....67

ภาคผนวก ก แบบจำลองของมอสทรานซิสเตอร์ที่ใช้งาน.....68

ภาคผนวก ข ผลงานวิจัยที่ได้รับการตีพิมพ์.....70

ภาคผนวก ค สรุปค่าใช้จ่ายการดำเนินโครงการวิจัย.....79

ประวัตินักวิจัย.....80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

สารบัญตาราง

ตารางที่ **หน้า**

5.1 การเปรียบเทียบวงจรที่นำเสนอกับวงจรที่ถูกนำเสนอเมื่อในอดีต.....63
5.2 การเปรียบเทียบวงจรที่นำเสนอกับวงจรที่ถูกนำเสนอเมื่อในอดีต.....64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

สารบัญภาพ

ภาพที่ หน้า

2.1 ลำดับชั้นของเทคโนโลยีวงจรรวมซิลิกอน....4

2.2 แสดงลักษณะโครงสร้างของมอสทรานซิสเตอร์....5

2.3 แสดงมอสทรานซิสเตอร์ชนิด NMOS....6

2.4 แสดงมอสทรานซิสเตอร์ชนิด PMOS....6

2.5 โครงสร้างมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนเนล....7

2.6 โครงสร้างมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมดชนิดพีแชนเนล....7

2.7 โครงสร้างมอสทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดเอ็นแชนเนล....8

2.8 โครงสร้างมอสทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดพีแชนเนล....8

2.9 มอสทรานซิสเตอร์ในกรณีที่อิ่มตัว....11

2.10 ความสัมพันธ์ของกระแสเดรนกับแรงดันที่ขาเกท....11

2.11 ความสัมพันธ์ของกระแสเดรนและแรงดันเดรนกับขาซอร์ส....12

2.12 สัญลักษณ์ของมอสทรานซิสเตอร์ชนิดต่างๆ....14

2.13 โครงสร้างของซีมอส....14

2.14 สัญลักษณ์ทางไฟฟ้าของวงจรสายพานกระแส....15

2.15 วงจรสมมูลทางไฟฟ้าของวงจร CCI....16

2.16 วงจรสมมูลทางไฟฟ้าของวงจร CCII....17

2.17 วงจรสมมูลทางไฟฟ้าของวงจร CCCII....17

2.18 บล็อกไดอะแกรมของวงจร CCCII....18

2.19 วงจรลูปปิดแบบทั่วไปกรณีไบอัสตรง....19

2.20 วงจรสะท้อนกระแสแบบคาสโคด....23

2.21 ขนาดและเฟสพล็อตเมื่อ $N(s)$ หรือ $D(s)$ เป็นค่าคงที่ K....25

2.22 Magnitude และ Phaseพล็อต....26

2.23 (ก) พล็อตขนาด (ข) พล็อตเฟส....27

2.24 (ก) การพล็อตกราฟโดยการประมาณค่าจากสมการ
(ข) กราฟจากการพล็อตขนาด (ค) กราฟของเฟส....30

2.25 (ก) การประมาณค่าขนาด (ข) เฟสพล็อต....32

2.26 ผลตอบสนองทางความถี่ของวงจร LP....33

2.27 ผลตอบสนองทางความถี่ของวงจร HP....33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only. Not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

สารบัญภาพ(ต่อ)

ภาพที่ หน้า

2.28 ผลตอบสนองทางความถี่ของวงจร BP 34
2.29 ผลตอบสนองทางความถี่ของวงจร BS 34
2.30 ผลตอบสนองทางความถี่ของวงจร AP 35
2.31 ผลตอบสนองเชิงเฟสของวงจร 35
2.32 ระบบป้อนกลับแบบบวก.....39
3.1 วงจร CDTA ที่ใช้ในการสร้างเป็นวงจรกรองความถี่ที่นำเสนอ.....40
3.2 วงจรกรองความถี่รูปแบบกระแสที่นำเสนอ.....40
3.3 วงจร CDTA ที่ใช้ในการสร้างเป็นวงจรกรองความถี่ที่นำเสนอ.....42
3.4 วงจรกรองความถี่รูปแบบกระแสที่นำเสนอ.....42
3.5 วงจร CDTA ที่ใช้ในการสร้างเป็นวงจรกรองความถี่ที่นำเสนอ.....43
3.6 (ก)สัญลักษณ์วงจร CDTA (ข)วงจรสมมูลย์ที่พอร์ต Z ต่อตัวต้านทานภายนอก.....44
3.7 วงจรกรองผ่านทุกความถี่รูปแบบกระแส.....44
3.8 วงจรกำเนิดสัญญาณไซน์ที่มีเฟสต่างกัน 90 องศา รูปแบบกระแสโดยใช้ CDTA 45
3.9 วงจร DVCC ที่ใช้ในการจำลองการทำงาน.....46
3.10 วงจรกำเนิดสัญญาณรูปคลื่นไซน์แบบควอเดรเจอร์สร้างด้วยวงจร DVCC 46
4.1 บล็อกแอกทีฟ CC-CDCCC ที่นำเสนอ.....49
4.2 บล็อกแอกทีฟ CC-CDCCC ที่นำเสนอ.....50
4.3 วงจรกรองความถี่ไบควอดราติกโหมดกระแสที่นำเสนอ.....51
4.4 การประยุกต์ใช้วงจรกระแสบัฟเฟอร์ในวงจรที่นำเสนอใน ภาพที่ 4.3.....53
4.5 การประยุกต์ใช้งานเป็นวงจรกำเนิดสัญญาณแบบควอเดรเจอร์รูปแบบกระแส ที่นำเสนอ.....53
4.6 อิทธิพลจากความไม่เป็นอุดมคติของ CC-CDCCC 55
4.7 ค่าความต้านทานแฝงที่พอร์ท p เมื่อปรับค่า I_{Bp} 58
4.8 คุณสมบัติไฟตรงที่พอร์ท I_{pd}, I_{zd+}, I_{zd-} เมื่อปรับค่า I_p 58
4.9 ผลตอบสนองความถี่ I_{nd}, I_{zd+}, I_{zd-} เมื่อปรับค่า I_n 58
4.10 ผลตอบสนองความถี่ I_{pd}, I_{zd+}, I_{zd-} เมื่อปรับค่า I_p.....59
4.11 ค่า THD ที่พอร์ท I_{nd}, I_{zd+}, I_{zd-} เมื่อปรับค่า I_n 59
4.12 ค่า THD ที่พอร์ท I_{pd}, I_{zd+}, I_{zd-} เมื่อปรับค่า I_p 60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

สารบัญภาพ(ต่อ)

ภาพที่ หน้า

4.13 ผลตอบสนองความถี่ LP, HP, BP และ BR 60

4.14 การเปลี่ยนค่า ω_0 ด้วยกระแสไบแอสเมื่อกำหนดให้ $I_{Bp} = I_{Bn}$.....61

4.15 ผลตอบสนองทางเฟสและทางความถี่ของ AP.....61

4.16 เอาท์พุทการกำเนิดสัญญาณไซน์รูปแบบกระแส.....62

4.17 สเปกตรัมของเอาท์พุทการกำเนิดสัญญาณไซน์.....62

King Mongkut's Institute of Technology Ladkrabang

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

This material is reserved for educational use only not allowed for commercial use.

Forbidden to modify the content, and cite the document when use.

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรอิเล็กทรอนิกส์ในปัจจุบันได้ถูกพัฒนา และออกแบบให้มีประสิทธิภาพมากขึ้น อีกทั้งยังสามารถออกแบบให้มีขนาดเล็กลงไปจากเดิม สำหรับการออกแบบวงจรทางอนาลอกที่ใช้ในการประมวลสัญญาณถือได้ว่ามีความสำคัญมากในระบบการสื่อสารโทรคมนาคม ระบบการวัด โดยการออกแบบวงจรทางอนาลอกด้วยบล็อกแอกทีฟที่น่าสนใจหลายๆ วงจรถูกนำเสนอ เช่น วงจรขยายความนำ (OTA) วงจรสายพานกระแสรุ่นที่สอง (CCII) วงจรขยายความนำผลต่างกระแสอินพุทบัฟเฟอร์ (DBTA) วงจรขยายความนำผลต่างกระแสอินพุท (CDTA) วงจรบัฟเฟอร์ผลต่างกระแสอินพุท (CDBA) วงจรสายพานกระแสผลต่างแรงดันอินพุท (DVCC)

สำหรับการใช้งานบล็อกแอกทีฟส่วนใหญ่มักมีผลข้างเคียงจากค่าความต้านทานแฝงร่วมอยู่ แต่อย่างไรก็ตามค่าความต้านทานแฝงนั้นสามารถใช้ให้เกิดประโยชน์ได้หลายวงจรเช่น CCCII, CCDDCC, CCCDTA และ CCCFTA เป็นต้น ถึงแม้ว่า CCCDTA และ CCCFTA เป็นอุปกรณ์ที่ได้รับความสนใจจากการควบคุมค่าความต้านทานแฝง (R_x) และค่าทรานสคอนดัคแตนซ์ (g_m) ก็ตาม แต่ยังยากที่จะควบคุมด้วยกระแสไบอัสที่สมพงศ์กัน เนื่องจากบล็อกแอกทีฟดังกล่าวมีโครงสร้างที่ต่างกันมากและการนำไปประยุกต์ใช้งานมีขีดจำกัด และ อาจจะต้องใช้บล็อกแอกทีฟหลายตัว เป็นเหตุให้พื้นที่ในการสร้างวงจรรวมมีขนาดใหญ่

จากปัญหาที่ได้นำเสนอหลักการข้างต้น ในโครงงานวิจัยนี้จึงวัตถุประสงค์เพื่อสังเคราะห์และประยุกต์ใช้บล็อกแอกทีฟ CC-CDDCC โดยออกแบบเป็นวงจรกรองความถี่ไบควอดราติกรูปแบบกระแสและวงจรกำเนิดสัญญาณแบบควอเดรเจอร์รูปแบบกระแส ที่สามารถปรับค่าความถี่ใช้งานได้ทางอิเล็กทรอนิกส์

1.2 วัตถุประสงค์ของการวิจัย

ในการทำโครงการวิจัยเรื่อง "การออกแบบบล็อกแอกทีฟ CC-CDDCC ปรับค่าได้ด้วยกระแสและการประยุกต์ใช้งาน" (Design of Active building block: Current-Controlled CDCCC and its applications) มีเนื้อหาหลักการของ CC-CDDCC ด้วยโครงสร้างซีมอส การกำเนิดสัญญาณไซน์ด้วยโพลิโนเมียลอันดับสอง โดยโครงการวิจัยนี้ได้กำหนดจุดประสงค์ไว้ ประการดังนี้

1) เพื่อศึกษาค้นคว้าการออกแบบและสังเคราะห์บล็อกแอกทีฟ CC-CDDCC ด้วยโครงสร้างซีมอส

2) เพื่อวิเคราะห์หลักการกรองความถี่แบบไบควอดราติกและการกำเนิดสัญญาณไซน์แบบควอเดรเจอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

3) เพื่อทดสอบสรรถนะของวงจรกรองความถี่แบบไบควอดราติกและวงจรกำเนิดสัญญาณแบบควอเดรเจอร์รูปแบบกระแสที่ได้ออกแบบไว้

1.3 ขอบเขตของการวิจัย

โครงการวิจัยนี้นำเสนอ การออกแบบบล็อกแอกทีฟ CC-CDDCC ด้วยเทคโนโลยีซีมอสที่มีประสิทธิภาพสูง โดยมีช่วงไดนามิคและความถี่ใช้งานกว้าง อีกทั้งค่าความต้านทานแฝงของบล็อกแอกทีฟที่พอร์ทอินพุตสามารถควบคุมได้โดยค่ากระแสไบอัสภายนอกที่สมพงศ์กัน เป็นผลให้ใช้อุปกรณ์แอกทีฟจำนวนน้อย เพื่อแสดงให้เห็นประสิทธิภาพของบล็อกแอกทีฟ CC-CDDCC ด้วยการนำเสนอการประยุกต์ใช้งานเป็นวงจรกรองความถี่ไบควอดราติกรูปแบบกระแสและวงจรกำเนิดสัญญาณแบบควอเดรเจอร์รูปแบบกระแส โดยสามารถปรับค่าความถี่ใช้งานได้ทางอิเล็กทรอนิกส์ การใช้เพียงบล็อกแอกทีฟ CC-CDDCC หนึ่งตัว และตัวเก็บประจุแบบต่อกราวด์สองตัว ซึ่งเหมาะกับการสร้างเป็นวงจรรวม จำลองผลการทำงานด้วยโปรแกรม PSpice โดยใช้เทคโนโลยีซีมอส TSMC 0.25μm เพื่อยืนยันทางทฤษฎีที่นำเสนอ

1.4 วิธีดำเนินการวิจัย

ในโครงการวิจัยที่นำเสนอนี้แบ่งเนื้อหาออกเป็น 5 ขั้นตอน โดยในแต่ละขั้นตอนมีรายละเอียดโดยสังเขปต่อไปนี้

ขั้นตอนที่ 1 ศึกษาถึงความเป็นมาและความสำคัญของปัญหา พร้อมทั้งกำหนดวัตถุประสงค์ ขอบเขต ทบทวนวรรณกรรมที่เกี่ยวข้อง และรายละเอียดของโครงการวิจัยในแต่ละขั้นตอน

ขั้นตอนที่ 2 ศึกษาทฤษฎีที่เกี่ยวข้อง ประกอบไปด้วย เทคโนโลยีของมอสทรานซิสเตอร์ หลักการทำงาน วงจรสะท้อนกระแส การวิเคราะห์โครงสร้างภายในของวงจรสายพานกระแสแบบกระแสควบคุมรุ่นที่ 2 (CCCII) หลักการกรองความถี่และการกำเนิดสัญญาณไซน์ รวมถึงงานวิจัยที่เกี่ยวข้องกับวงจรกรองความถี่และวงจรกำเนิดสัญญาณรูปแบบกระแสที่ใช้ CCCII เป็นอุปกรณ์แอกทีฟ ซึ่งจะศึกษาถึงจุดเด่นและข้อจำกัดของงานวิจัยที่ผ่านมา

ขั้นตอนที่ 3 นำเสนอการออกแบบบล็อกแอกทีฟ CC-CDDCC ปรับค่าได้ด้วยกระแสและการประยุกต์ใช้งาน โดยแสดงหลักการของ CC-CDDCC ด้วยโครงสร้างของมอส รวมถึงหลักการประยุกต์ใช้งาน CC-CDDCC เป็นวงจรกรองความถี่ไบควอดราติกและวงจรกำเนิดสัญญาณแบบควอเดรเจอร์รูปแบบกระแส รวมถึงการวิเคราะห์คุณสมบัติของวงจรทำงานในทางอุดมคติและไม่เป็นอุดมคติ วิเคราะห์ผลการเลียนแบบการทำงานของวงจรกรองความถี่ไบควอดราติกและวงจรกำเนิดสัญญาณแบบควอเดรเจอร์รูปแบบกระแสที่ได้จากการออกแบบบล็อกแอกทีฟ CC-CDDCC และการประยุกต์ใช้งาน

ขั้นตอนที่ 4 แก้ไขข้อบกพร่อง (ถ้ามี) ตามผู้ทรงคุณวุฒิแนะนำ

ขั้นตอนที่ 5 ทำการสรุปพร้อมทั้งข้อเสนอแนะ ซึ่งประกอบไปด้วยการสรุปผลโครงการวิจัยที่ได้นำเสนอ และข้อเสนอแนะจากโครงการวิจัยเพื่อเป็นแนวทางในการพัฒนาต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

1.5 ประโยชน์ที่คาดว่าจะได้รับ

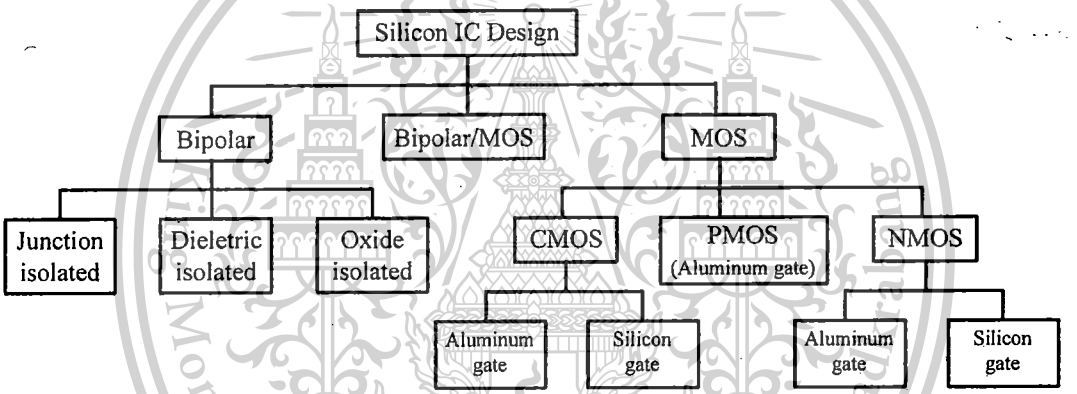
บทความนี้นำเสนอ การสังเคราะห์และออกแบบบล็อกแอกทีฟใหม่ที่ชื่อ (Current-Controlled Current Duplicated Differencing Current Conveyor: CC-CDDCC) โดยใช้เทคโนโลยีซีมอส ซึ่งบล็อกแอกทีฟตัวนี้เป็นอุปกรณ์รูปแบบกระแส สามารถทำงานในความถี่สูงได้ดี และ ใช้พลังงานต่ำ โดย CC-CDDCC จะพัฒนามาจาก CCCII ซึ่งเป็นที่ทราบดีว่ามีคุณสมบัติทั้งในด้าน Dynamic Range ที่กว้างกว่า OTA อีกทั้งสามารถปรับค่าความต้านทานแฝงยังทำได้อย่างมีประสิทธิภาพกว่าการปรับค่าทรานสคอนดัคแตนซ์ด้วยกระแสไบอัสของ OTA เนื่องจากโครงสร้างของ OTA ที่เป็นแบบคู่ดิฟเฟอเรนเชียล ทำให้ย่านการทำงานอินพุตจะขึ้นอยู่กับกระแสไบอัส ทำให้ช่วงกระแสไบอัสต่ำๆ OTA จึงทำงานได้ไม่มีประสิทธิภาพ ซึ่งแตกต่างจาก CCCII จะทำงานในช่วงกระแสไบอัสต่ำได้ดีกว่า แต่อย่างไรก็ตามบล็อกแอกทีฟส่วนหนึ่งก็มี OTA เป็นส่วนประกอบอยู่เช่น CCCDTA และ CCCFTA แม้ว่าจะมีการใช้ความต้านทานแฝงในการปรับค่าอยู่ในส่วนหนึ่ง แต่การปรับค่าในส่วนที่สองจะเป็นการปรับค่าโดย OTA ทำให้การปรับค่าไม่สามารถสอดคล้องกัน $(R_x \neq 1/g_m)$ ซึ่งเป็นข้อเสียในการปรับค่าเมื่อออกแบบเป็นวงจรอันดับสองเช่นวงจรกรองความถี่ หรือ วงจรกำเนิดสัญญาณ ข้อเสียนี้สามารถแก้ไขได้โดยทำให้การปรับค่าทั้งสองส่วนเป็นการปรับค่าจากค่าความต้านทานแฝงทั้งหมดโดยค่าความต้านทานแฝงที่พอร์ทอินพุท สามารถควบคุมค่าความต้านทานแฝงได้จากการปรับค่ากระแสไบอัสสองตัวที่สอดคล้องกัน โดยมีคุณสมบัติเบื้องต้นคล้ายกับ CCCII แต่จะมีการเพิ่มในส่วนของเอาต์พุตกระแส ในแบบการสำเนาค่ากระแสอินพุต และ ค่าความแตกต่างกระแสอินพุต เพื่อยืนยันการทำงานนำบล็อกแอกทีฟที่นำเสนอเพียงหนึ่งตัว ต่อร่วมกับตัวเก็บประจุสองตัว เป็นวงจรกรองความถี่ไบควอดราติกและวงจรกำเนิดสัญญาณควอเดรเจอร์ และไม่ใช้ตัวต้านทานภายนอก จึงเหมาะกับการสร้างเป็นวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

2.1 เทคโนโลยีของมอสทรานซิสเตอร์

การพัฒนาเทคโนโลยี VLSI (Very Large Scale Integration) [23] ในการผลิตวงจรรวม (Integrated Circuit : IC) เป็นที่นิยมกันมาก เนื่องจากมีข้อดีกว่าเทคโนโลยีแบบอื่นๆ หลายด้าน เช่น มีการสูญเสียพลังงานต่ำ อินพุตอิมพิแดนซ์สูง ออกแบบง่าย ฯลฯ จึงเป็นที่ต้องการมากสำหรับงานด้านการออกแบบวงจรทางอนาล็อกที่ใช้ในการประมวลสัญญาณ (Signal Processing) โดยให้วงรวมอยู่บนชิพเดียว (Single Chip) ซึ่งการผลิต IC โดยใช้การออกแบบ VLSI ในวงจรที่เป็นอนาลอก (Analog Circuit) อาทิเช่น วงจรกรองความถี่ วงจรแปลงอนาลอกเป็นดิจิตอล และดิจิตอลเป็นอนาลอก วงจรเปรียบเทียบแรงดัน (Voltage Comparator) วงจรควบคุมอัตราการขยายอัตโนมัติ (Automatic Gain Control) ฯลฯ



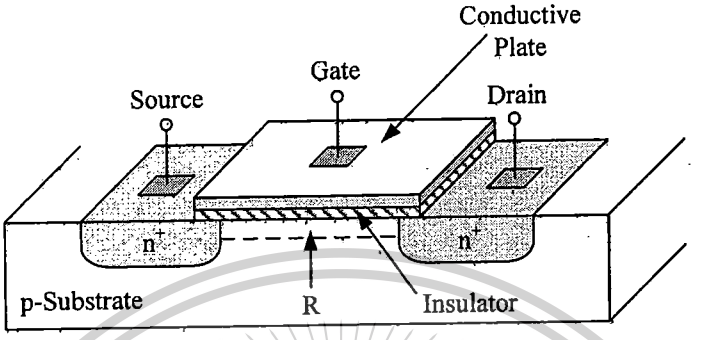
ภาพที่ 2.1 ลำดับชั้นของเทคโนโลยีวงจรรวมซิลิกอน [24]

การออกแบบ IC โดยมีเทคโนโลยีที่นิยมใช้กันอยู่ 2 แบบ คือ แบบไบโพลาร์ (BJT) และแบบมอส (MOS) โดยในรูปที่ 2.1 เป็นการแบ่งออกย่อยๆ โดยอยู่บนพื้นฐานของเทคโนโลยีวงจรรวมซิลิกอน (Silicon Integrate Circuit Technology) ซึ่งในอดีตเป็นการออกแบบวงจรรวมโดยใช้เทคโนโลยีของไบโพลาร์ ปัจจุบันนี้การออกแบบวงจรรวมใช้เทคโนโลยีของมอสได้เจริญเติบโตเพิ่มมากขึ้น เนื่องจากสามารถบรรจุวงจรที่ได้ออกแบบไว้มีความหนาแน่นมากขึ้น เช่น หน่วยความจำ (Memory) หน่วยประมวลผล (Microprocessor)

มอสเฟท (Metal oxide Semiconductor Field Effect Transistor : MOSFET) หรือเรียกว่า มอสทรานซิสเตอร์ (MOS Transistor) นั้นเป็นสิ่งประดิษฐ์สารกึ่งตัวนำประเภทผลของสนามไฟฟ้า (Field Effect Devices) โดยขนาดของสนามไฟฟ้าขึ้นอยู่กับความต่างศักย์ระหว่างเดรนกับซอส ซึ่งกระแสดริฟท์เกิดจากการเคลื่อนที่ของประจุพาหะส่วนมากที่มีในสารกึ่งตัวนำนั้นเพียงชนิดเดียว จึงเรียกมอสทรานซิสเตอร์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

ว่าเป็นยูนิโพล่าทรานซิสเตอร์ (Unipolar Transistor) โดยมีลักษณะเด่นคือ การสูญเสียพลังงานต่ำ แต่มีประสิทธิภาพในการทำงานสูงเมื่อเทียบกับสิ่งประดิษฐ์สารกึ่งตัวนำประเภทอื่นๆ ที่มีลักษณะการใช้งานแบบเดียวกัน จึงเป็นที่นิยมในการพัฒนาสร้างเป็นวงจรรวมที่มีจำนวนตัวประกอบ (Component) มากๆ เช่น ไอซีระดับ LSI และ VLSI ทั่วไป



ภาพที่ 2.2 แสดงลักษณะโครงสร้างของมอสทรานซิสเตอร์ [25]

ลักษณะโครงสร้างของมอสทรานซิสเตอร์ทั่วๆ ไป ซึ่งประกอบด้วย 3 ส่วนคือ เดรน (Drain region: D) เกท (Gate region: G) ซอร์ส (Source region: S) ดังภาพที่ 2.2

เดรน (Drain) เป็นบริเวณของสารกึ่งตัวนำที่ต่างชนิดกับฐานรอง (Substrate) โดยบริเวณนี้จะเป็นสานกึ่งตัวนำชนิดเดียวกับซอร์ส ซึ่งทำหน้าที่เป็นทางขาออกไปสู่วงจรภายนอกของประจุพาหะที่มาจากซอร์ส

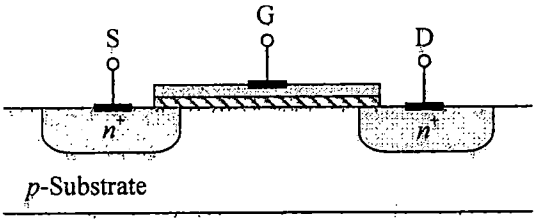
เกท (Gate) เป็นบริเวณที่เชื่อมอยู่ระหว่างเดรนกับซอร์ส ซึ่งโครงสร้างทั่วไปประกอบด้วยชั้นบนสุดเป็นตัวนำ (Conductive Plate) ได้แก่ โลหะ (Metal) โดยมีชั้นรองลงมาจะเป็นฉนวน (Insulator) ได้แก่ ออกไซด์ (Oxide) ของสารกึ่งตัวนำที่ใช้ และชั้นล่างสุดเป็นสารกึ่งตัวนำ (Semiconductor) ซึ่งใช้เป็นฐานรอง โดยเกทจะเป็นส่วนควบคุมปริมาณประจุพาหะที่เคลื่อนจากซอร์ส ไปเดรน

ซอร์ส (Source) เป็นอีกบริเวณหนึ่งของสารกึ่งตัวนำที่ต่างชนิดกับฐานรอง ซึ่งทำหน้าที่เป็นแหล่งจ่ายประจุพาหะที่ทำให้เกิดกระแสไฟฟ้าของมอส (I_{ds})

โดยลักษณะโครงสร้างของมอสทรานซิสเตอร์ที่บริเวณเกทประกอบไปด้วย Metal-Oxide-Semiconductor ดังนั้นมอสทรานซิสเตอร์จึงมีกระแสไหลได้น้อยมากเนื่องจากมีชั้นของฉนวนกั้นอยู่ ดังนั้นในการใช้งานมอสทรานซิสเตอร์ต้องการเพียงแหล่งจ่ายความต่างศักย์ที่เกทเท่านั้น ไม่ต้องการแหล่งจ่ายกระแส จึงทำให้มอสทรานซิสเตอร์มีการสูญเสียพลังงาน (Power Consumption) ต่ำนั้นเอง สำหรับเดรน และซอร์สนั้น ปกติจะมีโครงสร้างเหมือนกันทุกประการจึงสามารถใช้สลับกันได้อันเป็นคุณสมบัติพิเศษอีกประการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

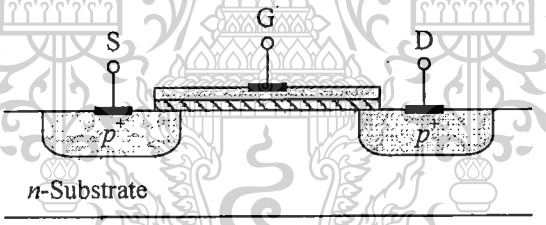
ถ้าแบ่งตามชนิดของพาหะที่ใช้ในการนำกระแส สามารถแบ่งเป็น 2 ชนิด คือ เอ็นแชนเนลมอสทรานซิสเตอร์ (N-Channel MOS Transistor: NMOS) และพีแชนเนลมอสทรานซิสเตอร์ (P-Channel MOS Transistor: PMOS)



ภาพที่ 2.3 แสดงมอสทรานซิสเตอร์ชนิด NMOS [25]

NMOS เป็นการใช้ประจุลบ หรืออิเล็กตรอน (Electron) ในการนำกระแส จึงทำให้ Drain และ Source เป็นสารกึ่งตัวนำชนิดเอ็น (*n*-type Semiconductor) ดังนั้นกระแสจะสามารถเคลื่อนที่ระหว่าง Drain และ Source ได้ บริเวณช่องทางเดินกระแสต้องเป็นสารกึ่งตัวนำชนิด P (*p*-type Semiconductor) ดังแสดงในภาพที่ 2.3

PMOS เป็นการใช้ประจุบวก หรือโฮล (Hole) ในการนำกระแส จึงทำให้ Drain และ Source เป็นสารกึ่งตัวนำชนิดพี (*p*-type Semiconductor) ดังนั้นกระแสจะสามารถเคลื่อนที่ระหว่าง Drain และ Source ได้ บริเวณช่องทางเดินกระแสต้องเป็นสารกึ่งตัวนำชนิด N (*n*-type Semiconductor) ดังแสดงในภาพที่ 2.4



ภาพที่ 2.4 แสดงมอสทรานซิสเตอร์ชนิด PMOS [25]

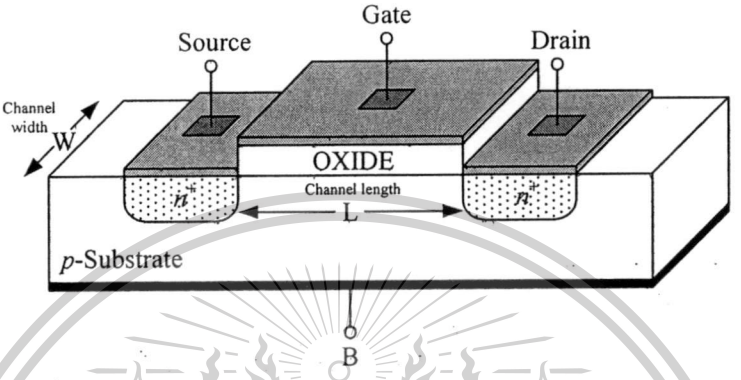
โดยสามารถแบ่งลักษณะการทำงานได้เป็น 2 ลักษณะ คือ มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด (Enhancement Mode Transistor) และมอสทรานซิสเตอร์แบบดีพลีชั่นโหมด (Depletion Mode Transistor) ซึ่งในแต่ละแบบมีผลต่อคุณสมบัติทางไฟฟ้าในขณะที่ใช้งานต่างกันไป

เพื่อแสดงลักษณะการควบคุมปริมาณประจุพาหะในช่องทางเดินกระแสของมอสทรานซิสเตอร์แต่ละประเภท สามารถแบ่งได้เป็น 4 แบบ ดังนี้

2.1.1 มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมดชนิดเอ็นแชนเนล (N-Channel Enhancement Mode MOS Transistor) โดยโครงสร้างมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมดชนิดเอ็นแชนเนลประกอบไปด้วยแผ่นฐานรองเป็นชนิดพี ซึ่งมีความหนาแน่นน้อย (Lightly Doped *p*-Type Substrate) ที่มีอิเล็กโทรดบริเวณเดรนและซอร์สที่ต่อกับบริเวณสารกึ่งตัวนำที่ทำการเติมสารเจือชนิดเอ็นที่มีความ

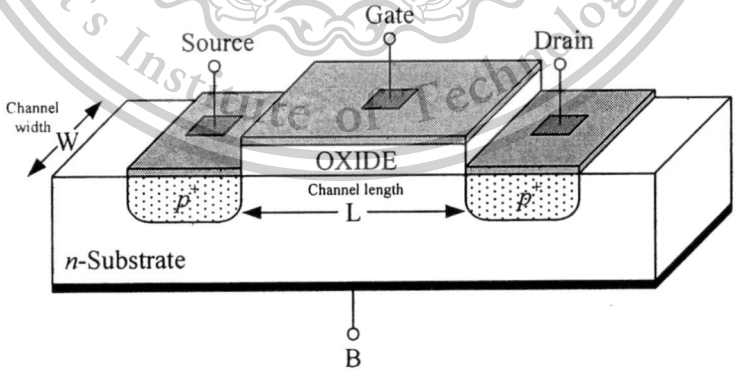
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

หนาแน่นสูงเข้าไปที่ฐานรอง แต่บริเวณสารกึ่งตัวนำที่ถูกสารเจือนั้นไม่เชื่อมต่อกันเหมือนในกรณีของ ดีพลีชั่น แต่จะเคลือบซิลิกอนไดออกไซด์ (SiO_2) เป็นฉนวนลงบนฐานรองแล้วทำการต่ออิเล็กโทรดที่เป็นโลหะเข้าที่เกท (G) โดยส่วนที่อยู่ระหว่างเดรน (D) และซอร์ส (S) จะเรียกว่าแชนเนลเหมือนเดิม โดยระยะห่างความยาวแชนเนล (Channel Length) เป็น L และระยะห่างความกว้าง (Channel Width) เป็น W ดังแสดงในภาพที่ 2.5



ภาพที่ 2.5 โครงสร้างมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนเนล [25]

2.1.2 มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมดชนิดพีแชนเนล (P-Channel enhancement mode MOS Transistor) โดยโครงสร้างมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมดชนิดพีแชนเนล สังเกตได้ว่าจะมีโครงสร้างคล้ายกับมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมดชนิดเอ็นแชนเนล แต่ต่างกันที่แผ่นฐานรองเป็นชนิดเอ็นที่มีความหนาแน่นน้อย ส่วนบริเวณเดรนและซอร์สทำการเติมสารเจือชนิดเอ็นที่มีความหนาแน่นสูงอยู่บนแผ่นฐานรองแทน ดังแสดงในภาพที่ 2.6

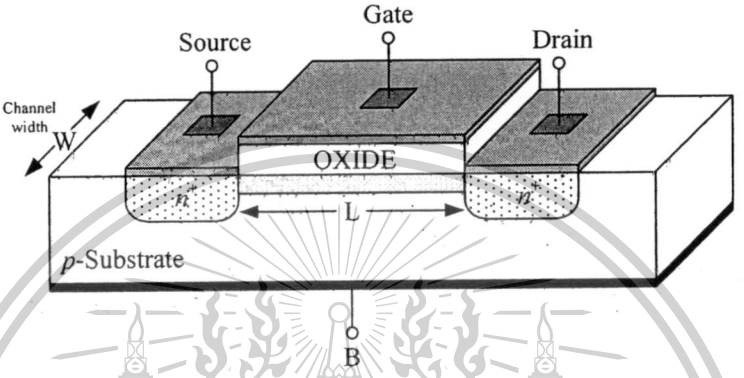


ภาพที่ 2.6 โครงสร้างมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมดชนิดพีแชนเนล [25]

2.1.3 มอสทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดเอ็นแชนเนล (N-Channel depletion mode MOS Transistor) โดยโครงสร้างมอสทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดเอ็นแชนเนลประกอบไปด้วยแผ่น

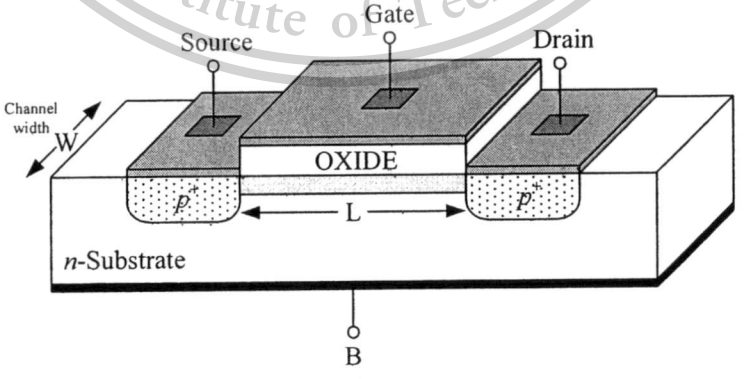
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

ฐานรองเป็นชนิดพี (p-Substrate) ที่มีความหนาแน่นน้อย ซึ่งเป็น Single Crystal Silicon Wafer เรียกว่าบอดี้ (Body) โดยมีการต่ออิเล็กโทรดเข้าตรงบริเวณที่เป็นเดรนและซอร์ส ซึ่งมีสารกึ่งตัวนำชนิดเอ็นที่มีความหนาแน่นสูง (Heavily Doped n-Type Region) โดยทำการเชื่อมต่อบริเวณช่องทางเดินกระแสเดรนและซอร์สด้วยสารกึ่งตัวนำชนิดเอ็นที่มีความหนาแน่นน้อย (Lightly Doped n-Type Region) เรียกว่าแชนเนล โดยด้านบนแชนเนลนั้นมีฉนวนแผ่นบางๆ ซึ่งทำมาจากซิลิกอนไดออกไซด์ (SiO_2) จากนั้นจึงวางอิเล็กโทรดเกท ซึ่งเป็นโลหะลงบนซิลิกอนไดออกไซด์ ดังแสดงในภาพที่ 2.7



ภาพที่ 2.7 โครงสร้างมอสทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดเอ็นแชนเนล [25]

2.1.4 มอสทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดพีแชนเนล (P-Channel depletion mode MOS Transistor) โดยโครงสร้างมอสทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดพีแชนเนลนั้นมีลักษณะทั่วไปที่คล้ายคลึงกันกับมอสทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดเอ็นแชนเนล แต่มีส่วนแตกต่างกันที่ชนิดพีแชนเนลนั้นมีบริเวณฐานเป็นสารกึ่งตัวนำชนิดเอ็นและบริเวณช่องทางเดินกระแสเดรนและซอร์ส เป็นสารกึ่งตัวนำชนิดพีที่มีความหนาแน่นน้อย (Lightly Doped p-Type Region) ดังแสดงในภาพที่ 2.8



ภาพที่ 2.8 โครงสร้างมอสทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดพีแชนเนล [25]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

2.1.5 ทฤษฎีการทำงานของมอสทรานซิสเตอร์

จากภาพที่ 2.2 สมมติให้ขาซอส์ตเป็นกราวด์ ($V_S = 0$) และที่ขาเดรนมีไฟเลี้ยงต่ำ (V_D ประมาณ 0.5 โวลต์) เมื่อพิจารณากระแสเดรน (I_D) โดยให้ V_G เพิ่มขึ้นจาก 0 ไปเรื่อยๆ ในทางบวก เห็นได้ว่าที่ขาเกทมีฉนวนกั้นด้วยชั้นออกไซด์ (SiO_2) ทำให้ไม่มีกระแส I_G ไหลผ่าน n^+ ของขาเดรน และรอบๆ คือ ซับสเตรท (Substrate) ชนิด P จากทฤษฎีสารกึ่งตัวนำ *P-N* Junction เมื่อซับสเตรทเป็นกราวด์ และ $V_D > 0$ จะเป็น Reverse Bias ขณะที่ $V_G = 0$ และ $I_D = 0$

เมื่อให้แรงดันที่ขาเกทเพิ่มขึ้น ($V_G > 0$) จะทำให้บริเวณ R เกิดช่องว่าง อีกทั้งทำให้ I_D เป็น 0 เนื่องจากยังเป็น Reverse Bias เช่นเดียวกัน ซึ่งในทางตรงกันข้ามถ้า V_G เปลี่ยนไปเป็นขั้วตรงข้าม ทำให้เกิดการเคลื่อนที่ของอิเล็กตรอนบริเวณ R โดยชั้นที่มีอิเล็กตรอนเคลื่อนที่อยู่นั้นเรียกว่า Inversion layer หรือ แชนแนล (Channel) ทำให้ขาเดรนกับซอร์สเชื่อมถึงกัน ซึ่งเดรนเป็นบวกเมื่อเทียบกับซอร์ส อิเล็กตรอนไหลจากซอร์สไปหาเดรน จึงทำให้กระแส $I_D > 0$ ในขณะเดียวกันต้องมีแรงดันค่าน้อยๆ ที่ขาเกท V_G ในการสร้างแชนแนล เรียกว่า Threshold Voltage ซึ่งใช้สัญลักษณ์ว่า V_T

อิเล็กตรอนในแชนแนลนั้น ส่วนน้อยจะเกิดจากผลของความร้อนจากฐานรองแต่ส่วนมากจะเกิดจากสนามไฟฟ้าโดยแรงดัน V_G อิเล็กตรอนจากขาซอร์ส และอิเล็กตรอนบางตัวจะเกิดจากขาเดรน แต่เมื่อ $V_G > 0$ ขาเดรน และฐานรองจะอยู่ในสภาวะ Reverse Bias ซึ่งอิเล็กตรอนเคลื่อนที่ออกได้ยากจากขาเดรน

เมื่อเกิดความต่างศักย์ขึ้นระหว่างปลายทั้งสองข้างของแชนแนลอิเล็กตรอนในแชนแนลจะถูกดึงดูดไปที่ขาเดรน จึงทำให้เป็นการเพิ่มอิเล็กตรอนความร้อนเคลื่อนที่แบบไม่มีทิศทาง โดยการเคลื่อนที่อย่างไม่สม่ำเสมอเป็นเหตุมาจากกระแสไหลเมื่อค่า V_G น้อยๆ ทำให้แชนแนล แสดงตัวเป็นความต้านทาน ดังสมการที่ (2.1)

$$I_D \approx \frac{V_D}{R} \tag{2.1}$$

โดยที่ความต้านทานของแชนแนลมีค่า ดังสมการที่ (2.2)

$$R = \frac{L}{W \mu_n |Q_n|} \tag{2.2}$$

โดยที่ μ_n คือ ค่าความคล่องของอิเล็กตรอน, Q_n คือ ความเข้มของประจุอิเล็กตรอนในแชนแนล และ V_G เป็นแรงดันที่ขาเกท มีสองเทอมเป็น (V_G-V_T) ได้เป็น

$$Q = -C_{OX}(V_G - V_T) \tag{2.3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

โดยที่ $C_{OX} = \frac{\varepsilon_{OX}}{l}$ คือ ค่าความจุ (ต่อหนึ่งหน่วยพื้นที่) ของชั้นออกไซด์ที่กั้นระหว่างเกทกับแชนแนล ซึ่งใช้ในกรณีของ V_D มีค่าน้อยๆ ($V_D << (V_G - V_T)$) ได้เป็น

$$I_D = \mu_n C_{OX} \frac{W}{L}(V_G - V_T)V_D \tag{2.4}$$

ซึ่งมอสทรานซิสเตอร์แสดงตัวเป็นความต้านทาน ซึ่งควบคุมโดย V_G มีสมการเป็น

$$R = \left(\mu_n C_{OX} \frac{W}{L}(V_G - V_T)\right)^{-1} \tag{2.5}$$

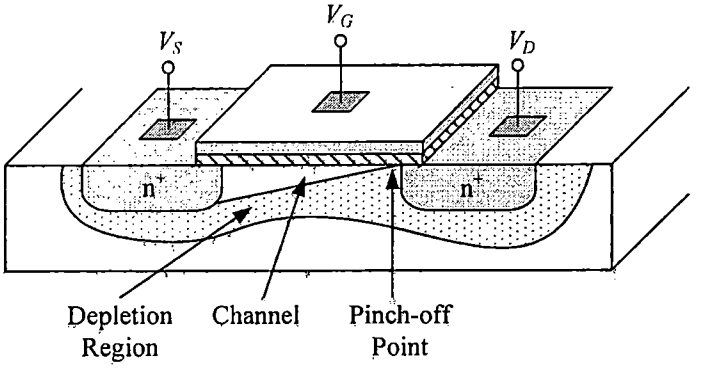
เมื่อ V_D เพิ่มขึ้น และไม่พิจารณา V_G เพียงอย่างเดียวได้ ดังนั้นสมการที่ได้จึงไม่สามารถใช้ได้ โดยศักดาของแชนแนลที่ขาซอร์สมีค่าเป็น 0 ในขณะเดียวกันที่ขาเดรนมีค่าเป็น V_D โดยสามารถสมมติค่าแรงดันเฉลี่ยในแชนแนลมีค่าเท่ากับ $V_D/2$ จึงเป็นผลให้ค่าแรงดันเฉลี่ยระหว่างเกทกับแชนแนลมีค่าเป็น ($V_G - V_D/2$) แล้วนำไปแทน V_G ในสมการที่ (2.4) ได้เป็น

$$I_D = \mu_n C_{OX} \frac{W}{L}\left(V_G - V_T - \frac{V_D}{2}\right)V_D \tag{2.6}$$

ซึ่งในสมการที่ (2.6) เป็นการประมาณที่ใช้ได้ดีในกรณีที่ $V_D < (V_G - V_T)$ ซึ่งเรียกช่วงการทำงานของมอสทรานซิสเตอร์นี้ว่าช่วง Linear Region หรือ Ohmic Region หรือ Triode Region

เมื่อ $V_D > (V_G - V_T)$ ทำให้เกิดปรากฏการณ์อีกอย่างหนึ่งขึ้น โดยพิจารณาจากภาพที่ 2.9 แสดงถึงค่าศักดาที่แปรเปลี่ยนไปภายในแชนแนล และปริมาณความเข้มของประจุที่ Q_n ที่ค่อยๆ ลดลงเมื่อใกล้กับขาเดรน ถ้าขาเดรนมีแรงดันเท่ากับ $V_D = V_G - V_T$ ทำให้แรงดันระหว่างขาเกทกับแชนแนลมีค่าไม่เพียงพอที่จะรักษาสภาพของแชนแนล Depletion Region จะแผ่ไปรอบๆ ขาซอส แชนแนล และขาเดรน ซึ่งเรียกปรากฏการณ์นี้ว่า Pinch-off ดังแสดงในภาพที่ 2.9 จะเห็นจุด Pinch-off เคลื่อนที่ไปทางขาซอร์สเมื่อแรงดันที่ขาเดรนเพิ่มขึ้น ในขณะนี้แชนแนลได้แผ่จากขาซอร์สไปถึงจุด Pinch-off ที่ใดที่หนึ่งใต้ขาเกท โดยช่วงระหว่างจุด Pinch-off จะเป็น Depletion Region อิเล็กตรอนจากแชนแนลจะถูกฉีดออกไปที่จุด Pinch-off ไปที่ Depletion Region และถูกดูดไปที่ขาเดรน โดยสนามไฟฟ้าที่เกิดจากความต่างศักย์ที่ขาเดรนกับจุด Pinch-off

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

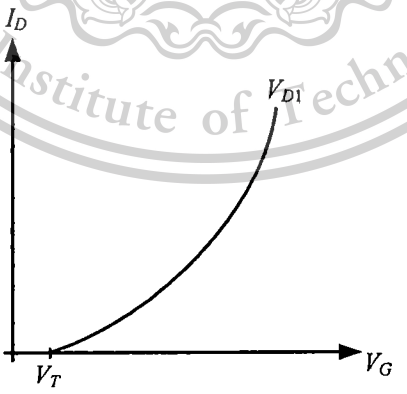


ภาพที่ 2.9 มอสทรานซิสเตอร์ในกรณีที่อิ่มตัว [25]

โดยที่แรงดัน $V_{DS} \triangleq (V_D - V_S)$ จะถูกแบ่งเป็นสองส่วน คือ ที่เป็นแชนแนลระหว่างขาซอร์สกับจุด Pinch-off และที่ Depletion Region ระหว่างจุด Pinch-off กับขาเดรน ซึ่งจุดนี้มีค่าความต้านทานสูงกว่า และค่า V_{DS} ส่วนใหญ่จะอยู่ในส่วนนี้ และเมื่อเพิ่มค่า I_D ขึ้นไปก็เป็นการประมาณค่าที่ใช้ได้ดี ผลที่ได้เมื่อแรงดันที่ Depletion Region เพิ่มขึ้นจะทำให้กระแส I_D เมื่อ $V_D > (V_G - V_T)$ ดังสมการที่ (2.7)

$$I_D(V_D) \approx I_{D_{SAT}} \triangleq I_D\left(V_{D_{SAT}}\right) \tag{2.7}$$

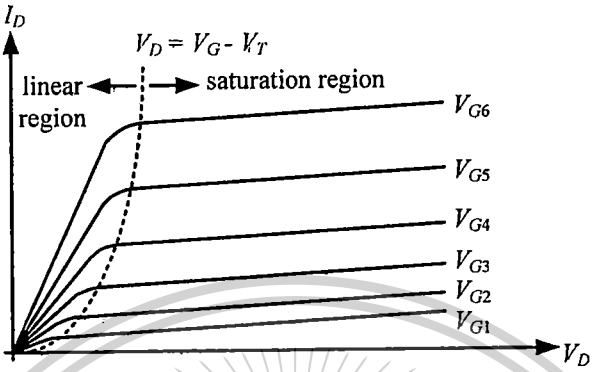
$$I_D = \frac{\mu_n C_{OX}}{2}\frac{W}{L}(V_G - V_T)^2 \tag{2.8}$$



ภาพที่ 2.10 ความสัมพันธ์ของกระแสเดรนกับแรงดันที่ขาเกท [25]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

จากสมการที่ (2.8) เห็นได้ว่ากระแส I_D จะเพิ่มขึ้นเมื่อ L ลดลง ทำให้มีผลกระทบอีกอย่างหนึ่งของค่า L ที่เกิดขึ้นเรียกว่า Channel Length Modulation โดยคูณสามการที่ (2.8) ด้วย $(1+\lambda V_D)$ โดยที่ค่าของ λ จะเป็นค่าคงที่แปรผันกับค่า L โดยทั่วไป เช่น $L = 10\ \mu m$ ค่า λ มีค่าเท่ากับ $0.03\ V^{-1}$ หรือ $\lambda\ \alpha\ 1/L$



ภาพที่ 2.11 ความสัมพันธ์ของกระแสเดรนและแรงดันเดรนกับขาซอร์ส [25]

ซึ่งความสัมพันธ์ของแรงดัน V_G กับกระแส I_D ในขณะที่แรงดันที่ขาเกทคงที่ และมอสทรานซิสเตอร์ทำงานในย่านอิ่มตัว สามารถเขียนเป็นกราฟได้ดังภาพที่ 2.10 และภาพที่ 2.11 แสดงความสัมพันธ์ระหว่างกระแสเดรน และแรงดันที่ขาเดรนกับซอร์ส โดยเปลี่ยนค่า V_G โดยที่ $V_{G1} < V_{G2} < V_{G3} < V_{G4} \cdots$

การทำงานของมอสทรานซิสเตอร์เป็นลักษณะของการใช้แรงดันไฟฟ้าควบคุมปริมาณของกระแส โดยสมการกระแสเดรนของมอสทรานซิสเตอร์ถูกคิดขึ้น โดย S. Shichman และ D. Hodges [26], [27] ดังสมการที่ (2.9) แสดงคุณสมบัติการทำงานของมอสทรานซิสเตอร์

$$I_D = K'\frac{W}{L}\left(V_{GS} - V_T - \frac{V_{DS}}{2}\right)V_{DS} \quad ; V_{GS} > V_T \tag{2.9}$$

โดยที่ K' = ค่าทรานสคอนดัคแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu_O C_{OX}$

μ_O = ค่าความคล่องของโฮล หรืออิเล็กตรอน (Surface Mobility of Carrier)

C_{OX} = ค่าความจุต่อพื้นที่ของเกทออกไซด์ (Capacitane Per Unit Area of The Gate Oxide)

W = ความกว้างของแชนแนล (Channel Width)

L = ความยาวของแชนแนล (Channel Length)

V_{GS} = แรงดันระหว่างขาเกทกับขาซอร์ส

V_T = แรงดันขีดเริ่ม (Threshold Voltage)

V_{DS} = แรงดันระหว่างขาเดรนกับขาซอร์ส

I_D = กระแสเดรน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

มอสทรานซิสเตอร์มีการทำงานแบ่งเป็น 3 ช่วง ซึ่งแต่ละช่วงการทำงานขึ้นอยู่กับค่า V_{GS} - V_T และค่า V_{DS} โดยถ้าค่า V_{GS} - V_T เป็นศูนย์ หรือเป็นค่าลบ มอสทรานซิสเตอร์จะอยู่ในช่วงไม่นำกระแส (Cut-Off Region)

$$I_D = 0 \quad ; \qquad |V_{GS}| - |V_T| < 0 \tag{2.10}$$

ในช่วงไม่นำกระแสนี้ ช่องนำกระแสจะทำตัวเหมือนวงจรเปิด ถ้าค่า $|V_{GS}| - |V_T| > 0$ และ $0 < |V_{DS}| < |V_{GS}| - |V_T|$ แล้วมอสทรานซิสเตอร์จะอยู่ในช่วงของการนำกระแสไม่อิ่มตัว (Triode Region)

$$I_D = K' \frac{W}{L}\left(V_{GS} - V_T - \frac{V_{DS}}{2}\right)V_{DS} \tag{2.11}$$

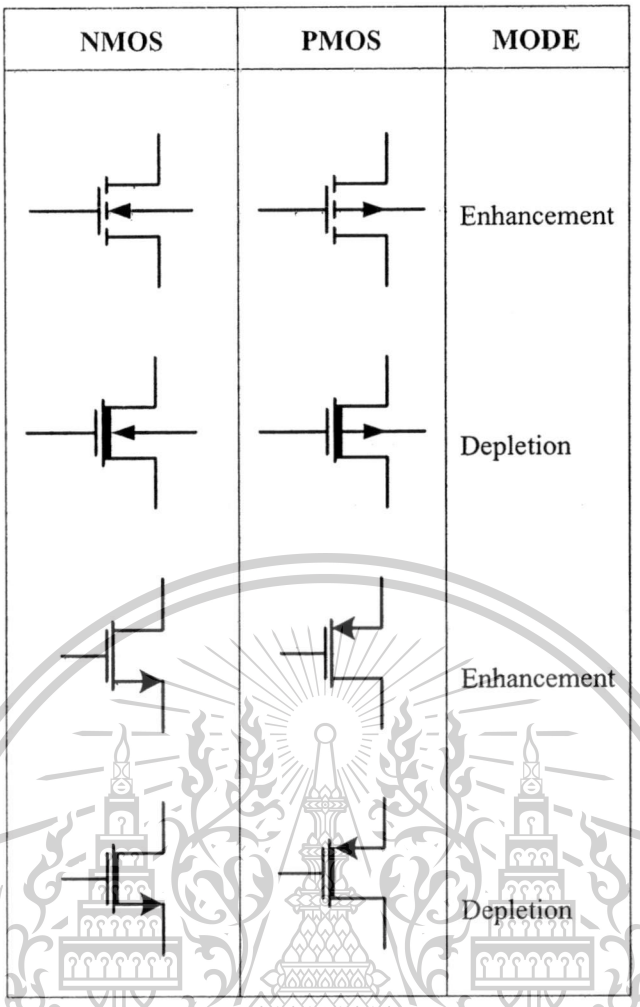
ถ้าค่า $|V_{GS}| - |V_T| > 0$ และ $|V_{DS}| > |V_{GS}| - |V_T|$ มอสทรานซิสเตอร์จะทำงานอยู่ในช่วงของการนำกระแสอิ่มตัว (Saturation Region)

$$I_D = K' \frac{W}{2L}(V_{GS} - V_T)^2 \tag{2.12}$$

2.1.6 สัญลักษณ์ของมอสทรานซิสเตอร์

สัญลักษณ์ของมอสทรานซิสเตอร์สามารถบอกได้ว่าเป็นมอสทรานซิสเตอร์ชนิด N หรือ P โดยดูที่หัวลูกศรที่ขาซอร์สถ้าหัวลูกศรหันเข้าหาขาเกทแสดงว่าเป็น PMOS แต่ถ้าหัวลูกศรหันออกจากขาเกทแสดงว่าเป็น NMOS หรือดูที่ทิศทางของหัวลูกศรที่ขาบอดี้ (Body) หรือฐานรอง (Substrate) หรือบางทีอาจเรียกว่า Bulk โดยถ้าหัวลูกศรหันเข้าหาขาเกทแสดงว่าเป็น NMOS แต่ถ้าหัวลูกศรหันออกจากขาเกทแสดงว่าเป็น PMOS อีกทั้งสัญลักษณ์ยังสามารถบอกได้อีกว่ามอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด หรือมอสทรานซิสเตอร์แบบดีพลีชั่นโหมด ดังแสดงในภาพที่ 2.12

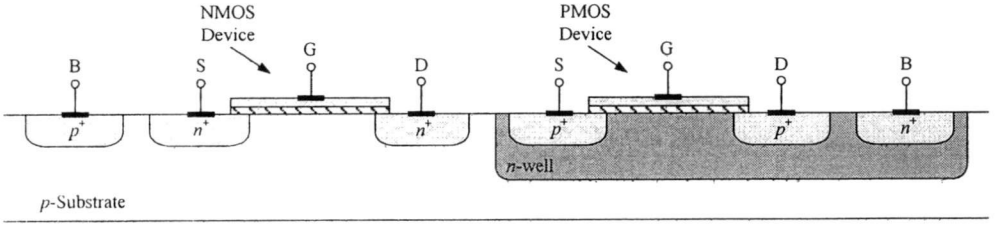
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.



ภาพที่ 2.12 สัญลักษณ์ของมอสทรานซิสเตอร์ชนิดต่างๆ [25]

2.2 เทคโนโลยีของซีมอส

ซีมอส (Complementary MOS: CMOS) [25] เป็นเทคโนโลยีที่ใช้มอสทรานซิสเตอร์ทั้งชนิด n-channel และ p-channel บนแผ่นฐานรองเดียวกัน ถึงแม้ว่าสร้างได้ยากแต่มีข้อดี คือ สามารถออกแบบวงจรที่มีประสิทธิภาพมากกว่าได้ ในปัจจุบันซีมอสมีบทบาทสำคัญมากในเทคโนโลยีวงจรรวมแบบมอส อีกทั้งสามารถใช้ได้กับวงจรรวมแบบอนาลอกและดิจิตอล



ภาพที่ 2.13 โครงสร้างของซีมอส [25]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

จากภาพที่ 2.13 เป็นโครงสร้างของซีมอส และแสดงให้เห็นถึงการสร้าง *n*-channel และ *p*-channel บนแผ่นฐานรองเดียวกัน สังเกตได้ว่า *n*-channel สร้างได้โดยตรง แต่ *p*-channel สร้างขึ้นได้โดยการสร้างบ่อเอ็น (*n*-well) ขึ้นมาก่อน

2.3 วงจรสายพานกระแส

วงจรสายพานกระแส (Current Conveyor) ถือได้ว่าเป็นบล็อกแอกทีฟประเภทหนึ่ง โดยสามารถนำไปออกแบบเป็นวงจรทางด้านอนาลอกได้หลายรูปแบบ ซึ่งออกแบบให้สามารถทำงานในรูปแบบแรงดันและรูปแบบแกระแส โดยลักษณะการทำงานของวงจรสายพานกระแสคล้ายคลึงกับวงจรออปแอมป์ (op-amp) ซึ่งมีข้อแตกต่างกันระหว่างวงจรออปแอมป์และวงจรสายพานกระแสนั้น คือ วงจรออปแอมป์เป็นวงจรทางด้านอนาลอกที่ทำงานในรูปแบบแรงดันโดยมีการใช้งานอย่างแพร่หลาย สำหรับวงจรสายพานกระแสเป็นวงจรที่ออกแบบเป็นวงจรทางด้านอนาลอกที่ทำงานในรูปแบบกระแส ซึ่งเป็นที่ทราบกันว่าวงจรรูปแบบกระแสมีข้อดีคือ มีย่านความถี่การทำงานของวงจรกว้างขึ้นเมื่อเทียบกับกับวงจรที่ทำงานในรูปแบบแรงดัน ซึ่งวงจรสายพานกระแสเป็นวงจรที่ได้รับการพัฒนามาเป็นลำดับ โดยเริ่มจากวงจรสายพานกระแสรุ่นที่หนึ่ง (CCI) วงจรสายพานกระแสรุ่นที่สอง (CCII) และวงจรสายพานกระแสรุ่นที่สองแบบกระแสควบคุม (CCCII) ตามลำดับ

โดยทั่วไปวงจรสายพานกระแสมีพอร์ตใช้งานอยู่ด้วยกัน 3 พอร์ต โดยพอร์ต x และ y เป็นอินพุตพอร์ต z เป็นเอาต์พุตของวงจร ดังแสดงในภาพที่ 2.14

ภาพที่ 2.14 สัญลักษณ์ทางไฟฟ้าของวงจรสายพานกระแส [28]

โดยวงจรสายพานกระแสรุ่นที่หนึ่ง (First Generation Current Conveyor: CCI) [28] ได้ถูกนำเสนอเป็นครั้งแรกในปี ค.ศ. 1968 โดย Smith K.C. และ Sedra A. ต่อมาได้พัฒนาเป็นวงจรสายพานกระแสรุ่นที่สอง (Second Generation Current Conveyor: CCII) [29] ขึ้นในปี ค.ศ. 1970 ซึ่งวงจร CCII ได้รับความนิยมเป็นอย่างมาก เนื่องจากมีคุณสมบัติที่แตกต่างและมีความคล่องตัวมากกว่า CCI จึงทำให้ CCII มีการวิจัยและพัฒนาอย่างต่อเนื่อง

ต่อมาในปี ค.ศ. 1995 Fabre A. และคณะได้ทำการวิเคราะห์วงจรทรานสลิเนียร์ที่เป็นภาคอินพุตของวงจรสายพานกระแสแบบทรานสลิเนียร์ (Translinear Conveyor) [30] แล้วพบว่าวงจรสายพานกระแสแบบทรานสลิเนียร์นี้มีความต้านทานแฝงปรากฏขึ้นที่พอร์ต x อีกทั้งค่าความต้านทานแฝงสามารถควบคุมได้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

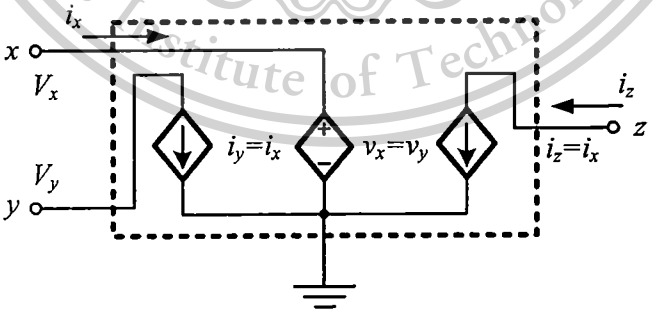
กระแสไบอัสของวงจรทรานสลิเนียร์ได้ด้วย ดังนั้น Fabre A. และคณะจึงได้กำหนดนิยามของวงจรสายพานกระแสรุ่นที่สองแบบกระแสควบคุม (Second Generation Current Controlled Conveyor: CCCII) [24],[25] ซึ่งวงจรที่สร้างขึ้นโดยอาศัยวงจร CCCII เป็นส่วนประกอบนั้น มีข้อดี คือ ไม่จำเป็นต้องใช้ตัวต้านในการนำมาประกอบวงจร ซึ่งในที่นี้จะขอกล่าวเกี่ยวกับพื้นฐานเบื้องต้นของวงจรสายพานกระแสแต่ละรุ่นพอสังเขปดังนี้

2.3.1 วงจรสายพานกระแสรุ่นที่หนึ่ง

วงจรสายพานกระแสรุ่นที่หนึ่ง (CCI) มีหลักการทำงานพื้นฐาน คือ ถ้ามีแรงดันไฟฟ้า (v) ตกคร่อมด้านอินพุตที่พอร์ต y จะทำให้ปรากฏแรงดันไฟฟ้าค่าเท่ากันที่พอร์ต x ในขณะเดียวกันถ้ามีกระแสไฟฟ้า (i_x) ไหลผ่านด้านอินพุตที่พอร์ต x ก็จะปรากฏกระแสไฟฟ้าค่าเท่ากันที่พอร์ต y โดยกระแสเดียวกันนี้ถูกนำพาไปเป็นกระแสด้านเอาต์พุตที่พอร์ต z ซึ่งเป็นพอร์ตที่มีค่าอิมพิแดนซ์ (Impedance) สูงด้วย โดยค่าแรงดันไฟฟ้าที่ปรากฏขึ้นที่พอร์ต x นั้นจะไม่ขึ้นกับค่ากระแสที่ไหลผ่านพอร์ต x ซึ่งถูกกำหนดโดยเกี่ยวเนื่องกับแรงดันไฟฟ้าทางด้านพอร์ต y เช่นเดียวกันค่ากระแสไฟฟ้าที่ไหลผ่านพอร์ต y นั้นจะไม่ขึ้นกับค่าแรงดันไฟฟ้าที่ตกคร่อมที่พอร์ต y ซึ่งถูกกำหนดโดยค่ากระแสไฟฟ้าทางด้านพอร์ต x จากความสัมพันธ์ของตัวแปรทางไฟฟ้าต่างๆ แสดงในรูปของความสัมพันธ์ทางเมตริกซ์ได้ดังสมการต่อไปนี้

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \tag{2.13}$$

จากความสัมพันธ์ทางเมตริกซ์ตามสมการที่ (2.13) นำไปเขียนเป็นวงจรสมมูลทางไฟฟ้าของวงจร CCI ได้ดังแสดงในภาพที่ 2.15



ภาพที่ 2.15 วงจรสมมูลทางไฟฟ้าของวงจร CCI [28]

2.3.2 วงจรสายพานกระแสรุ่นที่สอง

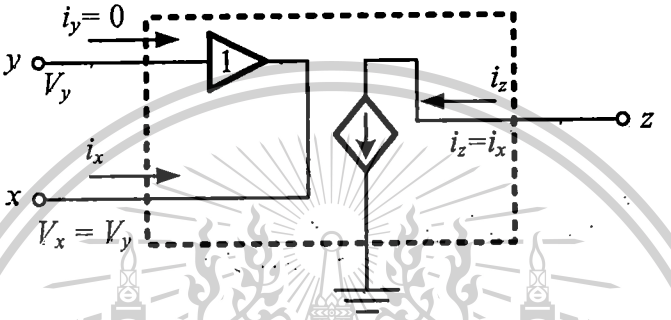
วงจรสายพานกระแสรุ่นที่สอง (CCII) มีคุณสมบัติของวงจรแสดงได้ตามความสัมพันธ์เชิงเมตริกซ์ของตัวแปรไฟฟ้าต่างๆ ดังสมการต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \tag{2.14}$$

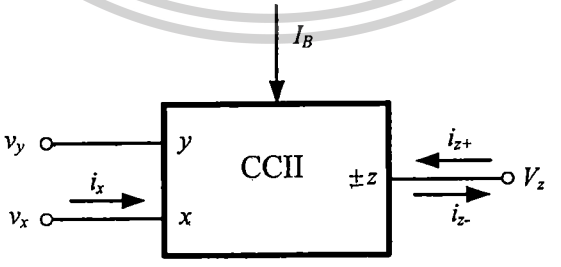
จากความสัมพันธ์ทางเมตริกซ์ตามสมการที่ (2.14) นำไปเขียนเป็นวงจรสมมูลทางไฟฟ้าของวงจร CCII ได้ดังแสดงในภาพที่ 2.16



ภาพที่ 2.16 วงจรสมมูลทางไฟฟ้าของวงจร CCII [29]

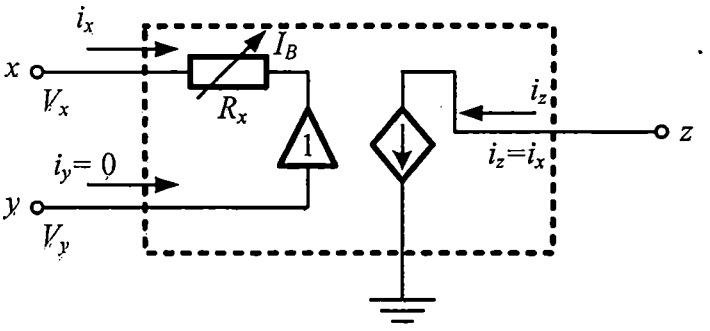
2.3.3 วงจรสายพานกระแสรุ่นที่สองแบบกระแสควบคุม

วงจรสายพานกระแสรุ่นที่สองแบบกระแสควบคุม (CCCII) มีคุณสมบัติคล้ายกับวงจร CCII แต่วงจร CCCII นั้นจะมีค่าความต้านทานภายในทางด้านพอร์ต x โดยค่าความต้านทานภายในนี้สามารถควบคุมได้ด้วยกระแสไบอัสของวงจร ซึ่งวงจร CCCII เป็นอุปกรณ์ที่มี 3 พอร์ต ได้แก่ พอร์ต x, y และ z โดยพอร์ต x เป็นพอร์ตมีอิมพิแดนซ์ทางด้านอินพุต (input impedance) ขึ้นกับกระแสไบอัส I_o พอร์ต y เป็นพอร์ตที่มีอิมพิแดนซ์ทางด้านอินพุตสูงมาก และพอร์ต z เป็นพอร์ตที่มีอิมพิแดนซ์ทางด้านเอาต์พุตสูงมาก โดยสัญลักษณ์และวงจรสมมูลทางไฟฟ้าของวงจร CCCII แสดงดังในภาพที่ 2.17 และ 2.18 ตามลำดับ



ภาพที่ 2.17 วงจรสมมูลทางไฟฟ้าของวงจร CCCII [30]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.
137789



ภาพที่ 2.18 บล็อกไดอะแกรมของวงจร CCCII [30]

วงจร CCCII มีกระแสด้านเอาต์พุตที่พอร์ต z คือ i_z เท่ากับกระแสทางด้านอินพุตที่พอร์ต x คือ i_x ถ้ากระแส i_x มีทิศทางเดียวกันกับกระแส i_z นั้นคือไหลออกวงจรเหมือนกันจัดว่าเป็นวงจร CCCII แบบบวก (Positive CCCII) โดยมีสัญลักษณ์ตัวอักษรย่อว่า CCCII+ แต่ในกรณีที่กระแสทั้งสองไหลทิศทางตรงกันข้ามกันวงจรจัดว่าเป็น CCCII แบบลบ (Negative CCCII) โดยมีสัญลักษณ์ตัวอักษรย่อว่า CCCII

ค่าความต้านทานภายในที่เกิดขึ้นที่พอร์ต x แทนสัญลักษณ์ด้วย R_x โดยความต้านทานดังกล่าวแปรผันกับกระแสไบอัส I_B ของวงจร

จากภาพที่ 2.17 สามารถเขียนความสัมพันธ์เชิงเมตริกซ์ของวงจร CCCII ได้ดังนี้

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & R_x & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \tag{2.15}$$

จากโครงสร้างของวงจร CCCII เป็นพื้นฐานที่สร้างมาจากวงจรทรานสลิเนียร์ที่ประกอบขึ้นจากมอสทรานซิสเตอร์ ชนิด NMOS และ PMOS ที่ต่อในลักษณะคู่ปป โดยวงจรประกอบร่วมกับวงจรสะท้อนกระแส (Current mirror)

2.3.4 ทฤษฎีทรานสลิเนียร์ (Translinear) [31] วงจรทรานสลิเนียร์ใช้ประโยชน์จากฟังก์ชันพีชคณิตอย่างมาก โดยใช้ประโยชน์จากความสัมพันธ์กระแสกับค่าทรานคอนดักแตนซ์ในทรานซิสเตอร์แบบไบโพลาร์ ทั้งสัญญาณอินพุตและเอาต์พุต โดยวงจรจะอยู่ในรูปแบบกระแส ในความเป็นจริงผลที่เกิดจากการเปลี่ยนแปลงแรงดันขนาดเล็กที่เป็นค่าที่น้อยกว่าสิบของมิลลิโวลต์กลายเป็นสิ่งที่น่าสนใจที่เกิดขึ้นโดยไม่ได้ตั้งใจ โดยพื้นฐานแล้ววงจรจะไม่ขึ้นอยู่กับขนาดของสัญญาณอินพุต แต่จะถูกแทนที่โดยขึ้นอยู่กับอัตราส่วนกระแสภายในวงจร ผลของฟังก์ชันที่ได้รับจะไม่แปรผันตามการเปลี่ยนแปลงอุณหภูมิ ซึ่งคุณสมบัติทั่วไปของซิลิกอนเพื่อเป็นการอธิบายทฤษฎีจะเริ่มจากการแสดงพื้นฐานที่เกี่ยวกับกระแสคอนเลคเตอร์ I_C และแรงดันอิมิเตอร์เบส V_{BE} ซึ่งมีรายละเอียดโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

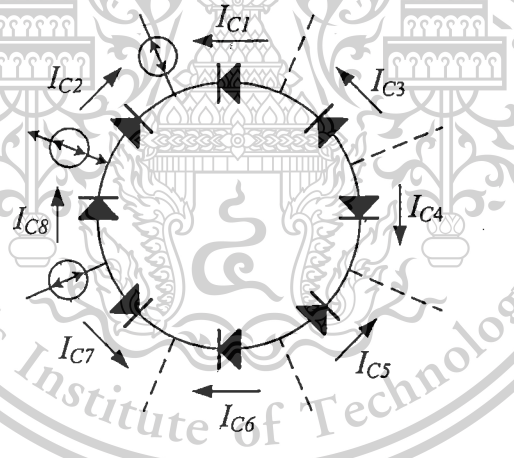
$$I_C = I_S(T)e^{V_{BE}/V_T} \tag{2.16}$$

โดย V_T คือ แรงดันอุณภูมิมีค่าเท่ากับ KT/q และ $I_S(T)$ คือกระแสที่อิ่มตัว และมีค่าขึ้นอยู่กับอุณหภูมิ โดยสามารถเปลี่ยนแปลงได้ 9.5% ต่อองศาเซลเซียล เมื่ออุณหภูมิถูกป้อนโดย V_{BE} ที่ขึ้นตรงต่อระดับอุณหภูมินี้จะทำให้ได้ผล I_C ที่คาดเดาไม่ได้ ด้วยเหตุผลนี้จึงไม่ค่อยพบการป้อนอินพุตในลักษณะนี้ในทางปฏิบัติ

ในทางกลับกัน เมื่อทรานซิสเตอร์ถูกป้อนด้วย I_C จะทำให้เกิด V_{BE} ค่าความขึ้นตรงต่ออุณหภูมิจะมีค่าลดลงอย่างมาก เขียนสมการ (2.16) ใหม่ได้เป็น

$$V_{BE} = V_T \ln\left(\frac{I_C}{I_S(T)}\right) \tag{2.17}$$

เห็นได้ชัดว่าความแม่นยำ และความสัมพันธ์เชิงเส้นลอการิทึมระหว่าง I_C และ V_{BE} เมื่ออุปกรณ์คู่นี้ถูกเชื่อมต่อในรูปแบบที่เหมาะสมจะทำให้เอาต์พุตของวงจรไม่ขึ้นอยู่กับอุณหภูมิ นอกจากนี้ ฟังก์ชันทางคณิตศาสตร์ก็สามารถเข้าใจง่าย โดยทั้งหมดนี้เป็นการนำไปสู่ทฤษฎีของวงจร ทรานสลิเนียร์



ภาพที่ 2.19 วงจรลูปปิดแบบทั่วไปกรณีไบอัสตรง [31]

เพื่อใช้อธิบายหลักการของทรานสลิเนียร์จะถูกอธิบายบนโครงข่ายลูปเดี่ยว ซึ่งแสดงในภาพที่ 2.19 โดยองค์ประกอบลูปปิดนี้จะสมมติให้มีอุปกรณ์ N ตัว ซึ่งเป็นการไบอัสด้วยแรงดัน V_F กำหนดให้ N_1 แทนจำนวนของอุปกรณ์ที่ไบอัสตรงในทิศทางหมุนตามเข็มนาฬิกา (CW) ดังนั้น $N_2(=N\text{-}N_1)$ แทนจำนวนอุปกรณ์ทั้งหมดของจำนวนอุปกรณ์ทวนเข็มนาฬิกา (CCW) เพื่อให้เห็นความแตกต่างจะกำหนดให้อุปกรณ์ที่หมุนตามเข็มนาฬิกาเป็นตังชี้คู่ ตามกฎแรงดันของ Kirchhoff ผลรวมแรงดันแต่ละจุดในลูปมีค่าเท่ากับศูนย์ดังสมการที่ (2.18)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

$$\sum_{k=1}^{N_1} V_{F,2k} - \sum_{k=1}^{N_2} V_{F,2k-1} = 0 \tag{2.18}$$

ซึ่งแรงดันจุดต่อ V_F แทนที่ด้วย V_{BE} ของอุปกรณ์ไบโพลาร์ โดยขณะเดียวกันกระแสที่ไหลผ่านรอยต่อจะเท่ากับกระแสคอลเลคเตอร์ I_C ของทรานซิสเตอร์ไบโพลาร์ ดังนั้นจากสมการ (2.17) และ (2.18) สามารถเขียนสมการใหม่ได้เป็น

$$\sum_{k=1}^{N_1} V_{T,2k} \ln\left(\frac{I_{C,2k}}{I_{S,2k}}\right) - \sum_{k=1}^{N_2} V_{T,2k-1} \ln\left(\frac{I_{C,2k-1}}{I_{S,2k-1}}\right) = 0 \tag{2.19}$$

ในกระบวนการสร้างวงจรรวมนั้น ทรานซิสเตอร์ถูกประมาณให้มีค่าใกล้เคียงกันมาก โดยสมมติให้อุปกรณ์ทำงานที่อุณหภูมิเดียวกัน ซึ่งหมายถึงให้ V_T ทุกตัวมีค่าเท่ากันหมด ดังนั้นสามารถเขียนสมการใหม่ได้เป็น

$$\sum_{k=1}^{N_1} \ln\left(\frac{I_{C,2k}}{I_{S,2k}}\right) - \sum_{k=1}^{N_2} \ln\left(\frac{I_{C,2k-1}}{I_{S,2k-1}}\right) = 0 \tag{2.20}$$

จัดรูปสมการ (2.20) ใหม่ได้

$$\prod_{k=1}^{N_1}\left(\frac{I_{C,2k}}{I_{S,2k}}\right) \cdot \prod_{k=1}^{N_2}\left(\frac{I_{S,2k-1}}{I_{C,2k-1}}\right) = 1 \tag{2.21}$$

โดยสมการที่ (2.21) จะไม่ขึ้นกับอุณหภูมิ เทอมของกระแสอิ่มตัวตัดทิ้ง โดยให้ $N_1 = N_1$ และ $N(=N_1 + N_2)$ มีค่าเป็นจำนวนคู่ อีกนัยหนึ่งคือ จำนวนของ CW และ CCW ที่เชื่อมต่อต้องเท่ากัน และลูปต้องประกอบด้วยอุปกรณ์ที่เป็นจำนวนคู่ ดังนั้น เราสามารถเขียนสมการได้คือ

$$\prod_{k=1}^{N/2} \frac{I_{S,2k}}{I_{S,2k-1}} = \lambda \tag{2.22}$$

โดย λ ไม่มีหน่วย หมายถึงเป็นอัตราส่วนพื้นที่ เมื่อ $\lambda = 1$ ซึ่งหมายถึงพื้นที่ของทรานซิสเตอร์ไบโพลาร์มีค่าเท่ากัน หรือการทำให้คู่อุปกรณ์ตรงข้ามที่เชื่อมต่อกันอยู่สมพงศ์กัน สมการที่ (2.22) จึงเขียนใหม่ได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

$$\prod_{k=1}^{N/2} I_{C,2k} = \lambda \cdot \prod_{k=1}^{N/2} I_{C,2k-1} \tag{2.23}$$

ซึ่งสมการที่ (2.23) นี้เป็นส่วนที่สำคัญของทฤษฎีทรานสลิเนียร์ที่พัฒนาโดย B.Gilbert โดยสรุปใจความได้ว่า

สำหรับลูปปิดใดๆ ประกอบไปด้วยจำนวนของคู่ของการหมุนตามเข็มนาฬิกา และการหมุนทวนเข็มนาฬิกาแบบ *forword-biased* ผลคูณของกระแสสำหรับอุปกรณ์ในทิศทางหนึ่ง เป็นสัดส่วนโดยตรงกับผลคูณที่เกิดในทิศทางตรงกันข้าม องค์ประกอบของความเป็นสัดส่วนนั้นขึ้นอยู่กับองค์ประกอบพื้นฐานของอุปกรณ์ และที่สำคัญมากคือ การไม่แปรผันตามกระบวนการ และการเปลี่ยนแปลงของอุณหภูมิ

ตามที่ทฤษฎีกล่าว เมื่อแหล่งจ่ายแรงดัน V_s ถูกป้อนเข้าไปในลูป สมการที่ (2.23) สามารถเขียนสมการใหม่ได้เป็น

$$\prod_{k=1}^{N/2} I_{C,2k} = \lambda \cdot e^{\frac{V_s}{V_T}} \cdot \prod_{k=1}^{N/2} I_{C,2k-1} \tag{2.24}$$

สำหรับวงจรทรานสลิเนียร์แบบใช้มอสทรานซิสเตอร์ กลับมีความสัมพันธ์เชิงเส้นระหว่างค่าทรานส์คอนดักแตนซ์กับแรงดันแทนที่จะเป็นความสัมพันธ์เชิงกระแส ดังเช่น วงจรทรานสลิเนียร์แบบไบพลาร์ หรือแบบไดโอด ดังแสดงในสมการที่ (2.25)

$$g_m = \frac{dI}{dV} = bV \tag{2.25}$$

โดยที่ b คือ Scaling Factor

ดังนั้นแนวความคิดของทรานสลิเนียร์จึงขยายออกไป โดยการวิเคราะห์วงจรทรานสลิเนียร์แบบมอสทรานซิสเตอร์ เริ่มจากกฎ Quasi-quadratic ของมอสทรานซิสเตอร์ที่แสดงในรูปแบบสามการทั่วไปได้ในสมการที่ (2.26)

$$I = \frac{b}{2}V^2 + B \tag{2.26}$$

โดยที่ B คือ ค่าคงที่ใดๆ และเมื่อหาการเปลี่ยนแปลงของกระแสต่อสัญญาณแรงดันควบคุม (V) ทรานส์คอนดักแตนซ์ที่สอดคล้องกับสมการที่ (2.25) กล่าวคือ มีความสัมพันธ์เชิงเส้นกับสัญญาณควบคุม V หลักการทรานสลิเนียร์นี้รู้จักในนามของ หลักการทรานสลิเนียร์แบบมอสทรานซิสเตอร์ หรือ ทรานซิสเตอร์แบบแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

จากกฎ Quasi-quadratic ที่แสดงในรูปแบบทั่วไปดังสมการที่ (2.26) สามารถสร้างขึ้นอย่างง่ายด้วยการไบอัสมอสทรานซิสเตอร์ให้ทำงานอยู่ในช่วง Strong Inversion หรือช่วงอิ่มตัว ซึ่งสามารถแสดงในรูปแบบจำลองทางคณิตศาสตร์อันดับหนึ่ง (1st Order) ดังนี้

$$I_D = K_n \frac{W}{2L}\left(V_{gs} - V_T\right)^2 \tag{2.27}$$

โดยที่ V_{gs} = แรงดันเกต-ซอร์ส

K_n = มอสทรานส์คอนดักแตนซ์ พารามิเตอร์

V_T = แรงดันเทรสโฮลด์

W = ความกว้างช่องทางเดินกระแส (channel width)

L = ความยาวช่องทางเดินกระแส (channel length)

เปรียบเทียบสมการ (2.26) และ (2.27) พบว่า

$b = K_n(W/L)$

$V = V_{gs} - V_T$

$B = 0$

ดังนั้นความสัมพันธ์ทางกระแสจากวงจรทรานสลิเนียร์แบบมอสทรานซิสเตอร์สามารถแสดงได้ดังสมการที่ (2.28)

$$\sum_{CW}\sqrt{\frac{I_D}{\frac{W}{L}}} = \sum_{CCW}\sqrt{\frac{I_D}{\frac{W}{L}}} \tag{2.28}$$

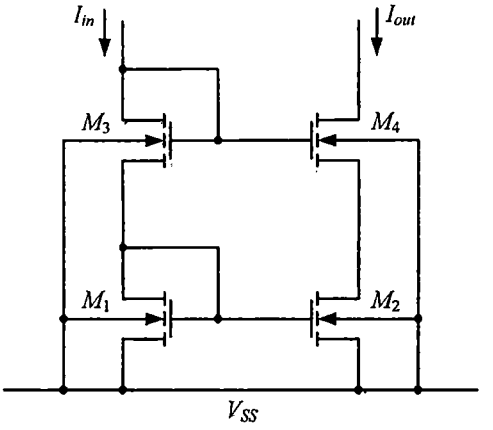
ลักษณะเด่นที่สำคัญของสมการที่ (2.28) คือ ความสัมพันธ์ระหว่างกระแสดังกล่าวไม่ขึ้นกับการเปลี่ยนอุณหภูมิและความไม่แน่นอนของกระบวนการผลิตจากการหักล้างซึ่งกันอันเป็นผลมาจากต่อวงจร

2.3.5 วงจรสะท้อนกระแส

วงจรสะท้อนกระแส (Current mirror) [32] แบบมอสทรานซิสเตอร์ เป็นวงจรที่มีความสำคัญสำหรับการออกแบบวงจรประเภทอนาลอก โดยวงจรสะท้อนกระแสที่นิยมใช้มีอยู่ประมาณ 4 แบบ ที่ได้รับการพัฒนาและเผยแพร่อย่างต่อเนื่อง คือ วงจรสะท้อนกระแสแบบพื้นฐาน วงจรสะท้อนกระแสแบบคาสโคด วงจรสะท้อนกระแสแบบ Wilson และวงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง

อย่างไรก็ตาม สำหรับวงจรสะท้อนกระแสที่ต่อร่วมกับวงจรทรานสลิเนียร์ที่อยู่ในวงจร CCCFCC ที่นำเสนอ จะเป็นวงจรสะท้อนกระแสแบบคาสโคด ดังนั้นในหัวข้อนี้จึงขอกล่าวเพียงรายละเอียดของวงจรสะท้อนกระแสแบบคาสโคดเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.



ภาพที่ 2.20 วงจรสะท้อนกระแสแบบคาสโคด [32]

จากภาพที่ 2.20 เป็นวงจรสะท้อนกระแสแบบคาสโคดที่ใช้มอสทรานซิสเตอร์จำนวน 4 ตัว ซึ่งเห็นได้ว่าวงจรสะท้อนกระแสแบบคาสโคดได้ใช้วงจรสะท้อนกระแสแบบพื้นฐานสองวงจรต่อแบบชั้นขึ้นไป โดยความสัมพันธ์ระหว่างกระแส I_{out} และกระแส I_{in} สามารถเขียนสมการได้ดังนี้

$$I_{out} = \frac{g_{m2}g_{m3}}{g_{m1}g_{m4}} I_{in} \tag{2.29}$$

เมื่อพิจารณาวงจรในภาพที่ 2.20 ในวงจรเสมือนสัญญาณขนาดเล็ก ค่าความต้านทานทางเอาต์พุตเมื่อพิจารณาที่ขาเดรนของมอสทรานซิสเตอร์ M_4 จะมีค่าดังสมการที่ (2.30)

$$r_{out} = r_{ds2} + r_{ds3} + r_{ds2}r_{ds3}g_{m3} \approx r_{ds2}r_{ds3}g_{m3} \tag{2.30}$$

เมื่อ r_{ds2} และ r_{ds3} คือ ค่าความนำระหว่างเดรนและซอร์สของมอสทรานซิสเตอร์ M_2 และ M_3 โดยวงจรสะท้อนกระแสแบบคาสโคดจะมีความต้านทานทางเอาต์พุตเพิ่มมากขึ้น ทำให้คุณสมบัติการสะท้อนกระแสดีขึ้น ซึ่งคุณสมบัติทางอุดมคตินั้นต้องการความต้านทานทางเอาต์พุตเข้าใกล้อนันต์ในขณะเดียวกันความต้านทานอินพุตต้องเข้าใกล้ศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

2.4 หลักการพื้นฐานของวงจรกรองสัญญาณ

2.4.1 คุณสมบัติของฟังก์ชันถ่ายโอน

ฟังก์ชันถ่ายโอนประกอบขึ้นจากวงจรแพสซีฟ RLC หรือวงจร แอคทีฟ RC จะต้องมีคุณสมบัติดังนี้ [26]

1) ฟังก์ชันจะอยู่ในรูปเศษ และส่วน ในระนาบ s ด้วยค่าสัมประสิทธิ์จำนวนจริง

2) โพลเชิงซ้อน และซีโร่จะเป็นลักษณะเชิงซ้อนสังยุค

3) ฟังก์ชันจะไม่มีโพลในด้านขวามือของระนาบ s

4) โพลบนแกน $j\omega$ จะสังเกตได้ง่าย

5) ซีโร่สามารถอยู่ที่ไหนก็ได้ในระนาบ s

2.4.2 การพล๊อตค่าขนาด (Magnitude) และเฟส (Phase) ของฟังก์ชันโครงข่าย

ในการวิเคราะห์โครงข่าย ส่วนที่ต้องให้ความสำคัญในการวิเคราะห์ คือ เฟส (Phase) และขนาด (Magnitude) เทียบกับความถี่ ซึ่งทำได้โดยการพล๊อตเป็นกราฟ โดยฟังก์ชันโครงข่ายสามารถเขียนได้ดังสมการ

$$H(s)=\frac{N(s)}{D(s)}=k\frac{\prod_{i=1}^{n}(s-z_i)}{\prod_{i=1}^{m}(s-p_i)} \tag{2.31}$$

โดยที่ค่าของโพลและซีโร่สามารถเป็นได้ทั้งค่าจำนวนจริง หรือ เชิงซ้อนจึงต้องเขียนสมการให้อยู่ในรูปของขนาด $H(j\omega)$ ในรูปของเดซิเบล (Decibel) ได้เป็น

$$Magnitude = 20\log_{10}|H(j\omega)| \tag{2.32}$$

$$= 20\log_{10}|k| + \sum_{i=1}^{n} 20\log_{10}|j\omega - z_i| - \sum_{i=1}^{m} 20\log_{10}|j\omega - p_i| \tag{2.33}$$

และ เฟสในรูปขององศา หรือ เรเดียน (Radians) สามารถเขียนได้เป็น

$$Phase = \tan^{-1}\frac{I_m H(j\omega)}{R_e H(j\omega)} \tag{2.34}$$

$$= \sum_{i=1}^{n}\tan^{-1}\left(\frac{I_m(j\omega - z_i)}{R_e(j\omega - z_i)}\right) - \sum_{i=1}^{m}\tan^{-1}\left(\frac{I_m(j\omega - p_i)}{R_e(j\omega - z_i)}\right) \tag{2.35}$$

การคำนวณแบบละเอียดอาจจะทำให้เห็นว่าเป็นการยุ่งยาก ซึ่งส่วนมากแล้วจะใช้การประมาณการเพื่อนำมาพล๊อตกราฟ ซึ่งสามารถใช้ได้เช่นกัน ในการประมาณการพล๊อตกราฟในลักษณะของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

ฟังก์ชันขนาด และ เฟสจะเรียกกันว่า “การพล๊อต Bode (Bode Plot)” ซึ่งเป็นวิธีการที่ไม่ยุ่งยากมากนักซึ่งจะกล่าวถึงในส่วนท้ายต่อไป

ในตัวประกอบของรูปแบบ $N(s)$ หรือ $D(s)$ สามารถแยกเป็น 4 แบบได้ดังนี้

1) เป็นค่าคงที่ k

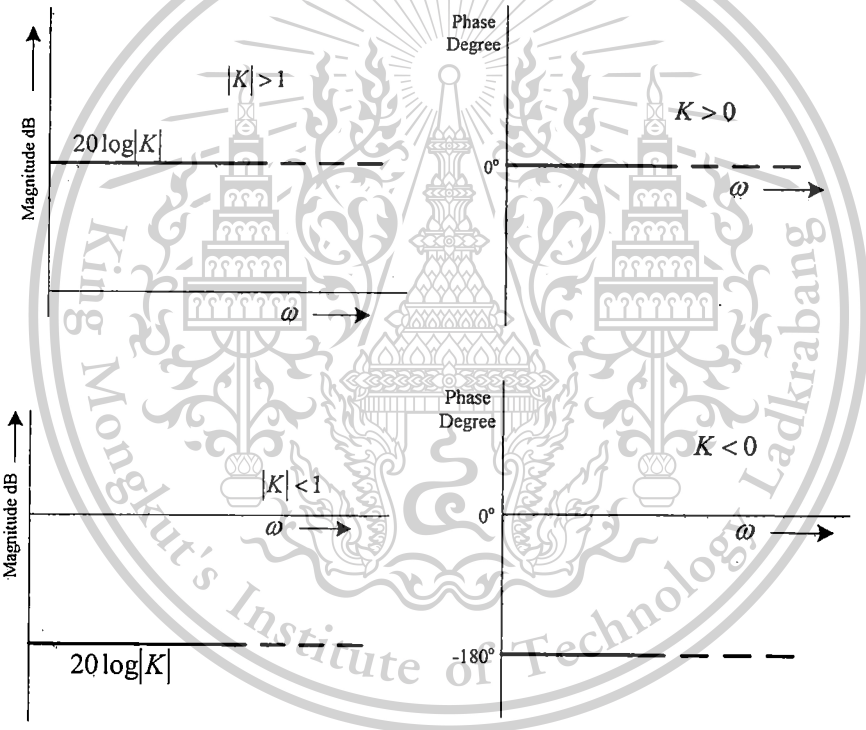
2) มีตัวประกอบ s แทนในราก ที่จุดกำเนิด

3) ตัวประกอบ $s+\alpha$ แทนใน รากจริง

4) ตัวประกอบ s^2+as+b แทนในรากเชิงซ้อนสังยุค

กรณี 1) เป็นค่าคงที่ k

เมื่อฟังก์ชัน Magnitude $20\log_{10}|k|$ เป็นบวกสำหรับ $|k|>1$ และ เป็นลบสำหรับ $|k|<1$ ค่าฟังก์ชันเฟส $\tan^{-1}(0/k)$ เท่ากับ 0° สำหรับ $k>0$ และเท่ากับ 180° สำหรับ $k<0$ ดังรูปที่ 2.9



ภาพที่ 2.21 ขนาดและเฟสพล๊อตเมื่อ $N(s)$ หรือ $D(s)$ เป็นค่าคงที่ K [26]

กรณี 2) เป็นตัวประกอบ s

พิจารณาเมื่อรากที่จุดกำเนิด คือ ค่าขนาดและเฟสของโพลที่จุดกำเนิด แทนที่ด้วย $H(s)$ ทำให้

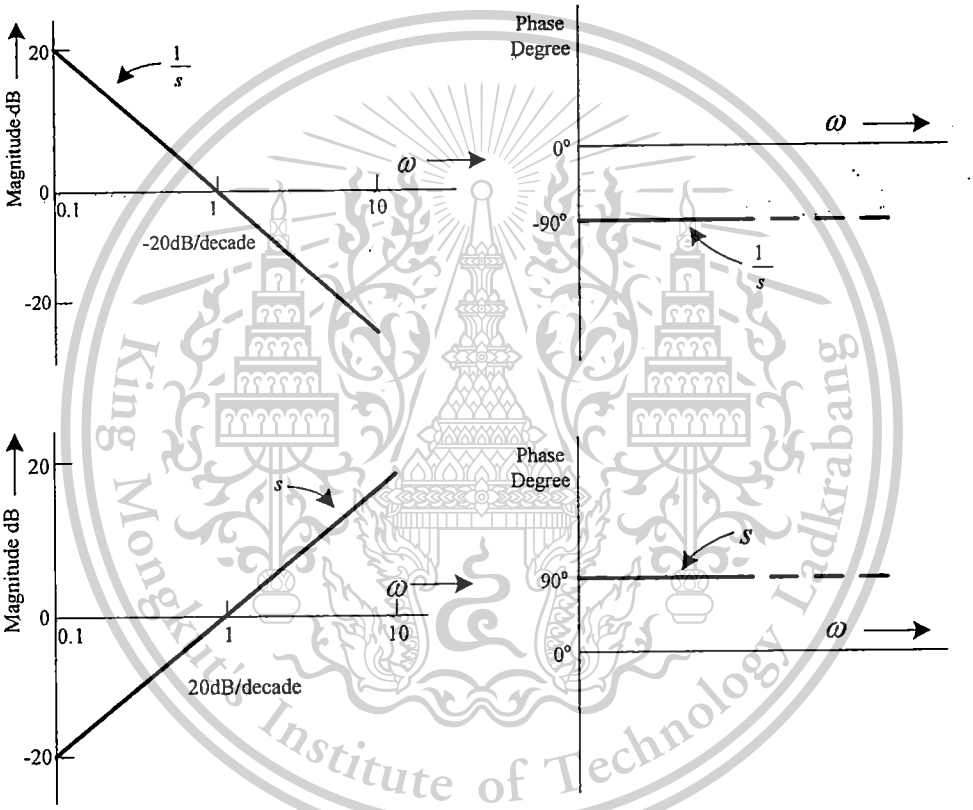
$$Magnitude = 20\log_{10}\left|\frac{1}{j\omega}\right| = -20\log\omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

$$Phase = \tan^{-1}(0) - \tan^{-1}\left(\frac{\omega}{0}\right)$$

$$= -90^{\circ}$$

จากขนาด และ เฟสที่ได้สามารถนำไปพล็อตได้เป็นดังภาพที่ 2.22(ก) สังเกตได้ว่าค่า ขนาดจะลดลง 20 dB เมื่อความถี่เพิ่มขึ้น 10 เท่า หรือพูดอีกอย่างหนึ่งคือ ขนาดลดลง 6 dB เมื่อความถี่เพิ่มขึ้น 2 เท่า ซึ่ง ความชันดังกล่าวนี้ คือ -20 dB/decade หรือ เท่ากับ -6dB/octave นั่นเอง และ ถ้า ขนาด และ เฟสของฟังก์ชัน $H(s) = s$ แทนด้วยซีโร่ที่จุดกำเนิดสามารถพล็อตได้ดังภาพที่ 2.22(ข)



ภาพที่ 2.22 Magnitude และ Phaseพล็อตของ (ก) $\frac{1}{s}$ และ (ข) s [26]

กรณี 3.1) ตัวประกอบ $s+\alpha$

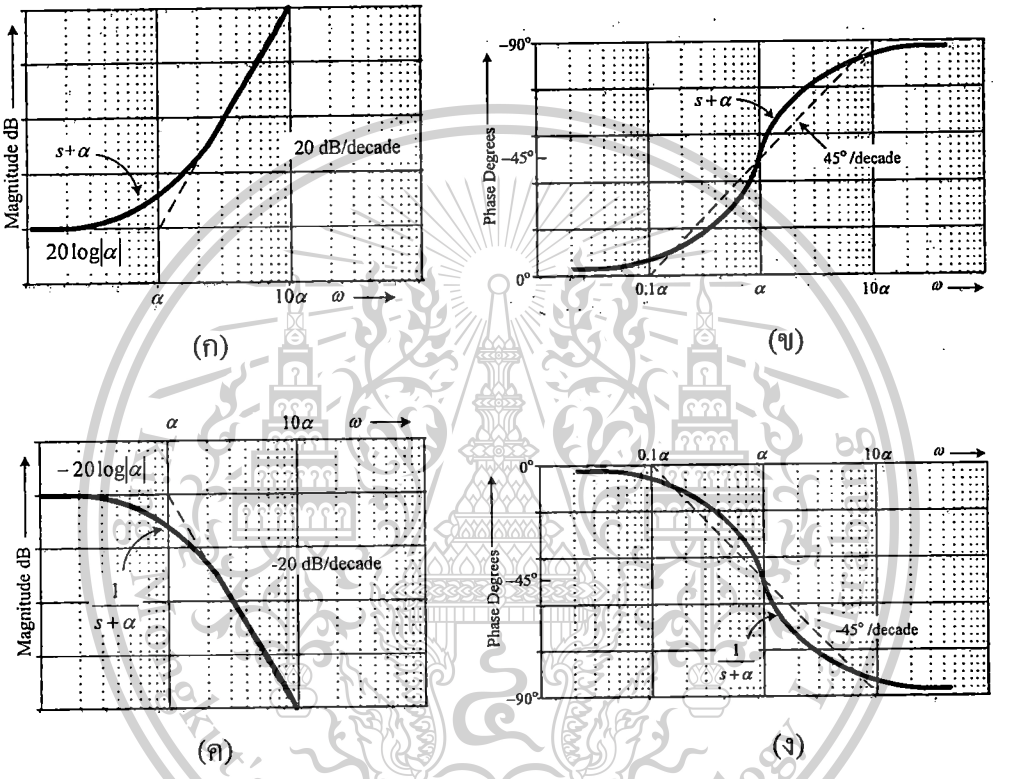
ถ้าฟังก์ชัน $H(s) = s+\alpha$ สามารถนำมาหาค่าขนาด และ เฟสได้โดย

$$Magnitude = 20\log_{10}|j\omega + \alpha| = 20\log_{10}\left(\omega^2 + \alpha^2\right)^{\frac{1}{2}} \tag{2.36}$$

$$Phase = \tan^{-1}\left(\frac{\omega}{\alpha}\right) \tag{2.37}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

ฟังก์ชันทั้งขนาด และ เฟสสามารถนำมาพล็อตได้ดังภาพที่ 2.23(ก) และ 2.23(ข) ที่ความถี่ต่ำ ($\omega << \alpha$) ฟังก์ชัน $H(s)$ สามารถประมาณด้วยค่าของ α ซึ่งทำให้อัตราขยายที่ความถี่ต่ำมีค่าประมาณ 20log α และ ที่ความถี่สูง ($\omega >> \alpha$) ค่าอัตราขยายจะสามารถประมาณได้ด้วย s และ ความชันของความถี่สูงจะประมาณ 6dB/octave คือ เส้นประของภาพ 2.23(ก) ส่วนค่าอัตราขยายที่เป็นจริงจะแสดงเป็นเส้นทึบ และทำการประมาณค่า $s = j\omega = j\alpha$ ณ จุดนี้จะได้จุดต่อของความถี่ต่ำและความถี่สูง ซึ่งด้านความจริง (เส้นทึบ) จะห่างจากจุดอัตราขยายเริ่มต้นอยู่ 3.01dB



ภาพที่ 2.23 (ก) พล็อตขนาด (ข) พล็อตเฟสของ $s+\alpha$ [26]

กรณี 3.2) พล็อตขนาด และ เฟสพล็อตของ $\frac{1}{s+\alpha}$

จากสมการที่ (2.37) ณ เส้นกราฟแสดงเฟสจากความถี่ 0° ไปจนถึงความถี่สูงๆ ที่ 90° ที่เป็นจริงจะแสดงไว้ดังรูปที่ 2.23(ข) เป็นเส้นทึบและเส้นประ เป็นเส้นที่ประมาณค่าซึ่งประมาณ 45° /decade และปรากฏว่าที่ความถี่ $\omega = \alpha$ เฟสจะเลื่อนไป 45°

ส่วนขนาด และ เฟสของกรณีโพลเป็น $s = -\alpha$ โดยแทนสมการด้วย $\frac{1}{s+\alpha}$ จะแสดงไว้ดังรูปที่ 2.23 (ค) และ (ง) ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

กรณีที่ 4) ตัวประกอบ แทนในรากเชิงซ้อนสังยุค s^2+as+b สมมุติโดยค่าเชิงซ้อนสังยุคโพลแทนด้วยสมการ

$$H(s)=\frac{1}{s^2+as+b} \tag{2.38}$$

ที่ DC จะได้ค่าขนาดเท่ากับ $20\log_{10}\frac{1}{b}$ และ เฟสเท่ากับ $-\tan^{-1}\left(\frac{0}{b}\right)=0°$ และที่ความถี่สูง ๆ สมการจะมีค่าเข้าใกล้ $\frac{1}{s^2}$ ดังนั้น ขนาดจะลดลงประมาณ -40dB/decade และ เฟสจะมีค่าเท่ากับ $-180°$

ความถี่ที่จะทำให้เกิดค่าสูงสุดขนาดสามารถหาค่าได้โดยทำการอนุพันธ์ $|H(j\omega)|=0$

$$\frac{d}{d\omega}\left|\frac{1}{-\omega^2+aj\omega+b}\right|=\frac{d}{d\omega}\frac{1}{\sqrt{\left(b-\omega^2\right)^2+\left(a\omega\right)^2}}=0$$

$$\frac{2\left(b-\omega^2\right)(-2\omega)+2\omega a^2}{-2\left[\left(b-\omega^2\right)^2+a^2\omega^2\right]^{\frac{3}{2}}}=0$$

พิจารณานัยสำคัญของสมการพบว่า $2\left(b-\omega^2\right)(-2\omega)+2\omega a^2=0$ ดังนั้นค่าความถี่ที่ได้จะมี 2 ค่าคือ

$$\omega_{max}=\sqrt{b}\sqrt{1-\frac{a^2}{2b}} \quad \text{เมื่อ} \quad \frac{a^2}{2b}<1 \tag{2.39}$$

$$\omega_{min}=0 \quad \text{เมื่อ} \quad \frac{a^2}{2b}\geq 1 \tag{2.40}$$

ถ้า $\frac{a^2}{2b}<<1$ ดังนั้น

$$\omega_{max}\approx\sqrt{b} \tag{2.41}$$

ความถี่ที่ได้นี้คือความถี่โพล, (ω_P) จะมีค่าเท่ากับ

$$\omega_P=\sqrt{b} \tag{2.42}$$

ที่ความถี่โพลค่าขนาดของสมการที่ (2.38) ในรูปของ dB จะมีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

$$20\log_{10}\left|\frac{1}{\left(j\sqrt{b}\right)^2+aj\sqrt{b}+b}\right|=20\log_{10}\left(\frac{1}{a\sqrt{b}}\right) \quad (2.43)$$

ส่วนค่าเฟสจะได้เป็น $-\tan^{-1}\left(\frac{a\sqrt{b}}{0}\right)=-90^\circ$ จากที่วิเคราะห์มาทั้งหมดเราสามารถประมาณค่าแล้วนำมาพล็อตเป็นกราฟได้ดังภาพที่ 2.24 (ก) โดยจะมีช่วงโด่งสูง (High Bump) ที่ ω_P ซึ่งค่าความแตกต่างของช่วงขึ้นสูงและช่วงแกน DC จะมีค่าเท่ากับ

$$20\log_{10}\left(\frac{1}{a\sqrt{b}}\right)-20\log_{10}\left(\frac{1}{b}\right)=20\log_{10}\left(\frac{\sqrt{b}}{a}\right) \quad (2.44)$$

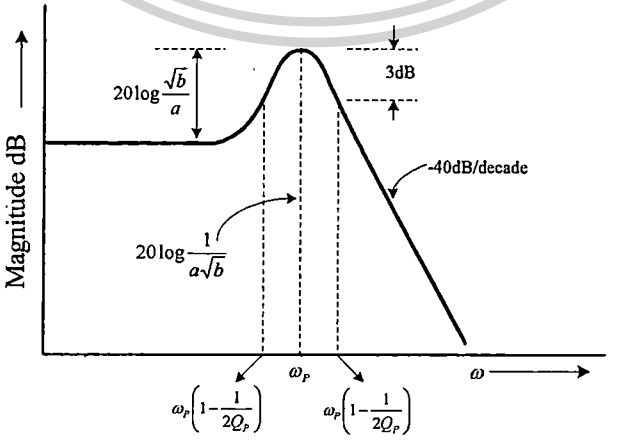
$\frac{1}{s^2+as+b}$ โดยที่ $Q_p=\frac{\sqrt{b}}{a}>>1$

ตัวแปร $\frac{\sqrt{b}}{a}$ คือ ค่าความสูงของโด่งสูงที่จุด ความถี่โพลโดยใช้ค่าเป็นโพล Q หรือ Q_P

$$PoleQ=Q_p=\frac{\sqrt{b}}{a} \quad (2.45)$$

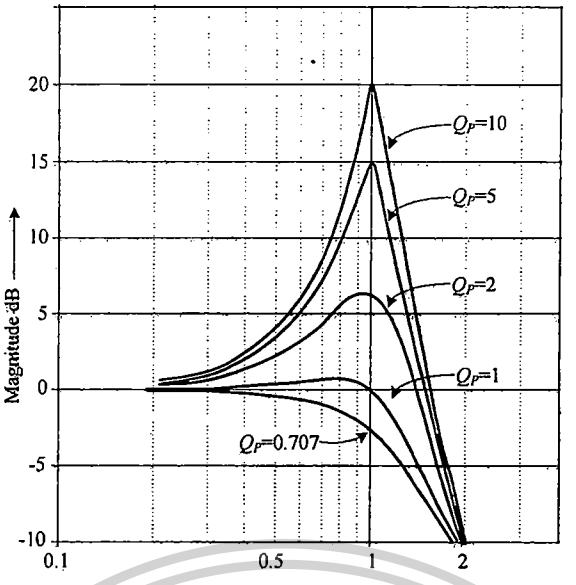
จากสมการที่ (2.42) และ (2.45) ฟังก์ชันโครงข่ายที่มีค่าโพลเชิงซ้อน s โดยแทนอยู่ในรูปของ ω_P และ Q_P จะเป็น

$$H(s)=\frac{1}{s^2+\frac{\omega_p}{Q_p}s+\omega_p^2} \quad (2.46)$$

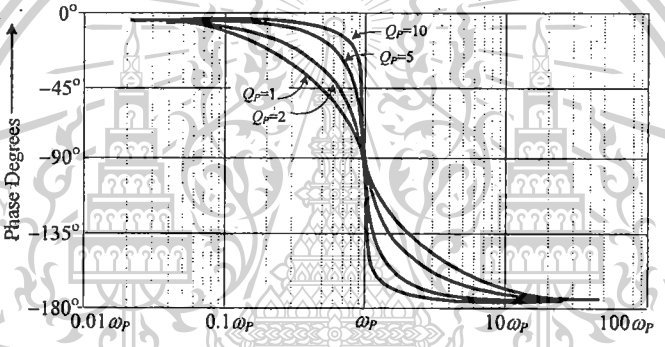


(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.



(ข)



(ค)

ภาพที่ 2.24 (ก) การพล็อตกราฟโดยการประมาณค่าจากสมการ (ข) กราฟจากการพล็อตขนาดของสมการ $\frac{1}{s^2+\frac{\omega_p}{Q_p}s+\omega_p^2}$ โดยเปลี่ยนค่า Q_P เป็นค่าต่าง ๆ (ค) กราฟของเฟสของสมการ $\frac{1}{s^2+\frac{\omega_p}{Q_p}s+\omega_p^2}$ เมื่อเปลี่ยนค่า Q_P เป็นค่าต่าง ๆ [26]

การพล็อตค่าขนาด และ เฟสของฟังก์ชัน $\frac{1}{s^2+\frac{\omega_p}{Q_p}s+\omega_p^2}$ โดยเปลี่ยนค่า Q_P เป็นค่าต่างๆ นั้น แสดงไว้ดังภาพที่ 2.24(ข) และ (ค) ตามลำดับ ซึ่งจะเห็นได้ว่าที่ใกล้ๆ กับค่าความถี่โพลค่าความคมของกราฟจะเปลี่ยนไปตามค่าของ Q ซึ่งกรณีที่ Q มีค่ามากกว่า 5 ค่า นั้นจะทำให้ค่าของขนาดมีค่าสูงสุด และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

สำหรับ Q_P ที่มีค่าน้อยกว่า 0.707 ฟังก์ชันจะไม่ทำให้เกิดโด่งสูงของขนาดซึ่งถ้าเราพิจารณาค่าขนาดของสมการที่ (2.32) จะเห็นได้ว่าที่ ความถี่โพลที่มีการเปลี่ยนแปลงดังนี้

$$s = j\omega = j\left(\omega_p \pm \frac{\omega_p}{2Q_p}\right) \tag{2.47}$$

แทนสมการที่ (2.47) ในสมการที่ (2.46) ได้เป็น

$$H(j\omega_1) = \frac{1}{\left(-\omega_p^2 \pm \frac{\omega_p^2}{Q_P} - \frac{\omega_p^2}{4Q_p}\right) + j\frac{\omega_p}{Q_p}\left(\omega_p \pm \frac{\omega_p}{2Q_p}\right) + \omega_p^2}$$

ถ้า $Q_P >> 1$ ตัวแปร $\frac{\omega_P^2}{Q_P}$ สามารถตัดทิ้งไปได้ เพราะมีค่าน้อยมากเมื่อเทียบกับ $\frac{\omega_P^2}{Q_P}$ ดังนั้น ค่าขนาดในรูปของ dB จะมีค่าเป็น

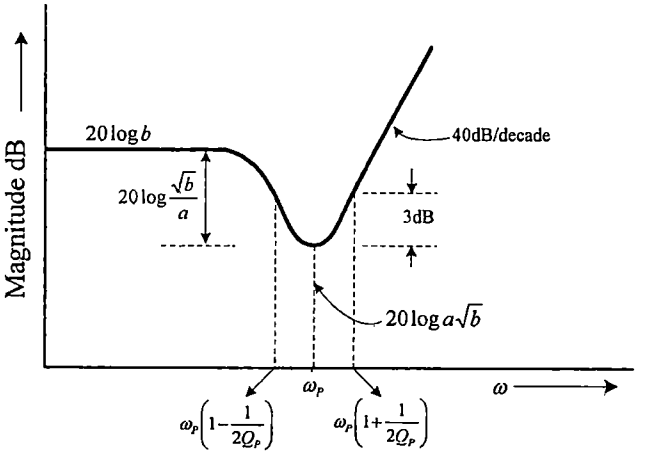
$$20\log_{10}\left|H(j\omega_1)\right| \approx 20\log_{10}\left|\frac{1}{\pm\frac{\omega_P^2}{Q_P} + j\frac{\omega_P^2}{Q_P}}\right| \approx 20\log_{10}\left(\frac{1}{\sqrt{2}a\sqrt{b}}\right) \tag{2.48}$$

เมื่อเทียบกับสมการที่ (2.43) ค่าขนาดที่ได้จากสมการที่ (2.48) คือ ค่าขนาดที่ต่ำกว่าค่าของขนาดสูงสุด 3 dB ซึ่งค่าของสมการที่ (2.38) และ (2.46) จะเป็นตัวบอกถึงค่า 3dB แบนด์วิดท์ ได้ว่ามีค่าเท่ากับ

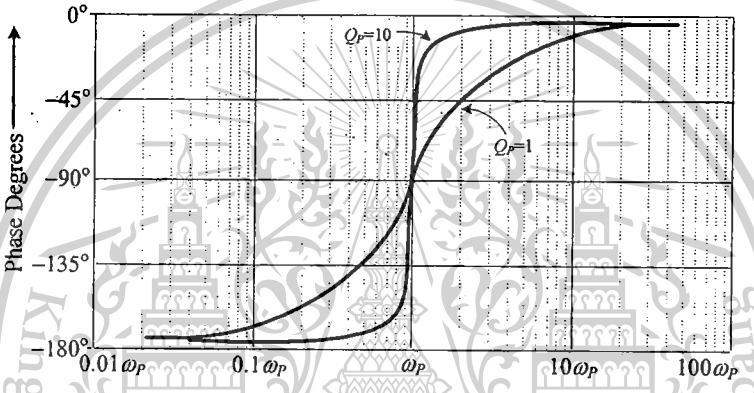
$$\text{Bandwidth} = (bw)_P = \frac{\omega_P}{Q_P} = a \tag{2.49}$$

ส่วนการประมาณค่าขนาด และ เฟสของคู่ซีโร่เชิงซ้อน นั้นสามารถหาได้โดยวิธีเดียวกัน ซึ่งแสดงไว้ดังภาพที่ 2.25(ก) และ 2.25(ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.



(ก)

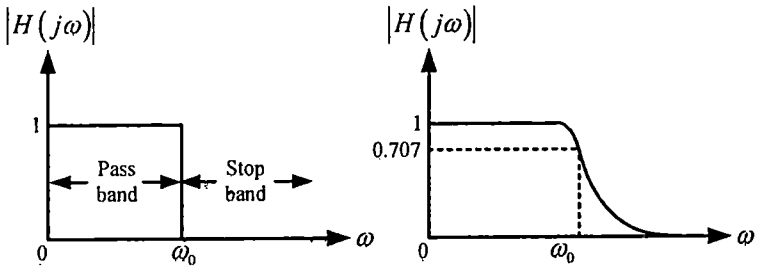


(ข)

ภาพที่ 2.25 (ก) การประมาณค่าขนาดสำหรับฟังก์ชัน $s^2 + as + b$ โดยค่า $Q_z = \frac{\sqrt{b}}{a} >> 1$ (ข) เฟสพล็อต สำหรับ $s^2 + \frac{\omega_z}{Q_z}s + \omega_z^2$ เมื่อค่า Q_z เป็นค่าต่าง ๆ [26]

จากภาพที่ 2.26 ถึง 2.30 แสดงให้เห็นผลตอบสนองทางความถี่ของวงจรกรองสัญญาณทั้งห้าแบบในกรณีอุดมคติ และในทางปฏิบัติ โดยในทางปฏิบัตินั้นความถี่คัทออฟ (Cut Off Frequency : ω_0) คือ ค่าความถี่ที่ทำให้อัตราขยายสัญญาณของวงจรมีค่าเท่ากับ 70.7% (หรือประมาณ -3dB) รูปแบบของการเปลี่ยนจากแถบผ่านไปยังแถบหยุด หรือจากแถบหยุดไปยังแถบผ่าน คือ อัตราการเปลี่ยนแปลงของผลตอบสนองความถี่เรียกว่า อัตราการลดลงอย่างราบรื่น (Roll off Rate หรือ Fall off Rate)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

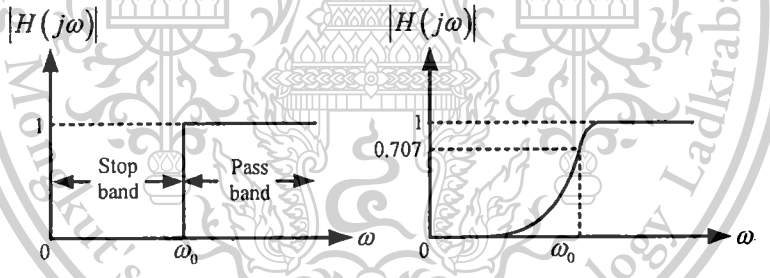


(ก) (ข)

ภาพที่ 2.26 ผลตอบสนองทางความถี่ของวงจร LP

(ก) ในทางอุดมคติ (ข) ในทางปฏิบัติ

ภาพที่ 2.26 แสดงผลตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองสัญญาณแบบกรองผ่านความถี่ต่ำ ซึ่งเป็นวงจรกรองสัญญาณที่มีความถี่ผ่านอยู่ในช่วงระหว่าง 0 ถึงความถี่คัทออฟ ในขณะที่ช่วงความถี่สูงกว่าความถี่คัทออฟจะเป็นช่วงแถบหยุดของวงจร ในกรณีเช่นนี้ค่าแบนด์วิดของวงจรมีค่าเท่ากับ ω_0



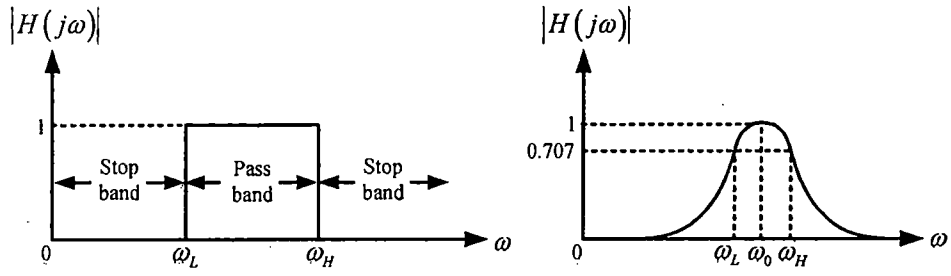
(ก) (ข)

ภาพที่ 2.27 ผลตอบสนองทางความถี่ของวงจร HP

(ก) ในทางอุดมคติ (ข) ในทางปฏิบัติ

ภาพที่ 2.27 แสดงผลตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองสัญญาณแบบกรองผ่านความถี่สูง ซึ่งเป็นวงจรกรองสัญญาณที่มีแถบความถี่ต่ำระหว่าง 0 จนถึงความถี่คัทออฟ ω_0 ในขณะที่วงจรยอมให้สัญญาณที่มีความถี่สูงกว่าความถี่คัทออฟผ่านวงจรไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

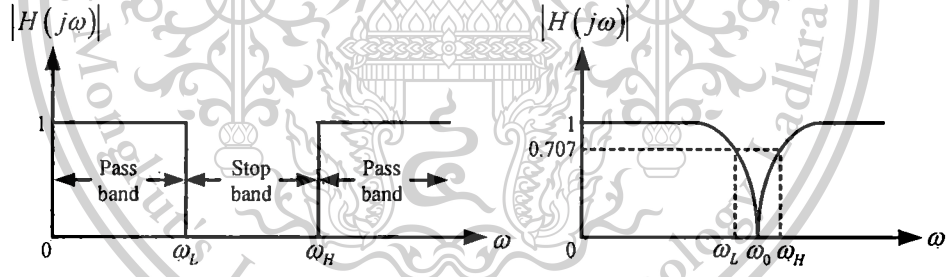


(ก) (ข)

ภาพที่ 2.28 ผลตอบสนองทางความถี่ของวงจร BP

(ก) ในทางอุดมคติ (ข) ในทางปฏิบัติ

ภาพที่ 2.28 แสดงผลตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองสัญญาณแบบกรองผ่านแถบความถี่ ซึ่งเป็นวงจรกรองสัญญาณที่มีแถบความถี่ผ่านของวงจรอยู่ในช่วงระหว่างความถี่คัทออฟ สองความถี่ คือ ω_L (Low Cut Off Frequency) และ ω_H (High Cut Off Frequency) ในขณะที่แถบหยุดของวงจรจะมีอยู่สองแถบ คือ ในระหว่างช่วงความถี่ 0 ถึงความถี่คัทออฟ ω_L และในช่วงของความถี่สูงกว่าความถี่คัทออฟ ω_H



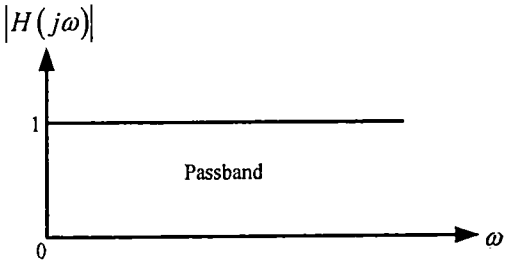
(ก) (ข)

ภาพที่ 2.29 ผลตอบสนองทางความถี่ของวงจร BS

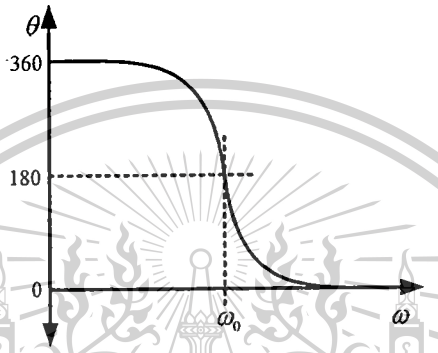
(ก) ในทางอุดมคติ (ข) ในทางปฏิบัติ

ภาพที่ 2.29 แสดงการตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองสัญญาณแบบจำกัดแถบความถี่ ซึ่งเป็นวงจรกรองสัญญาณที่มีแถบหยุดในช่วงระหว่างความถี่คัทออฟสองความถี่ คือ ω_L และ ω_H ในขณะที่แถบความถี่ผ่านของวงจรจะมีอยู่สองแถบ คือ ในระหว่างช่วงความถี่ 0 ถึงความถี่คัทออฟ ω_L และในช่วงความถี่สูงกว่าความถี่คัทออฟ ω_H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.



ภาพที่ 2.30 ผลตอบสนองทางความถี่ของวงจร AP



ภาพที่ 2.31 ผลตอบสนองเชิงเฟสของวงจร AP

วงจรกรองสัญญาณแบบกรองทุกความถี่ผ่านทุกความถี่เป็นวงจรกรองสัญญาณที่ยอมให้สัญญาณทุกความถี่สามารถผ่านไปได้ โดยพบว่าการตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองสัญญาณแบบกรองทุกความถี่ผ่านทุกความถี่ในแบบอุดมคตินั้น แสดงดังภาพที่ 2.30 และภาพที่ 2.31 แสดงผลตอบสนองทางแมกนิจูดและเฟสรูปแบบกระแสของ AP ในส่วนของการตอบสนองทางขนาดในเชิงความถี่ของวงจรกรองสัญญาณแบบกรองผ่านทุกความถี่ในทางปฏิบัตินั้น มีลักษณะไม่แตกต่างกัน โดยวงจรกรองสัญญาณแบบกรองผ่านทุกความถี่นั้นมีประโยชน์ในการนำมาใช้เป็นวงจรเลื่อนเฟส (Phase Shifter) ให้สัญญาณเอาต์พุตมีมุมเฟสที่แตกต่างจากสัญญาณอินพุตตามที่ผู้ออกแบบกำหนด

2.5 ฟังก์ชันถ่ายโอนแบบไบควอดเดรติก

สมการฟังก์ชันการถ่ายโอนแบบไบควอดเดรติก (Biquadratic Function) ของการกรองสัญญาณนั้นมีรูปแบบมาตรฐานดังต่อไปนี้

$$H(s) = H\frac{a_2 s^2 + a_1\left(\frac{\omega_0}{Q}\right)s + a_0\omega_0^2}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2} \tag{2.50}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

โดยที่ ω_0 คือ ความถี่คัทออฟ หรือความถี่เชิงมุมธรรมชาติ (Natural Angular) Q คือ ค่าตัวประกอบคุณภาพ (Quality Factor) H คือ อัตราขยายสัญญาณไฟตรง (DC Gain) และ a_0, a_1, a_2 คือ ค่าคงที่มีค่าเท่ากับ ±1 หรือ 0

จากสมการที่ (2.50) เห็นได้ว่าค่าพารามิเตอร์ a_0, a_1 และ a_2 คือ เงื่อนไขในการกำหนดฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณ ซึ่งสามารถกำหนดได้ทั้งห้ารูปแบบดังนี้ คือ วงจรกรองสัญญาณแบบกรองผ่านความถี่ต่ำ แบบกรองผ่านความถี่สูง แบบกรองผ่านแถบความถี่ แบบจำกัดแถบความถี่ และแบบกรองผ่านทุกความถี่ ซึ่งรูปแบบของฟังก์ชันการถ่ายโอนของวงจรกรองสัญญาณแบบต่างๆ ดังกล่าวนั้นมีลำดับดังต่อไปนี้

เมื่อ $a_0 = 1$ และ $a_1 = a_2 = 0$ จะได้ฟังก์ชันการถ่ายโอนไบควอดเดรติกของวงจรกรองสัญญาณแบบกรองผ่านความถี่ต่ำ มีรูปแบบฟังก์ชันดังต่อไปนี้

$$H(s) = H\frac{\omega_0^2}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2} \tag{2.51}$$

เมื่อ $a_2 = 1$ และ $a_0 = a_1 = 0$ จะได้ฟังก์ชันการถ่ายโอนไบควอดเดรติกของวงจรกรองสัญญาณแบบกรองผ่านความถี่สูง มีรูปแบบฟังก์ชันดังต่อไปนี้

$$H(s) = H\frac{s^2}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2} \tag{2.52}$$

เมื่อ $a_1 = 1$ และ $a_0 = a_2 = 0$ จะได้ฟังก์ชันการถ่ายโอนไบควอดเดรติกของวงจรกรองสัญญาณแบบกรองผ่านแถบความถี่ มีรูปแบบฟังก์ชันดังต่อไปนี้

$$H(s) = H\frac{\left(\frac{\omega_0}{Q}\right)s}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2} \tag{2.53}$$

เมื่อ $a_1 = 0$ และ $a_0 = a_2 = 1$ จะได้ฟังก์ชันการถ่ายโอนไบควอดเดรติกของวงจรกรองสัญญาณแบบจำกัดแถบความถี่ มีรูปแบบฟังก์ชันดังต่อไปนี้

$$H(s) = H\frac{s^2 + \omega_0^2}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2} \tag{2.54}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

เมื่อ $a_1 = -1$ และ $a_0 = a_2 = 1$ จะได้ฟังก์ชันการถ่ายโอนไบควอดเดรติกของวงจรกรองสัญญาณแบบจำกัดแถบความถี่ มีรูปแบบฟังก์ชันดังต่อไปนี้

$$H(s) = H\frac{s^2 - \left(\frac{\omega_0}{Q}\right)s + \omega_0^2}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2} \tag{2.55}$$

2.6 ทฤษฎีการทำงานของออสซิลเลเตอร์

ออสซิลเลเตอร์ให้กำเนิดสัญญาณรูปคลื่นที่มีลักษณะซ้ำๆกัน โดยไม่จำเป็นต้องมีสัญญาณป้อนกลับให้กับวงจรที่จุดสัญญาณเข้า เพียงแต่ป้อนแหล่งจ่ายไฟกระแสตรงให้กับวงจรเท่านั้น ซึ่งแรงดันที่ปรากฏขึ้นที่จุดสัญญาณออกที่ได้อาจจะไม่เป็นสัญญาณไซน์ (Non-Sinusoidal) เท่านั้น หรือเป็นสัญญาณไซน์ก็ได้ วงจรออสซิลเลเตอร์เป็นวงจรพื้นฐานอย่างหนึ่งที่มีบทบาทสำคัญในทางวิศวกรรมด้านต่างๆ เช่น ในระบบการสื่อสารโทรคมนาคม วงจรออสซิลเลเตอร์สามารถใช้เป็นวงจรสร้างสัญญาณคลื่นพาห์ (Carrier Signal) เพื่อใช้ในการมอดูเลต (Modulation) สัญญาณหรือเพื่อสร้างสัญญาณนาฬิกาอ้างอิงหลัก (Reference Clock Signal) ให้แก่ระบบเป็นต้น วงจรออสซิลเลเตอร์ที่รู้จักกันอย่างแพร่หลายมีอยู่ด้วยกันหลายชนิด เช่น วงจรออสซิลเลเตอร์แบบคริสตัล (Crystal Oscillator) วงจรออสซิลเลเตอร์แบบเลื่อนเฟส (Phas Shift Oscillator) วงจรออสซิลเลเตอร์แบบวีนบริดจ์ (Wein Bridge Oscillator) วงจรออสซิลเลเตอร์แบบโคลพิชท์ (Colpitts Oscillator) หรือวงจรออสซิลเลเตอร์แบบฮาร์ทเลย์ (Hatley Oscillator) เป็นต้น รูปแบบของสัญญาณที่สร้างขึ้นจากวงจรออสซิลเลเตอร์แบบต่างๆ มีอยู่หลายรูปแบบด้วยกัน เช่น สัญญาณไซน์ สัญญาณพัลส์สี่เหลี่ยม สัญญาณพัลส์สามเหลี่ยม และสัญญาณฟันเลื่อย ฯลฯ ในงานวิจัยเล่มนี้กล่าวถึงหลักการเกี่ยวกับวงจรออสซิลเลเตอร์ทำหน้าที่กำเนิดสัญญาณรูปไซน์ ซึ่งเป็นวงจรหลักที่งานวิจัยเล่มนี้นำเสนอ

2.6.1 องค์ประกอบของวงจรออสซิลเลเตอร์

องค์ประกอบหลักที่สำคัญของวงจรออสซิลเลเตอร์สามารแบ่งออกได้เป็น ดังต่อไปนี้

1) ตัวกำเนิดพลังงาน (Energy Source) ได้แก่ แหล่งจ่ายไฟ แบตเตอรี่ โดยในที่นี้มุ่งเน้นถึงแหล่งจ่ายไฟกระแสตรงที่มีศักดาคงที่จ่ายไฟเลี้ยงให้กับอุปกรณ์ต่างๆในวงจรเป็นสำคัญ

2) วงจรกำเนิดความถี่ (Frequency Determining Circuit) ในการกำเนิดสัญญาณนั้น วงจรกำเนิดความถี่นี้เป็นวงจรที่สามารถเลือกใช้ความถี่ในการกำเนิดสัญญาณ เช่น วงจรกรองความถี่ต่ำผ่าน วงจรกรองความถี่สูงผ่าน เป็นต้น

3) วงจรขยาย (Amplifier Circuit) เป็นอุปกรณ์แอกทีฟซึ่งอาจเป็นทรานซิสเตอร์แบบเฟท (FET Transistor) หรือวงจรขยายรูปแบบต่างๆ ที่อยู่ในรูปของไอซีอย่างใดอย่างหนึ่ง ซึ่งวงจรขยายทำหน้าที่ดำรงการกำเนิดสัญญาณไว้ด้วยการชดเชยพลังงานในส่วนที่สูญเสียไปภายในวงจรของวงจรออสซิลเลเตอร์ให้มีค่าคงตัวอยู่เช่นเดิมโดยอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

4) วงจรป้อนกลับแบบบวก (Positive Feedback) เป็นวงจรที่นำสัญญาฯจากด้านขาออกของวงจรออสซิลเลเตอร์กลับไปยังด้านของวงจร โดยสัญญาณทางด้านขาออกที่ป้อนกลับไปสู่ทางด้านขาเข้านั้นต้องมีการจัดเฟส (Phase) ตรงกันกับเฟสของสัญญาณทางด้านขาเข้าทั้งนี้ก็เพื่อทำให้เกิดการเสริมสัญญาณกันเพื่อทำให้สัญญาณดำรงตัวอยู่ได้

ในการรักษาสัญญาณให้คงอยู่นั้น เป็นไปตามเงื่อนไขของ Barkhausen คือผลคูณค่าอัตราขยายของวงจรขยายและป้อนกลับจะมีค่าเท่ากลับหนึ่งในทางทฤษฎี แต่ในทางปฏิบัตินั้น ค่าอัตราขยายรวมของระบบต้องมีค่ามากกว่าหนึ่งเล็กน้อยในสภาวะเริ่มแรก ทั้งนี้ก็เพื่อเป็นการชดเชยการลดทอนสัญญาณที่อาจจะเกิดขึ้นได้ในวงจรและจะใช้ลักษณะความไม่เป็นเชิงเส้นของวงจรที่เกิดขึ้น เมื่อใช้สัญญาณมีค่ามากเป็นค่าลูปเกนให้เท่ากับหนึ่งเพื่อทำหน้าที่เป็นตัวจำกัดขนาดของสัญญาณที่ได้ออกมา

2.6.2 หน้าที่สำคัญของวงจรออสซิลเลเตอร์

1) สร้างสัญญาณไฟฟ้าที่ใช้ในการควบคุมการทำงานของระบบไฟฟ้าอิเล็กทรอนิกส์ออสซิลโลสโคป ฯลฯ

2) ให้จังหวะและช่วงเวลาที่ถูกต้องแน่นอนแก่วงจรอิเล็กทรอนิกส์

3) ให้สัญญาณความถี่ในย่านต่างๆ เพื่อใช้ในการทำงานของวงจรโดยรวม

2.6.3 ลักษณะของวงจรออสซิลเลเตอร์

ลักษณะของวงจรออสซิลเลเตอร์ประกอบไปด้วยองค์ประกอบต่างๆ ดังนี้

1) มีความผิดเพี้ยนของรูปคลื่นต่ำ (Low Distortion) ลักษณะความเพี้ยนมีด้วยกันหลายลักษณะ เช่น ถ้าเป็นรูปคลื่นไซน์เรียกว่า ความผิดเพี้ยนทางฮาร์โมนิกส์ (Harmonic Distortion) สาเหตุอาจเกิดจากความไม่เป็นเชิงเส้นของอัตราขยาย (Non Linear) รวมค่าตัวเก็บประจุ หรือค่าความผิดเพี้ยนต่างๆ ก็ล้วนแต่มีผลทำให้สัญญาณมีความผิดเพี้ยน

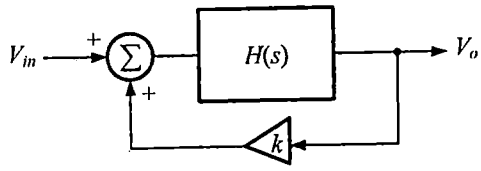
2) ความมีเสถียรภาพทางความถี่ (Frequency Stability) ซึ่งการใช้งานวงจรออสซิลเลเตอร์ร่วมกับวงจรอื่นๆ จำเป็นต้องมีค่าความถี่ของสัญญาณคงที่ องค์ประกอบที่มีผลต่อทำให้ความถี่ของสัญญาณมีความคลาดเคลื่อน เช่น การเปลี่ยนแปลงแรงดันของแหล่งจ่ายไฟฟ้า โหลดของวงจรมีการเปลี่ยนแปลง และคุณภาพของอุปกรณ์ เช่น ตัวต้านทาน (R) ขดลวดเหนี่ยวนำ (L) และตัวเก็บประจุ (C) ทั้งหมดนี้มีผลต่อการเปลี่ยนแปลงของความถี่

3) ความมีเสถียรภาพทางขนาดของสัญญาณ (Amplitude Stability) คือขนาดของสัญญาณต้องคงที่ โดยการออกแบบวงจรให้มีอัตราขยายคงที่

2.6.4 หลักการกำเนิดสัญญาณไซน์ที่นำเสนอในโครงงานวิจัยนี้

จากหลักการของตัวกรองสัญญาณที่สามารถนำมาสร้างเป็นวงจรกำเนิดสัญญาณรูปไซน์ได้นั้นต้องมีอันดับสองขึ้นไป โดยวงจรที่ใช้ในการป้อนกลับแบบบวก ดังภาพที่ 2.32 ซึ่งในที่นี้จะกล่าวถึงการกำเนิดสัญญาณรูปไซน์เฉพาะอันดับสองเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.



ภาพที่ 2.32 ระบบป้อนกลับแบบบวก

จากระบบการป้อนกลับแบบบวกภาพที่ 2.32 สามารถเขียนสมการถ่ายโอนได้ดังสมการที่ (2.56)

$$\frac{V_o}{V_{in}} = \frac{H(s)}{1 - kH(s)} \tag{2.56}$$

ในการพิจารณาเงื่อนไขการกำเนิดสัญญาณของระบบป้อนกลับแบบบวกนั้น จะพิจารณาโดยระบบจะไม่มีสัญญาณอินพุตแต่มีสัญญาณเอาต์พุต สามารถอธิบายได้ว่าระบบจะเกิดการกำเนิดสัญญาณได้จะต้องมีเกนการขยายลูปปิด (Loop Gain : LG) เท่ากับ

$$LG = kH(s) = 1 \tag{2.57}$$

2.6.4.1 การกำเนิดสัญญาณไซน์ด้วยโพลิโนเมียลอันดับสอง

การกำเนิดสัญญาณไซน์ด้วยโพลิโนเมียลอันดับสอง เป็นหลักการกำเนิดสัญญาณไซน์แบบพื้นฐาน ซึ่งออกแบบโดยใช้สมการโพลิโนเมียลอันดับสอง สามารถเขียนในรูปของสมการเชิงลาปลาซได้ดังสมการที่ (2.58)

$$1 - LG = \frac{N(s)}{D(s)} = 0 = \frac{a_0 s^2 + a_1 s + a_2}{b_0 s^2 + b_1 s + b_2} \tag{2.58}$$

เมื่อ $N(s)$ และ $D(s)$ คือ โพลิโนเมียลเศษและโพลิโนเมียลส่วน ตามลำดับ และเนื่องจากสมการที่ (2.58) เป็นสมการโพลิโนเมียลอันดับสองซึ่งมีนัยสำคัญที่ $N(s)$ เมื่อแทนค่าตัวแปร $s = j\omega$ ลงในสมการที่ (2.58) และเขียนสมการใหม่เป็น

$$N(s) = 0 = -a_0\omega_0^2 + j\omega_0 a_1 + a_2 \tag{2.59}$$

หรือ

$$0 = -\omega_0^2 + \frac{j\omega_0 a_1}{a_0} + \frac{a_2}{a_0} \tag{2.60}$$

ในสมการที่ (2.59)-(2.60) เงื่อนไขวงจรจะกำเนิดสัญญาณได้ คือ

$$a_1 = 0 \tag{2.61}$$

และความถี่ที่กำเนิดได้มีค่าเป็น

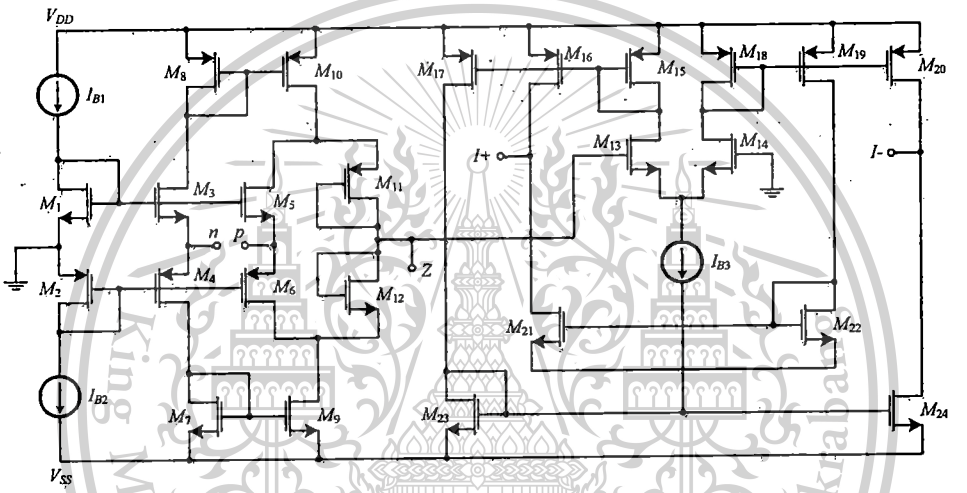
$$\omega_0^2 = \frac{a_2}{a_0} \tag{2.62}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

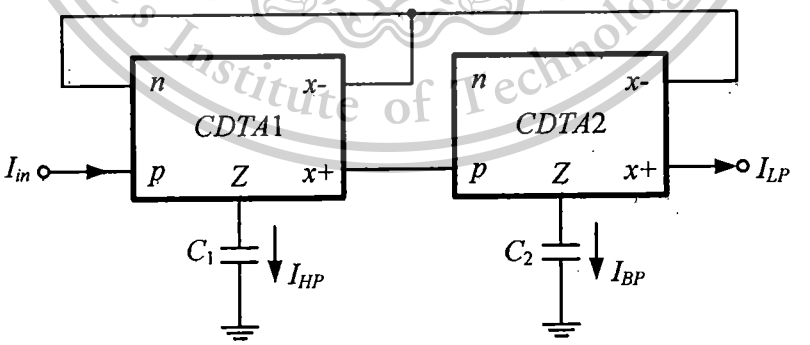
บทที่ 3
งานวิจัยที่เกี่ยวข้อง

3.1 ผลงานวิจัยที่เกี่ยวข้อง

ในบทนี้จะทำการเปรียบเทียบบางงานวิจัยที่ได้เคยนำเสนอกับงานวิจัยที่เคยมีผู้ตีพิมพ์มาแล้ว โดยจะนำเอางานวิจัยของ A. Keskin [33] งานวิจัยนี้เป็นการสร้างวงจรกรองความถี่รูปแบบกระแส โดยใช้โครงสร้าง CDTA ดังแสดงในภาพที่ 3.1 ซึ่งสามารถนำไปสร้างเป็นวงจรกรองความถี่รูปแบบกระแส ดังแสดงในภาพที่ 3.2



ภาพที่ 3.1 วงจร CDTA ที่ใช้ในการสร้างเป็นวงจรกรองความถี่ที่นำเสนอ [33]



ภาพที่ 3.2 วงจรกรองความถี่รูปแบบกระแสที่นำเสนอ [33]

เมื่อวิเคราะห์วงจรกรองสัญญาณในภาพที่ 3.2 โดยอาศัยคุณสมบัติของวงจร CDTA จะได้สมการอัตราขยายกระแสเอาต์พุตของวงจร ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

$$\frac{I_{HP}}{I_{in}} = -\frac{s^2}{D(s)} \tag{3.1}$$

$$\frac{I_{BP}}{I_{in}} = -\frac{(g_{m1}/C_1)s}{D(s)} \tag{3.2}$$

$$\frac{I_{LP}}{I_{in}} = -\frac{(g_{m1}g_{m2}/C_1C_2)}{D(s)} \tag{3.3}$$

เมื่อ

$$D(s) = s^2 + \frac{g_{m1}}{C_1}s + \frac{g_{m1}g_{m2}}{C_1C_2} \tag{3.4}$$

ค่าความถี่เชิงมุมธรรมชาติ ω_0 และตัวประกอบคุณภาพ Q_0 ของวงจร มีค่าเท่ากับ

$$\omega_0 = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \tag{3.5}$$

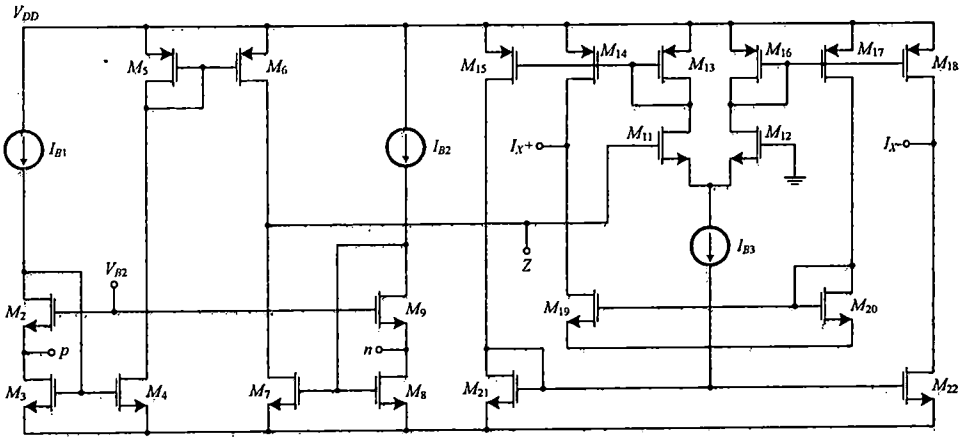
และ

$$Q_0 = \frac{\sqrt{g_{m2}C_1}}{\sqrt{g_{m1}C_2}} \tag{3.6}$$

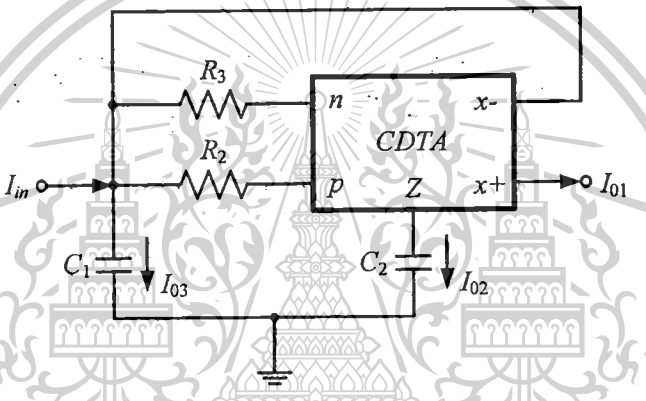
จากภาพที่ 3.1 แสดงโครงสร้าง CDTA ที่ได้นำเสนอ [33] ได้ใช้มอสทรานซิสเตอร์ในการออกแบบวงจร โดยมีข้อดี คือ โครงสร้างของ CDTA ใช้มอสทรานซิสเตอร์จำนวนน้อยในการออกแบบโครงสร้าง CDTA แต่เมื่อพิจารณาในภาพที่ 3.2 เห็นได้ว่ามีข้อเสีย คือ วงจรกรองความถี่ที่ออกแบบได้ใช้โครงสร้างของ CDTA จำนวนมาก การควบคุม ทรานสคอนดักแตนซ์ (g_m) ค่อนข้างแคบเมื่อเทียบกับการควบคุมความต้านทานแฝงจาก CCCII จากสมการที่ (3.5) และ (3.6) เมื่อมีการปรับตัวประกอบคุณภาพ (Q_0) จะส่งผลให้การตอบสนองความถี่ (ω_0) เปลี่ยนไป อีกทั้งวงจรสามารถกรองความถี่ได้เพียงวงจรกรองความถี่ต่ำผ่าน (LP) วงจรกรองความถี่สูงผ่าน (HP) วงจรกรองความถี่ที่ต้องการผ่าน (BP)

อีกทั้งงานวิจัยของ D. Prasad [34] งานวิจัยนี้เป็นการสร้างวงจรกรองความถี่หลายหน้าที่รูปแบบกระแส โดยใช้โครงสร้าง CDTA ดังแสดงในภาพที่ 3.3 ซึ่งสามารถนำไปสร้างเป็นวงจรกรองความถี่รูปแบบกระแส ดังแสดงในภาพที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.



ภาพที่ 3.3 วงจร CDTA ที่ใช้ในการสร้างเป็นวงจรกรองความถี่ที่นำเสนอ [34]



ภาพที่ 3.4 วงจรกรองความถี่รูปแบบกระแสที่นำเสนอ [34]

เมื่อวิเคราะห์วงจรกรองสัญญาณในภาพที่ 3.4 โดยอาศัยคุณสมบัติของวงจร CDTA จะได้ฟังก์ชันถ่ายโอนกระแสเอาต์พุตของวงจร ดังนี้

$$T_1(s) = \frac{I_{01}}{I_{in}} = \frac{\dfrac{g_m\left(1/R_2 - 1/R_3\right)}{C_1C_2}}{D(s)} \tag{3.7}$$

$$T_2(s) = \frac{I_{02}}{I_{in}} = \frac{\dfrac{s\left(1/R_2 - 1/R_3\right)}{C_1}}{D(s)} \tag{3.8}$$

$$T_3(s) = \frac{I_{03}}{I_{in}} = \frac{s^2}{D(s)} \tag{3.9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

$$T_4(s)=\frac{I_{04}}{I_{in}}=\frac{I_{01}+I_{03}}{I_{in}}=\frac{s^2+\dfrac{g_m\left(1/R_2-1/R_3\right)}{C_1C_2}}{D(s)} \tag{3.10}$$

เมื่อ

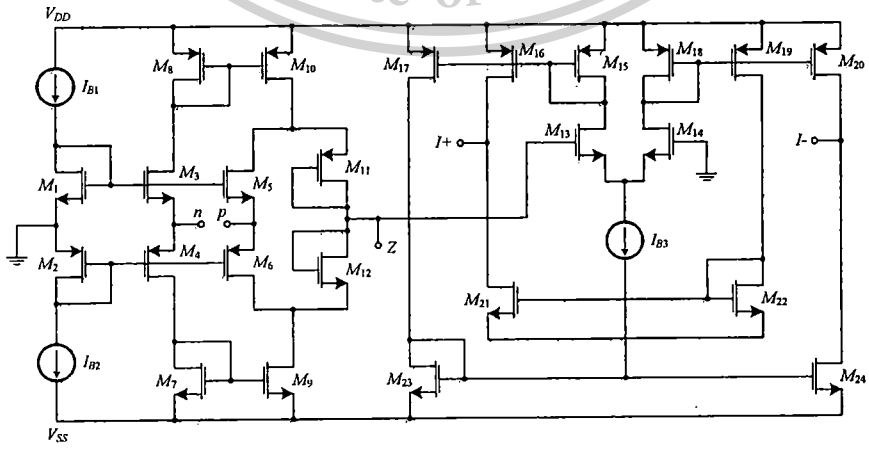
$$D(s)=s^2+s\frac{\left(1/R_2-1/R_3\right)}{C_1}+\frac{g_m\left(1/R_2-1/R_3\right)}{C_1C_2} \tag{3.11}$$

ค่าความถี่เชิงมุมธรรมชาติ ω_0 และตัวประกอบคุณภาพ Q_0 ของวงจร มีค่าเท่ากับ

$$\omega_0=\sqrt{\frac{g_m\left(\alpha_p/\left(R_2+R_p\right)-\alpha_n/\left(R_3+R_n\right)\right)}{C_1C_2}} \tag{3.12}$$

$$Q_0=\frac{\sqrt{g_m\dfrac{C_1}{C_2}\left(\dfrac{\alpha_p}{R_2+R_p}-\dfrac{\alpha_n}{R_3+R_n}\right)}}{\left(\dfrac{\alpha_p}{R_2+R_p}+\dfrac{\alpha_n}{R_3+R_n}\right)} \tag{3.13}$$

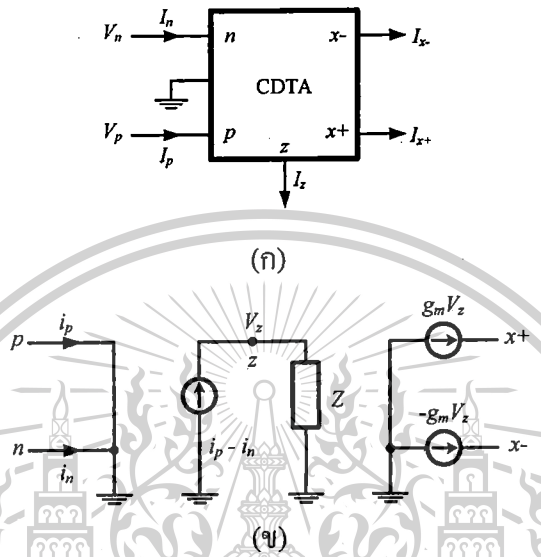
เมื่อพิจารณาภาพที่ 3.3 เห็นได้ว่าโครงสร้าง CDTA ที่ได้นำเสนอ [34] ได้ใช้มอสทรานซิสเตอร์ในการออกแบบวงจรใกล้เคียงกับงานวิจัยของ A. Keskin [33] โดยมีข้อดี คือ ในการออกแบบเป็นวงจรกรองความถี่ได้ใช้โครงสร้างของ CDTA จำนวนน้อย อีกทั้งวงจรยังใช้อุปกรณ์แอกทีฟเพียงตัวเดียว แต่ก็ข้อเสียเช่นกัน คือ มีการใช้อุปกรณ์พาสซีฟจำนวนมาก และ ทรานสคอนดักแตนซ์ (g_m) ค่อนข้างแคบเมื่อเทียบกับการควบคุมความต้านทานแฝงจาก CCCII อีกทั้งวงจรสามารถกรองความถี่ได้เพียงวงจรกรองความถี่ต่ำผ่าน (LP) วงจรกรองความถี่สูงผ่าน (HP) วงจรกรองความถี่ที่ต้องการผ่าน (BP) วงจรกรองความถี่ที่ไม่ต้องการออก (BR)



ภาพที่ 3.5 วงจร CDTA ที่ใช้ในการสร้างเป็นวงจรกรองความถี่ที่นำเสนอ [35]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

ต่อมาเป็นการเปรียบเทียบบางงานวิจัยที่ได้เคยนำเสนอแล้วที่เกี่ยวกับวงจรกำเนิดสัญญาณแบบควอเดรเจอร์รูปแบบกระแส โดยจะนำเอางานวิจัยของ A. U. Keskin [35] ที่ได้นำเสนอวงจรกำเนิดสัญญาณแบบควอเดรเจอร์รูปแบบกระแส โดยใช้โครงสร้าง CDTA ดังแสดงในภาพที่ 3.5 ซึ่งประกอบไปด้วย วงจรกรองผ่านทุกความถี่สองวงจรต่อคาสเคดกัน ซึ่งมีค่าเอาต์พุตอิมพิแดนซ์สูง นอกจากนั้นความถี่ในการออสซิลเลเตอร์สามารถควบคุมได้โดยการปรับค่าแรงดัน

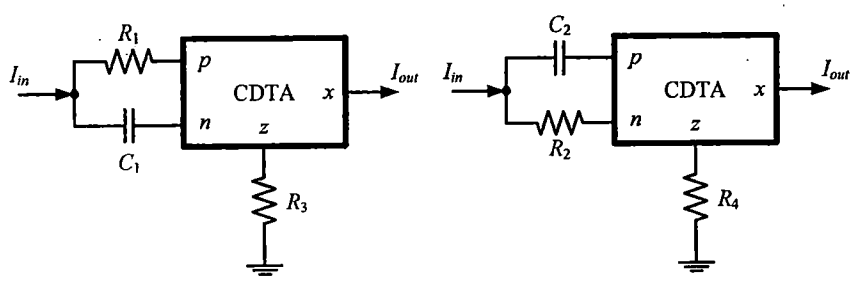


ภาพที่ 3.6 (ก)สัญลักษณ์วงจร CDTA (ข)วงจรสมมูลย์ที่พอร์ต Z ต่อตัวต้านทานภายนอก [35]

จากภาพที่ 3.6 แสดงสัญลักษณ์วงจร CDTA โดยที่ขั้วอินพุต p และ n มีค่าความต้านทานกระแสอินพุตต่ำ โดยกระแสที่พอร์ต z ได้มาจากผลต่างกระแสอินพุต กระแสเอาต์พุตทั้ง 2 พอร์ตมีขนาดเท่ากันแต่ไหลสวนกัน โดยขนาดได้มาจากผลคูณของ g_m กับแรงดันที่พอร์ต z เพราะฉะนั้นอุปกรณ์แอกทีฟนี้จึงมีคุณสมบัติดังสมการ

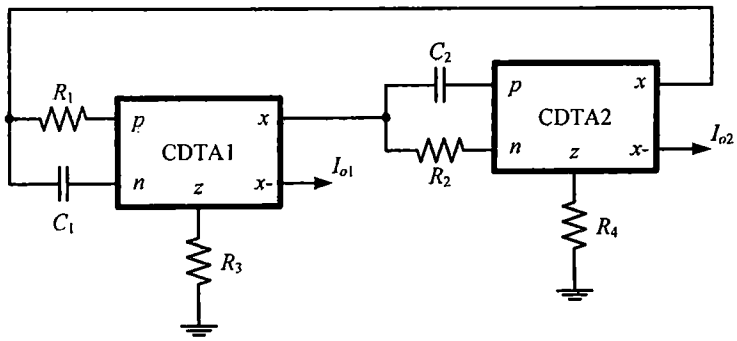
$$V_p = V_n = 0, I_z - I_n, I_{x+} = g_m V_z, I_{x-} = g_m V_z \tag{3.14}$$

โดยที่ $V_z = I_z$, Z_z และ Z_z คือความต้านทานภายนอกที่ต่อที่ขั้ว z ของวงจร CDTA



ภาพที่ 3.7 วงจรกรองผ่านทุกความถี่รูปแบบกระแส [35]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.



ภาพที่ 3.8 วงจรกำเนิดสัญญาณไซน์ที่มีเฟสต่างกัน 90 องศา รูปแบบกระแสโดยใช้ CDTA [35]

จากภาพที่ 3.8 แสดงวงจรกำเนิดสัญญาณไซน์ โดยใช้วงจรกรองผ่านทุกความถี่ในรูปที่ 3.7(ก) และ (ข) ต่อคาสเคสกันเป็นลูป จากภาพที่ 3.7(ก) สามารถหาฟังก์ชันถ่ายโอนของวงจรกรองผ่านทุกความถี่ได้เป็น

$$H(s)=\frac{I_{out}(s)}{I_{in}(s)}=-g_m R_3\frac{s-\frac{1}{R_1C_1}}{s+\frac{1}{R_1C_1}} \tag{3.15}$$

ค่าเฟสของวงจรได้เป็น

$$\varphi(\omega)=-2*\arctan(\omega R_1C_1) \tag{3.16}$$

จากภาพที่ 3.7(ข) ฟังก์ชันถ่ายโอนของวงจรกรองผ่านทุกความถี่เหมือนกับสมการที่ (3.15) ต่างกันที่สัญลักษณ์ ค่าเฟสภาพที่ 3.7(ข) มีค่าเท่ากับ

$$\varphi(\omega)=180°-2*\arctan(\omega R_2C_2) \tag{3.17}$$

สมมติให้ $R=R_1=R_2$ และ $C=C_1=C_2$ ในภาพที่ 3.8 จะได้ความถี่ออสซิลเลตมีค่าเท่ากับ

$$\omega_{osc}=\frac{1}{RC} \tag{3.18}$$

ดังนั้นการเปลี่ยนแปลงค่าทรานส์คอนดักแตนซ์ และ R_3 และ R_4 ใน CDTA จะไม่มีผลต่อความถี่ในออสซิลเลตของวงจรที่นำเสนอ

อย่างไรก็ตาม เงื่อนไขของการออสซิลเลตมีค่าเท่ากับ

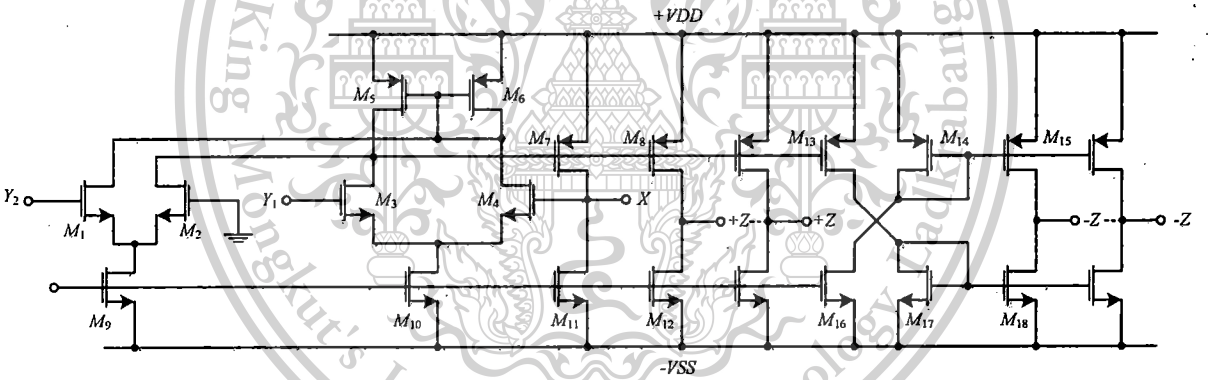
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

$$g_{m1}\, g_{m2}\, R_3\, R_4 = 1 \qquad (3.19)$$

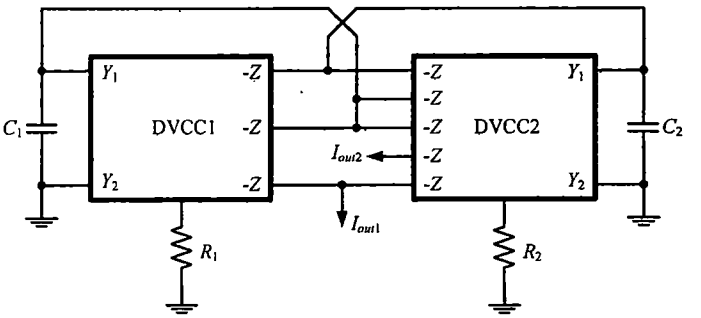
โดยที่ g_{m1} และ g_{m2} คือค่าทรานส์คอนดักแตนซ์ของ CDTA1 และ CDTA2 เงื่อนไขของการออสซิลเลตสามารถปรับได้โดยไม่มีผลกระทบต่อความถี่ในการออสซิลเลต

เมื่อพิจารณาภาพที่ 3.5 เห็นได้ว่าโครงสร้าง CDTA ที่ได้นำเสนอ [35] ได้ใช้มอสทรานซิสเตอร์ในการออกแบบวงจรเช่นเดียวกับงานวิจัยของ A. Keskin [33] โดยมีข้อดี คือ ขั้วอินพุตของวงจรที่ถูกนำเสนอมีค่าความต้านทานกระแสอินพุตต่ำ อีกทั้งมีค่าเอาต์พุตอิมพิแดนซ์สูง นอกจากนี้ความถี่ในการออสซิลเลเตอร์สามารถควบคุมได้โดยการปรับค่าแรงดัน แต่ก็ข้อเสียเช่นกัน คือ มีการใช้อุปกรณ์แอกทีฟและพาสซีฟเป็นจำนวนมาก อีกทั้งวงจรที่ถูกนำเสนอยังมีการต่ออุปกรณ์พาสซีฟแบบลอยตัวทำให้การออกแบบเป็นวงจรรวมต้องใช้พื้นที่ Die Area ขนาดใหญ่

ต่อมางานวิจัยของ มนตรี คำเงิน [36] โดยงานวิจัยนี้เป็นการนำวงจร DVCC ดังแสดงในภาพที่ 3.9 มาสร้างเป็นวงจรกำเนิดสัญญาณรูปคลื่นไซน์แบบควอเดรเจอร์ที่ทำงานในแบบกระแส โดยสร้างจากวงจร DVCC สองตัว ตัวเก็บประจุและตัวต้านทานแบบต่อลงกราวด์อย่างละสองตัว ค่าความถี่ออสซิลเลตสามารถควบคุมได้โดยอิสระจากกัน



ภาพที่ 3.9 วงจร DVCC ที่ใช้ในการจำลองการทำงาน



ภาพที่ 3.10 วงจรกำเนิดสัญญาณรูปคลื่นไซน์แบบควอเดรเจอร์สร้างด้วยวงจร DVCC [36]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

วงจรกำเนิดสัญญาณรูปคลื่นไซน์แบบควอเดรเจอร์ ดังภาพที่ 3.10 สร้างจากวงจรกรองผ่านทุกความถี่และวงจรอินทิเกรเตอร์แบบไม่สูญเสีย สมการคุณสมบัติของภาพที่ 3.10 สามารถเขียนได้เป็น

$$s^2 + s\left(\frac{1}{C_1R_1} - \frac{1}{C_2R_2}\right) + \frac{1}{C_1C_2R_1R_2} = 0 \tag{3.20}$$

จากสมการที่ (3.20) เงื่อนไขของการออสซิลเลตมีค่าเท่ากับ

$$\frac{R_2}{R_1} = \frac{C_1}{C_2} \tag{3.21}$$

ค่าความถี่ในการออสซิลเลตมีค่าเท่ากับ

$$\omega_0 = \frac{1}{C_1C_2R_1R_2} \tag{3.22}$$

ความต่างเฟส ϕ ระหว่างกระแส I_{out1} และ I_{out2} สามารถกำหนดได้คือ

$$\phi = \pi - \tan^{-1}(\omega R_2C_2) \tag{3.23}$$

เมื่อพิจารณาภาพที่ 3.10 เห็นได้ว่าโครงสร้าง DVCC ที่ได้นำเสนอ [36] มีข้อดี คือ เมื่อเอาต์พุตอิมพิแดนซ์ที่ขั้ว Z ของวงจร DVCC มีค่าสูง ดังนั้นเอาต์พุตกระแสของวงจรกำเนิดสัญญาณจึงมีค่าสูงไปด้วย อีกทั้งเงื่อนไขของการออสซิลเลตสามารถปรับได้โดยการปรับค่า C_1 และ C_2 ในขณะที่ค่าความถี่ของการออสซิสเลตสามารถปรับค่าได้โดยเปลี่ยนค่า $R(R=R_1=R_2)$ แต่ก็มีข้อเสียเช่นกัน คือ มีการใช้อุปกรณ์แอกทีฟและพาสซีฟเป็นจำนวนมาก อีกทั้งการปรับค่าทางอิเล็กทรอนิกส์ยังไม่สมบูรณ์และมีข้อจำกัดขึ้นอยู่กับโครงสร้างของโอทีเอภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

บทที่ 4
การออกแบบบล็อกแอกทีฟ CDCCC ปรับค่าด้วยกระแสและการประยุกต์ใช้งาน

4.1 บทนำ

การการออกแบบวงจรทางอนาลอกด้วยบล็อกแอกทีฟมีการพัฒนาการมาอย่างต่อเนื่อง ซึ่งบล็อกแอกทีฟที่น่าสนใจหลายๆ วงจรถูกนำเสนอเช่น [1-6] เช่น วงจรขยายความนำ (OTA) [2] วงจรสายพานกระแสรุ่นที่สอง (CCII) [3] วงจรขยายความนำผลต่างกระแสอินพุทบัฟเฟอร์ (DBTA) [4] วงจรขยายความนำผลต่างกระแสอินพุท (CDTA) [5, 6] วงจรบัฟเฟอร์ผลต่างกระแสอินพุท (CDBA) [7] วงจรสายพานกระแสผลต่างแรงดันอินพุท (DVCC) [8] นอกจากนี้ได้นำบล็อกแอกทีฟมาประยุกต์ใช้เป็นวงจรกำเนิดสัญญาณไซน์หลายเฟสจากวงจรกรองผ่านทุกความถี่ [9] ใช้อุปกรณ์พาสซีฟลอยตัวหรือต่อกราวด์มากไป [10-11] มีโครงสร้างซับซ้อนและปรับค่าไม่ได้ทางอิเล็กทรอนิกส์และใช้ตัวต้านทานต่อร่วมในวงจรกำเนิดสัญญาณ [12-13] สำหรับการใช้งานบล็อกแอกทีฟส่วนใหญ่มักมีผลข้างเคียงจากค่าความต้านทานแฝงร่วมอยู่ แต่อย่างไรก็ตามค่าความต้านทานแฝงนั้นสามารถใช้ให้เกิดประโยชน์ได้หลายวงจรเช่น CCCII, CCDDCC, CCCDTA และ CCCFTA [15-22] เป็นต้น ถึงแม้ว่า CCCDTA และ CCCFTA เป็นอุปกรณ์ที่ได้รับความสนใจจากการควบคุมค่าความต้านทานแฝง (R_x) และค่าทรานสคอนดัคแตนซ์ (g_m) ก็ตาม แต่ยังยากที่จะควบคุมด้วยกระแสไบอัสที่สมพงศ์กัน เนื่องจากบล็อกแอกทีฟดังกล่าวมีโครงสร้างที่ต่างกันมากและการนำไปประยุกต์ใช้งานมีขีดจำกัดสำหรับการพัฒนาวงจรด้านอนาลอกในอนาคต

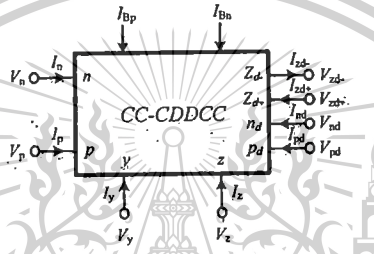
บทความนี้นำเสนอ การสังเคราะห์และออกแบบบล็อกแอกทีฟใหม่ที่ชื่อ (Current-Controlled Current Duplicated Differencing Current Conveyor: CC-CDDCC) โดยใช้เทคโนโลยีซีมอส ซึ่งบล็อกแอกทีฟตัวนี้เป็นอุปกรณ์รูปแบบกระแส สามารถทำงานในความถี่สูงได้ดี และ ใช้พลังงานต่ำ โดย CC-CDDCC จะพัฒนามาจาก CCCII ซึ่งเป็นที่ทราบดีว่ามีคุณสมบัติทั้งในด้าน Dynamic Range ที่กว้างกว่า OTA อีกทั้งสามารถปรับค่าความต้านทานแฝงยังทำได้อย่างมีประสิทธิภาพกว่าการปรับค่าทรานสคอนดัคแตนซ์ด้วยกระแสไบอัสของ OTA เนื่องจากโครงสร้างของ OTA ที่เป็นแบบคู่ดิฟเฟอเรนเชียล ทำให้ย่านการทำงานอินพุตจะขึ้นอยู่กับกระแสไบอัส ทำให้ช่วงกระแสไบอัสต่ำๆ OTA จึงทำงานได้ไม่มีประสิทธิภาพ ซึ่งแตกต่างจาก CCCII จะทำงานในช่วงกระแสไบอัสต่ำได้ดีกว่า แต่อย่างไรก็ตามบล็อกแอกทีฟส่วนหนึ่งก็มี OTA เป็นส่วนประกอบอยู่เช่น CCCDTA และ CCCFTA แม้ว่าจะมีการใช้ความต้านทานแฝงในการปรับค่าอยู่ในส่วนหนึ่ง แต่การปรับค่าในส่วนที่สองจะเป็นการปรับค่าโดย OTA ทำให้การปรับค่าไม่สามารถสอดคล้องกัน $(R_x \neq 1/g_m)$ ซึ่งเป็นข้อเสียในการปรับค่าเมื่อออกแบบเป็นวงจรอันดับสองเช่นวงจรกรองความถี่ หรือ วงจรกำเนิดสัญญาณ ข้อเสียนี้สามารถแก้ไขได้โดยทำให้การปรับค่าทั้งสองส่วนเป็นการปรับค่าจากค่าความต้านทานแฝงทั้งหมดโดยค่าความต้านทานแฝงสองตัวที่พอร์ทอินพุท คือ R_n และ R_p โดยสามารถควบคุมค่าความต้านทานแฝงได้จากการปรับค่ากระแสไบอัสสองตัวที่สอดคล้องกัน โดยมีคุณสมบัติเบื้องต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

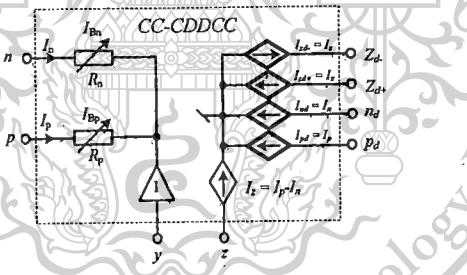
คล้ายกับ CCCII แต่จะมีการเพิ่มในส่วนของเอาต์พุตกระแส ในแบบการสำเนาค่ากระแสอินพุต และ ค่าความแตกต่างกระแสอินพุต เพื่อยืนยันการทำงานนำบล็อกแอกทีฟที่นำเสนอเพียงหนึ่งตัว ต่อร่วมกับตัวเก็บประจุสองตัว เป็นวงจรกรองความถี่ไบควอดราติกและวงจรกำเนิดสัญญาณควอเดรเจอร์ (Quadrature Sinusoidal Oscillator: QSO) รูปแบบกระแส ซึ่งสามารถปรับค่าความถี่ได้ทางอิเล็กทรอนิกส์โดยไม่กระทบต่อเงื่อนไขการกำเนิดสัญญาณ และ ไม่ใช้ตัวต้านทานภายนอก

4.2 หลักการของ CC-CDCCC ด้วยโครงสร้างของมอส

สัญลักษณ์ทางไฟฟ้าและวงจรสมมูลของบล็อกแอกทีฟ CC-CDCCC ที่นำเสนอ ดังภาพที่ 4.1(ก) และ 4.1(ข) ตามลำดับ



(ก) สัญลักษณ์

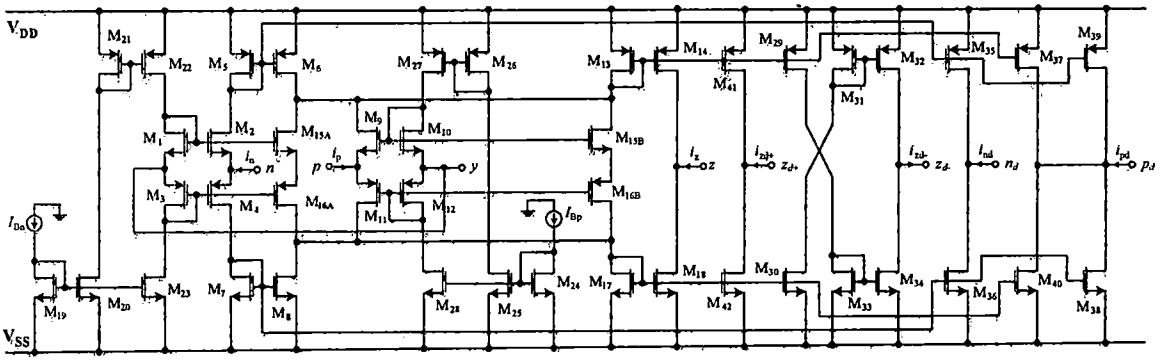


(ข) วงจรสมมูลย์

ภาพที่ 4.1 บล็อกแอกทีฟ CC-CDCCC ที่นำเสนอ

ซึ่งโครงสร้างประกอบด้วยอินพุทพอร์ทจำนวนสามพอร์ท คือ พอร์ท n , p และ y ส่วนที่เอาท์พุทพอร์ทจำนวนห้าพอร์ท คือ พอร์ท z , z_{d+}, z_{d-}, n_d และ p_d โดยที่ในทางอุดมคตินั้น เอาท์พุทพอร์ททั้งหมดจะมีค่าอิมพีแดนซ์สูง โดยที่อินพุทกระแสของทั้งสองพอร์ท คือ พอร์ท n และ p จะมีค่าของความต้านทานแฝงประกอบร่วมอยู่ (R_n และ R_p) สามารถทำการปรับค่าความต้านทานแฝงได้จากการปรับค่าของกระแสไบอัส I_{Bn} และ I_{Bp} ตามลำดับ ส่วนพอร์ท y เป็นอินพุตพอร์ทแรงดันจะมีอิมพีแดนซ์สูง เอาท์พุทที่พอร์ท z จะเป็นผลต่างกันระหว่างกระแสของพอร์ท I_p และ I_n โดยมีการสำเนาผลของกระแสแบบบวกและลบไปที่พอร์ท z_{d+} และ z_{d-} ตามลำดับ ส่วนที่พอร์ท n_d และ p_d จะสำเนาผลกระแสมาจากพอร์ท n และ p ตามลำดับเช่นเดียวกัน รูปที่ 2 แสดงวงจร CC-CDCCC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.



ภาพที่ 4.2 บล็อกแอกทีฟ CC-CDCCC ที่นำเสนอ

โดยสมการของค่าความต้านทานแฝงที่พอร์ท n มีค่าดังสมการที่ (4.1)

$$R_n \approx \frac{1}{g_{m2} + g_{m4}} \tag{4.1}$$

เมื่อ g_{mi} คือ ค่าทรานสคอนดัคแตนซ์ของทรานซิสเตอร์ตัวที่ i และสมมติให้ทรานซิสเตอร์ M_2 และ M_4 มีค่าที่สมพงศ์กันจึงทำให้ค่าของ $g_{m2} = g_{m4}$ ดังนั้นค่าของความต้านทานแฝงที่พอร์ท n สามารถเขียนสมการใหม่เป็น

$$R_n \approx \frac{1}{\sqrt{8\mu C_{OX}(W/L)I_{Bn}}} \tag{4.2}$$

ในทำนองเดียวกัน ค่าความต้านทานแฝงที่พอร์ท p คือ

$$R_p \approx \frac{1}{\sqrt{8\mu C_{OX}(W/L)I_{Bp}}} \tag{4.3}$$

โดยที่ μ, C_{OX}, W และ L คือ ค่าความคล่อง ค่าความจุของออกไซด์ ค่าความกว้างและค่าความยาวของทรานซิสเตอร์ตามลำดับที่ (M_2 และ M_4), (M_9 และ M_{11}) จากสมการที่ (2) และ (4) จะเห็นได้อย่างชัดเจนว่า ค่าความต้านทานแฝงที่พอร์ท n และ p คือ (R_n และ R_p) สามารถที่จะปรับค่าความต้านทานแฝงได้จากการปรับค่ากระแสไบอัสที่ I_{Bn} และ I_{Bp} ได้ตามลำดับ และ กระแส i_n, i_p จะถูกลำเลียงผ่านวงจรสะท้อนกระแสชนิดบวกและลบ ทั้งในรูปแบบความแตกต่างกระแส และ การสำเนากระแส เพื่อนำมาเป็นกระแสเอาต์พุตที่พอร์ตต่างๆ โดยมีทรานซิสเตอร์ M_{15} และ M_{16} เป็นทรานซิสเตอร์ชดเชยสมดุลการทำงานของวงจรสะท้อนกระแสด้านอินพุตและเอาท์พุต ความสัมพันธ์ของกระแสและแรงดันของบล็อกแอกทีฟ CC-CDCCC ที่นำเสนอนี้สามารถเขียนให้อยู่ในรูปของสมการเมทริกซ์เป็นดังสมการที่ (4.4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

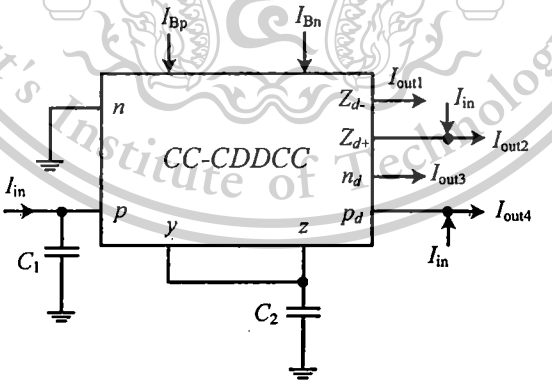
$$\begin{pmatrix} I_y \\ V_p \\ V_n \\ I_{z,zd+} \\ I_{zd-} \\ I_{pd} \\ I_{nd} \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & R_p & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & R_n & 0 & 0 & 0 & 0 \\ 0 & 1 & -1 & 0 & 0 & 0 & 0 \\ 0 & -1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 \end{pmatrix} \begin{pmatrix} V_y \\ I_p \\ I_n \\ V_{z,zd+} \\ V_{zd-} \\ V_{pd} \\ V_{nd} \end{pmatrix} \quad (4.4)$$

4.3 การประยุกต์ใช้งานบล็อกแอกทีฟ CC-CDCCC

ในหัวข้อนี้เป็นการประยุกต์ใช้งานวงจรรูปแบบกระแสที่มีความซับซ้อนต่ำ โดยใช้เพียงบล็อกแอกทีฟ CC-CDCCC เพียงตัวเดียว และตัวเก็บประจุต่อลงกราวด์สองตัว ซึ่งจะแสดงรายละเอียดในหัวข้อถัดไป

4.3.1 วงจรกรองความถี่ไบควอดราติกรูปแบบกระแส โดยใช้ CC-CDCCC

วงจรกรองความถี่ไบควอดราติกรูปแบบกระแสที่ปรับค่าความถี่ด้วยวิธีทางอิเล็กทรอนิกส์โดยใช้ CC-CDDCC เพียงตัวเดียวต่อร่วมกับตัวเก็บประจุแบบต่อลงกราวด์อีกเพียงสองตัว ดังภาพที่ 4.3 ทำให้เกิดความง่ายในการออกแบบเป็นวงจรรวม เนื่องจากมีการใช้อุปกรณ์พาสซีฟในการต่อลงกราวด์ นอกจากนี้ยังสามารถวิเคราะห์วงจรกรองความถี่ไบควอดราติกรปแบบกระแสจากหลักการพื้นฐานด้วย KCL โดยทำการป้อนกระแสในตำแหน่งอินพุตที่แตกต่างกัน ซึ่งจะทำให้ได้เกิดฟังก์ชันของเอาต์พุตจากการส่งผ่านกระแสของวงจรกรองความถี่ทั้งห้าแบบในวงจรเดียวกัน คือ แถบความถี่ผ่าน (BP) แถบความถี่หยุด (BR) ความถี่ต่ำผ่าน (LP) ความถี่สูงผ่าน (HP) และผ่านทุกความถี่ (AP) สามารถเขียนสมการของวงจรกรองความถี่ทั้งห้าแบบได้ดังสมการที่ (4.5) – (4.9)



ภาพที่ 4.3 วงจรกรองความถี่ไบควอดราติกโหมดกระแสที่นำเสนอ

BP; $$\frac{I_{out1}}{I_{in}} = \frac{s\left(\frac{1}{R_P C_1}\right)}{D(s)} \quad (4.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

BR;
$$\frac{I_{out2}}{I_{in}} = \frac{s^2 + \left(\frac{1}{R_n R_p C_1 C_2}\right)}{D(s)} \tag{4.6}$$

LP;
$$\frac{I_{out3}}{I_{in}} = \frac{-\left(\frac{1}{R_n R_p C_1 C_2}\right)}{D(s)} \tag{4.7}$$

HP;
$$\frac{I_{out4}}{I_{in}} = \frac{s^2}{D(s)} \tag{4.8}$$

จากภาพที่ 4.3 พบว่าคุณสมบัติของวงจรกรอง BR และ HP (I_{out2} และ I_{out4}) จะต้องใช้กระแสอินพุตเข้ามารวมด้วย ดังนั้นจึงจำเป็นต้องมีวงจรกันชนกระแสสามเอาต์พุตเพิ่มเติมในทางปฏิบัติ กระแสอินพุตจะถูกทำ สำเนาออกมาใช้งานกับ I_{in}, I_{out2} และ I_{out4} ส่วนการกรองผ่านทุกความถี่ (AP) นั้น สามารถทำได้โดยเพิ่มพอร์ท z_{d+} ของแอกทีฟบิวดิ้งบล็อก CC-CDDCC ขึ้นมาเป็น I_{out5} ซึ่งจะมีค่าเท่ากับ $-I_{out1}$ จากนั้นก็นำมารวมเข้ากับ I_{out2} เพื่อให้ได้สมการของการกรองผ่านทุกความถี่ได้ดังสมการที่ (4.9)

AP;
$$\frac{-I_{out1} + I_{out2}}{I_{in}} = \frac{s^2 - s\left(\frac{1}{R_p C_1}\right) + \left(\frac{1}{R_n R_p C_1 C_2}\right)}{D(s)} \tag{4.9}$$

เมื่อ
$$D(s) = s^2 + s\left(\frac{1}{R_n C_2} - \frac{1}{R_p C_2} + \frac{1}{R_p C_1}\right) + \frac{1}{R_n R_p C_1 C_2} \tag{4.10}$$

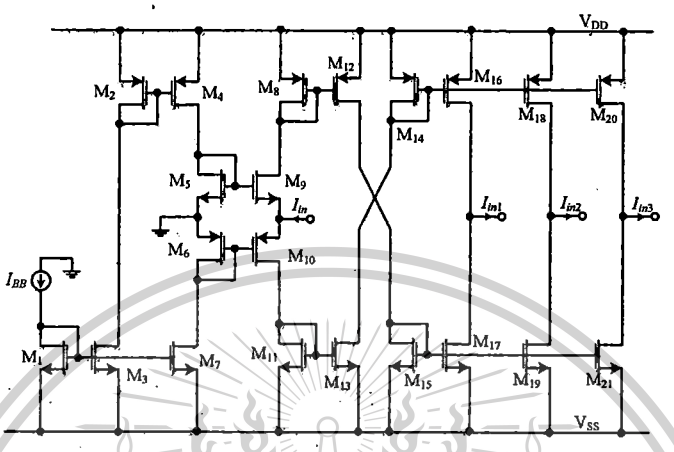
เมื่อค่าพารามิเตอร์จากการตอบสนองความถี่ (ω_0) และพารามิเตอร์ของผลลัพธ์จากตัวประกอบคุณภาพ (Q_0) สามารถแสดงได้ดังสมการที่ (4.11) - (4.12) คือ

$$\omega_0 = \sqrt{\frac{1}{R_n R_p C_1 C_2}} \tag{4.11}$$

$$Q_0 = \frac{\sqrt{R_n R_p C_1 C_2}}{R_p C_1 - R_n C_1 + R_n C_2} \tag{4.12}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

สมการที่ (4.11) – (4.12) แสดงถึงค่าพารามิเตอร์ของ (ω_0) และ (Q_0) ที่สามารถปรับค่าความถี่ตอบสนองได้กรณีที่ค่าของตัวประกอบคุณภาพมีค่าเป็นหนึ่ง โดยเมื่อกำหนดให้ค่าของตัวเก็บประจุทุกตัวมีค่าเท่ากัน ($C_1 = C_2 = C$) ดังนั้นค่าความถี่ตอบสนองที่ได้จึงสามารถที่จะปรับค่าความต้านทานแฝงได้ที่พอร์ท n และพอร์ท p จากค่า (R_n และ R_p) ซึ่งปรับได้จากค่ากระแสไบแอสที่ I_{Bn} และ I_{Bp} นั่นเอง

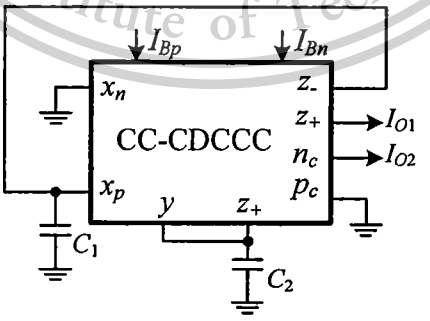


ภาพที่ 4.4 การประยุกต์ใช้วงจรกระแสบัฟเฟอร์
ในวงจรที่นำเสนอใน ภาพที่ 4.3

สังเกตได้ว่าวงจรกรองความถี่ที่นำเสนอ ดังภาพที่ 4.3 มีหลายอินพุต โดยสามารถใช้วงจรกระแสบัฟเฟอร์ที่มีหลายเอาต์พุตแบบลบ (MOCC-) ได้ ดังแสดงในภาพที่ 4.4

4.3.2 วงจรกำเนิดสัญญาณแบบควอเดรเจอร์รูปแบบกระแส โดยใช้ CC-CDCCC

วงจรกำเนิดสัญญาณแบบควอเดรเจอร์รูปแบบกระแส โดยใช้ CC-CDDCC เพียงตัวเดียวต่อร่วมกับตัวเก็บประจุแบบต่อลงกราวด์อีกเพียงสองตัว แสดงดังภาพที่ 4.5



ภาพที่ 4.5 การประยุกต์ใช้งานเป็นวงจรกำเนิดสัญญาณ
แบบควอเดรเจอร์รูปแบบกระแส ที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

ซึ่งฟังก์ชันถ่ายโอนกระแสในรูปฟังก์ชันตัวกรองอันดับสองลูปเปิดคือ

$$\frac{i_B}{i_A}=\frac{\frac{s}{R_pC_1}}{s^2+s\left(\frac{1}{R_nC_2}-\frac{1}{R_pC_2}+\frac{1}{R_pC_1}\right)+\frac{1}{R_nR_pC_1C_2}} \tag{4.13}$$

โดยมีฟังก์ชันคุณสมบัติอันดับสองลูปปิด คือ

$$\frac{s}{R_pC_1}=s^2+s\left(\frac{1}{R_nC_2}-\frac{1}{R_pC_2}+\frac{1}{R_pC_1}\right)+\frac{1}{R_nR_pC_1C_2} \tag{4.14}$$

จากสมการที่ (4.14) เงื่อนไขการออสซิลเลต (Condition Oscillation: CO) และค่าความถี่การออสซิลเลต (Frequency Oscillation: FO) มีค่าดังสมการที่ (4.15) - (4.16) คือ

CO: $$R_n=R_p \tag{4.15}$$

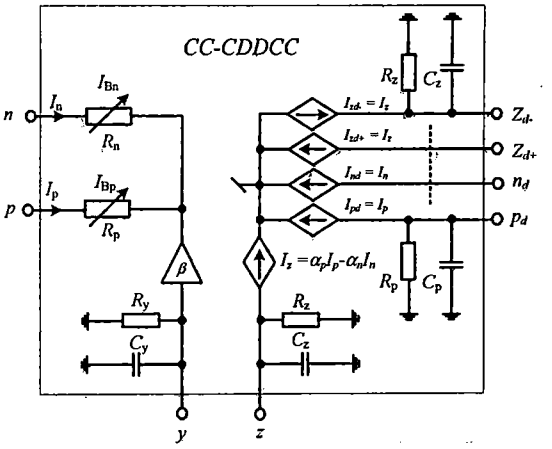
FO: $$\omega_0=\sqrt{\frac{1}{R_pR_nC_1C_2}} \tag{4.16}$$

ในสมการที่ (4.15) - (4.16) จะเห็นว่าค่าความถี่การออสซิลเลตสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ โดยทำการปรับได้จากค่ากระแสไบอัสของ R_n และ R_p ซึ่งไม่มีผลกระทบใด ๆ ต่อเงื่อนไขของการออสซิลเลต และ จากภาพที่ 4.5 ยังพบว่า $i_{nd}=\frac{V_{C1}}{R_p}=\frac{i_{zd}}{sC_1R_p}$ ซึ่งก็หมายถึงกระแส i_{nd} และ i_{zd} ต่างเฟสกัน 90 องศา

4.3.3 การวิเคราะห์คุณสมบัติของวงจร

ในภาพที่ 4.6 คือ วงจรสมมูลที่ใช้สำหรับการวิเคราะห์พฤติกรรมที่เกิดจากความไม่เป็นอุดมคติของแอกทีฟ บิวดิ้งบล็อกจากภาพที่ 4.1 ซึ่งส่วนใหญ่มักมีผลกระทบต่อค่าความผิดพลาดจากการส่งผ่านกระแสที่พอร์ทต่างๆ เป็นผลมาจากพารามิเตอร์ของความต้านทานแฝงและค่าความจุแฝง คือ (R_y, C_y และ R_z, C_z) ที่พอร์ท y และ z ไปยังกราวด์จะเห็นว่าอิทธิพลจากความไม่เป็นอุดมคติเกิดจากการส่งผ่านแรงดันและกระแสที่ผิดพลาดจากแอกทีฟบิวดิ้งบล็อก โดยค่าความผิดพลาดจากการส่งผ่านกระแสที่จากพอร์ท p ไปยังพอร์ท z และ p_d เป็น $\alpha_p=1-\varepsilon_p,|\varepsilon_p|<<1$ และค่าความผิดพลาดจากการส่งผ่านกระแสจากพอร์ท n ไปยังพอร์ท z และ n_d เป็น $\alpha_n=1-\varepsilon_n,|\varepsilon_n|<<1$ ส่วนค่าความผิดพลาดในการส่งผ่านแรงดันที่เกิดขึ้นที่พอร์ท y ไปยังพอร์ท n และ p เป็น $\beta=1-\varepsilon_y,|\varepsilon_y|<<1$ เมื่อวิเคราะห์คุณสมบัติแอกทีฟบิวดิ้งบล็อกในเชิงไม่เป็นอุดมคติและไม่คิดค่าพารามิเตอร์ของความต้านทานแฝงที่พอร์ทต่างๆ คือ n_d, p_d, y และ z เนื่องจากมีค่าสูงมากๆ ในภาพที่ 4.5 และสามารถเขียนสมการถ่ายโอนกระแสจากสมการที่ (4.5) - (4.9) ได้ใหม่เป็นดังสมการที่ (4.17) – (4.21)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.



ภาพที่ 4.6 อิทธิพลจากความไม่เป็นอุดมคติของ CC-CDDCC

$$BP = \frac{s\left(\frac{\alpha_P}{R_P C_1}\right)}{D_n(s)} \tag{4.17}$$

$$LP = \frac{-\left(\frac{\beta\alpha_n\alpha_P}{R_n R_p C_1 C_2^{'}}\right)}{D_n(s)} \tag{4.18}$$

$$BR = \frac{s^2 + s\left(\frac{1}{R_P C_1} - \frac{\beta\alpha_P}{R_P C_2^{'}} + \frac{\beta\alpha_n}{R_n C_2^{'}} - \frac{\alpha_P}{R_P C_1}\right) + \frac{\beta\alpha_n}{R_n R_P C_1 C_2^{'}}}{D_n(s)} \tag{4.19}$$

$$HP = \frac{s^2 + s\left(\frac{\beta\alpha_P}{R_P C_2^{'}} - \frac{1}{R_P C_1} + \frac{\alpha_P}{R_P C_1} - \frac{\beta\alpha_n}{R_n C_2^{'}}\right) + \frac{(\beta\alpha_n\alpha_P - \beta\alpha_n)}{R_n R_P C_1 C_2^{'}}}{D_n(s)} \tag{4.20}$$

$$AP = \frac{s^2 - s\left(\frac{\alpha_P}{R_P C_1}\right) + s\left(\frac{1}{R_P C_1} - \frac{\beta\alpha_P}{R_P C_2^{'}} + \frac{\beta\alpha_n}{R_n C_2^{'}} - \frac{\alpha_P}{R_P C_1}\right) + \frac{\beta\alpha_n}{R_n R_P C_1 C_2^{'}}}{D_n(s)} \tag{4.21}$$

เมื่อ

$$D_n(s) = s^2 + s\left(\frac{\beta\alpha_n}{R_n C_2^{'}} - \frac{\beta\alpha_P}{R_P C_2^{'}} + \frac{1}{R_P C_1}\right) + \frac{\beta\alpha_n}{R_n R_P C_1 C_2^{'}} \tag{4.22}$$

และ $C_2^{'} = C_2 + C_y + C_z$ ในส่วนของพารามิเตอร์จากการตอบสนองทางความถี่ (ω_{0n}) และค่าตัวประกอบคุณภาพ (Q_{0n}) จากความไม่เป็นอุดมคติสามารถแสดงได้ดังสมการที่ (4.23) - (4.24) คือ

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

$$\omega_{0n} = \sqrt{\frac{\beta\alpha_n}{R_n R_p C_1 C_2'}} \tag{4.23}$$

$$Q_{0n} = \frac{\sqrt{\beta\alpha_n R_n R_p C_1 C_2'}}{\beta\alpha_n R_p C_1 - \beta\alpha_P R_n C_1 + R_n C_2'} \tag{4.24}$$

จากสมการที่ (4.23) – (4.24) จะเห็นได้ว่าตัวเก็บประจุ C_2 ได้รับอิทธิพลจากพารามิเตอร์ความจุแฝงรวมทั้งความต้านทานแฝงที่พอร์ท n และ p คือ (R_n และ R_p) ด้วยเช่นกัน ซึ่งมีผลกระทบต่อเงื่อนไขของค่าความถี่ตอบสนองและค่าตัวประกอบคุณภาพอยู่บ้างจากการส่งผ่านแรงดันและกระแสที่ผิดพลาด เพื่อที่จะลดผลกระทบลงสามารถทำได้โดยใช้วงจรสะท้อนกระแสแบบเที่ยงตรงสูงและมีการกำหนดเงื่อนไขให้ $C_2 >> C_y + C_z$ เพื่อหลีกเลี่ยงผลกระทบจากตัวเก็บประจุแฝง C_1 และ C_2 ดังนั้นควรใช้ค่าที่ ≥30 pF ถึงแม้ว่าสมการที่ (4.23) – (4.24) จะแสดงถึงอิทธิพลที่เกิดขึ้นจากพารามิเตอร์ต่างๆ ในวงจรกรองความถี่ แต่วงจรที่นำเสนอนี้ก็ยังสามารถปรับค่าความถี่ตอบสนองได้ทางอิเล็กทรอนิกส์จากการปรับที่บริเวณ (R_n และ R_p) ได้เช่นเดิม

สิ่งที่สามารถยืนยันประสิทธิภาพของวงจรกรองความถี่ที่นำเสนอ คือ ค่าความไวของอุปกรณ์แอกทีฟและพาสซีฟในวงจรที่มีผลต่อค่าความถี่ตอบสนอง $S_x^{\omega_0}$ และค่าตัวประกอบคุณภาพ $S_x^{Q_0}$ เมื่อ x คือ อุปกรณ์แอกทีฟและพาสซีฟในแต่ละตัวดังสมการที่ (4.25) – (4.26)

$$S_{\beta,\alpha_n}^{\omega_0} = -S_{C_1,C_2',R_p,R_n}^{\omega_0} = 0.5 \tag{4.25}$$

$$-S_{C_2',R_n}^{Q_0} = S_{\beta,\alpha_n,C_1,R_p}^{Q_0} = 0.5 \tag{4.26}$$

จากสมการที่ (4.25) – (4.26) เห็นได้ว่าค่าความไวของพารามิเตอร์ทุกตัวในวงจรกรองความถี่ที่นำเสนอจากการวิเคราะห์คุณสมบัติมีค่าอยู่ที่ 0.5 จากค่าสัมบูรณ์แสดงถึงวงจรที่นำเสนอมีประสิทธิภาพการทำงานที่เหมาะสมซึ่งตรวจสอบได้จากค่าความไวที่มีค่าต่ำ

เช่นเดียวกันการวิเคราะห์พฤติกรรมที่เกิดจากความไม่เป็นอุดมคติของบล็อกแอกทีฟ จากภาพที่ 4.1 ของวงจรกำเนิดสัญญาณที่นำเสนอ โดยฟังก์ชันคุณสมบัติอันดับสองลูปปิดในภาพที่ 4.5 สามารถเขียนฟังก์ชันถ่ายโอนกระแสจากสมการที่ (4.14) ใหม่เป็น

$$s\left(\frac{\alpha_p}{R_p C_1'}\right) = s^2 + s\left(\frac{\beta\alpha_n}{R_n C_2'} - \frac{\beta\alpha_p}{R_p C_2'} + \frac{1}{R_p C_1'}\right) + \frac{\beta\alpha_n}{R_n R_p C_1' C_2'} \tag{4.27}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

โดยที่ $C_1'=C_1+C_z$ และ $C_2'=C_2+C_y+C_z$ และเงื่อนไขของการออสซิลเลตและความถี่การออสซิลเลตสำหรับการวิเคราะห์คุณสมบัติของวงจรที่ไม่เป็นอุดมคติมีค่าเป็น

$$\text{CO:} \quad \frac{\beta\alpha_n}{R_nC_2'}-\frac{\beta\alpha_p}{R_pC_2'}+\frac{1}{R_pC_1'}-\frac{\alpha_p}{R_pC_1'}=0 \tag{4.28}$$

$$\text{FO:} \quad \omega_{0n}=\frac{\beta\alpha_n}{R_nR_pC_1'C_2'} \tag{4.29}$$

จากสมการที่ (4.28) – (4.29) เห็นได้ว่า C_1 และ C_2 ได้รับอิทธิพลจากพารามิเตอร์ความจุแฝงรวมทั้งความต้านทานแฝงที่พอร์ท n และ p คือ (R_n และ R_p) ด้วยเช่นกัน ซึ่งมีผลกระทบต่อเงื่อนไขการออสซิลเลตและความถี่ออสซิลเลตอยู่บ้างจากการส่งผ่านแรงดันและกระแสที่ผิดพลาด เพื่อที่จะลดผลกระทบลง สามารถทำได้โดยใช้วงจรสะท้อนกระแสแบบเทียงตรงสูง และ กำหนดเงื่อนไข $C_1>>C_z$, $C_2>>C_y+C_z$ เพื่อหลีกเลี่ยงผลกระทบของตัวเก็บประจุแฝง C_1 และ C_2 ควรใช้ค่า ≥30 pF

4.4 ผลจำลองการทำงานของวงจรที่นำเสนอ

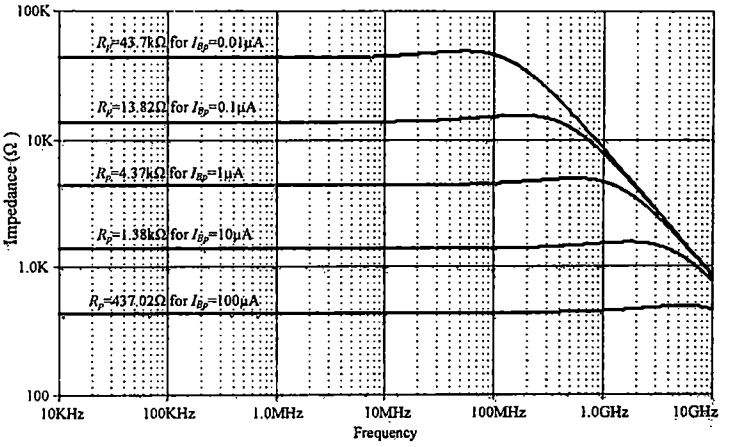
4.4.1 ผลการจำลองคุณสมบัติการทำงานของ CC-CDCCC

สำหรับโครงสร้าง MOS ของ CC-CDCCC ดังภาพที่ 4.2 กำหนดให้ทรานซิสเตอร์ PMOS ทั้งหมดมีขนาด W/L = 30 μm/0.5 μm โดยทรานซิสเตอร์ NMOS ทั้งหมดมีขนาด W/L = 10 μm/0.5 μm ยกเว้นทรานซิสเตอร์ M_1, M_2 ,M_9, M_{10} และ M_{15} มีขนาด W/L = 5 μm/0.35 μm อีกทั้ง M_3, M_4 ,M_{11}, M_{12} และ M_{16} มีขนาด W/L = 8 μm/0.35 μm โดยแรงดันไฟเลี้ยงกำหนดให้ V_{DD} = -V_{SS} = 1.25 V จำลองการทำงานด้วยโปรแกรม PSpice โดยใช้ Model TSMC 0.25 μm [14] โดยใช้พลังงานประมาณ 0.575 μW ถึง 5.75 mW โดยไบอัสกระแส I_{Bp}=I_{Bn} ตั้งแต่ 0.01 μA ถึง 100 μA ตามลำดับ

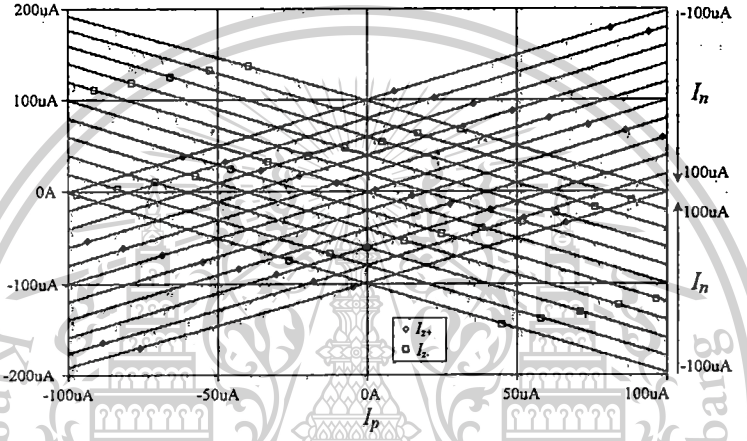
สำหรับวงจรในภาพที่ 4.4 กำหนดให้ทรานซิสเตอร์ PMOS ทั้งหมดมีขนาด W/L = 30 μm/0.5 μm โดยทรานซิสเตอร์ NMOS ทั้งหมดมีขนาด W/L = 10 μm/0.5 μm ยกเว้นทรานซิสเตอร์ M_5, และ M_9 มีขนาด W/L = 5 μm/0.35 μm อีกทั้ง M_6 และ M_{10} มีขนาด W/L = 8 μm/0.35 μm โดยไบอัสกระแสและแรงดันไฟเลี้ยงอยู่ที่ 100 μA และ กำหนดให้ ±1.25 V ตามลำดับ

ผลจำลองคุณสมบัติบล็อกแอกทีฟ CC-CDDCC ในภาพที่ 4.7 แสดงค่าความต้านทานแฝงที่พอร์ท p คือ (R_p) เมื่อปรับค่ากระแสไบแอส I_{Bp} ตั้งแต่ 0.01-100 μA โดยที่ R_p จะมีค่า 43.7kΩ, 13.8kΩ, 4.37kΩ, 1.38kΩ และ 437Ω ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

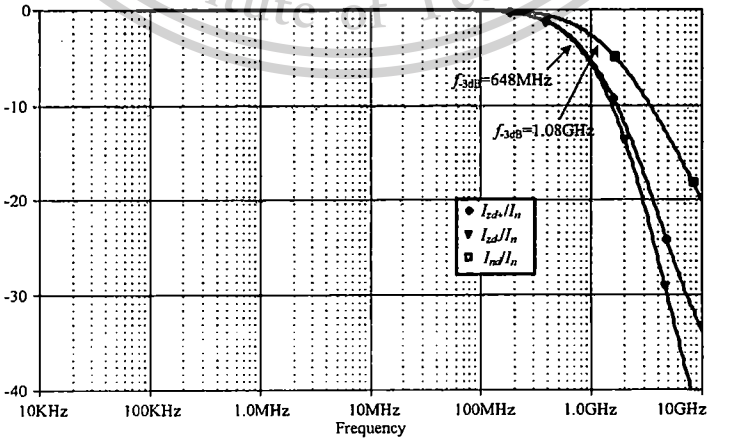


ภาพที่ 4.7 ค่าความต้านทานแฝงที่พอร์ท p เมื่อปรับค่า I_{Bp}



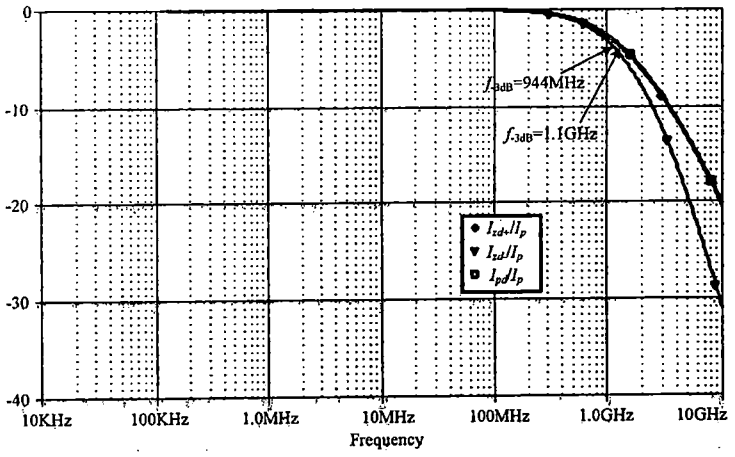
ภาพที่ 4.8 คุณสมบัติไฟตรงที่พอร์ท I_{pd}, I_{zd+}, I_{zd-} เมื่อปรับค่า I_p

จากภาพที่ 4.8 เป็นคุณสมบัติไฟตรงทางกระแสที่พอร์ท (I_{zd+}, I_{zd-}) กับพอร์ท (I_p, I_n) ซึ่งมีทิศทางตรงกันข้ามเมื่อทำการปรับค่ากระแส I_{Bp}=100 μA โดยเอาต์พุตที่ได้จะมีค่าตั้งแต่ -100 μA ถึง 100 μA



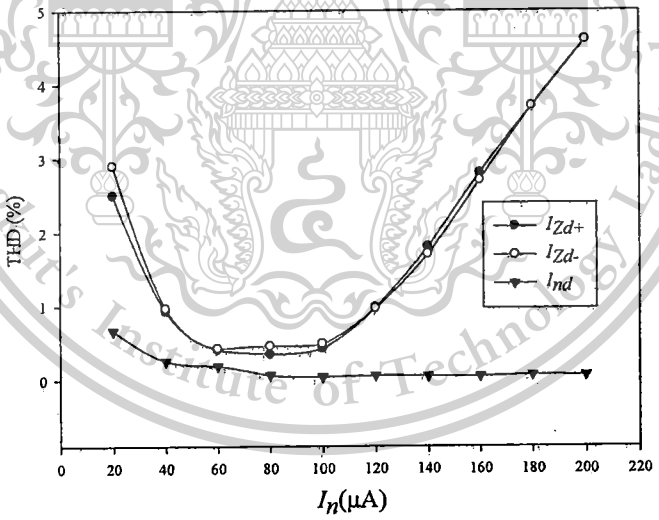
ภาพที่ 4.9 ผลตอบสนองความถี่ I_{nd}, I_{zd+}, I_{zd-} เมื่อปรับค่า I_n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.



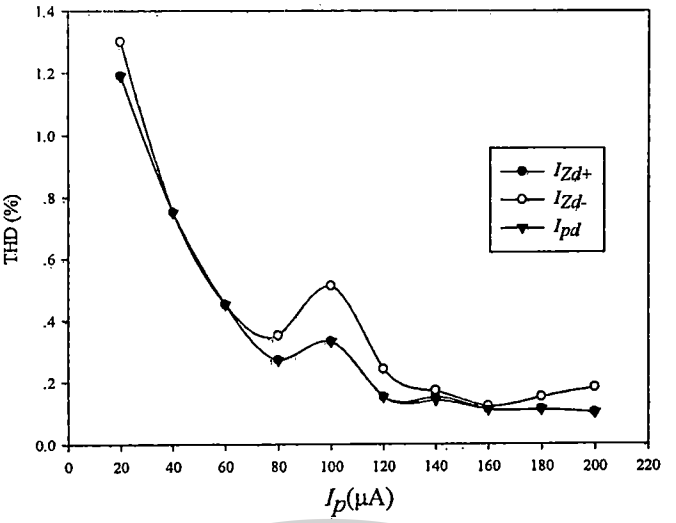
ภาพที่ 4.10 ผลตอบสนองความถี่ I_{pd}, I_{zd+}, I_{zd-} เมื่อปรับค่า I_p

จากภาพที่ 4.9 แสดงผลความถี่ตอบสนองการส่งผ่านกระแสที่พอร์ท I_{nd}/I_n , I_{zd+}/I_n และ I_{zd-}/I_n และในภาพที่ 4.10 แสดงผลความถี่ตอบสนองการส่งผ่านกระแสที่พอร์ท I_{pd}/I_p , I_{zd+}/I_p และ I_{zd-}/I_p เมื่อทำการปรับค่ากระแสไบแอสที่ I_{Bp}=I_{Bn}= 100μA ค่าความถี่ตอบสนองที่พอร์ท I_{zd+}/I_n และ I_{zd-}/I_n มีค่าเป็น 1.08 GHz ส่วนที่พอร์ท I_{nd}/I_n มีค่าเป็น 648 MHz และความถี่ตอบสนองที่พอร์ท I_{zd+}/I_p และ I_{zd-}/I_p มีค่าเป็น 1.1 GHz ส่วนที่พอร์ท I_{pd}/I_p มีค่าเป็น 944 MHz ตามลำดับ



ภาพที่ 4.11 ค่า THD ที่พอร์ท I_{nd}, I_{zd+}, I_{zd-} เมื่อปรับค่า I_n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

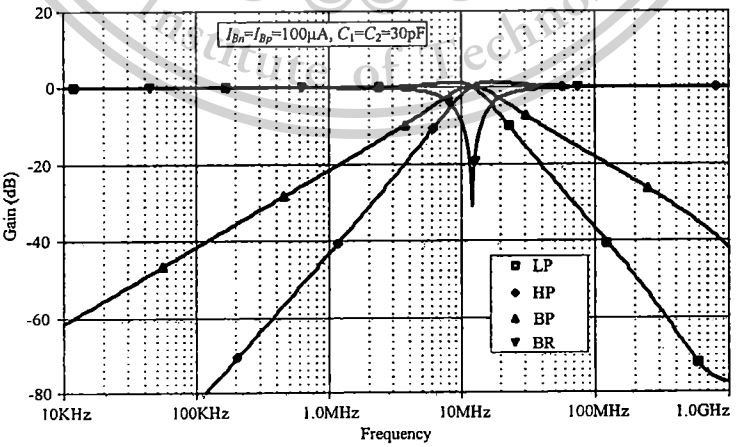


ภาพที่ 4.12 ค่า THD ที่พอร์ท I_{pd}, I_{zd+}, I_{zd-} เมื่อปรับค่า I_p

จากภาพที่ 4.11 แสดงฮาร์โมนิกรวมที่พอร์ท I_{nd}, I_{zd+}, I_{zd-}ส่วนในภาพที่ 4.12 แสดงฮาร์โมนิกรวมที่พอร์ท I_{pd}, I_{zd+}, I_{zd-} เมื่อป้อนอินพุตรูปไซน์ความถี่ 100 MHz ที่พอร์ท I_p, I_n เมื่อให้ I_{Bp}=I_{Bn}=100μA พบว่าค่าฮาร์โมนิกรวมมีค่า ประมาณ 1% ที่กระแสอินพุตต่ำกว่า 100μA

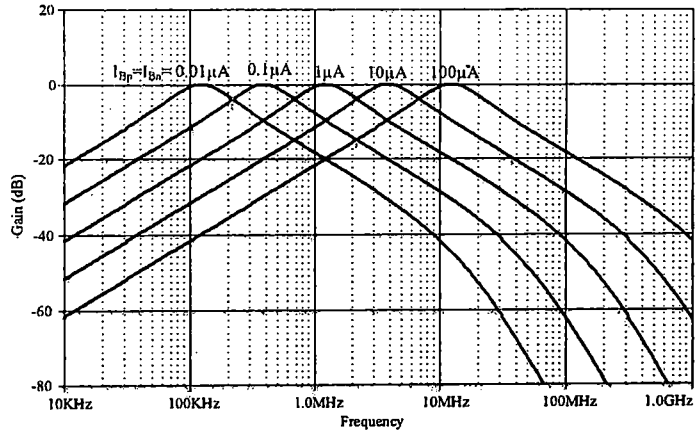
4.4.2 ผลการจำลองวงจรกรองความถี่ไบควอดราติกที่นำเสนอ

การจำลองถึงคุณสมบัติของวงจรกรองความถี่ไบควอดราติกที่นำเสนอในภาพที่ 4.3 เพื่อหาผลตอบสนองความถี่แบบ LP, HP, BP และ BR ดังแสดงในภาพที่ 4.13 ซึ่งกำหนดให้กระแสไบแอสของแอกทีฟบิวดิ้งบล็อกมีค่า $I_{Bn} = I_{Bp}$ = 100 μA โดยที่ความต้านทานแฝงมีค่าเป็น ($R_p = R_n$ = 437.02Ω) และใช้ตัวเก็บประจุขนาด $C_1 = C_2$ = 30pF พบว่าค่าความถี่ตอบสนอง (ω_0) มีค่าเป็น 12.023 MHz ซึ่งเทียบในทางทฤษฎีจากสมการที่ (12) ค่าของความถี่ตอบสนอง (ω_0) มีค่าเป็น 12.139 MHz โดยมีค่าที่ใกล้เคียงกัน



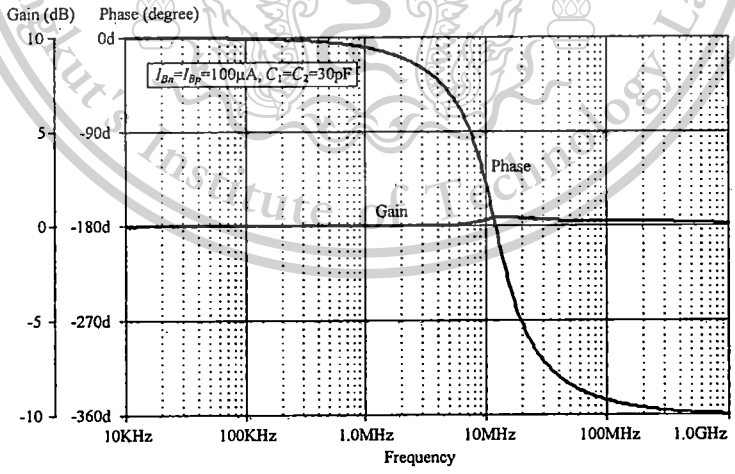
ภาพที่ 4.13 ผลตอบสนองความถี่ LP, HP, BP และ BR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.



ภาพที่ 4.14 การเปลี่ยนค่า ω_0 ด้วยกระแสไบแอสเมื่อกำหนดให้ $I_{Bp} = I_{Bn}$

จากภาพที่ 4.14 แสดงผลการจำลองวงจรกรองความถี่ชนิดแถบความถี่ผ่าน (BP) เมื่อปรับค่ากระแส ($I_{Bn} = I_{Bp}$) มีค่า 0.01, 0.1, 1, 10 และ 100 μA ตามลำดับ และใช้ตัวเก็บประจุขนาด $C_1 = C_2 = 30$pF พบว่าค่าความถี่ตอบสนอง (ω_0) อยู่ในช่วงความถี่ 120 kHz - 12 MHz สำหรับการควบคุมค่าความถี่ตอบสนอง (ω_0) จะไม่มีผล กระทบต่อค่าตัวประกอบคุณภาพ (Q_0) ใดๆ ในวงจร ส่วนในภาพที่ 4.15 แสดงผลการตอบสนองทางขนาดและเฟสของวงจรกรองความถี่ชนิดผ่านทุกความถี่ (AP) เมื่อปรับค่ากระแส $I_{Bn} = I_{Bp} =$ 100 μA และใช้ตัวเก็บประจุขนาด $C_1 = C_2 = 30$pF พบว่าค่าความถี่ตอบสนอง (ω_0) มีค่าเป็น 12.05 MHz ซึ่งเทียบในทางทฤษฎีจากสมการที่ (12) ค่าของความถี่ตอบสนอง (ω_0) มีค่าเป็น 12.139 MHz โดยมีค่าที่ใกล้เคียงกัน

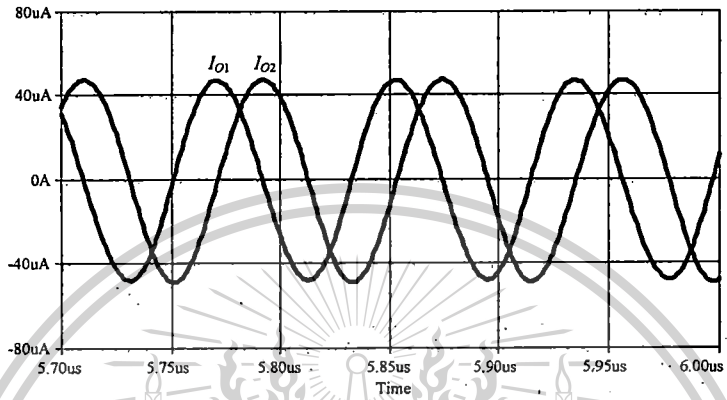


ภาพที่ 4.15 ผลตอบสนองทางเฟสและทางความถี่ของ AP

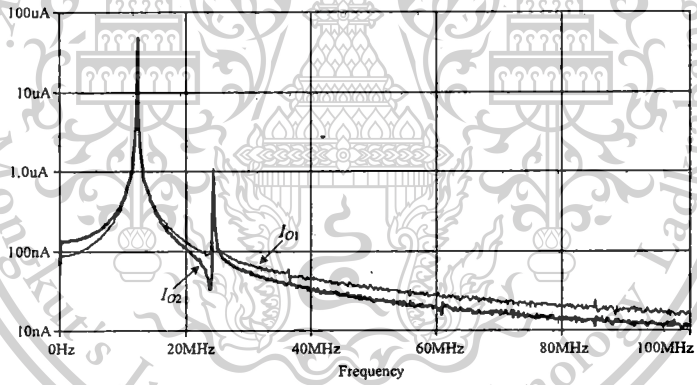
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

4.4.3 ผลการจำลองวงจรกำเนิดสัญญาณไซน์แบบควอเดรเจอร์ที่นำเสนอ

การทดสอบคุณสมบัติของการประยุกต์ใช้งานเป็นวงจรกำเนิดสัญญาณแบบควดเดรเจอร์รูปแบบกระแส ดังรูปที่ 7 โดยกำหนดให้ C_1=C_2=30pF และปรับค่า R_p และ R_n เท่ากับ R_p=435.935Ω (I_{Bp}=100.5μA) และ R_n=437.02Ω (I_{Bn}=100 μA) ผลการจำลองพบว่า วงจรจะกำเนิดสัญญาณที่ความถี่ f = 12.203 MHz เปรียบเทียบกับการคำนวณได้ที่ความถี่ f= 12.139 MHz



ภาพที่ 4.16 เอาท์พุทการกำเนิดสัญญาณไซน์รูปแบบกระแส



ภาพที่ 4.17 สเปกตรัมของเอาท์พุทการกำเนิดสัญญาณไซน์

ส่วนรูปที่ 8 เป็นสเปกตรัมของรูปที่ 7 พบว่าความเพี้ยนทางฮาร์โมนิกรวมที่สัญญาณ I_{o1} และ I_{o2} มีค่าอยู่ประมาณ 2.33% และ 1.87% ตามลำดับ

จากหลักการที่นำเสนอในโครงการวิจัยนี้ อ้างอิงผลการทดลองพบว่า การสร้างวงจรกรองความถี่ไบควอดราติกรูปแบบกระแส โดยใช้บล็อกแอกทีฟ CC-CDDCC สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ โดยตอบสนองความถี่ได้ตั้งแต่ 100 kHz ถึง 10 MHz เมื่อปรับกระแส I_{Bn} = I_{Bp} = [0.01, 0.1, 1, 10, 100] μA ใช้ไฟเลี้ยงต่ำ เมื่อสร้างเป็นอุปกรณ์แอกทีฟแล้ว การทำงานสามารถใช้งานได้สะดวกเพราะใช้อุปกรณ์แอกทีฟเพียงตัวเดียว อีกทั้งยังสามารถสร้างเป็นวงจรกำเนิดสัญญาณไซน์แบบควอเดรเจอร์ โดยกำเนิดสัญญาณที่ความถี่ f= 12.203 MHz ดังนั้นจึงสามารถนำไปออกแบบเป็นวงจรรวมได้

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

บทที่ 5
บทสรุปและข้อเสนอแนะ

5.1 บทสรุปการวิจัย

การออกแบบบล็อกแอกทีฟ CC-CDDCC ด้วยเทคโนโลยีซีมอสที่มีประสิทธิภาพสูงที่นำเสนอในโครงการวิจัยนี้ โดยมีช่วงไดนามิคและความถี่ใช้งานกว้าง อีกทั้งค่าความต้านทานแฝงของบล็อกแอกทีฟที่พอร์ทอินพุตสามารถควบคุมได้โดยค่ากระแสไบอัสภายนอกที่สมพงศ์กัน การนำเสนอการประยุกต์ใช้งานเป็นวงจรกรองความถี่ไบควอดราติกรูปแบบกระแสและวงจรกำเนิดสัญญาณแบบควอเดรเจอร์รูปแบบกระแส การใช้เพียงบล็อกแอกทีฟ CC-CDDCC หนึ่งตัว และตัวเก็บประจุแบบต่อกราวด์สองตัว โดยใช้พลังงานประมาณ 5.75mW ซึ่งเหมาะกับการสร้างเป็นวงจรรวม จำลองผลการทำงานด้วยโปรแกรม PSpice พบว่ามีคุณสมบัติสอดคล้องกันในทางทฤษฎีที่ได้นำเสนอ โดยทำการเปรียบเทียบวงจรกรองความถี่ไบควอดราติกรูปแบบกระแสที่นำเสนอกับวงจรกรองความถี่ที่ถูกนำเสนอเมื่อในอดีต แสดงดังตารางที่ 5.1 และเปรียบเทียบวงจรกำเนิดสัญญาณแบบควอเดรเจอร์แบบกระแสที่นำเสนอกับวงจรกำเนิดสัญญาณที่ถูกนำเสนอเมื่อในอดีต แสดงดังตารางที่ 5.2

ตารางที่ 5.1 การเปรียบเทียบวงจรที่นำเสนอกับวงจรที่ถูกนำเสนอเมื่อในอดีต

	อุปกรณ์แอกทีฟ	จำนวนทรานซิสเตอร์	ย่านการใช้งาน	ปรับได้ทางอิเล็กทรอนิกส์	ตัวต้านทานภายนอก	เทคโนโลยี
[6]	3 DVCCs	54	<10MHz	no	4	TSMC 0.35μm
[7]	3 ICCIIs	54	<10MHz	no	2	TSMC 0.18μm
[8]	3 DVCCs	60	<10MHz	yes	no	TSMC 0.35μm
[9]	1 CDTA	23	<10MHz	Yes	3	BJT ALA400
[11]	2 CCCIIs	78	<10MHz	Yes	no	BJT ALA400
วงจรที่นำเสนอ	1 CC-CDCCC	44	>10MHz	Yes	no	TSMC 0.25μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

ตารางที่ 5.2 การเปรียบเทียบวงจรที่นำเสนอกับวงจรที่ถูกนำเสนอเมื่อในอดีต

	อุปกรณ์แอกทีฟ	จำนวนทรานซิสเตอร์	ย่านการใช้งาน	ปรับได้ทางอิเล็กทรอนิกส์	ตัวต้านทานภายนอก	เทคโนโลยี
[16]	2 CDTAs	48	<10MHz	No	2	MIETEC 0.5μm
[17]	1 CDTA	23	<10MHz	Yes	1	0.7μm
[19]	1 CFTA + 1 UGVF	>20	<1MHz	Yes	2	BJT ALA400
[22]	3 CCIIs	39	<1MHz	No	3	AD844
[25]	2 CDTAs	48	<10MHz	Yes	1	MIETEC 0.5μm
วงจรที่นำเสนอ	1 CC-CDCCC	44	>10MHz	Yes	No	TSMC 0.25μm

5.2 ข้อเสนอแนะ

จากตารางที่ 5.1 และตารางที่ 5.2 เมื่อพิจารณาเปรียบเทียบวงจรที่นำเสนอกับวงจรที่ถูกนำเสนอเมื่อในอดีตพบว่า ในงานวิจัยบางส่วนมีการใช้ความต้านทาน และมีบางส่วนเป็นแบบลอยตัว ซึ่งการออกแบบเป็นวงจรรวมต้องใช้พื้นที่ Die Area ขนาดใหญ่ และ บางวงจรก็ยังต้องใช้อุปกรณ์แอกทีฟจำนวนมากซึ่งก็หมายถึงการสิ้นเปลืองพลังงานที่สูงกว่า ที่สำคัญก็คือ การปรับค่าทรานสคอนดัคแตนซ์ และค่าความต้านทานแฝงทั้งสองส่วนด้วยกระแสไบอัส (ในทางปฏิบัติค่าทั้งสองจะไม่เท่ากัน) ทำให้การปรับค่าความถี่ทางอิเล็กทรอนิกส์ไม่มีประสิทธิภาพ และในบางวงจรก็ยังให้สัญญาณเอาต์พุตที่มีแอมปลิจูดไม่เท่ากันอีกด้วย โดยทั้งนี้หลักการออกแบบของอุปกรณ์แอกทีฟที่นำเสนอนี้ ได้พัฒนามาจาก CCCII ที่มีอินพุตกระแสสองพอร์ต การปรับค่าความถี่ของการกำเนิดสัญญาณจะทำได้จากการปรับค่าความต้านทานแฝงที่มีค่าเท่ากัน (R_n=R_p) โดยทำได้ง่ายในทางปฏิบัติ และมี THD ค่อนข้างต่ำ ใช้แรงดันไฟเลี้ยงที่ต่ำ ±1.25V ซึ่งเป็นข้อดีเหมาะสมกับนำไปสร้างเป็นวงจรรวม แต่วงจรที่นำเสนอนั้นยังมีข้อด้อยอยู่บ้าง เช่น การออกแบบวงจรที่นำเสนอใช้อุปกรณ์แอกทีฟจำนวนมาก อีกทั้งวงจรที่นำเสนอยังทำงานอยู่ในย่านที่ไม่สูงมากนัก ดังนั้นเพื่อให้ใกล้เคียงความเป็นอุดมคติมากขึ้นอาจจะต้องปรับปรุงหลักการวงจรกรองความถี่ที่มีอันดับสูงขึ้น สำหรับวงจรกรองความถี่ไบควอดราติกรูปแบบกระแสและหลักการกำเนิดสัญญาณไซน์ โดยใช้สมการโพลิโนเมียลอันดับที่สูงขึ้นกว่าหลักการกำเนิดสัญญาณไซน์โดยใช้สมการโพลิโนเมียลอันดับสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

เอกสารอ้างอิง

[1] D. Biolek, R. Senani, V. Biolkova, Z. Kolka, "Active elements for analog signal processing: classification, review, and new proposals," Radioengineering, Vol.17, No.4, pp.15-32, 2008.

[2] P. Prommee, T. Pattanatadapong, "Realization of Tunable Pole-Q Current-Mode OTA-C Universal Filter," Circuits System and Signal Processing, Vol.29, No.25, pp.913-924, 2010.

[3] A. Sedra, K.C. Smith, "A second generation current conveyor and its application," IEEE Transaction on Circuit Theory, Vol.17, No.1, pp.132-134, 1970.

[4] N. Herencsar, J. Koton, K. Vrba, I. Lattenberg, "New voltage-mode universal filter and sinusoidal oscillator using only single DBTA," International Journal of Electronics, Vol.97, No.4, pp.365-379, 2010.

[5] D. Biolek, "CDTA-Building Block for Current-Mode Analog Signal Processing," Proc ECCTD'03, Krakow, Poland, pp.397-400, 2003.

[6] A. Lahiri, A. Chowdhurya, "A novel first-order current-mode all-pass filter using CDTA," Radioengineering, Vol.18, No.3, pp.300-305, 2009.

[7] C. Acar, S. Ozoguz, "A new versatile building block: current differencing buffer amplifier suitable for analog signal processing filter," Microelectron. J. Vol.30, No.2, pp.157-160, 1999.

[8] H. O. Elwan and A. M. Soliman, "Novel CMOS differential voltage current conveyor and its applications," Proc. IEE.—Circuits Devices Syst., Vol.144, No.3, pp.195–200, Jun.1997.

[9] W. Jaikla, P. Prommee, "Electronically tunable current-mode multiphase sinusoidal oscillator employing CCCDTA-based allpass filters with only grounded passive elements," Radioengineering, Vol. 20, No.3, pp.594-599, 2011.

[10] A. Ü. Keskin, D. Biolek, "Current mode quadrature oscillator using current differencing transconductance amplifiers (CDTA)," IEE Proc.-Circuits Devices Syst., Vol.153, No.3, pp.214-218, 2006.

[11] W. Jaikla, M. Siripruchyanun, J. Bajer, D. Biolek, "A Simple Current-mode Quadrature Oscillator Using Single CDTA," Radioengineering, Vol.17, pp.33-40, 2008.

[12] J. W. Horng, C. L. Hou, C. M. Chang, H. P. Chou, C. T. Lin, Y. H. Wen, "Quadrature Oscillators with Grounded Capacitors and Resistors Using FDCCIIs," ETRI Journal, Vol.28, No.4, pp.486-494, 2006.

[13] J. W. Horng, "Current conveyors based allpass filters and quadrature oscillators employing grounded capacitors and resistors," Computers and Electrical Engineering, Vol.31, pp.81-92, 2005.

[14] P. Prommee, K. Angkeaw, M. Somdunyakanok and K. Dejhan, "CMOS-based near zero-offset multiple inputs max–min circuits and its applications," Analog Integrated Circuits and Signal Processing, Vol.61, No.1, pp.93-105, 2009.

[15] D. Prasertsom and W. Tangsrirat, "CDBA-based sinusoidal quadrature oscillator with current controlled amplitude," International Symposium on Communications and Information Technologies (ISCIT), pp. ,26-29 Oct. 2010.

[16] J. Bajer, D. Biolek, V. Biolkova and Z. Kolka, "Voltage-Mode Balanced-Outputs Quadrature Oscillator Using FB-VDBAs," International Conference on Microelectronics (ICM) 2010, pp. 491 – 494, 19-22 Dec. 2010.

[17] J. K. Pathak, A. K. Singh and R. Senani, "Systematic realisation of quadrature oscillators using current differencing buffered amplifiers," IET Circuits, Devices & Systems, Vol. 5, No. 3, pp. 203–211, 2011.

[18] M. Kumngern and S. Junnapiya, "Current-Mode Third-Order Quadrature Oscillator Using Minimum Elements," International Conference on Electrical Engineering and Informatics 2011, pp.1–4, July 2011.

[19] A. Lahiri, A. Misra, K. Gupta, "Novel current-mode quadrature oscillators with explicit-current-outputs using CCCDTA," 19th International Conference Radioelektronika RADIOELEKTRONIKA '09, pp.47 – 50, April 2009.

[20] S. N. Songkla, W. Jaikla and B. Sreewirote, "A new resistor-less current-mode sinusoidal quadrature oscillator using CCCIIs," 18th International Conference Mixed Design of Integrated Circuits and Systems, pp.212-215, June 2011.

[21] S. Srisakultiew, M. Siripruchyanun, and W. Jaikla, "Single-resistance-controlled current-mode quadrature sinusoidal oscillator using single CCCFTA with grounded elements," 36th International Conference on Telecommunications and Signal Processing (TSP 2013), pp.436-439, July 2013.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

This material is reserved for educational use only, not allowed for commercial use.

Forbidden to modify the content, and cite the document when use.

[22] N. Herencsar, J. Koton, K. Vrba, A. Lahiri and O. Cicekoglu, "Current-controlled CFTA-based current-mode SITO universal filter and quadrature oscillator," International Conference on Applied Electronics (AE 2010, pp.1-4, Sept. 2010.

[23] M. Ismail and T. Fiez, "ANALOG VLSI Signal and Information Processing," McGraw-Hill, International Editions 1994.

[24] P. E. Allen and D. R. Holberg, "CMOS Analog Circuit Design," Holt Rinehart and Winston. Inc., 1986

[25] B. Razavi, "Fundamentals of Microelectronics," John Wiley and Sons, Inc., 2008.

[26] C. T. Sah, "Characteristics of the Metal-Oxide-Semiconductor Transistor," IEEE Trans. Electron Devices, Vol.ED-11, pp.324-345, July 1964

[27] H. Shichman and D. A. Hodges, "Modeling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits," IEEE J. Solid State Circuits, Vol.SC-3, pp.285-280, Sept. 1968

[28] K. C. Smith and A. S. Sedra, "The Current Conveyor – A New Circuit Building Block." Proceedings of the IEEE, Vol. 56, pp.1368-1369, 1968

[29] A. S. Sedra and K. C. Smith, "A Second Generation Conveyor and Its Application," IEEE Transactions on Circuit Theory, Vol.CT-17, pp.132-134, 1970

[30] O. Saaid and A. Fabre, "Class AB Current Control Resistor for High Performance Current-Mode Application," Electronics Letters, Vol.31, pp.4-5, 1996

[31] พิพัฒน์ พรหมมี "หลักการตัวกรองความถี่อนาลอก" คณะวิศวกรรมศาสตร์ สถาบัน เทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2553

[32] P. E. Allen and D. R. Holberg, "CMOS Analog Circuit Design," Holt Rinehart and Winston. Inc., 1986

[33] A. Keskin, D. Biolek, E. Hancioglu, V. Biolkova, "Current-Mode KHN Filter Employing Current Differencing Transconductance Amplifiers," AEU-International Journal of Electronics and Communications, Vol.60, No.6, pp.443-446, June. 2006

[34] D. Prasad, D.R. Bhaskar, A.K. Singh, "Universal Current-Mode Biquad Filter Using Dual Output Current Differencing Transconductance Amplifier," AEU-International Journal of Electronics and Communications, Vol.63, No.6, pp.497-501, June. 2009

[35] A. U. Keskin and D. Biolek, "Current-mode quadrature oscillator uddddsing current differencing transconductance amplifier (CDTA)," IEE Proceeding of Circuits Devices and Systems, Vol. 153, pp. 214-218, 2006.

[36] มนตรี คำเงิน, กอบชัย เดชหาญ "วงจรกำเนิดสัญญาณรูปคลื่นไซน์แบบควอเดรเจอร์ทำงานในแบบสัญญาณกระแสด้วยวงจร DVCC" วิศวสารลาดกระบัง, ปีที่ 25, ฉบับที่ 2, มิถุนายน 2551 หน้าที่ 13-18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

ภาคผนวก ก

แบบจำลองของมอสทรานซิสเตอร์ที่ใช้งาน

```
**********T14Y MOSIS 0.25um **********
* DATE: May 21/01
* LOT: T14Y              WAF: 101
* Temperature_parameters=Default
.MODEL NMOS1 NMOS (                     LEVEL   = 3
+VERSION = 3.1          TNOM    = 27            TOX     = 5.8E-9
+XJ     = 1E-7          NCH     = 2.3549E17     VTH0    = 0.3877332
+K1     = 0.4503218     K2      = 7.498548E-3   K3      = 1E-3
+K3B    = 2.7511903     W0      = 1E-7          NLX     = 2.684962E-7
+DVT0W  = 0             DVT1W   = 0             DVT2W   = 0
+DVT0   = 0.4948826     DVT1    = 0.5924031     DVT2    = -0.5
+U0     = 300.237024    UA      = -1.207596E-9  UB      = 2.358208E-18
+UC     = 2.411595E-11  VSAT    = 1.423302E5    A0      = 1.4820567
+AGS    = 0.2493074     B0      = -2.000837E-7  B1      = 3.568634E-6
+KETA   = 9.120027E-4   A1      = 3.802033E-5   A2      = 0.4500971
+RDSW   = 117.272191    PRWG    = 0.5           PRWB    = -0.2
+WR     = 1             WINT    = 0             LINT    = 4.377598E-9
+XL     = 3E-8          XW      = -4E-8         DWG     = -2.290208E-8
+DWB    = 5.476111E-9   VOFF    = -0.0948739    NFACTOR = 1.9975727
+CIT    = 0             CDSC    = 2.4E-4        CDSCD   = 0
+CDSCB  = 0             ETA0    = 4.108112E-3   ETAB    = 8.333134E-4
+DSUB   = 0.0311455     PCLM    = 1.8275359     PDIBLC1 = 0.9990847
+PDIBLC2 = 4.688174E-3  PDIBLCB = -0.0999829    DROUT   = 0.8506408
+PSCBE1 = 7.991332E10   PSCBE2  = 5.16406E-10   PVAG    = 0.0099971
+DELTA  = 0.01          RSH     = 4.4           MOBMOD  = 1
+PRT    = 0             UTE     = -1.5          KT1     = -0.11
+KT1L   = 0             KT2     = 0.022         UA1     = 4.31E-9
+UB1    = -7.61E-18     UC1     = -5.6E-11      AT      = 3.3E4
+WL     = 0             WLN     = 1             WW      = 0
+WWN    = 1             WWL     = 0             LL      = 0
+LLN    = 1             LW      = 0             LWN     = 1
+LWL    = 0             CAPMOD  = 2             XPART   = 0.5
+CGDO   = 6.14E-10      CGSO    = 6.14E-10      CGBO    = 1E-12
+CJ     = 1.753617E-3   PB      = 0.99          MJ      = 0.4591946
+CJSW   = 4.328986E-10  PBSW    = 0.99          MJSW    = 0.3552107
+CJSWG  = 3.29E-10      PBSWG   = 0.99          MJSWG   = 0.3552107
+CF     = 0             PVTH0   = -0.01         PRDSW   = -10
+PK2    = 2.428891E-3   WKETA   = 0.0103867     LKETA   = -7.732829E-3  )

.MODEL PMOS1 PMOS (                     LEVEL   = 3
+VERSION = 3.1          TNOM    = 27            TOX     = 5.8E-9
+XJ     = 1E-7          NCH     = 4.1589E17     VTH0    = -0.5887506
+K1     = 0.6126803     K2      = 7.885899E-3   K3      = 0
+K3B    = 14.442188     W0      = 1E-6          NLX     = 1E-9
+DVT0W  = 0             DVT1W   = 0             DVT2W   = 0
+DVT0   = 2.3705962     DVT1    = 0.7414674     DVT2    = -0.1278685
+U0     = 121.9538647   UA      = 1.62789E-9    UB      = 1E-21
+UC     = -1E-10        VSAT    = 2E5           A0      = 0.9432943
+AGS    = 0.1657709     B0      = 1.621073E-6   B1      = 5E-6
+KETA   = 0.01749       A1      = 6.582776E-4   A2      = 0.3
+RDSW   = 1.050595E3    PRWG    = 0.1217968     PRWB    = -0.3344162
+WR     = 1             WINT    = 0             LINT    = 3.148114E-8
+XL     = 3E-8          XW      = -4E-8         DWG     = -4.599354E-8
+DWB    = 3.248109E-8   VOFF    = -0.1241961    NFACTOR = 1.2000247
+CIT    = 0             CDSC    = 2.4E-4        CDSCD   = 0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

```
+CDSCB  = 0          ETA0   = 0.4473028    ETAB   = -0.1020914
+DSUB   = 0.9345426    PCLM   = 0.7700996    PDIBLC1 = 8.653573E-4
+PDIBLC2 = 0.0213771    PDIBLCB = -1E-3       DROUT  = 0.4304851
+PSCBE1 = 2.607383E10  PSCBE2 = 6.650832E-9  PVAG   = 6.011881E-3
+DELTA  = 0.01       RSH    = 3.4        MOBMOD = 1
+PRT    = 0          UTE    = -1.5       KT1    = -0.11
+KT1L   = 0          KT2    = 0.022      UA1    = 4.31E-9
+UB1    = -7.61E-18    UC1    = -5.6E-11    AT     = 3.3E4
+WL     = 0          WLN    = 1          WW     = 0
+WWN    = 1          WWL    = 0          LL     = 0
+LLN    = 1          LW     = 0          LWN    = 1
+LWL    = 0          CAPMOD = 2          XPART  = 0.5
+CGDO   = 6.74E-10     CGSO   = 6.74E-10     CGBO   = 1E-12
+CJ     = 1.913294E-3  PB     = 0.9893175    MJ     = 0.4712889
+CJSW   = 3.825105E-10  PBSW   = 0.6116479    MJSW   = 0.296387
+CJSWG  = 2.5E-10      PBSWG  = 0.6116479    MJSWG  = 0.296387
+CF     = 0          PVTH0  = 6.429985E-3  PRDSW  = -12.3017562
+PK2    = 3.434527E-3  WKETA  = 0.0244275    LKETA  = -0.0136271    )
**************************T14Y MOSIS 0.25um ******************************
```

King Mongkut's Institute of Technology Ladkrabang

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

ภาคผนวก ข

ผลงานวิจัยที่ได้รับการตีพิมพ์

Indian Journal of Pure & Applied Physics
Vol. 52, October 2014, pp. 708-716

High-performance current-controlled CDCCC and its applications

Pipat Prommee[1] & Fabian Khateb[2,3]

[1]Department of Telecommunications Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

[2]Department of Microelectronics, Brno University of Technology, Technická 10, Brno, Czech Republic

[3]Czech Technical University in Prague, Faculty of Biomedical Engineering, nám. Sítná 3105, Kladno, Czech Republic

E-mail: pipat@telecom.kmitl.ac.th, khateb@feec.vutbr.cz

Received 24 March 2014; revised 12 May 2014; accepted 10 July 2014

This paper presents a new high performance active element named Current Controlled Currents Differencing Current Copy Conveyer (CC-CDCCC). The main features of this element are large dynamic range, wide bandwidth and high accuracy. Furthermore, its intrinsic resistances of two input current terminals can be independently set by external balancing bias currents which lead to use low number of active elements. To demonstrate the high performance of the CC-CDCCC, two current-mode signal processing applications are presented in this paper i.e. universal filters and quadrature oscillator. Both of these applications are electronically controlled for a wide range of frequencies and they employ single CC-CDCCC and two grounded capacitors which are advantageous for monolithic integration. PSpice simulation results using the 0.25 μm CMOS technology from TSMC are included to verify the correct functionality of the proposed circuit.

Keywords: Quadrature oscillator, Universal filters, Current controlled active elements, Resistorless

1 Introduction

Electronically controlled active elements are widely used and play significant role in circuit applications. They enable tuning of specific application parameters e.g. the natural frequency and quality factor of filters or the frequency of oscillation and condition of oscillation of oscillators. Furthermore, they allow a fine-tuning in case of any possible deviations in circuit parameters after manufacturing since it is well known that the tolerance of the electronic components in monolithic integrated circuit can be unacceptably high. A variety of electronically controlled active elements have been presented in the literature[1-5], such as CCCII, CCDDCC, CCCFTA, CCCDTA and CCCDBA. In integrated circuits, realization of passive resistors on chip occupies quite large die area. Modern IC design leads to electronic resistors usage. The electronic resistors have the following benefits which are small die area and tunability feature. In practice, active elements suffer from undesirable parasitic impedances i.e. parasitic/intrinsic capacitances and resistances. However, replacing the passive resistors in circuit applications by the parasitic intrinsic resistances of the active elements become beneficial since it leads to shrink the die area of the IC and hence the total manufacturing cost. Although, the CCCDTA and CCCDBA have current controlled input intrinsic resistances, the values of these resistances are not identical and controlled by the same bias current, therefore, they could not be used for such applications that require the value of these resistance to be variant, as a result the applicability of these elements are limited.

In our survey of most recently published papers related to current-mode universal filters and quadrature oscillators we have discovered drawbacks that will be described below. Some filter applications use floating passive elements which are not suitable for integration[6,9,12]. Some filter applications lack electronic controlled feature[6,7], suffer from excessive component[6-9]. Some filters have electronic controlled feature but the balancing bias current cannot be achieved[11]. Other filter applications can use the simple feature of active building block without electronic controlled feature[10]. In recent years, the classified of active building blocks are introduced[13]. One of different active building block is a current differencing current conveyor (CDCC). It provides a differencing current output connected to a current conveyor without electronic tunability feature. The new current-mode active device named current controlled current differential current conveyor[14] was introduced with single electronic tunability but it lacks of independent tunability feature of n and p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

terminals. Therefore, for implementing a second order filter or oscillator it needs at least two active elements. Regarding the quadrature sinusoidal oscillators (QSO) which are suitable for the communication system, a simple CMOS-OTA has been introduced but has no equal amplitude outputs [15]. Some oscillators use floating passive elements which are not suitable for integration[16-19], and without electronic tunability feature[20-22]. One needs 2 resistors and 3 capacitors for constructing[23] the QSO. Tunable oscillators using CDTA based on similar structure employ a grounded resistor for obtaining condition of oscillation[24,25] which is not attractive in the fully electronic tunability purpose.

Therefore, this paper presents new high-performance active element CC-CDCCC; it offers large dynamic range and wide bandwidth similar to its current-mode counterparts. The intrinsic resistances of its input current terminal are controlled independently by external bias currents. Also, two identical of intrinsic resistances can be realized by balancing two bias currents to be identical enabling a simply tuning condition of desired parameters. It enables to design for the application by using only one active element. To demonstrate the attractive features of the CC-CDCCC, in contrast to previously presented current controlled active elements, low-complexity of two current-mode applications is presented in this paper. The first application is single input multiple outputs (SIMO) universal filters and the second one is quadrature sinusoidal oscillator (QSO). Both of the applications are electronically controlled in wide range of frequencies and they employ only single CC-CDCCC and two grounded capacitors. The current output signals are obtained from current output terminals of high impedance; therefore, no additional buffers are required.

2 Current Controlled CDCCC (CC-CDCCC)

The CC-CDCCC is a new active element whose symbol and equivalent circuit are shown in Fig. 1(a and b), respectively. It has two input current terminals x_p and x_n, where their intrinsic resistances are controlled separately by two bias currents I_{Bp} and I_{Bn}, respectively. It has also a voltage input terminal y and five output current terminals z_+, z_+, z_-, p_c and n_c all of them possess high impedance values.

The characteristics of the CC-CDCC can be described as:

$$\begin{pmatrix} I_y \\ V_p \\ V_n \\ I_{z+} \\ I_{z-} \\ I_{pc} \\ I_{nc} \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & R_p & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & R_n & 0 & 0 & 0 & 0 \\ 0 & 1 & -1 & 0 & 0 & 0 & 0 \\ 0 & -1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 \end{pmatrix} \begin{pmatrix} V_y \\ I_p \\ I_n \\ V_{z+} \\ V_{z-} \\ V_{pc} \\ V_{nc} \end{pmatrix}. \quad \ldots(1)$$

where R_p and R_n are the intrinsic parasitic impedances of the x_p and x_n current input terminals, respectively.

The internal MOS structure of the CC-CDCCC is shown in Fig. 2. The positive and negative differential currents I_{z+} and I_{z-} can be obtained by the modified translinear current conveyors[26] (M_1-M_4 and M_9-M_{12}) with the compensated current transistors M_{15} and M_{16} and additional current mirrors. Another extra positive differential current I_{z+} is added for the circuit realization which named for both z-terminals as I_{z1+} and I_{z2+}. The currents of I_p and I_n are also duplicated to the p_c and n_c terminal by current mirrors, respectively. It should be mentioned that the number of the output current terminals of the CC-CDCCC could be arbitrarily increased simply by using the current mirror principle.

A straightforward circuit analysis of Fig. 2 leads to the following expression of the x_p terminal:

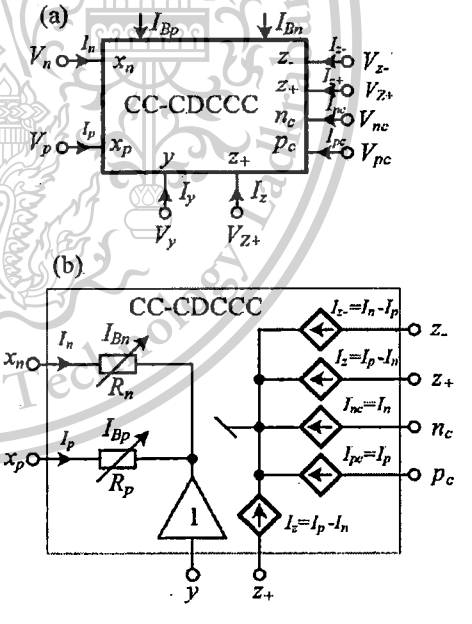


Fig. 1 — (a) Symbol of CC-CDCCC and (b) its equivalent circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

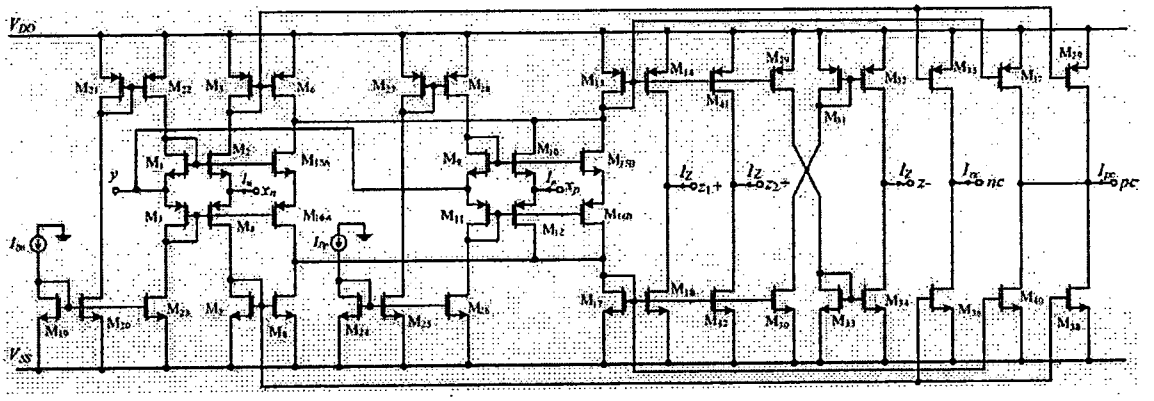


Fig. 2 — Proposed MOS structure of CC-CDCCC

$$R_p \approx \frac{1}{g_{m2} + g_{m4}} \quad \ldots(2)$$

where g_{m2} and g_{m4} denote the transconductance of M_2 and M_4 transistors, respectively. If M_2 and M_4 are assumed to be matched, then:

$$R_p \approx \frac{1}{\sqrt{8\mu C_{OX}(W/L)I_{Bp}}}. \quad \ldots(3)$$

Similarly, the intrinsic resistance at x_n terminal which can also be expressed by:

$$R_n \approx \frac{1}{g_{m10} + g_{m12}}. \quad \ldots(4)$$

Where g_{m10} and g_{m12} denote the transconductance of M_{10} and M_{12} transistors, respectively. If M_{10} and M_{12} are assumed to be matched, then:

$$R_n \approx \frac{1}{\sqrt{8\mu C_{OX}(W/L)I_{Bn}}} \quad (5)$$

where μ, C_{ox}, W and L are surface mobility, oxide capacitance, channel width and length of MOS transistors (M_2 and M_4) (M_{10} and M_{12}), respectively. It is obvious from Eqs. (3) and (5) that the intrinsic resistances R_p and R_n can be tuned independently through the current bias I_{Bp} and I_{Bn}, respectively.

3 Applications based on Single CC-CDCCC

In this section the low-complexity of two current-mode applications based on single CC-CDCCC and two grounded capacitors are described.

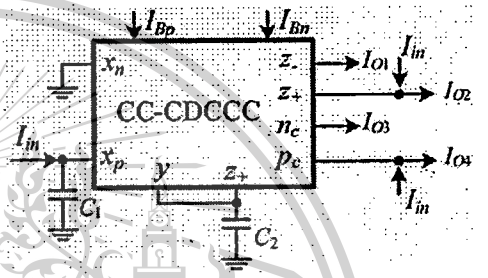


Fig. 3 — Universal filters based on single CC-CDCCC

3.1 Current-mode universal filters based on single CC-CDCCC

The proposed current-mode universal filters based on single CC-CDCCC and two grounded capacitors is shown in Fig. 3. Using routine analysis, four type transfer functions can be obtained from four independent current output terminals i.e. low-pass (LP), high-pass (HP), band-pass (BP) and band-reject (BR). Four current transfer functions can be expressed below:

The BP response $$\frac{I_{O1}}{I_{in}} = \frac{s\left(\frac{1}{R_pC_1}\right)}{D(s)}. \quad \ldots(6)$$

The BR response $$\frac{I_{O2}}{I_{in}} = \frac{s^2 + \frac{1}{R_nR_pC_1C_2}}{D(s)}. \quad \ldots(7)$$

The LP response $$\frac{I_{O3}}{I_{in}} = \frac{\frac{1}{R_nR_pC_1C_2}}{D(s)}. \quad \ldots(8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

The HP response $\frac{I_{O4}}{I_{in}} = \frac{s^2}{D(s)}$. ...(9)

where $D(s) = s^2 + s\left(\frac{1}{R_n C_2} - \frac{1}{R_p C_2} + \frac{1}{R_p C_1}\right) + \frac{1}{R_n R_p C_1 C_2}$.

By having an additional z_+ terminal to the CC-CDCCC i.e. output current I_{O5}, and then by summing I_{O2} and I_{O5} the all-pass (AP) response are obtained.

The natural frequency response (ω_0) and quality factor (Q_0) are given by:

$$\omega_0 = \sqrt{\frac{1}{R_p R_n C_1 C_2}} \quad ...(10)$$

$$Q_0 = \frac{\sqrt{R_n R_p C_1 C_2}}{R_p C_1 - R_n C_1 + R_n C_2} \quad ...(11)$$

Eqs. (10) and (11) show that the parameter ω_0 can be adjusted without disturbing Q_0 by assigning C_1=C_2=C and increasing or decreasing the R_n and R_p simultaneously. Note that the multiple inputs of filter can be obtained by using the additional current buffer circuit. The negative type of multiple outputs current conveyor (MOCC-) in Fig. 4 can be used as a current buffer. Applying the current input (I_{in}), the duplicated current outputs (I_{in1}, I_{in2} and I_{in3}) are obtained at outputs. These duplicated current outputs can be directly applied for the inputs of filter in Fig. 3.

3.2 Current-mode quadrature oscillator based on single CC-CDCCC

The second application is current-mode quadrature oscillator based on single CC-CDCCC and two grounded capacitors is shown in Fig. 5. The output current waveforms are obtained from current output terminals of high impedances; hence no additional buffers are needed.

Characteristic equation can be expressed as:

$$\frac{s}{R_p C_1} = s^2 + s\left(\frac{1}{R_n C_2} - \frac{1}{R_p C_2} + \frac{1}{R_p C_1}\right) + \frac{1}{R_n R_p C_1 C_2} \quad ...(12)$$

From Eq. (12), the relations for condition of oscillation (CO) and frequency of oscillation (FO) can be derived:

CO: $R_n = R_p$. ...(13)

FO: $\omega_0 = \sqrt{\frac{1}{R_p R_n C_1 C_2}}$ ...(14)

It is apparent from Eqs. (13) and (14) that the frequency of oscillation can be tuned electronically by means of varying R_n and R_p simultaneously without affecting the CO.

3.2 Effects of non-idealities and sensitivity analyses of the universal filter and oscillator

Figure 6 shows the simplified equivalent circuit that will be used to represent the behaviour of the non-ideal CC-CDCCC. This mainly results from its finite parasitic elements and non-ideal current transfers. There are parasitic resistances and capacitances (R_y, C_y, and R_z, C_z) from terminals y and z to the ground. It can also be seen that the non-ideal voltage and current transfer characteristic of the CC-CDCCC are given as, $\alpha_p = 1 - \varepsilon_p$, $|\varepsilon_p| \ll 1$ denotes a current tracking error from p to p_c and z terminals,

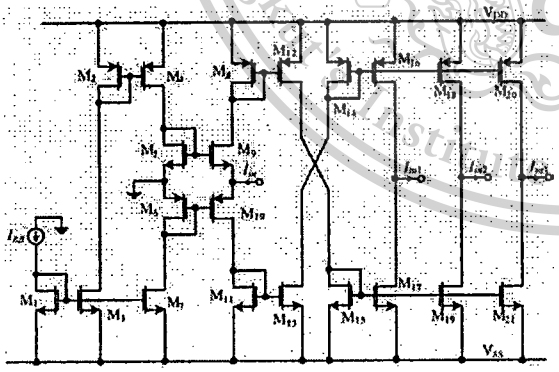


Fig. 4 — Current buffer used for applying in the proposed filter in Fig. 3

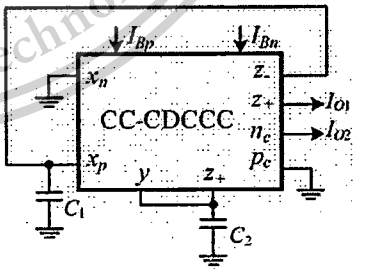


Fig. 5 — Current-mode quadrature oscillator based on single CC-CDCCC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

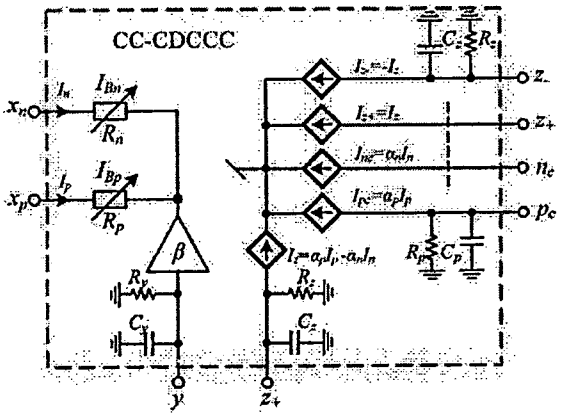


Fig. 6 — Simplified equivalent circuit of the non-ideal CC-CDCCC

$\alpha_n = 1-\varepsilon_n$, $|\varepsilon_n| \ll 1$ denotes a current tracking error from n to n_c and z terminals, and $\beta = 1-\varepsilon_y$, $|\varepsilon_y| \ll 1$ denotes a voltage tracking error at y terminal. Taking into account the non-ideal CC-CDCCC characteristics and assuming the value of parasitic resistances at n_c, p_c, y and z terminals are high which can be neglected, the modified current transfer functions of filters in Fig. 3 can be rewritten as:

The BP response

$$\frac{I_{O1}}{I_{in}} = \frac{s\left(\frac{\alpha_p}{R_p C_1}\right)}{D_n(s)} \qquad \ldots(15)$$

The BR response

$$\frac{I_{O2}}{I_{in}} = \frac{s^2 + s\left(\frac{1}{R_p C_1} - \frac{\beta\alpha_p}{R_p C_2'} + \frac{\beta\alpha_n}{R_n C_2'} - \frac{\alpha_p}{R_p C_1}\right) + \frac{\beta\alpha_n}{R_n R_p C_1 C_2'}}{D_n(s)} \qquad \ldots(16)$$

The LP response

$$\frac{I_{O3}}{I_{in}} = \frac{\frac{\beta\alpha_n\alpha_p}{R_n R_p C_1 C_2'}}{D_n(s)} \qquad \ldots(17)$$

The HP response

$$\frac{I_{O4}}{I_{in}} = \frac{s^2 + s\left(\frac{\beta\alpha_p}{R_p C_2'} - \frac{1}{R_p C_1} + \frac{\alpha_p}{R_p C_1} - \frac{\beta\alpha_n}{R_n C_2'}\right) + \frac{(\beta\alpha_n\alpha_p - \beta\alpha_n)}{R_n R_p C_1 C_2'}}{D_n(s)} \qquad \ldots(18)$$

where

$$D_n(s) = s^2 + s\left(\frac{\beta\alpha_n}{R_n C_2'} - \frac{\beta\alpha_p}{R_p C_2'} + \frac{1}{R_p C_1}\right) + \frac{\beta\alpha_n}{R_n R_p C_1 C_2'}$$

and $C_2' = C_2 + C_y + C_z$. The natural frequency response (ω_{0n}) and quality factor (Q_{0n}) becomes:

$$\omega_{0n} = \sqrt{\frac{\beta\alpha_n}{R_p R_n C_1 C_2'}}. \qquad \ldots(19)$$

$$Q_{0n} = \frac{\sqrt{\beta\alpha_n R_n R_p C_1 C_2'}}{\beta\alpha_n R_p C_1 - \beta\alpha_p R_n C_1 + R_n C_2'}. \qquad \ldots(20)$$

Considering Eqs (19) and (20), it can be seen that the capacitor C_2 has received the influences of parasitic capacitances. In fact, the intrinsic resistances at x_n and x_p terminals (R_n and R_p) are identical. It means that the frequency response and quality factor receive slight effects from the parasitic capacitances, current and voltage tracking errors. In order to reduce these effects, the accurate current mirrors and $C_2 \gg C_y + C_z$ are needed. The capacitors C_1 and $C_2 \geq 30$ pF are used to avoid the parasitic capacitance influences. Although Eqs (19) and (20) show that possible deviations in filters parameters could occur due to parasitic impedances of the filters terminals, these deviations could be simply readjusted electronically through R_p and R_n.

The sensitivity analysis with respect to the parameters of the passive elements can be given by:

$$S_{\beta,\alpha_n}^{\omega_0} = -S_{C_1,C_2',R_p,R_n}^{\omega_0} = \frac{1}{2}. \qquad \ldots(21)$$

$$-S_{C_2',R_n}^{Q_0} = S_{\beta,\alpha_n,C_1,R_p}^{Q_0} = \frac{1}{2}. \qquad \ldots(22)$$

It is obvious from Eqs (21) and (22) that all of filters parameter sensitivities in non-ideal case are 0.5 in absolute values and hence, the filters exhibit an attractive sensitivity performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

Similarly, the non-ideal parameters are taken into account for the oscillator. By using routine analysis, the modified characteristic equation of Fig. 4 yields:

$$s\left(\frac{\alpha_p}{R_pC_1'}\right)=s^2+s\left(\frac{\beta\alpha_n}{R_nC_2'}-\frac{\beta\alpha_p}{R_pC_2'}+\frac{1}{R_pC_1'}\right)+\frac{\beta\alpha_n}{R_nR_pC_1'C_2'} \quad (23)$$

where $C_1'=C_1+C_z$ and $C_2'=C_2+C_y+C_z$. The condition of oscillation and frequency of oscillation become:

$$\text{CO:}\quad \frac{\beta\alpha_n}{R_nC_2'}-\frac{\beta\alpha_p}{R_pC_2'}+\frac{1}{R_pC_1'}-\frac{\alpha_p}{R_pC_1'}=0. \quad \ldots(24)$$

$$\text{FO:}\quad \omega_{0n}=\frac{\beta\alpha_n}{R_nR_pC_1'C_2'}. \quad \ldots(25)$$

Considering Eqs. (24) and (25), it can be seen that the capacitors C_1 and C_2 have received the influence of parasitic capacitances. In fact, the intrinsic resistances at x_n and x_p terminals (R_n and R_p) are identical. It means that the condition of oscillation and frequency of oscillation receive slight effects from the parasitic capacitances, current and voltage tracking errors. In order to reduce these effects, the accurate current mirrors and $C_1>>C_z$, $C_2>>C_y+C_z$ conditions are needed. In this paper, the symmetry structure is implemented for obtaining the identical of x_p and x_n current tracking errors. The capacitors C_1 and $C_2\geq 30$ pF are used to avoid the parasitic capacitance influences.

4 Simulation Results

4.1 Simulation results of the CC-CDCCC characteristics

For the proposed MOS structure of the CC-CDCCC in Fig. 2 all PMOS transistors have the value of W/L equal to 30 µm/0.5 µm whereas for all NMOS transistors 10 µm /0.5 µm except M_1, M_2, M_9, M_{10}, M_{15} use W/L equal to 5 µm/0.35 µm and M_3, M_4, M_{11}, M_{12}, M_{16} use W/L equal to 8 µm/0.35 µm. The voltage supplies are $V_{DD}=-V_{SS}=1.25$ V and the TSMC 0.25 µm SPICE model[27] is used. The total power consumption of the CC-CDCCC is in range from 0.575 µ to 5.75m] W for bias currents $I_{Bp}=I_{Bn}$ in range 0.01-100 µA, respectively. For the additional current buffer in Fig. 4. all PMOS transistors also have the value of W/L equal to 30 µm/0.5 µm whereas for all NMOS transistors 10 µm /0.5 µm except M_5, M_9 use W/L equal to 5 µm/0.35 µm and M_6, M_{10} use W/L equal to 8 µm/0.35 µm. The bias current and supply voltage are 100 µA and ±1.25 V, respectively.

The simulation results of the CC-CDCCC are shown in Figs 7-9 and they show the high performance of this active element. Figure 7 shows the frequency responses of the x_p terminal impedances with varying the bias current I_{Bp} for the following values [0.01, 0.1, 1, 10, 100] µA and then the values of R_p are [43.7 k, 13.8 k, 4.37k , 1.38 k, 437] Ω, respectively. It is evident from Fig. 7 the wide range of R_p tuning. Identical frequency responses of the impedances of x_n terminal are obtained by varying the bias current I_{Bn}. The *dc* characteristics of I_{z+} and I_{z-} against I_p and I_n for I_{Bp}= 100 µA are shown in Fig. 8. It is obvious that the high accuracy and linearity of currents are in the range-100-100µA.

Figures 9 and 10 show the frequency responses of the current transfer of different terminals I_{po}/I_p, I_{z+}/I_p, I_{z-}/I_p, I_{z+}/I_n, I_{no}/I_n, and I_{z-}/I_n for $I_{Bp}=I_{Bn}$=100µA. The-

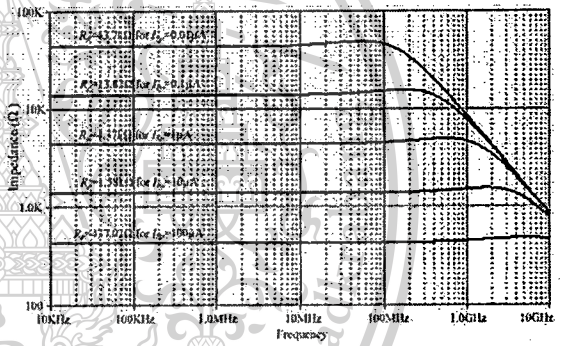


Fig. 7 — Frequency responses of x_p terminal impedances with varying the bias current I_{Bp}

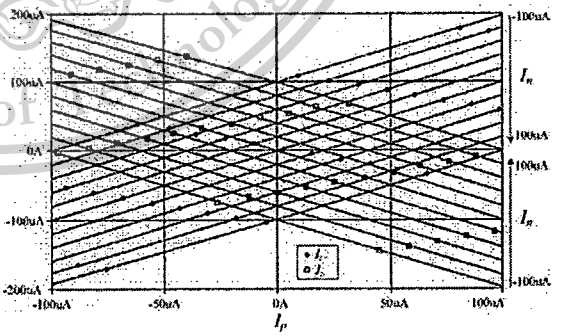


Fig. 8 — dc characteristic of I_{po}, I_{z+} and I_{z-} versus I_p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

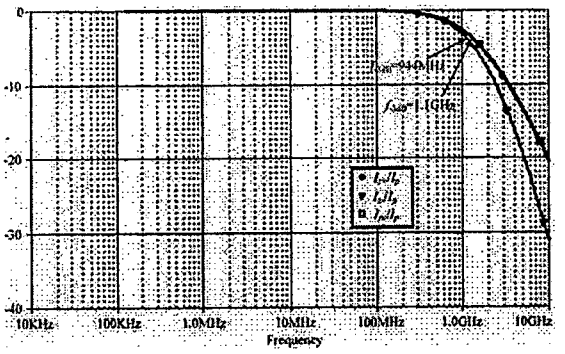


Fig. 9 — Frequency response of I_{pc}, I_{z+} *and* I_{z-}versus I_pc

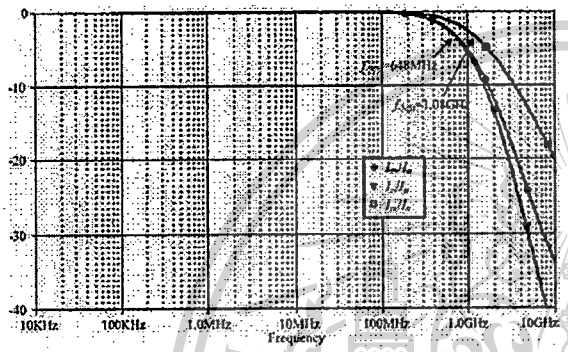


Fig. 10 — Frequency response of I_{nc}, I_{z+} and I_{z-}versus I_n

3dB bandwidths of the current transfers I_{z+}/I_p and I_{z-}/I_p is obtained around 1.1 GHz but I_{pc}/I_p is around 944 MHz. Other results are obtained for the current transfers I_{z+}/I_n, I_{z-}/I_n is obtained around 1.08 GHz but I_{nc}/I_n is around 648 MHz.

Figures 11 and 12 show the total harmonic distortion (THD) of different terminals of proposed CC-CDCCC. Sinusoidal 10 MHz are applied at I_p and I_n with bias currents I_{Bn}=I_{Bp}=100 μA. It is obvious that the THD results of different terminals are lower than 1% under the 100 μA input current amplitude.

4.2 Simulation results of the universal filters

The simulations of the proposed universal filters are shown in Figs 13-15. Figure 13 shows the current-mode magnitude responses of LP, HP, BP and BR when C_1=C_2= 30 pF and R_p= R_n= 437.02 Ω (for I_{Bp}=I_{Bn}= 100 μA). The simulated natural frequency f_0= 12.023 MHz and the theoretical one f_0= 12.139 MHz.

The electronic tunable facility for a wide range of frequencies of the filter are shown on BP responses

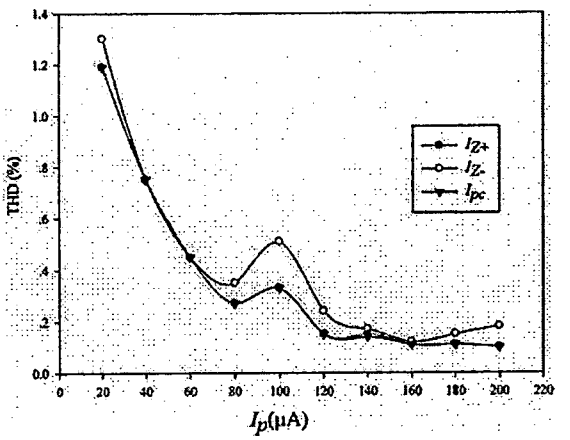


Fig. 11 — THD of I_{Z+}, $I_{Z-}$and I_{pc} by applying the sinusoidal 10 MHz at I_p with bias currents I_{Bn}=I_{Bp}=100 μA

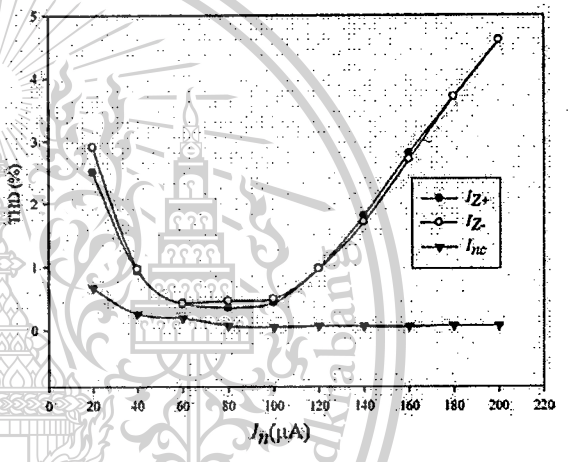


Fig. 12 — THD of I_{Z+}, I_{Z-} and I_{nc} by applying the sinusoidal 10 MHz at I_p with bias currents I_{Bn}=I_{Bp}=100 μA

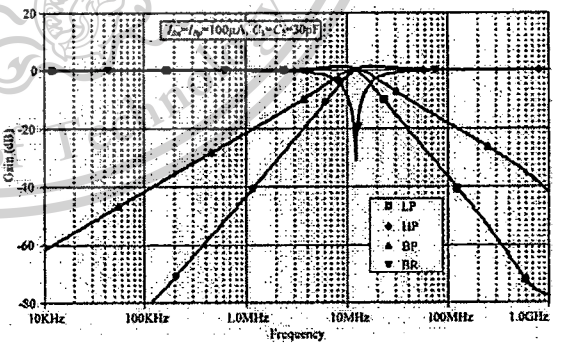


Fig. 13 — Current-mode magnitude responses of *LP, HP, BP* and *BR*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

for C_1= C_2= 30 pF in Fig. 14 by stepping the bias currents I_{B1}=I_{B2}= [0.01, 0.1, 1, 10, 100] μA. The cutoff frequencies are in range from 120 kHz to 12 MHz which prove the capability of tunability in wide range of frequencies. The current-mode magnitude and phase response of AP with C_1= C_2= 30 pF are shown in Fig. 15. The simulated natural frequency f_0= 12.05 MHz and the theoretical one f_0= 12.139 MHz. The comparison of proposed filter with previous filter is listed in Table 1. The proposed CC-CDCCC can provide tunable second-order filter without the resistors by using only 44 transistors.

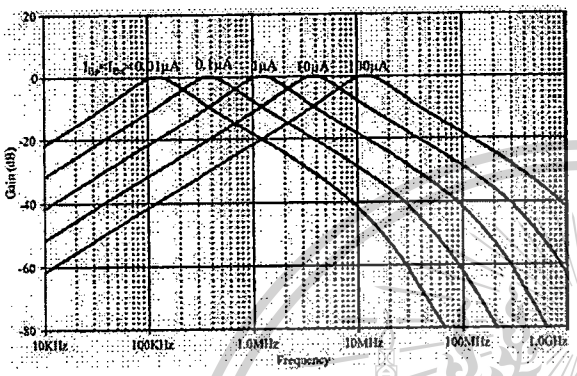


Fig. 14 — Band-pass responses with C_1= C_2= 30 pF and varying the bias currents I_{Bp}=I_{Bn}

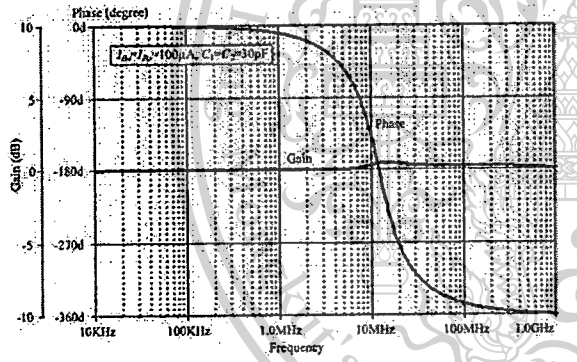


Fig. 15 — Current-mode magnitude and phase responses of AP with C_1= C_2= 30 pF

4.3 Simulation results of quadrature oscillator

The simulations of the proposed quadrature oscillator are shown in Figs 16 and 17. Figure 16 shows the current output waveforms I_{o1} and I_{o2} when C_1= C_2= 30 pF. To ensure that the oscillations would start the value of R_p is adjusted slightly lower than R_n i.e. R_p =435.935 Ω (I_{Bp}= 100.5 μA) and R_n =437.02 Ω (I_{Bn}= 100 μA). The simulated frequency f=12.203 MHz and the theoretical one f =12.139 MHz. The spectrum of oscillator output currents is shown in Fig. 17. The total harmonic

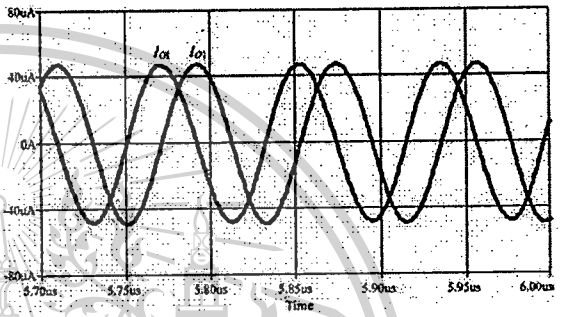


Fig. 16 — Waveforms of the oscillator output currents

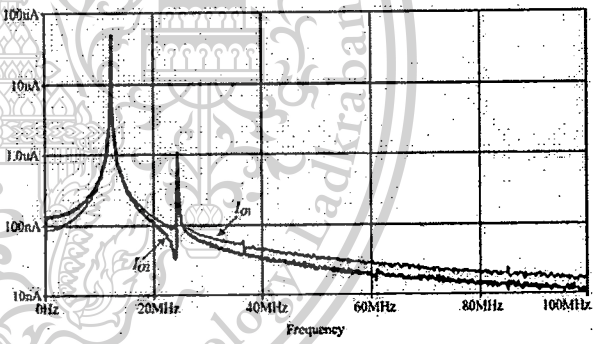


Fig. 17 — Spectrum of oscillator output currents

Table1 — Comparison features of proposed filter with previous filters

	Active element	Transistors	Bandwidth	Electronic tuning	External resistors	Technology
[6]	3 DVCCs	54	<10 MHz	no	4	TSMC 0.35 μm
[7]	3ICCIIs	54	<10 MHz	no	2	TSMC 0.18 μm
[8]	3 DVCCs	60	<10 MHz	yes	no	TSMC 0.35 μm
[9]	1 CDTA	23	<10 MHz	Yes	3	BJT ALA400
[11]	2 CCCIIs	78	<10 MHz	Yes	no	BJT ALA400
Proposed	1 CC-CDCCC	44	>10 MHz	Yes	no	TSMC 0.25 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

Table 2 — Comparison features of proposed quadrature oscillator with previous quadrature oscillators

	Active element	Transistors	Bandwidth	Electronic tuning	External resistors	Technology
[16]	2 CDTAs	48	<10 MHz	No	2	MIETEC 0.5 µm
[17]	1 CDTA	23	<10 MHz	Yes	1	0.7 µm
[19]	1 CFTA+ 1 UGVF	>20	<1 MHz	Yes	2	BJT ALA400
[22]	3 CCIIs	39	<1 MHz	No	3	AD844
[25]	2 CDTAs	48	<10 MHz	Yes	1	MIETEC 0.5 µm
Proposed	1 CC-CDCCC	44	>10 MHz	Yes	No	TSMC 0.25 µm

distortion (THD) of the current output waveforms I_{o1} and I_{o2} is 2.33 % and 1.87 %, respectively. The comparison of proposed quadrature oscillator with previous quadrature oscillator is listed in Table 2. The proposed CC-CDCCC can provide tunable quadrature oscillator without the resistors by using only 44 transistors.

5 Conclusions

A new high performance electronically tunable active element CC-CDCCC is presented in this paper. The main features of this element are large dynamic range, wide bandwidth and high accuracy. Furthermore, its intrinsic resistances of the input current terminals can be independently set by external balancing bias currents. Based on this active element, a current-mode universal filters and quadrature oscillator are presented as possible applications. Both applications are electronically controlled for wide range of frequencies and they employ only single CC-CDCCC and two grounded capacitors which are advantageous for monolithic integration. The simulation results proved the high performance of the proposed circuit and correspondence with theory. The total power consumption of the CC-CDCCC device is lower than 5.75mW.

Acknowledgement

The authors would like to thank Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang for their supports.

The described research was also performed in laboratories supported by the SIX project; the registration number CZ.1.05/2.1.00/03.0072. The operational program Research and Development for Innovation has been supported by Czech Science Foundation project No.: P102-14-07724S.

References

1 Fabre A, Saaid O, Wiest F &Boucheron C,*Electron. Lett*, 31 (1995) 1727.
2 Prommee P &Somdunyakanok M,-*IntJ Electron Commun(AEU)*, 65 (2011) 1.
3 Herencsar N, Koton J, Vrba K, Lahiri A &Cicekoglu O, *Int. Conf. Applied Electronics*, Plzeň: University of West Bohemia, (2010) pp 121.
4 Jaikla W &Prommee P, *Radioengineering*, 20 (2011) 594.
5 Tangsrirat W, Prasertsom D, Piyatat T &Surakampontorn W, *Int J Electron*, 95(2008) 1119.
6 Horng J W, Hou C L, Chang C M, Chou H P & Lin C T,*Circuits Syst. Signal Process*, 25 (2006) 767.
7 Horng J W, *Indian J Pure & Appl Phys*, 49 (2011) 214.
8 Minaei S & Ibrahim M A, *Int J Circ Theor Appl*, 37 (2009) 793.
9 Prasad D, Bhaskar D R & Singh A K, *Analog Integr Circ Sig Process*, 61 (2009) 309.
10 Kumngern M, Torteanchai U & Dejhan K, *Radioengineering*, 20 (2011) 327.
11 Kumngern M, Jongchanavawat W & Dejhan K, *Int J Electron*, 97 (2010) 511.
12 Tangsrirat W, Kritsada B,*Indian J Pure & ApplPhys*, 50 (2012) 133.
13 Biolek D, Senani R, Biolkova V & Kolka Z, *Radioengineering*, 17:4 (2008) 15.
14 Abrishamimar A, Karimi Y &Navidi M M, *IEICE Electronics Express*, 9 (2012) 104.
15 Prommee P, Dejhan K, *Int J Electron*, 89 (2002) 365.
16 Keskin A Ü & Biolek D, *IEE Proc.-Circuits Devices Syst.*, 153 (2006) 214.
17 Jaikla W, Siripruchyanun M, Bajer J & Biolek D, *Radioengineering*, 17:4 (2008) 33.
18 Biolek D, Lahiri A, Jaikla W, Siripruchyanun M &Biolkova V, *Microelectronics Journal*, 42 (2011) 1116.
19 Herencsár N, Vrba K, Koton J & Lahiri A, *Int J Electron*, 97 (2010) 897.
20 Horng J W, *IEICE Transactions on Fundamentals of Electronics*, E86-A (2003) 2152.
21 Horng J W, Hou C L, Chang C M, Chou H P, Lin C T & Wen Y H,*ETRI Journal*, 28 (2006) 486.
22 Horng J W,*Computers and Electrical Engineering*, 31 (2005) 81.
23 Herencsár N, Koton J, Vrba K & Lahiri A, *IEICE Electronics Express*, 6 (2009) 1708.
24 Lahiri A, *Analog Integr. Circuits Signal Process*, 61 (2009) 199.
25 Kumngern M, Lamun P & Dejhan K, *Int J Electron*, 99 (2012) 971.
26 Bruun E, *Int J Electron*, 74 (1993) 93.
27 Prommee P, Angkeaw K, Somdunyakanok M & Dejhan K, *Analog Integr Circuits Signal Process*, 61 (2009) 93.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

ภาคผนวก ค

สรุปค่าใช้จ่ายการดำเนินโครงการวิจัย

รหัสโครงการ/รหัสสัญญา 2558-01-01016

แบบรายงานการใช้จ่ายเงินโครงการวิจัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

รายงานความก้าวหน้า ครั้งที่ 1 รอบ 6 เดือน ประจำปีงบประมาณ 2558

☐ แหล่งงบประมาณแผนดิน (แบบปกติ) ☑ แหล่งเงินรายได้

ชื่อโครงการ (ภาษาไทย) การออกแบบบล็อกแอกทีฟ CDCCC ปรับค่าด้วยกระแสและการประยุกต์ใช้งาน

(ภาษาอังกฤษ) Design of Active building block : Current-Controlled CDCCC and its applications

ชื่อ-สกุลหัวหน้าโครงการวิจัยผู้รับทุน/ผู้วิจัย รศ.ดร.พิพัฒน์ พรหมมี

รายงานในช่วงตั้งแต่วันที่ 1 ตุลาคม 2557 ถึงวันที่ 31 มีนาคม 2558

ระยะเวลาดำเนินการ 1 ปี - เดือน ตั้งแต่วันที่ 1 ตุลาคม 2557 ถึงวันที่ 30 กันยายน 2558

ข้อมูลการรายงานค่าใช้จ่ายงบประมาณโครงการวิจัย

1. การเบิกจ่ายงบประมาณ

งวดที่ 1 50,000 บาท 100 % วันที่ได้รับอนุมัติให้เบิกจ่ายเงิน (ป/ด/ว) 27 พ.ย 2557

2. สรุปงบประมาณค่าใช้จ่ายที่ใช้นับตั้งแต่เริ่มทำการวิจัยถึงปัจจุบัน

หมวดค่าใช้จ่าย	งบประมาณรวมทั้งโครงการ	ค่าใช้จ่าย (บาท)	คงเหลือ (หรือเกิน
งบบุคลากร :ค่าจ้างชั่วคราว			
งบดำเนินงาน			
ค่าตอบแทน			
ค่าใช้สอย			
ค่าวัสดุ	50,000	50,000	-
ค่าสาธารณูปโภค			
งบลงทุน: ค่าครุภัณฑ์			
รวม	50,000	50,000	-

(รศ.ดร.พิพัฒน์ พรหมมี)
ลงนามหัวหน้าโครงการวิจัยผู้รับทุน
22/พ.ย./58

( )
ลงนามเจ้าหน้าที่การเงิน/เจ้าหน้าที่ที่เกี่ยวข้อง
/ /

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

ข้อมูลประวัติคณะผู้วิจัย

ชื่อ-นามสกุล รศ.ดร.พิพัฒน์พรหมมี (ผู้วิจัย)

หน่วยงานและสถานที่อยู่ที่ติดต่อ

สาขาวิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง เลขที่ 1 ถนนฉลองกรุง 1 เขตลาดกระบัง กรุงเทพฯ 10520 โทรศัพท์: 0-2329-8324

E-mail: pipat@telcom.kmitl.ac.th

ประวัติการศึกษา

- สำเร็จการศึกษาอุตสาหกรรมศาสตรบัณฑิต สาขาวิชาเทคโนโลยีโทรคมนาคม คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2534
- สำเร็จการศึกษาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2537
- สำเร็จการศึกษาวิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา

ประสบการณ์งานวิจัยที่เกี่ยวข้อง และ/หรือที่ผ่านมา

[1] **Pipat Prommee**, Kobchai Dejhan, "An Integrable electronic-controlled quadrature sinusoidal oscillator using CMOS operational transconductance amplifier," Int. Journal of Electronics, Vol.89, No.5, pp.365-379, May 2002. (IF2001=0.295)

[2] **Pipat Prommee**, Krit Angkeaw, Montri Somdunyakanok and Kobchai Dejhan, "CMOS-based near zero-offset multiple inputs max–min circuits and its applications," Analog Integrated Circuits and Signal Processing, vol.61, No.1, pp. 93-105, Oct. 2009. (IF2008=0.591)

[3] **Pipat Prommee**, Thanate Pattanatadapong "Realization of Tunable Pole-Q Current-Mode OTA-C Universal Filter," Circuits, Systems, and Signal Processing, Vol. 29, No. 5, pp.913–924, October, 2010. (IF2009=0.794)

[4] **Pipat Prommee**, Montri Somdunyakanok, "CMOS-based current-controlled DDCC and its applications to capacitance multiplier and universal filter," AEU - International Journal of Electronics and Communications, Vol. 65, No.1, pp.1-8, Jan. 2011. (IF2009=0.508)

[5] **Pipat Prommee**, Napat Sra-ium, Kobchai Dejhan, "High-frequency log-domain current-mode multiphase sinusoidal oscillator," IET Circuits Devices Syst. (Formerly IEE), Vol. 4, Issue. 5, pp. 440–448, Sep. 2010. (IF2009=0.548)

[6] **Pipat Prommee**, Kittikhun Chattrakun, "CMOS WTA maximum and minimum circuits with their applications to analog switch and rectifiers," Microelectronics Journal, Vol.42, No.1, pp. 52-62, Jan. 2011. (IF2009=0.778)

[7] Krit Angkeaw, **Pipat Prommee**, "Two digitally programmable gain amplifiers based on current conveyors," Analog Integrated Circuits and Signal Processing, Vol.67, No.2, pp.253–260, May 2011. (IF2009=0.408)

[8] Winai Jaikla and **Pipat Prommee**, " Electronically tunable current-mode multiphase sinusoidal oscillator employing CCCDTA-based allpass filters with only grounded passive elements," Radioengineering, Vol.20, No.3, pp. 594-599, Sep. 2011. (IF2010=0.503)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.

[9] **Pipat Prommee**, Nattawit Prapakorn and M.N.S. Swamy, "Log-Domain Current-mode Quadrature Sinusoidal Oscillator," Radioengineering, Vol.20, No.3, pp. 600-607, Sep. 2011. (IF2010=0.503)

[10] **Pipat Prommee**, Natapong Wongprommoon, "Log-domain All-pass Filter-based Multiphase Sinusoidal Oscillators," Radioengineering, VoL. 22, No.1, pp.14-23, APRIL 2013. (IF2011=0.739)

[11] **Pipat Prommee**, Kobchai Dejhan, "Single-input Multiple-output Tunable Log-domain Current-mode Universal Filter ," Radioengineering, VoL. 22, No.2, pp.474-484, JUNE 2013. (IF2011=0.739)

[12] Fabian Khateb, Nabhan Khatib, **Pipat Prommee**, Winai Jaikla, and Lukas Fujcik, "Ultra-low Voltage Tunable Transconductor based on Bulk-driven Quasi-floating-gate Technique," Journal of Circuits, Systems, and Computers, Vol. 22, No. 8, 2013. (IF2012=0.238)

[13] Fabian Khateb, Winai Jaikla, Montree Kumngern, **Pipat Prommee**, "Comparative study of sub-volt differential difference current conveyors," Microelectronics Journal, Vol.44, No.12, pp. 1278-1284, Dec. 2013. (IF2012=0.912) (Download)

ชื่อ-นามสกุล นาย เทิดศักดิ์ กันโต (ผู้ช่วยวิจัย)

หน่วยงานและสถานที่อยู่ที่ติดต่อ

สาขาวิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง เลขที่ 1 ถนนฉลองกรุง 1 เขตลาดกระบัง กรุงเทพฯ 10520 โทรศัพท์: 0-2329-8324 E-mail: terdsakkm@gmail.com

ประวัติการศึกษา

- สำเร็จการศึกษาอุตสาหกรรมศาสตรบัณฑิต สาขาวิชาโทรคมนาคม วิทยาลัยเทคโนโลยีอุตสาหกรรม มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ ในปีการศึกษา 2551
- สำเร็จการศึกษาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2556

ประสบการณ์งานวิจัยที่เกี่ยวข้อง และ/หรือที่ผ่านมา

[1] **เทิดศักดิ์ กันโต** มนตรี สมดุลยกนก และ พิพัฒน์ พรหมมี, "วงจรกรองความถี่รูปแบบกระแสปรับค่าได้ทางอิเล็กทรอนิกส์โดยใช้ CCCFCC เพียงตัวเดียวและอุปกรณ์พาสซีฟแบบต่อกราวด์," ประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 35, นครนายก, 12-14 ธันวาคม 2555

[2] มนตรี สมดุลยกนก **เทิดศักดิ์ กันโต** และพิพัฒน์ พรหมมี, "การสังเคราะห์ขดลวดเหนี่ยวนำชนิดลอยตัวโดยใช้วงจร CCDDCCs และการประยุกต์ใช้งาน," ประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 35, นครนายก, 12-14 ธันวาคม 2555

[3] **เทิดศักดิ์ กันโต** และพิพัฒน์ พรหมมี, "วงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสามปรับค่าได้รูปแบบกระแสชนิดขั้นบันได โดยใช้เทคโนโลยีซีมอส," การประชุมวิชาการเครือข่ายวิศวกรรมไฟฟ้ามหาวิทยาลัยเทคโนโลยีราชมงคล ครั้งที่ 6 (EENET 2014), กระบี่, 26-28 มีนาคม 2557 (บทความดีเด่น)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
This material is reserved for educational use only, not allowed for commercial use.
Forbidden to modify the content, and cite the document when use.