สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

รายงานการวิจัย

เรื่อง

ประสิทธิภาพการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ภาษา VHDL

Teaching Efficiency in Digital Logic and Circuit Design by Using VHDL Language

โดย

นางสาวพรพิมล ฉายรัศมี

ได้รับทุนสนับสนุนงานวิจัยจากเงินรายได้ ประจำปีงบประมาณ 2553

คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

b.12596966
i.

เลขหมู่
เลขทะเบียน 131068
วัน,เดือน,ปี 21 พค. 2557

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อโครงการ	ประสิทธิภาพการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL Teaching Efficiency in Digital Logic and Circuit Design by Using VHDL Language
ได้รับทุนอุดหนุนการวิจัยจาก	คณะครุศาสตร์อุตสาหกรรม สจล. ประจำปี 2553 จำนวนเงิน 50,000 บาท
ระยะการทำวิจัย	1 ปี ตั้งแต่ 1 ตุลาคม 2552 ถึง 30 กันยายน 2553
ผู้ดำเนินการวิจัย	พรพิมล ฉายรัศมี
หน่วยงาน	ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

การวิจัยครั้งนี้นำเสนอวิธีการเรียนการสอนซึ่งใช้การทดลองปฏิบัติทั้งหมดสามรูปแบบ ได้แก่ การทดลองต่อวงจรจริง (hands-on) การจำลองระบบด้วยคอมพิวเตอร์ (computer simulation) และการใช้ชุดปฏิบัติการแบบโปรแกรมได้ด้วยภาษา VHDL (CPLD board) ในวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ สำหรับนักศึกษาสาขาวิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง การวิจัยนี้มีวัตถุประสงค์เพื่อหาประสิทธิภาพการเรียนการสอนสำหรับวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ โดยใช้ความคิดเห็นของนักศึกษา เครื่องมือที่ใช้ในวิจัยครั้งนี้คือ ใบงานการทดลองจำนวน 7 ใบงาน โปรแกรมสำหรับการจำลองระบบชื่อ Digital Works และกล่องเครื่องมือ ซึ่งเป็นกล่องที่สามารถใช้ทำการทดลองนอกสถานที่ได้ โดยในกล่องเครื่องมือประกอบด้วย บอร์ด CPLD พร้อมบอร์ดแสดงผล โพรโต้บอร์ด ไอซี TTL เบอร์ต่างๆ พร้อมสายต่อ แหล่งกำเนิดไฟฟ้ากระแสตรงขนาด 5 โวลต์ และอื่นๆ เมื่อนักศึกษาได้เรียนเนื้อหาภาคทฤษฎีจากผู้สอนแล้ว นักศึกษาจะได้รับมอบหมายให้ทำการทดลองตามใบงานที่กำหนด โดยนักศึกษาต้องใช้เวลาพิเศษนอกเวลาเรียนทำการทดลองซึ่งประกอบด้วยการทดลองทั้งสามรูปแบบให้เสร็จสิ้น

หลังจากที่ได้ทดลองใช้วิธีการเรียนการสอนดังกล่าวเป็นเวลา 2 ปีการศึกษาติดต่อ พบว่านักศึกษามีความเห็นว่าวิธีการเรียนนี้ช่วยให้นักศึกษามีความเข้าใจทฤษฎีมากขึ้นและสามารถนำเอาความรู้ที่ได้ไปประยุกต์ใช้ในวิชาที่ซับซ้อนมากขึ้นได้ นอกจากนี้นักศึกษายังมีความเห็นว่าวิธีการทำการทดลองทั้งสามรูปแบบมีความสำคัญและช่วยส่งเสริมให้นักศึกษามีทักษะในการลงมือปฏิบัติมากยิ่งขึ้น แต่อย่างไรก็ตามการทดลองปฏิบัติเหล่านี้ใช้เวลามากในการทำให้เสร็จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSTRACT

This research proposes a teaching methodology that utilizes three laboratory setups, which are the hands-on laboratory, the computer simulation, and the programmable logic device (PLD) laboratory, in a digital circuit and logic design class of the department of Engineering Education, Faculty of Industrial Education, King Mongkut Institute of Technology Ladkrabang. The objective of the research is to find the effectiveness of the teaching method in term of students' feedback and opinion. The tools using in this research are a set of lab sheets, a computer simulation program called digital works, and a laboratory equipment box. The box is portable and contains a PLD board with a displaying module, a breadboard, the TTL ICs with wires, a 5 V DC power supply, and accessories. After each instructor's lecture, students get an assignment to complete a lab sheet, which includes 3 parts; the simulation, the hands-on laboratory, and the PLD programming. The students have to spend time after class or at home to finish the assignment each week.

After two consecutive years of using the teaching method, the students found that the way of laboratory setup helps them to understand the theories and to be able to apply them to the related advance courses. Also, they agree that all 3 parts of the laboratory are important and encourage them to have more hands-on skill. However, they take much time to finish all assignments.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญเรื่อง

	หน้า
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 วัตถุประสงค์ของการวิจัย	2
1.3 สมมติฐานของการวิจัย	2
1.4 กรอบแนวคิดที่ใช้ในการวิจัย	3
1.5 ขอบเขตของการวิจัย	3
1.6 ข้อตกลงเบื้องต้น	3
1.7 นิยามศัพท์เฉพาะที่ใช้ในการวิจัย	3
1.8 ประโยชน์ที่คาดว่าจะได้รับ	4
บทที่ 2 เอกสารและงานวิจัยที่เกี่ยวข้อง	5
2.1 การศึกษาเนื้อหาวิชา	5
2.2 วิธีการสร้างชุดปฏิบัติการและใบงานการทดลอง	7
2.3 การหาประสิทธิภาพการเรียนการสอน	8
2.4 การทดลองปฏิบัติ	10
2.5 งานวิจัยที่เกี่ยวข้อง	11
บทที่ 3 วิธีการดำเนินการวิจัย	13
3.1 การเตรียมการวิจัย	13
3.2 การกำหนดประชากรและกลุ่มตัวอย่าง	14
3.3 การสร้างเครื่องมือที่ใช้ในการวิจัย	14
3.4 การดำเนินการทดลองและรวบรวมเก็บข้อมูล	19
3.5 สถิติที่ใช้ในการวิเคราะห์ข้อมูล	21
บทที่ 4 ผลการวิเคราะห์ข้อมูล	22
4.1 ผลการหาประสิทธิภาพการเรียนการสอนจากแบบสอบถามแบบ Rating Scale	22
4.2 ผลการหาประสิทธิภาพการเรียนการสอนจากแบบสอบถามแบบปลายเปิด	24
บทที่ 5 สรุปผลการวิจัย อภิปรายผลและข้อเสนอแนะ	25
5.1 วัตถุประสงค์ของการวิจัย	25
5.2 สมมติฐานของการวิจัย	25
5.3 ประชากรและกลุ่มตัวอย่าง	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

5.4 เครื่องมือที่ใช้ในการวิจัย 25

5.5 การเก็บรวบรวมข้อมูล 26

5.6 การวิเคราะห์ข้อมูล 27

5.7 สรุปผลการวิจัย 27

5.8 อภิปรายผลการวิจัย 28

5.9 ข้อเสนอแนะจากการวิจัย 29

บรรณานุกรม 30

ภาคผนวก ก ใบงานการทดลองประกอบวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ 32

ภาคผนวก ข ชุดปฏิบัติการแบบโปรแกรมได้ด้วยภาษา VHDL 106

ภาคผนวก ค แบบสำรวจความคิดเห็นของกลุ่มตัวอย่าง 109

ภาคผนวก ง การวิเคราะห์ข้อมูล 114

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 3.1 คุณสมบัติของชิฟ CPLD ตระกูล XC9500 17

ตารางที่ 4.1 ผลจากแบบสอบถามหลังได้รับการเรียนการสอนวิชาการออกแบบวงจรดิจิตอล และวงจรตรรกะ 22

ตารางที่ ง.1 ผลการประเมินประสิทธิภาพของการเรียนการสอนจากความคิดเห็นของนักศึกษา ปีการศึกษา 1/2553 114

ตารางที่ ง.2 ผลการประเมินประสิทธิภาพของการเรียนการสอนจากความคิดเห็นของนักศึกษา ปีการศึกษา 1/2554 114

ตารางที่ ง.3 ผลการประเมินประสิทธิภาพของการเรียนการสอนจากความคิดเห็นของนักศึกษา ปีการศึกษา 1/2553 และ 1/2554 แยกตามระดับและจำนวน 118

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

หน้า

ภาพที่ 3.1ขั้นตอนการสร้างใบงานการทดลอง 15
ภาพที่ 3.2 บอร์ด CPLD ที่ใช้ในวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

วิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะนั้นเป็นวิชาพื้นฐานที่ถูกบรรจุไว้ในหลักสูตรต่างๆ ทางด้านวิศวกรรมไฟฟ้าหลายสาขา[1] เช่น สาขาโทรคมนาคม, สาขาคอมพิวเตอร์, สาขาอิเล็กทรอนิคส์, สาขาวัดคุมทางอุตสาหกรรม และ ฯลฯ รวมทั้งยังเป็นวิชาพื้นฐานสำหรับวิชาที่มีความซับซ้อนมากขึ้น เช่นวิชาไมโครโปรเซสเซอร์ วิชาการออกแบบวงจรลอจิกขนาดใหญ่ และอื่นๆ ดังนั้นการเสริมสร้างพื้นฐานที่แข็งแกร่งในวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะนี้จึงมีความสำคัญสำหรับนักศึกษาในการเรียนต่อไปในอนาคต โดยเครื่องมือที่จะช่วยให้นักศึกษาประสบความสำเร็จในการเรียนได้แก่ การทดลองปฏิบัติ

ปัจจุบันการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะนั้นมีรูปแบบการสอนเพื่อเสริมความเข้าใจในทางทฤษฎีต่างๆ โดยใช้การทดลองปฏิบัติ อันได้แก่ การปฏิบัติการทดลองโดยการต่อวงจรจริงหรือการทดลองจำลองระบบและการทำงานของอุปกรณ์ต่างๆ โดยใช้โปรแกรมคอมพิวเตอร์ หรือ การใช้ชุดฝึกประเภทที่สามารถโปรแกรมอุปกรณ์ลอจิกเกต (Programmable Logic Device: PLD) อย่างไรก็ดี การทดลองปฏิบัติเหล่านี้แม้จะช่วยในการสร้างความเข้าใจให้กับผู้เรียนมากขึ้น แต่ก็ยังประสบปัญหาบางประการเช่น การต่อวงจรจริงนั้นถึงแม้จะทำให้ผู้เรียนเห็นภาพจริงของวงจรที่ออกแบบมาแต่ก็ต้องใช้เวลามากในการปฏิบัติ และต้องใช้อุปกรณ์ประเภทลอจิกเกตซึ่งทำให้วงจรที่ได้มีขนาดใหญ่และมีราคาแพงได้ รวมทั้งไม่สามารถมั่นใจได้ว่าวงจรที่ต่อเสร็จแล้วนั้นสามารถทำงานได้จริงตามที่ออกแบบ [2] ส่วนการใช้โปรแกรมคอมพิวเตอร์ในการจำลองระบบ (simulation) นั้นจะทำให้ผู้เรียนมองไม่เห็นภาพจริงของการทำงานของวงจรที่ออกแบบมาจึงไม่เป็นที่สนใจของผู้เรียน ถึงแม้ว่าจะมีโปรแกรมการจำลองระบบมากมายในปัจจุบันที่พัฒนามากขึ้นเพื่อให้โปรแกรมสามารถทำงานได้ในลักษณะที่เหมือนกับการต่อวงจรจริง แต่ก็ยังคงมีข้อเสียในหลายรูปแบบ นอกจากนี้ ทั่วไปมีความเห็นว่า การจำลองระบบโดยใช้โปรแกรมนั้นไม่สามารถนำมาใช้แทนการทำการทดลองต่อวงจรจริงได้ [2] ในขณะที่ การใช้ชุดฝึกประเภท PLD จะสามารถลดเวลาในการสร้างวงจร และยังมีส่วนแสดงผลซึ่งทำให้ผู้เรียนมองเห็นภาพจริงได้ อย่างไรก็ตาม ผู้เรียนต้องมีความรู้ในการเขียนภาษาอธิบายลักษณะพฤติกรรมหรือ Hardware Description Language (HDL) เช่น VHDL หรือ Verlilog HDL [3] จากผลการวิจัยพบว่าการใช้ฮาร์ดแวร์ PLD ในวิชาการออกแบบวงจรดิจิตอลเบื้องต้นนั้นช่วยให้ผู้เรียนมีความเข้าใจในเนื้อหาของวิชามากกว่าการใช้การจำลองระบบเพียงอย่างเดียว แต่ก็มีผลทำให้ผู้เรียนมีทักษะในการเขียนโปรแกรมมากกว่าทักษะทางด้านการปฏิบัติต่อวงจร ดังนั้น การต่อวงจรโดยใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฮาร์ดแวร์ประเภทเกตพื้นฐานจึงควรยังคงอยู่ในการทดลองปฏิบัติ เพื่อให้ผู้เรียนมีความเข้าใจในหลักการของระบบดิจิตอล ถึงแม้ว่าในการทดลองปฏิบัติยุคใหม่จะมุ่งสู่การใช้ฮาร์ดแวร์ PLD ก็ตาม

ในขณะเดียวกัน คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง มีการเปิดสอนหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิตหลักสูตร 5 ปี นักศึกษาที่จบจากหลักสูตรนี้จะเป็นครูในวิทยาลัยเทคนิค โดยคุณสมบัติของครูเทคนิคจำเป็นต้องมีทักษะทั้งทางทฤษฎีและทางปฏิบัติ ในการผลิตครูเทคนิคให้ประสบความสำเร็จนั้นมีข้อจำกัดหลายประการ อาทิ พื้นฐานของนักศึกษาที่เข้ามา โดยมากกว่าครึ่งหนึ่งของนักศึกษานั้นขาดทักษะทางด้านทฤษฎีและปฏิบัติในเรื่องของวงจรแอนาล็อก นอกจากนี้ระยะเวลาของหลักสูตรที่กำหนดให้นักศึกษาใช้เวลาในการศึกษาวิชาต่างๆ นั้นมีจำกัด และหลักสูตรนี้เป็นหลักสูตรที่ผสมระหว่างสาขาวิชาวิศวกรรมและสาขาวิชาการศึกษา ดังนั้น วิชาการทดลองปฏิบัติส่วนหนึ่งจึงถูกแทนที่ด้วยวิชาทางด้านการศึกษา และกลายมาเป็นงานพิเศษที่นักศึกษาและอาจารย์จะต้องทำเพิ่มเติม ในรายวิชาพื้นฐาน

วิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะนี้เป็นวิชาบังคับในหลักสูตรครุศาสตรวิศวกรรม คณะครุศาสตรอุตสาหกรรม และยังเป็นวิชาพื้นฐานสำหรับวิชาทางด้านวิศวกรรมในอีกหลายวิชาเช่นวิชาไมโครโปรเซสเซอร์ และวิชาทางดิจิตอลอื่นๆ ดังนั้นเพื่อให้บรรลุวัตถุประสงค์ของรายวิชาต่างๆ จึงจำเป็นต้องมีการให้ความรู้พื้นฐานแก่นักศึกษาเพื่อการเรียนการสอนที่มีประสิทธิภาพมากขึ้น

จากที่กล่าวมาข้างต้น ผู้วิจัยจึงนำเสนอวิธีการเรียนการสอนที่นำการทดลองปฏิบัติทั้งสามวิธีมาผสมผสานกันในการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ เพื่อหาประสิทธิภาพของการเรียนการสอน โดยนำข้อดีและข้อเสียของแต่ละวิธีการทดลองมาใช้

1.2 วัตถุประสงค์ของการวิจัย

1. เพื่อศึกษาประสิทธิภาพการเรียนการสอนสำหรับวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ภาษา VHDL
2. เพื่อทดลองใช้ชุดฝึกประเภทจำลองอุปกรณ์ต่างๆ ทางดิจิตอลลอจิกที่เขียนด้วยภาษา VHDL ในการเพิ่มประสิทธิภาพการเรียนการสอนสำหรับวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ

1.3 สมมติฐานของการวิจัย

วิธีการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL ร่วมกับการทดลองปฏิบัติอื่นๆ ให้ผลที่มีประสิทธิภาพดีจากการสอบถามความคิดเห็นของนักศึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 กรอบแนวความคิดที่ใช้ในการวิจัย

การเพิ่มประสิทธิภาพการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL ผู้วิจัยยึดขั้นตอนการหาประสิทธิภาพของการเรียนการสอนสำหรับวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ ดังนี้

1. การเตรียมการ
2. การออกแบบใบงานการทดลอง
3. การประเมินและแก้ไข
4. การเก็บข้อมูล
5. การหาประสิทธิภาพหรือคุณภาพ

1.5 ขอบเขตของการวิจัย

1. ประชากร และกลุ่มตัวอย่าง

การวิจัยครั้งนี้ศึกษาจากประชากร คือ นักศึกษาชั้นปีที่ 2 ประจำปีการศึกษา 1/2553 และ 1/2554 จาก สาขาวิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง จำนวน 75 คน

2. ตัวแปรที่จะศึกษา

2.1 ตัวแปรอิสระ (Independent Variables) คือ ใบงานการทดลองร่วมกับชุดทดลองวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL

2.2 ตัวแปรตาม (Dependent Variables) คือ ประสิทธิภาพของใบงานร่วมกับชุดทดลองของกระบวนการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL

1.6 ข้อตกลงเบื้องต้น

1. กลุ่มตัวอย่างที่ใช้ในการทดลอง สามารถใช้ระบบปฏิบัติการ Windows ได้ทุกคน
2. การตอบแบบสอบถามของกลุ่มตัวอย่างถือว่าได้กระทำไปด้วยความจริงใจและความจริงใจ ความรู้สึกอันแท้จริง

1.7 นิยามคำศัพท์เฉพาะที่ใช้ในการวิจัย

เพื่อความเข้าใจที่ถูกต้องตามวัตถุประสงค์ของการวิจัย จึงกำหนดความหมายของคำต่างๆ ที่ใช้ในการวิจัย ดังนี้ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ชุดทดลอง หมายถึง ชุดปฏิบัติการทดลองซึ่งประกอบด้วยโปรแกรมคอมพิวเตอร์จำลองการทำงานของวงจร แผงโพรโต้บอร์ดพร้อมไอซี และชุดปฏิบัติการแบบโปรแกรมได้ด้วยภาษา VHDL

2. เนื้อหา หมายถึง ทฤษฎีที่ใช้ประกอบในใบงานการทดลองที่ให้ความรู้ในส่วนความรู้ความจำ เกี่ยวกับเครื่องมือและอุปกรณ์ที่ใช้ในการทดลอง รวมทั้งความรู้ที่เป็นทฤษฎีประกอบการการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ ตามหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต สถาบันเทคโนโลยี พระจอมเกล้าเจ้าคุณทหารลาดกระบัง

3. ใบงานการทดลอง หมายถึง เอกสารการเรียนรู้ภาคปฏิบัติ ที่เป็นไปตามลำดับอย่างเป็นขั้นตอน รวมทั้งบันทึกผลของการปฏิบัติลงในตารางที่กำหนด เช่น ตัวเลขของค่าที่วัดได้จากการทดลอง กราฟ หรืออื่นๆ ลงในตารางที่กำหนดให้ เป็นต้น

4. ประสิทธิภาพของวิธีการเรียนการสอน หมายถึง ประสิทธิผลของการเรียนการสอน หรือ ความสามารถของวิธีการเรียนการสอนที่สร้างขึ้น ซึ่งวัดได้จากความคิดเห็นของนักศึกษาที่เรียนจากวิธีการเรียนการสอนในรายวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะร่วมกับใบงานการทดลองที่จัดทำขึ้น

5. นักศึกษา หรือ ผู้เรียน หมายถึง นักศึกษาชั้นปีที่ 2 ประจำปีการศึกษา 2553 และ 2554 จากสาขาวิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

1.8 ประโยชน์ที่คาดว่าจะได้รับจากการวิจัย

1. ได้วิธีการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ ที่มีประสิทธิภาพโดยใช้ชุดทดลองร่วมกับใบงานการทดลอง เพื่อใช้กับนักศึกษาภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

2. วิธีการเรียนการสอนที่ได้สามารถนำไปประยุกต์ใช้งานได้กับการเรียนการสอนสำหรับนักศึกษาทุกสาขาวิชาที่มีการเรียนการสอนในวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะหรือวิชาที่เกี่ยวข้องกัน

3. เป็นแนวทางสำหรับผู้ที่ค้นคว้าวิจัย ในการสร้างชุดทดลองที่มีประสิทธิภาพเพื่อประยุกต์ใช้ ในการเรียนการสอนรายวิชาอื่นๆ ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
เอกสารและงานวิจัยที่เกี่ยวข้อง

การวิจัยเรื่องประสิทธิภาพการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL ผู้วิจัยมุ่งเน้นให้ผู้เรียนได้ลงมือปฏิบัติด้วยตนเอง เพราะการเรียนในภาคปฏิบัติจะทำให้ได้รับประสบการณ์ตรง และเป็นการส่งเสริมความรู้ความเข้าใจด้านทฤษฎีแก่ผู้เรียนให้มีมากขึ้น โดยได้ลำดับหัวข้อการศึกษาเอกสารและงานวิจัยที่เกี่ยวข้อง เพื่อศึกษาข้อมูลต่างๆ ดังนี้

2.1 การศึกษาเนื้อหาวิชา

2.2 วิธีการสร้างใบงานการทดลอง

2.3 การหาประสิทธิภาพการเรียนการสอน

2.4 การทดลองปฏิบัติ

2.5 งานวิจัยที่เกี่ยวข้อง

2.1 การศึกษาเนื้อหาวิชา

ในการวิจัยเรื่องประสิทธิภาพการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL ได้ศึกษาเอกสาร และงานวิจัยที่เกี่ยวข้อง ดังหัวข้อต่อไปนี้

2.1.1 หลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต

วิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะนั้นเป็นวิชาพื้นฐานที่ถูกบรรจุไว้ในหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต สาขาครุศาสตร์วิศวกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง โดยมีสังเขปรายวิชาดังนี้

รหัสวิชา 03376009

วิชา การออกแบบวงจรดิจิตอลและวงจรตรรก (DIGITAL CIRCUIT AND LOGIC DESIGN) 3(3-0)

การลดรูปสมการบูลีนด้วยวิธีแผนผังคาร์โนห์ และ Quine-McCluskey Tabulation อุปกรณ์บันทึกลอจิก PLAs PAL และ gate arrays การออกแบบลอจิกด้วย MSI LSI การลดจำนวนชิป การวิเคราะห์และออกแบบวงจรลำดับเข้าจังหวะ สถานะและตารางเวลา การออกแบบวงจรไม่เข้าจังหวะ โมดูลวงจรดิจิตอล การออกแบบหน่วยประมวลผลกลางเบื้องต้น การใช้ภาษา VHDL ออกแบบวงจรดิจิตอลทั่วๆ ไปในระดับเกต

วิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะจัดอยู่ในหมวดของวิชาบังคับที่เป็นพื้นฐานสำหรับวิชาที่มีความซับซ้อนมากขึ้นในทุกแขนงวิชาที่เปิดสอนทั้ง แขนงวิชาวิศวกรรมโทรคมนาคม แขนงวิชาเทคโนโลยีคอมพิวเตอร์ และแขนงวิชาวิศวกรรมอิเล็กทรอนิกส์ เช่นวิชาไมโครโปรเซสเซอร์ วิชาการออกแบบวงจรลอจิกขนาดใหญ่ และอื่นๆ ดังนั้นการเสริมสร้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พื้นฐานที่แข็งแกร่งในวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะนี้ จึงมีความสำคัญในการเรียนของผู้เรียนในรายวิชาตัวอย่างดังนี้

2.1.1.1 วิชาไมโครคอนโทรลเลอร์ รหัสวิชา 03376018 หน่วยกิต3 (3-0) สังเขปรายวิชา คือ กลุ่มของไมโครคอนโทรลเลอร์ตระกูลต่างๆ สถาปัตยกรรมของไมโครคอนโทรลเลอร์ การเปรียบเทียบขนาดของบัส หน่วยความจำโปรแกรม หน่วยความจำข้อมูล รีจีสเตอร์และการอ้างตำแหน่ง ชุดคำสั่ง ภาษาแอสแซมบลี พอร์ตขนานและพอร์ตอนุกรม วงจรนับและจับเวลา การขัดจังหวะ การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ในระบบควบคุมต่างๆ

2.1.1.2 วิชาการออกแบบระบบดิจิตอล รหัสวิชา 03376026 หน่วยกิต 3(3-0) สังเขปรายวิชา คือ ความรู้เบื้องต้นเกี่ยวกับระบบดิจิตอล วงจรดิจิตอลฟังก์ชั่นต่างๆ เทคนิคการออกแบบในระดับการโอนย้ายรีจีสเตอร์ ยุทธศาสตร์การควบคุมสถาปัตยกรรมฮาร์ดแวร์ การสร้างไมโครโปรแกรมมิ่ง การสื่อสารภายใน และการเชื่อมต่อภายนอก ภาษาสำหรับการออกแบบฮาร์ดแวร์และการใช้งานเพื่อกำหนดรายละเอียดการออกแบบ การตรวจสอบ และการเลียนแบบการทำงาน สัญญาณรบกวนในระบบดิจิตอลแบบต่างๆ ตัวอย่างการออกแบบระบบและการสร้างด้วยอุปกรณ์ตรรกที่สามารถโปรแกรมได้แบบต่างๆ

2.1.1.3 วิชาไมโครโปรเซสเซอร์และการอินเตอร์เฟส รหัสวิชา 03376027 หน่วยกิต 3(3-0) สังเขปรายวิชา คือ ความรู้เบื้องต้นของคอมพิวเตอร์ สถาปัตยกรรมไมโครโปรเซสเซอร์ รีจิสเตอร์ แฟลก ชุดคำสั่ง การโปรแกรม ระบบสัญญาณเวลาต่างๆ หน่วยความจำ และการเชื่อมต่อกับหน่วยความจำ ชิปสนับสนุน อินพุตเอาท์พุตและการเชื่อมต่อกับอุปกรณ์ พอร์ตอนุกรมและพอร์ตขนาน อินเตอร์รัปต์ การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก ตัวอย่างการประยุกต์ใช้งานของไมโครโปรเซสเซอร์

2.1.1.4 วิชาการออกแบบเบื้องต้นวงจรรวมขนาดใหญ่มาก รหัสวิชา 03376028 หน่วยกิต 3(3-0) สังเขปรายวิชา คือ การออกแบบวงจรรวมขนาดใหญ่มาก โดยเน้นการออกแบบบนเซลมาตรฐานซีมอส ซึ่งมีหัวข้อต่างๆ คือ กายภาพทรานซิสเตอร์แบบมอส พฤติกรรมและวงจรสมมูลของอุปกรณ์เทคโนโลยีมอสและเลย์เอาต์เชิงกายภาพ การออกแบบของวงจรจัดหมู่และวงจรลำดับ หน่วยความจำพลวัตรและสถิต องค์การของชิป VLSI ตัวอย่างการออกแบบโดยใช้เครื่องมือโปรแกรมคอมพิวเตอร์ช่วยในการออกแบบสำหรับเลย์เอาต์ การตรวจสอบกฎการออกแบบ การถอดพารามิเตอร์ และการเลียนแบบการทำงานด้วยโปรแกรม SPICE เพื่อทำนายประสิทธิภาพ

2.1.2 รายละเอียดของหัวข้อที่ศึกษา

หัวข้อที่ศึกษาในรายวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ ซึ่งเป็นความรู้เบื้องต้นสำหรับนักศึกษาสาขาวิชาครุศาสตร์วิศวกรรม สามารถศึกษาได้จากหนังสือ Contemporary Logic Design ของ R.H. Katz และ G. Borriell [5] ซึ่งเป็นหนังสือที่ได้รับความนิยมใช้เป็นหนังสือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประกอบการเรียนวิชาการออกแบบวงจรดิจิตอลในหลายประเทศ โดยหัวข้อที่นำมานั้นประกอบไปด้วยหัวข้อดังนี้

1. ลอจิกเกตพื้นฐาน (Basic Logic Gates)
2. โครงข่ายลอจิกเกตและทฤษฎีพีชคณิตบูลีน (Logic Gate Networks and Boolean Theorem)
3. ฟังก์ชั่นที่กำหนดได้ไม่สมบูรณ์ และการลดรูปโดยใช้ แผนผังคาร์โนห์ (Incompletely Specified Functions and Karnaugh Maps)
4. ภาษา VHDL เบื้องต้น (Introduction to VHDL)
5. แผนผังคาร์โนห์ และวงจรเข้ารหัสเลขฐานสอง (Karnaugh Map and Encoder)
6. วงจรนับตามลำดับ (Sequential Counter)
7. วงจรนับตามลำดับ 2 (Sequential Counter 2: VHDL)

2.2 วิธีการสร้างชุดปฏิบัติการและใบงานการทดลอง

ในการวิจัยนี้ ผู้วิจัยทำการออกแบบและสร้างชุดปฏิบัติการและใบงานการทดลอง ดังนั้นขั้นตอนการสร้างจึงมีลำดับขั้นตอนการสร้างดังต่อไปนี้

1. ขั้นเตรียมเอกสาร และข้อมูลต่างๆ ที่เกี่ยวข้อง
2. ขั้นเตรียมการหาบุคลากร ที่จะช่วยในการสร้างชุดปฏิบัติการและใบงานการทดลอง
3. ขั้นดำเนินการ
   - 3.1 เลือกเนื้อหาวิชา
   - 3.2 การกำหนดเวลา
   - 3.3 กำหนดวัตถุประสงค์เชิงพฤติกรรม
   - 3.4 จัดลำดับเนื้อหา
   - 3.5 วางแผนวิธีการสอน สื่อที่ใช้สอน กิจกรรมการเรียน และรูปแบบการประเมินผล
   - 3.6 ขั้นตอนการผลิตสื่อ แบ่งออกเป็น 2 ประเภท คือ

     3.6.1 การสร้างชุดปฏิบัติการ ซึ่งเป็นเครื่องมือที่จะนำไปทดลอง โดยทั่วไปแล้วชุดปฏิบัติการ 1 ชุด จะใช้กับนักศึกษาจำนวนไม่เกิน 5 คน การสร้างโดยทั่วไปใช้อุปกรณ์ที่หาซื้อง่าย และต้องมีราคาถูกคุณภาพดี

     3.6.2 การสร้างใบงานการทดลอง จะต้องมีรายละเอียด ทั้งทฤษฎีบรรยาย ประกอบรูป คำตอบ สรุป และแบบฝึกหัดท้ายการทดลอง

   - 3.7 นำชุดปฏิบัติการ และใบงานการทดลอง ไปทดลองใช้
   - 3.8 นำกลับมาปรับปรุงแก้ไข (ถ้ามี)
   - 3.9 ผลิตชุดปฏิบัติการและใบงานการทดลองที่สมบูรณ์ให้เพียงพอกับการใช้งานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การหาประสิทธิภาพการเรียนการสอน (Teaching Effectiveness)

การหาประสิทธิภาพการเรียนการสอนนั้นสามารถทำได้หลายวิธีขึ้นอยู่กับแหล่งที่มาของข้อมูลที่จะนำมาใช้ในการวิเคราะห์หาประสิทธิภาพการเรียนการสอน Beck [9] ได้สรุปแหล่งของการได้มาซึ่งข้อมูลสำหรับการวิเคราะห์หาประสิทธิภาพของการเรียนการสอนไว้ทั้งหมด 12 แหล่งด้วยกัน คือ

2.3.1 ข้อมูลจากความคิดเห็นของผู้เรียน (Student ratings)

ข้อมูลจากความคิดเห็นของผู้เรียนนี้เป็นเครื่องมือที่ใช้วัดผลการทำงานของครู โดยเฉพาะประสิทธิภาพการสอน จากผลของการสำรวจพบว่า 97% ของหัวหน้าภาควิชาใช้การประเมินผลจากนักเรียนในการวัดผลการทำงานของครู และการสอบถามความคิดเห็นของผู้เรียนนั้นถูกใช้เป็นวิธีการหาข้อมูลเพื่อหาประสิทธิภาพการสอนมากที่สุดในการทำวิจัย

2.3.2 ข้อมูลจากความคิดเห็นของผู้เชี่ยวชาญ (Peer ratings)

ความคิดเห็นของผู้เชี่ยวชาญถูกนำมาใช้ในการประเมินประสิทธิภาพการสอน โดยมากกว่า 40% ของคณะในมหาวิทยาลัยต่างๆ นั้นใช้ผู้เชี่ยวชาญสังเกตการณ์หลังจากการสอนเสร็จสิ้นแล้ว (summative evaluation) การตรวจสอบการสอนของผู้เชี่ยวชาญนั้นประกอบด้วยสองกิจกรรม คือ การสังเกตการณ์การสอนในห้อง และการตรวจสอบจากเอกสารการสอน

2.3.3 ข้อมูลจากการประเมินตนเอง (Self-evaluation)

การประเมินตนเองนั้นเป็นข้อมูลที่ใช้ประกอบการประเมินประสิทธิภาพการสอนเท่านั้น เนื่องจากการประเมินตนเองจะมีความลำเอียงจากตัวผู้สอนเอง จากการศึกษาพบว่าผู้สอนบางท่านประเมินตนเองสูงกว่า หรือ เท่ากับ หรือ น้อยกว่า ที่ผู้เรียนประเมิน โดยผู้สอนที่ได้รับการประเมินสูงอยู่แล้วมักจะประเมินตนเองสูงกว่าผู้สอนที่ได้รับการประเมินต่ำ และผู้สอนที่ดีจะประเมินตนเองได้ถูกต้องมากกว่าผู้สอนทั่วไป หรือผู้สอนที่ไม่ดี อย่างไรก็ดี 59% ของผู้บริหารสถานศึกษา ก็ยังต้องการให้ผู้สอนประเมินตนเองหลังการสอนเสร็จสิ้น

2.3.4 ข้อมูลจากการบันทึกภาพ (Videos)

การบันทึกภาพการสอนของผู้สอน สามารถนำมาใช้เป็นหลักฐานการทำงานและสามารถนำมาใช้ประเมินการสอนได้ โดยผู้ประเมินอาจจะเป็น ตัวเอง หรือ ผู้เชี่ยวชาญจำนวนหนึ่งคนหรือมากกว่าก็ได้ ข้อมูลที่ได้จากภาพบันทึกการสอนจะช่วยให้สามารถประเมินวิธีการสอนซึ่งมีส่วนสำคัญในการสื่อสารความรู้สู่ผู้เรียน และนำผลการประเมินมาปรับปรุงการสอนได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.5 ข้อมูลจากการสัมภาษณ์ผู้เรียน (Student interviews)

การสัมภาษณ์ผู้เรียนเป็นกลุ่มเป็นอีกหนึ่งซึ่งผู้สอนให้ความสำคัญมากในแง่ของการได้ข้อมูลที่ถูกต้อง เชื่อถือได้ เป็นประโยชน์ และมีความสำคัญ มากกว่า การสำรวจความคิดเห็นของผู้เรียน การสัมภาษณ์นั้นสามารถแบ่งเป็น 3 ประเภท ตามความเป็นของ Braskamp และ Ory คือ

2.3.5.1 วงควบคุมคุณภาพ (Quality Control Circles) เป็นการสัมภาษณ์ผู้เรียนเป็นกลุ่มโดยผู้สอนเพื่อปรับปรุงการเรียนการสอนในระหว่างภาคการศึกษา โดยผู้สอนรับฟังความคิดเห็นของผู้เรียนและนำมาปรับปรุงโดยเน้นให้ผู้เรียนมีส่วนร่วมในการพัฒนาการเรียนการสอน

2.3.5.2 การสัมภาษณ์กลุ่มผู้เรียน (Classroom Group Interviews) เป็นการสัมภาษณ์ผู้เรียนทั้งชั้น โดยบุคคลอื่นที่ไม่ใช่ผู้สอนโดยใช้ข้อคำถามที่สามารถบ่งบอกข้อดีและข้อด้อยของวิชาและกิจกรรมการสอน

2.3.5.3 การสัมภาษณ์ผู้สำเร็จการศึกษา (Graduate Exit Interviews) เป็นการสัมภาษณ์ผู้สำเร็จการศึกษาเป็นการส่วนบุคคลหรือเป็นกลุ่มโดยคณะผู้สอน ผู้บริหาร หรือ แผนกดูแลผู้เรียน การสัมภาษณ์แบบนี้เป็นการหาข้อมูลโดยรวมของหลักสูตร เพื่อใช้ปรับปรุงหลักสูตร

2.3.6 ข้อมูลจากความคิดเห็นจากศิษย์เก่า (Alumni ratings)

การถามความคิดเห็นจากศิษย์เก่าเกี่ยวกับผู้สอนและประสบการณ์การเรียนนั้นมีส่วนช่วยในการปรับปรุงหลักสูตรและวิธีการสอน ในด้านต่างๆ เช่น คุณภาพการสอน ประโยชน์ของวิชา ความสำเร็จของหลักสูตร ประสิทธิภาพของกระบวณการการสอบเข้า และการเตรียมผู้เรียนสู่ตลาดแรงงาน

2.3.7 ข้อมูลจากความคิดเห็นของนายจ้าง (Employer ratings)

ความคิดเห็นของนายจ้าง หรือตลาดแรงงานของผลผลิตจากหลักสูตรนั้นเป็นประโยชน์ในการปรับปรุงการสอนและหลักสูตรให้เหมาะสมกับผู้เรียนเพื่อให้ผู้เรียนมีความพร้อมในการเข้าสู่ตลาดแรงงาน โดยข้อมูลที่ได้จากนายจ้างนั้นจะได้คุณสมบัติของผู้สำเร็จการศึกษาที่ตลาดต้องการ

2.3.8 ข้อมูลจากความคิดเห็นของผู้บริหาร (Administrator ratings)

ความคิดเห็นของผู้บริหารนั้นได้จากการประเมินผู้สอนเป็นรายปี ตามเกณฑ์การประเมิน ได้แก่ การสอน ทุนสนับสนุน และ การบริการสังคม โดยผลการประเมินจากเอกสารการสอนหรือสอบถามความคิดเห็นจะเป็นข้อมูลในการปรับปรุงการสอนให้มีประสิทธิภาพมากขึ้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.9 ข้อมูลจากแหล่งทุนสนับสนุนการสอน (Teaching scholarship)

แหล่งทุนสนับสนุนการสอนของผู้สอนนั้นเป็นหลักฐานอันหนึ่งที่บ่งบอกถึงประสิทธิภาพการเรียนการสอน ซึ่งส่วนมากการขอทุนสนับสนุนจะได้รับการอนุมัตินั้นจะต้องผ่านการพิจารณาจากผู้เชี่ยวชาญแล้วว่ามีวิธีการเรียนการสอนสมควรได้รับการสนับสนุน ทั้งนี้รวมถึงผลงานทางวิชาการที่ได้จากผลของการสอนในชั้นเรียนอันได้แก่ งานวิจัยด้านการสร้างสื่อการสอน การพัฒนาวิธีการเรียนการสอน ไม่ว่าจะเป็นระดับท้องถิ่น ระดับชาติ หรือ ระดับนานาชาติ

2.3.10 ข้อมูลจากรางวัลด้านการสอน (Teaching awards)

การได้รับรางวัลด้านการสอนเป็นหลักฐานอย่างดีสำหรับผู้สอนในสาขาใดๆ ว่าการสอนนั้นมีประสิทธิภาพ เนื่องจากกฎเกณฑ์ของการได้รับรางวัลนั้นจะต้องผ่านมาตรฐานและผ่านการพิจารณาจากผู้ทรงคุณวุฒิทางด้านการสอนในสาขาวิชานั้นๆ

2.3.11 ข้อมูลจากการวัดผลการเรียน (Learning outcomes measures)

ผลการเรียนของผู้เรียนเป็นสิ่งบ่งบอกถึงการเรียนการสอนที่มีประสิทธิภาพอีกสิ่งหนึ่ง โดยสามารถวัดได้จากผลการสอบมาตรฐาน หรือผลสำเร็จของผู้เรียนได้

2.3.12 ข้อมูลจากแฟ้มสะสมการสอน (Teaching portfolios)

แฟ้มสะสมการสอนเป็นแหล่งข้อมูลที่สรุปงานของผู้สอนทั้งหมด เป็นสิ่งบ่งบอกได้ดีถึงผู้สอนที่มีประสิทธิภาพจากผลงานต่างๆ ที่ดำเนินการมาในหน้าที่ของผู้สอน

2.4 การทดลองปฏิบัติ

การทดลองปฏิบัติด้านวิศวกรรมสามารถแบ่งประเภทได้ทั้งหมด 3 ประเภท [10, 11] คือ

2.4.1 การทดลองปฏิบัติโดยใช้เครื่องมือจริง (Hands-on laboratory)

การทดลองปฏิบัติโดยใช้เครื่องมือจริงนั้นจะเป็นกระบวณการที่ผู้เรียนจะได้สัมผัสกับประสบการณ์จริงโดยตรง ซึ่งมีคุณสมบัติคือ อุปกรณ์ต่างๆ ที่ใช้ในการทดลองเป็นอุปกรณ์จริง และผู้เรียนจะต้องปฏิบัติการทดลองด้วยตนเองในห้องทดลอง ซึ่งผู้เรียนจะได้รับข้อมูลจริงและอาจจะประสบกับผลที่ไม่คาดคิด ที่เป็นความไม่สอดคล้องกันระหว่างทฤษฎีและผลจากการปฏิบัติ ซึ่งทำให้ผู้เรียนเกิดความเข้าใจในบทบาทของการทำการทดลอง อย่างไรก็ตาม การทดลองปฏิบัติโดยใช้เครื่องมือจริงนี้จำเป็นต้องมีค่าใช้จ่ายราคาค่อนข้างสูง ใช้พื้นที่มาก ใช้เวลาของผู้สอนมาก และต้องมีโครงสร้างพื้นฐานในการทำการทดลอง

2.4.2 การทดลองปฏิบัติโดยใช้การจำลอง (Simulated Laboratory)

การทดลองปฏิบัติโดยใช้การจำลองเป็นการทดลองเลียนแบบการทดลองจริง โดยโครงสร้างพื้นฐานที่ต้องการในการทดลองปฏิบัตินั้นไม่ใช่ของจริงแต่จำลองบนคอมพิวเตอร์ ซึ่งการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำลองนี้เป็นวิธีการทดลองปฏิบัติที่สามารถลดค่าใช้จ่ายในการทดลอง ลดเวลาที่ใช้ในการเรียนรู้ และช่วยให้ผู้เรียนมีความเข้าใจมากขึ้น อย่างไรก็ตาม การจำลองอาจทำให้ขาดการเชื่อมโยงระหว่างของจริงและของเสมือน ซึ่งข้อมูลที่ได้จากการจำลองจะไม่ใช่ของจริงจึงทำให้ผู้เรียนไม่สามารถเรียนโดยการลองผิดลองถูกได้

2.4.3 การทดลองปฏิบัติผ่านทางไกล (Remote Laboratory)

การทดลองปฏิบัติผ่านทางไกลถูกกำหนดลักษณะโดยใช้การสื่อสารกับการทดลองปฏิบัติโดยใช้เครื่องมือจริง ซึ่งมีความเหมือนกับการทดลองจริงคือ เป็นการทดลองปฏิบัติที่ต้องใช้สถานที่และอุปกรณ์เหมือนกัน แต่ต่างกันที่การทดลองและผู้ทดลองอยู่ห่างไกลกัน ซึ่งโดยทั่วไปแล้ว อุปกรณ์ที่ใช้ในการทดลองจริงนั้นต้องมีการติดต่อสื่อสารผ่านการควบคุมทางคอมพิวเตอร์ที่อยู่ในที่เดียวกัน แต่สำหรับการทดลองทางไกล ผู้ทดลองจะเก็บข้อมูลผ่านทางอุปกรณ์ควบคุมที่ต่ออยู่กับอุปกรณ์การทดลอง การทดลองปฏิบัติผ่านทางไกลสามารถประหยัดเวลาและเงินจากการแบ่งอุปกรณ์กันใช้ในกลุ่มโรงเรียนที่ใช้ห้องปฏิบัติการณ์ร่วมกัน

2.5 งานวิจัยที่เกี่ยวข้อง

ในการวิจัยครั้งนี้ ผู้วิจัยได้ศึกษางานวิจัยต่างๆ ที่เกี่ยวข้องเพื่อใช้เป็นแนวทางในการวิจัย โดยมีรายละเอียดดังต่อไปนี้

Bryan J. Mealy และ Breton Parks [1] นำเสนอการใช้เครื่องมือสมัยใหม่อันได้แก่ อุปกรณ์ประเภทโปรแกรมได้ (Programmable Logic Devices, PLD) เครื่องมือการออกแบบโดยใช้คอมพิวเตอร์ (Computer Aided Design, CAD) และบอร์ดขยาย PLD ในรายวิชาดิจิตอลและตรรกะระดับพื้นฐานจนถึงการออกแบบ Finite State Machine ระดับกลาง โดยใช้ภาษา Hardware Description Language (VHDL)

David Heise [2] นำเสนอการใช้การทดลองปฏิบัติแบบลงมือทำจริง (Hands-on) ในวิชาสถาปัตยกรรมคอมพิวเตอร์ (Computer Architecture) และเปรียบเทียบผลที่ได้กับการใช้การจำลองโดยคอมพิวเตอร์ (computer simulation) ซึ่งพบว่าการทดลองปฏิบัติแบบลงมือทำจริงนั้นมีประโยชน์ในด้านการเรียนรู้และความเข้าใจทางวิทยาศาสตร์ และการทำวิจัยทางการศึกษา

Y. Zhu, T. Weng, and C.-K. Cheng [3] นำเสนออุปกรณ์ประเภทโปรแกรมได้ เช่น CPLD และ FPGA โดยใช้วิธีการหาประสิทธิภาพการเรียนการสอนโดยใช้แบบสอบถามและการเปรียบเทียบผลคะแนนการสอบปลายภาคระหว่างห้องเรียนที่ไม่ได้ใช้อุปกรณ์ PLD ในเทอมก่อนกับห้องเรียนที่ใช้อุปกรณ์ PLD ในเทอมปัจจุบันนี้ ซึ่งผลการสำรวจความคิดเห็นจากแบบสอบถามและผลคะแนนที่ได้นั้นบ่งชี้ว่าผู้เรียนได้ประโยชน์จากการใช้บอร์ด PLD ในการเรียนวิชาการออกแบบดิจิตอลและวิชาสถาปัตยกรรมคอมพิวเตอร์เบื้องต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Piotr Debiec และ Marcin Byczuk [4] นำเสนอบอร์ดปฏิบัติการแบบใหม่ ซึ่งประกอบด้วยบอร์ด CPLD จำนวน 4 บอร์ด เพื่อให้ผู้เรียนสร้างเป็นชิพมาตราฐาน SSI/MSI และสามารถนำมาต่อเชื่อมกันได้ ผลจากการสังเกตของผู้สอนและความเห็นจากผู้เรียนนั้นถูกนำมาวิเคราะห์และได้ผลว่าการเรียนรู้โดยใช้บอร์ดดังกล่าวมีประสิทธิภาพ และแสดงว่าผู้เรียนนั้นเรียนรู้การแก้ปัญหาด้วยตนเอง การมีจินตนาการทางด้วยวิศวกรรม การออกแบบเป็นโมดูล และการทำงานเป็นกลุ่ม แต่อย่างไรก็ตามการทำการปฏิบัติการทดลองในรูปแบบมาตรฐานก็ยังเป็นสิ่งที่ควรขาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
วิธีดำเนินการวิจัย

การวิจัยครั้งนี้ เป็นการวิจัยเพื่อศึกษาประสิทธิภาพการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL ซึ่งผู้วิจัยได้ดำเนินการวิจัย เป็นขั้นตอนดังต่อไปนี้

3.1 การเตรียมการวิจัย

3.2 การกำหนดประชากรและกลุ่มตัวอย่าง

3.3 การสร้างเครื่องมือที่ใช้ในงานวิจัย

3.4 การดำเนินการทดลอง และเก็บรวบรวมข้อมูล

3.5 สถิติที่ใช้ในการวิเคราะห์ข้อมูล

3.1 การเตรียมการวิจัย

ศึกษารายละเอียด ตามหัวข้อต่อไปนี้

3.1.1 สำรวจและศึกษาปัญหาที่เกิดขึ้นจากการเรียนการสอนในรายวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ และรายวิชาที่เกี่ยวข้อง ซึ่งมีอยู่ในแขนงวิชาวิศวกรรมโทรคมนาคม แขนงวิชาเทคโนโลยีคอมพิวเตอร์ แขนงวิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม และแขนงวิชาวิศวกรรมอิเล็กทรอนิกส์ โดยทำการรวบรวมข้อมูลปัญหาที่เกิดขึ้นจากผู้สอนต่างๆ ด้วยการเก็บข้อมูลจากการสอบถาม และทำการค้นคว้าจากเอกสารทางวิชาการ เพื่อจะกำหนดแนวทางในการสร้างเครื่องมือที่ใช้ในการวิจัย

3.1.2 ศึกษารายละเอียดของหลักสูตร ในวิชาไมโครคอนโทรลเลอร์ รหัสวิชา 03376018 วิชาการออกแบบระบบดิจิตอล รหัสวิชา 03376026 วิชาไมโครโปรเซสเซอร์และการอินเตอร์เฟส รหัสวิชา 03376027 และ วิชาการออกแบบเบื้องต้นวงจรรวมขนาดใหญ่มาก รหัสวิชา 03376028 ตามหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง (ฉบับปรับปรุง พุทธศักราช 2551) โดยผู้วิจัยทำการวิเคราะห์จากลักษณะรายวิชา และนำมาซึ่งการกำหนดหัวข้อการทดลองและวัตถุประสงค์เชิงพฤติกรรม ของใบงานการทดลองสำหรับวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ โดยปรึกษากับอาจารย์ผู้สอน ที่มีประสบการณ์ในรายวิชานี้

3.1.3 ศึกษา ออกแบบลักษณะการทดลอง และวิธีการใช้ชุดทดลองทั้งโปรแกรมคอมพิวเตอร์จำลองการทำงานของวงจร ชุดปฏิบัติการแบบโปรแกรมได้ด้วยภาษา VHDL และการเขียนโปรแกรมด้วยภาษา VHDL เพื่อนำมาสร้างใบงานการทดลองและชุดปฏิบัติการให้สอดคล้องกับวัตถุประสงค์การทดลองสำหรับวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.4 ศึกษาขั้นตอนและวิธีการสร้างชุดปฏิบัติการแบบโปรแกรมได้ด้วยภาษา VHDL และชุดใบงานการทดลองสำหรับวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ

3.1.5 ศึกษาขั้นตอนและวิธีดำเนินการหาประสิทธิภาพของการเรียนการสอนสำหรับวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ

3.2 การกำหนดประชากรและกลุ่มตัวอย่าง

การวิจัยครั้งนี้เป็นการหาประสิทธิภาพของวิธีการเรียนการสอน ซึ่งผู้วิจัยได้กำหนดประชากรและกลุ่มตัวอย่าง คือ นักศึกษาชั้นปีที่ 2 ประจำปีการศึกษา 2553 และ 2554 จาก สาขาวิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง จำนวน 75 คน

3.3 การสร้างเครื่องมือที่ใช้ในงานวิจัย

การสร้างเครื่องมือต่างๆ ที่ใช้ในการวิจัยมีขั้นตอนดังนี้

3.3.1 การสร้างใบงานการทดลอง

3.3.2 การสร้างชุดปฏิบัติการแบบโปรแกรมได้ด้วยภาษา VHDL

3.3.3 การสร้างแบบสอบถามความคิดเห็นเพื่อหาประสิทธิภาพของการเรียนการสอน

3.3.1 การสร้างใบงานการทดลอง

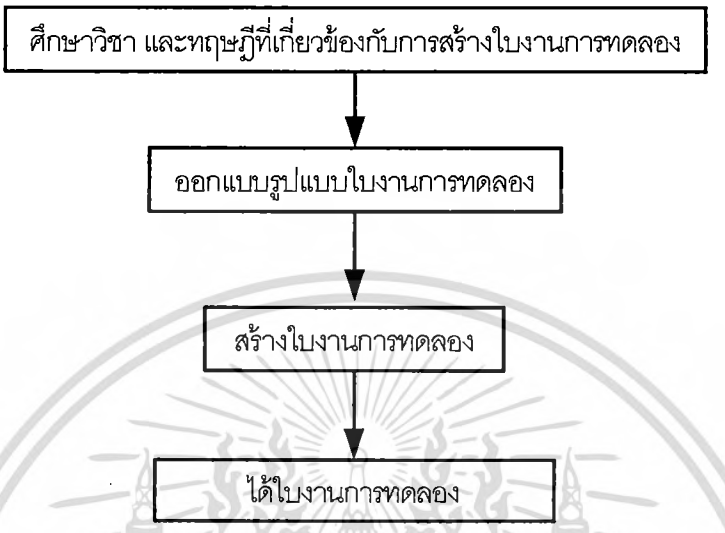
3.3.1.1 ขั้นตอนการสร้างใบงานการทดลอง มีดังนี้

3.3.1.1.1 ศึกษาหลักการและทฤษฎีในรายวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ พร้อมด้วยวิธีการใช้งานชุดทดลองทั้งสามชนิด และศึกษาทฤษฎีที่เกี่ยวข้องกับวิธีการสร้างใบงาน แล้วจึงสร้างใบงานการทดลอง โดยรายละเอียดในใบงานการทดลองจะประกอบด้วย ส่วนต่างๆ ดังนี้

1. ชื่อหัวเรื่องการทดลอง
2. วัตถุประสงค์การทดลอง
3. ทฤษฎี และหลักการเบื้องต้น
4. รายการเครื่องมือ และอุปกรณ์
5. ลำดับขั้นตอนการทดลอง
6. บันทึกผลการทดลอง
7. สรุปผลการทดลอง
8. คำถามท้ายการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1.1.2 ออกแบบรูปแบบใบงานการทดลอง แล้วทำการสร้างใบงานการทดลอง ตรวจสอบความสมบูรณ์ และความถูกต้อง หากมีข้อบกพร่อง ต้องทำการปรับปรุงแก้ไขต่อไป แสดงดังภาพที่ 3.1



ภาพที่ 3.1 ขั้นตอนการสร้างใบงานการทดลอง

3.3.1.2 ใบงานการทดลองที่ออกแบบ มีเนื้อหาครอบคลุมทั้งการออกแบบวงจรตรรกะแบบคอมบิเนชั่นนอล (Combinational Logic design) และแบบซีเควนเชี่ยล (Sequential Logic design) ที่มีเนื้อหาสอดคล้องกับหัวข้อในหนังสือ Contemporary Logic Design ของ R.H. Katz และ G. Borriell [5] โดยมีหัวข้อดังนี้

1. การทดลองที่ 1: ลอจิกเกตพื้นฐาน (Basic Logic Gates)
2. การทดลองที่ 2: โครงข่ายลอจิกเกตและทฤษฎีพีชคณิตบูลีน (Logic Gate Networks and Boolean Theorem)
3. การทดลองที่ 3: ฟังก์ชั่นที่กำหนดได้ไม่สมบูรณ์ และการลดรูปโดยใช้แผนผังคาร์โนห์ (Incompletely Specified Functions and Karnaugh Maps)
4. การทดลองที่ 4: ภาษา VHDL เบื้องต้น (Introduction to VHDL)
5. การทดลองที่ 5: แผนผังคาร์โนห์และวงจรเข้ารหัสเลขฐานสอง (Karnaugh Map and Encoder)
6. การทดลองที่ 6: วงจรนับตามลำดับ (Sequential Counter)
7. การทดลองที่ 7: วงจรนับตามลำดับ 2 (Sequential Counter 2: VHDL)

ใบงานการทดลองทั้งหมดที่ใช้ในการวิจัยครั้งนี้ได้แสดงไว้ในภาคผนวก ข.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 การสร้างชุดทดลองปฏิบัติ

ในงานวิจัยครั้งนี้ ชุดทดลองปฏิบัติจะจัดอยู่ในกล่องเครื่องมือซึ่งนักศึกษาสามารถนำกลับบ้านไปทำการทดลองได้ โดยในแต่ละกล่องประกอบด้วย 3 ส่วนคือ ซอต์ฟแวร์จำลองผลการออกแบบ (simulation program), ชุดโพรโต้บอร์ดและไอซี TTL, และชุดปฏิบัติการแบบโปรแกรมได้ด้วยภาษา VHDL ซึ่งมีรายละเอียดดังนี้

3.3.2.1 ซอต์ฟแวร์จำลองผลการออกแบบ (simulation program) [2, 6]

ซอต์ฟแวร์จำลองผลการออกแบบ เป็นโปรแกรมที่ใช้สำหรับการตรวจสอบความถูกต้องของผลที่ได้จากการออกแบบโดยมีการแสดงผลผ่านทางหน้าจอคอมพิวเตอร์ในรูปแบบต่างๆ กัน เช่นแสดงผลในรูปแบบของลอจิก หรือแสดงผลในรูปแบบของอุปกรณ์จำลอง ในการวิจัยนี้ ซอต์ฟแวร์ที่ถูกเลือกใช้คือ ซอต์ฟแวร์ชื่อ Digital works ซึ่งสร้างโดย David John Barker โปรแกรมชุดนี้มีคุณสมบัติเพียงพอในการจำลองวงจรดิจิตอลและวงจรตรรกเบื้องต้น โดยมีการแสดงผลในรูปของอุปกรณ์จำลองเช่น เกตประเภทต่างๆ ฟลิปฟลอปต่างๆ บิตเจนเนอเรเตอร์ LED และ 7 segment นอกจากนี้โปรแกรมนี้เป็นโปรแกรมประเภท freeware ซึ่งไม่ต้องเสียค่าใช้จ่ายใดๆ

3.3.2.2 ชุดโพรโต้บอร์ดและไอซี TTL

ชุดโพรโต้บอร์ดและไอซี TTL ที่ใช้ในการวิจัยนี้เป็นชุดทดลองทั่วไป โดยผู้วิจัยจัดอุปกรณ์ต่างๆ ที่นักศึกษาจำเป็นต้องใช้ในการประกอบวงจรทดลองตามใบงานที่กำหนด อันได้แก่ โพรโต้บอร์ด ไอซีเบอร์ต่างๆ เช่น 7400 7408 7432 LED 7segment และอุปกรณ์สำหรับสร้างสัญญาณนาฬิกา ซึ่งสร้างจากไอซีเบอร์ 555

3.3.2.3 ชุดปฏิบัติการแบบโปรแกรมได้ด้วยภาษา VHDL

การสร้างชุดปฏิบัติการแบบโปรแกรมได้ด้วยภาษา VHDL สำหรับงานวิจัยครั้งนี้ ผู้วิจัยเลือกใช้ฮาร์ดแวร์ประเภทสามารถโปรแกรมได้ที่เรียกว่า CPLD (Complex Programmable Logic Device) ซึ่งมีความซับซ้อนอยู่ระหว่าง PAL (Programmable Array Logic) และ FPGA (Field Programmable Gate Array) และจากคุณสมบัติของอุปกรณ์ประเภท CPLD ที่มีหน่วยความจำที่ไม่เลือนหายเมื่อไม่มีการจ่ายพลังงาน ทำให้ CPLD มีความเหมาะสมในการใช้งานกับงานวิจัยนี้ ที่นักศึกษาต้องนำอุปกรณ์ไปทำการทดลองและนำมาแสดงผลให้ผู้ควบคุมการทดลองตรวจสอบนอกเวลาเรียน ซึ่งสถานที่อาจจะไม่ใช่ห้องคอมพิวเตอร์ที่สามารถดาวน์โหลดหรือแก้ไขโปรแกรมได้

CPLD สามารถสร้างวงจรลอจิกได้ทั้งแบบ Combination และ Sequential โดย CPLD ที่เลือกใช้ในการวิจัยครั้งนี้ ได้แก่ CPLD ตระกูล XC9500 ของบริษัท Xilinx ซึ่งมีคุณสมบัติดังแสดงในตารางที่ 3-1 ในการทดลองในวิชานี้ชุดบอร์ด CPLD ใช้ IC เบอร์ XC95144XL ซึ่งเป็น IC ที่มีจำนวนขาทั้งหมด 144 ขา บรรจุลอจิกเกตมากถึง 3200 เกต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ตารางที่ 3.1 คุณสมบัติของชิพ CPLD ตระกูล XC9500

	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
Macrocells	36	72	108	144	216	288
Usable Gates	800	1,600	2,400	3,200	4,800	6,400
Registers	36	72	108	144	216	288
T_{PD} (ns)	5	7.5	7.5	7.5	10	15
T_{SU} (ns)	3.5	4.5	4.5	4.5	6.0	8.0
T_{CO} (ns)	4.0	4.5	4.5	4.5	6.0	8.0
f_{CNT} (MHz)(1)	100	125	125	125	111.1	92.2
f_{SYSTEM} (MHz)(2)	100	83.3	83.3	83.3	66.7	56.6

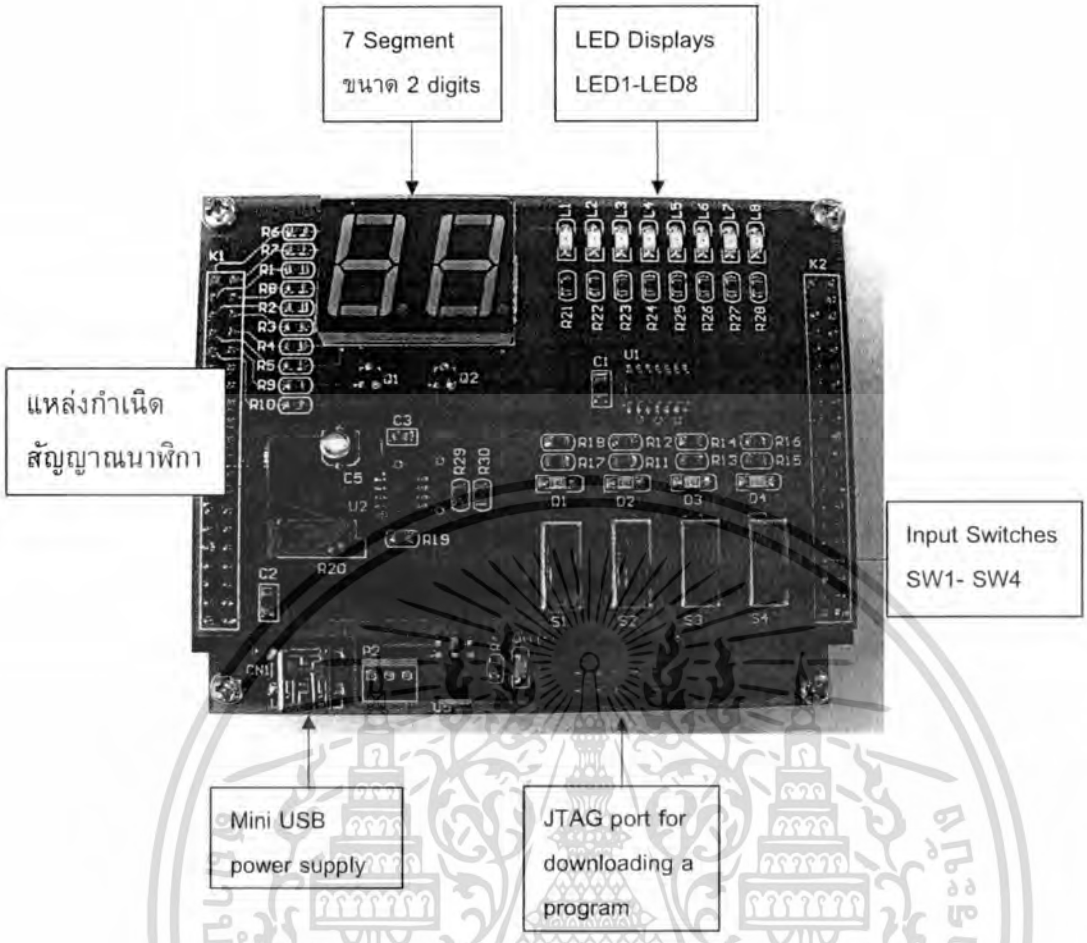
Notes:
1. f_{CNT} = Operating frequency for 16-bit counters.
2. f_{SYSTEM} = Internal operating frequency for general purpose system designs spanning multiple FBs.

บอร์ด CPLD ที่ใช้ในการวิจัยและในการทดลองประจำวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกนี้ประกอบด้วยสองบอร์ด คือ บอร์ดหลักที่บรรจุอุปกรณ์ CPLD และบอร์ดแสดงผลซึ่งประกอบด้วย LED ทั้งหมด 8 ดวง และ 7 Segment จำนวนสองหลัก ทั้งนี้บอร์ดแสดงผลยังทำหน้าที่ในการป้อนอินพุทให้กับบอร์ดหลักเพื่อการประมวลผลด้วย โดยอินพุทสามารถป้อนได้จากสวิทช์ทั้งหมดสี่สวิทช์ ได้แก่ SW1-SW4 และสัญญาณนาฬิกา (Clock) ที่สามารถปรับความถี่ได้จากตัวเก็บประจุแบบปรับค่าได้ (Adjustable Capacitor) ซึ่งสร้างจากวงจรอย่างง่าย โดยใช้ไอซี TTL เบอร์ 555

การดาวน์โหลดโปรแกรมจากคอมพิวเตอร์สู่ชิพ CPLD ในบอร์ดหลักนั้นสามารถทำได้ผ่านโปรแกรม Xilinx และสายดาวน์โหลดซึ่งต่อเข้าสู่บอร์ดหลักทางพอร์ต JTAG (Joint Test Action Group) ส่วนแหล่งจ่ายไฟฟ้าให้กับชุดบอร์ด CPLD ชุดนี้สามารถจ่ายจากพอร์ต USB ของเครื่องคอมพิวเตอร์ ผ่านพอร์ต miniUSB ของบอร์ดหลัก ดังแสดงในภาพที่ 3-2

บอร์ด CPLD ที่ใช้นี้สามารถแยกส่วนกันเป็นสองส่วน คือ ส่วนของบอร์ดหลัก และบอร์ดแสดงผล จึงทำให้สะดวกมากขึ้นหากต้องการใช้สำหรับวิชาอื่นๆ ที่ซับซ้อนกว่านี้ โดยการเปลี่ยนบอร์ดแสดงผลได้ตามต้องการ โดยยึดแผนภาพการโปรแกรมขาต่างๆ ของอุปกรณ์ CPLD ดังแสดงในภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
131068



ภาพที่ 3.2 บอร์ด CPLD ที่ใช้ในวิชาการออกแบบวงจรดิจิตอลและวงจรตรรก

3.3.3 การสร้างแบบสอบถามความคิดเห็นเพื่อหาประสิทธิภาพทางการเรียนการสอน

การสร้างแบบสอบถามเพื่อหาประสิทธิภาพทางการเรียนการสอน เรื่องการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ โดยใช้ ภาษา VHDL จากการทดลองใช้ใบงานที่ออกแบบมาให้สอดคล้องกับเนื้อหาวิชาและชุดปฏิบัติการทดลอง ได้ดำเนินการดังนี้

1. ศึกษาวิธีการสร้างแบบสอบถามความคิดเห็นจากเอกสารต่างๆ ที่เกี่ยวกับขั้นตอนการสร้าง วิธีการสร้างแบบสอบถาม จากนั้นทำการวิเคราะห์หลักสูตรและกำหนดวัตถุประสงค์การเรียนรู้

2. สร้างแบบสอบถามความคิดเห็นอย่างง่ายเพื่อตอบปัญหาที่ต้องการทราบเกี่ยวกับการเรียนการสอนเรื่องการออกแบบวงจรดิจิตอลและวงจรตรรกะ ซึ่งเป็นแบบสอบถามแบบ 2 ตอน ประกอบด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1 ตอนที่ 1: แบบสอบถามในรูปแบบเกณฑ์การประเมินตามความคิดเห็น 5 ระดับ คือระดับ 5, 4, 3, 2 และ 1 โดยเรียงจากระดับ มากที่สุด มาก ปานกลาง น้อย และน้อยที่สุด ตามลำดับ

2.2 ตอนที่ 2: แบบสอบถามแบบปลายเปิดที่ให้กลุ่มตัวอย่างได้เสนอความคิดเห็นที่ต้องการนอกเหนือจากข้อคำถามในตอนที่ 1

3.4 การดำเนินการทดลอง และเก็บรวบรวมข้อมูล

งานวิจัยชิ้นนี้มีแรงจูงใจคือความต้องการเพิ่มความรู้และความเข้าใจให้กับนักศึกษาในการเรียนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะพื้นฐานซึ่งเป็นวิชาแรกในหลักสูตรที่นักศึกษาได้เรียนเกี่ยวกับวงจรดิจิตอลและวงจรตรรกะ โดยใช้การทดลองปฏิบัติที่ประกอบด้วยการทดลอง 3 รูปแบบ คือ การจำลอง (simulation) การต่อวงจร (hands-on) และการใช้ชุดปฏิบัติการแบบโปรแกรมได้ด้วยภาษา VHDL

การดำเนินการวิจัยครั้งนี้เริ่มตั้งแต่ภาคการศึกษา 1/2552 ในรายวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ โดยใช้การทดลองปฏิบัติที่ประกอบด้วยการทดลอง 3 รูปแบบ คือ การจำลอง (simulation) การต่อวงจร (hands-on) และการใช้ชุดปฏิบัติการแบบโปรแกรมได้ด้วยภาษา VHDL ในบางหัวข้อ เพื่อให้ได้ความคิดเห็นเบื้องต้นของวิธีการเรียนการสอน จากการสัมภาษณ์ผู้เรียนหลังจากจบภาคการศึกษามาใช้ในการวิเคราะห์เพื่อปรับปรุงวิธีการดำเนินการให้เหมาะสมที่สุด ซึ่งผลที่ได้จากการทดลองใช้วิธีการเรียนการสอนดังกล่าวนั้นมีแนวโน้มในทางบวก ดังนั้นผู้วิจัยจึงปรับปรุงวิธีการดำเนินการทดลองและการเก็บข้อมูลของการวิจัยเป็นดังนี้คือ

3.4.1 การดำเนินการทดลอง

การดำเนินการทดลองในการวิจัยนี้ผสมผสานการทดลองในรูปแบบต่างๆ ที่มีอยู่ในยุคปัจจุบันเพื่อเสริมความรู้และความเข้าใจให้กับนักศึกษา โดยใช้เวลาเรียนอย่างมีประสิทธิภาพมากที่สุดด้วยการเสริมการทำการทดลองนอกเวลาเรียน ดังนั้นเครื่องมือที่ใช้ในการทดลองจำเป็นต้องรวมอยู่ในกล่องเครื่องมือเคลื่อนที่ (Portable equipment box) วิธีการเรียนการสอนด้วยวิธีดังกล่าวมีขั้นตอนดังนี้

1. ชุดทดลองทั้งหมดจะถูกบรรจุลงในกล่องเครื่องมือเคลื่อนที่ซึ่งประกอบด้วยอุปกรณ์การต่อวงจร บอร์ด CPLD พร้อมบอร์ดแสดงผล แหล่งกำเนิดไฟฟ้ากระแสตรงขนาด 5 โวล์ต และสายไฟสำหรับต่อวงจร และให้กับนักศึกษา 2 คนต่อ 1 ชุด เนื่องจากข้อจำกัดของจำนวนอุปกรณ์ที่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การทดลองจะมีทั้งหมด 7 การทดลอง ดังแสดงในภาคผนวก ก โดยจะมีขึ้นหลังการเรียนการสอนภาคทฤษฎีเสร็จสิ้นในหัวข้อที่สอดคล้องกัน ผู้สอนต้องใช้เวลาในการสอนอย่างมีประสิทธิภาพโดยหากสัปดาห์ใดที่มีการกำหนดให้ทำการทดลอง ผู้สอนต้องเผื่อเวลาท้ายคาบการสอนไว้อธิบายการทดลอง เพื่อให้นักศึกษาสามารถทำการทดลองนอกห้องเรียนหรือที่บ้านได้

3. ผลการทดลอง (วงจร หรือ บอร์ด CPLD) จะต้องแสดงให้ผู้สอนตรวจสอบซึ่งผู้สอนมีสิทธิที่จะตั้งคำถามในระหว่างการส่งงานซึ่งมีกำหนดให้ส่งหลังคาบเรียนของสัปดาห์ถัดไปที่ได้รับการทดลองไปทำ เพื่อให้มั่นใจว่านักศึกษาทุกคนทำการทดลองเอง

4. รายงานการทดลองฉบับสมบูรณ์ของนักศึกษาแต่ละคนจะต้องส่งให้ผู้สอน 1 วันหลังจากวันที่ส่งผลการทดลอง

5. แบบสอบถามความคิดเห็นของนักศึกษาจะใช้ในการเก็บรวบรวมข้อมูลจากนักศึกษาในปลายภาคเรียนในคาบเรียนสุดท้ายเพื่อนำมาใช้วิเคราะห์ข้อมูลและหาข้อสรุปต่อไป

3.4.2 การเก็บรวบรวมข้อมูล

การเก็บรวบรวมข้อมูล เพื่อศึกษาหาประสิทธิภาพของการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL ทำได้โดยการดำเนินการเก็บรวบรวมข้อมูลจากแบบสำรวจความคิดเห็นของนักศึกษา ดังแสดงในภาคผนวก ค ซึ่งประกอบด้วยสองส่วนคือ

3.4.2.1 แบบสอบถามความคิดเห็นแบบ Rating Scale

การทดลองเพื่อหาประสิทธิภาพของการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL ผู้วิจัยจะดำเนินการ โดยนำแบบสอบถามความคิดเห็นไปสอบถามความคิดเห็นของนักศึกษาหลังได้รับการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ ซึ่งมีทั้งหมด 15 ข้อ ที่ครอบคลุมถึงความรู้สึกเกี่ยวกับการเรียนการสอนและเครื่องมือที่ใช้เพื่อวิเคราะห์หาประสิทธิภาพของการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ โดยการหาค่าเฉลี่ยความรู้สึกเกี่ยวกับการเรียนการสอนโดยใช้ชุดทดลองปฏิบัติทั้งสามแบบ

3.4.2.2 แบบสอบถามแบบปลายเปิด

การทดลองเพื่อหาประสิทธิภาพของการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL นอกจากการสอบถามความคิดเห็นของนักศึกษาโดยใช้แบบสอบถามแบบ Rating Scale แล้ว ผู้วิจัยยังเปิดโอกาสให้นักศึกษาให้ความคิดเห็นเพิ่มเติมในประเด็นที่แบบสอบถามแบบ Rating Scale ไม่ครอบคลุม โดยการเก็บข้อมูลนั้นได้รวบรวมไว้เพื่อช่วยให้การวิเคราะห์ข้อมูลถูกต้องมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 สถิติที่ใช้ในการวิเคราะห์ข้อมูล

ข้อมูลที่ได้จากแบบสอบถามเป็นข้อมูลชนิดเลือกตอบ โดยใช้แบบวัดเจตคติวิเคราะห์ข้อมูลด้วยวิธีทางสถิติ โดยใช้การแจกแจงความถี่ ค่าเฉลี่ย และส่วนเบี่ยงเบนมาตรฐาน เพื่อใช้สรุปผลการศึกษาประสิทธิภาพของการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ภาษา VHDL ดังสถิติต่อไปนี้

1. มัชฌิมเลขคณิตหรือค่าเฉลี่ย (Arithmetic Mean) กรณีข้อมูลแจกแจงความถี่ [8]

$$\overline{X} = \frac{\sum fX}{n}$$

เมื่อ $\overline{X}$ แทน ค่าเฉลี่ยของกลุ่มตัวอย่าง

X แทน ในกรณีข้อมูลแจกแจงความถี่แบบไม่จัดกลุ่ม หมายถึง คะแนนแต่ละค่า

f แทน ความถี่ของคะแนนแต่ละชั้น

n แทน จำนวนสมาชิกในกลุ่มตัวอย่าง

2. ส่วนเบี่ยงเบนมาตรฐาน (Standard Deviation) เป็นการวัดการกระจายของคะแนนรอบๆ ค่าเฉลี่ย ถ้าส่วนเบี่ยงเบนมาตรฐานมีค่ามาก แสดงว่ามีการกระจายมาก ถ้าส่วนเบี่ยงเบนมาตรฐานมีค่าน้อย แสดงว่ามีการกระจายน้อย [8]

$$S = \sqrt{\frac{n\sum fX^2 - \left(\sum fX\right)^2}{n}}$$

เมื่อ S แทน ค่าส่วนเบี่ยงเบนมาตรฐาน จากข้อมูลแจกแจงความถี่ โดยใช้คะแนนดิบ สำหรับข้อมูลจากกลุ่มตัวอย่างขนาดเล็ก ($n > 30$)

f แทน ค่าความถี่ของคะแนนแต่ละชั้น กรณีแจกแจงความถี่แบบไม่จัดกลุ่ม

X แทน คะแนนแต่ละค่า กรณีแจกแจงความถี่แบบไม่จัดกลุ่ม

n แทน จำนวนสมาชิกในกลุ่มตัวอย่าง ($n > 30$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการวิเคราะห์ข้อมูล

การศึกษาวิจัยครั้งนี้ มีจุดประสงค์เพื่อศึกษาประสิทธิภาพของการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL ซึ่งใช้การทดลองปฏิบัติที่ประกอบด้วยการทดลอง 3 รูปแบบ คือ การจำลอง (simulation) การต่อวงจร (hands-on) และการใช้ชุดปฏิบัติการแบบโปรแกรมได้ด้วยภาษา VHDL เมื่อดำเนินการทดลองวิธีการเรียนการสอนที่เสนอกับกลุ่มตัวอย่างด้วยเครื่องมือที่สมบูรณ์ ซึ่งประกอบด้วย ใบงานการทดลองทั้งหมด 7 ใบงานดังแสดงในภาคผนวก ก ในภาคการศึกษา 1/2553 และ 1/2554 แล้วเก็บข้อมูลของการวิจัยด้วยแบบสอบถามความคิดเห็นจากกลุ่มตัวอย่าง 63 คนจากทั้งหมด 75 คนที่ลงทะเบียนเรียนวิชานี้ (37 คนจากภาคการศึกษา 1/2553 และ 38 คนจากภาคการศึกษา 1/2554) ดังนั้นจากแบบสอบถามที่ได้คืนกลับมาคิดเป็น 84% ของนักศึกษาที่ลงทะเบียนทั้งหมดได้ผลการหาประสิทธิภาพของการเรียนการสอนดังนี้

ผลการหาประสิทธิภาพของการเรียนการสอนโดยใช้ภาษา VHDL

จากการทดลองใช้ชุดปฏิบัติการทดลอง ร่วมกับใบงานการทดลองทั้งหมดแล้วนั้น นักศึกษาได้ทำแบบสอบถามความคิดเห็นหลังการเรียนการสอนซึ่งประกอบด้วยแบบสอบถามความคิดเห็นแบบ Rating Scale และ แบบสอบถามแบบปลายเปิด เมื่อนำข้อมูลมาวิเคราะห์แล้ว ได้ผลดังนี้

4.1 แบบสอบถามความคิดเห็นแบบ Rating Scale

การวิเคราะห์ข้อมูลจากแบบสอบถามความคิดเห็น 5 ระดับ คือระดับ 5, 4, 3, 2 และ 1 โดยเรียงจากระดับ มากที่สุด มาก ปานกลาง น้อย และน้อยที่สุด ตามลำดับโดยการหาค่าเฉลี่ยและค่าเบี่ยงเบนมาตรฐานของความคิดเห็นของนักศึกษากลุ่มตัวอย่างได้แสดงรายละเอียดไว้ในภาคผนวก ง. และสามารถสรุปได้ดังตารางที่ 4.1 ดังนี้

ตารางที่ 4.1 ผลจากแบบสอบถามหลังได้รับการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ

ข้อที่	รายการประเมิน	ระดับ					total	mean	S.D.
		1	2	3	4	5			
1	การ simulation ด้วยโปรแกรม Digital Works ช่วยให้นักศึกษามีความเข้าใจภาคทฤษฎีมากขึ้น	0	0	9	33	21	63	4.19	0.67
2	การต่อวงจรช่วยให้นักศึกษามีความเข้าใจภาคทฤษฎีมากขึ้น	0	0	8	22	33	63	4.40	0.71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อที่	รายการประเมิน	ระดับ					total	mean	S.D.
		1	2	3	4	5			
3	การเขียนโปรแกรมแสดงพฤติกรรมของวงจรด้วยภาษา VHDL ช่วยให้นักศึกษามีความเข้าใจภาคทฤษฎีมากขึ้น	1	1	14	31	16	63	3.95	0.83
4	นักศึกษารู้สึกว่าการต่อวงจรการทดลองมีความจำเป็นในเรียนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ	0	0	5	22	35	62	4.48	0.65
5	นักศึกษาต้องการให้มีขั้นตอนทั้งสาม (simulation, ต่อวงจร และใช้ภาษา VHDL) ในแต่ละการทดลอง	1	4	9	25	24	63	4.06	0.97
6	นักศึกษารู้สึกว่าการต่อวงจรการทดลองมีความยุ่งยาก, น่าเบื่อ และใช้เวลามาก	11	16	16	13	7	63	2.83	1.26
7	นักศึกษาคิดว่าควรลดขั้นตอนการต่อวงจร (ให้มีเพียงการ simulation และการใช้ภาษา VHDL เท่านั้น)	13	15	23	2	9	62	2.66	1.27
8	นักศึกษาคิดว่าการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะจำเป็นต้องมีการต่อวงจรจริง	2	0	7	26	28	63	4.24	0.89
9	นักศึกษาคิดว่ามีความชำนาญในการต่อวงจรในระดับใดเมื่อผ่านกระบวนการเรียนการสอน	1	3	23	29	7	63	3.60	0.81
10	นักศึกษาคิดว่าจะสามารถนำความรู้ไปใช้งานที่ซับซ้อนขึ้นได้	0	4	26	24	9	63	3.60	0.81
11	การทดลองในใบงานดึงดูดความสนใจในการทดลอง	0	8	21	25	8	62	3.53	0.88
12	ความถูกต้องของรูปและตารางในใบงานการทดลอง	0	1	18	26	18	63	3.97	0.80
13	ความชัดเจนเหมาะสมของขนาดตัวอักษร รูปภาพและตาราง	0	1	13	28	20	62	4.08	0.77
14	ความเหมาะสมของรูปแบบใบงาน	0	1	15	32	14	62	3.95	0.73
15	ความสะดวกในการบันทึกค่าต่างๆ ในใบงาน	0	4	12	31	16	63	3.94	0.84
เฉลี่ย								3.83	0.86

จากตารางที่ 4.1 พบว่า กลุ่มตัวอย่างมีความเห็นว่าโดยเฉลี่ยทุกหัวข้อเป็น 3.83 และค่าเบี่ยงเบนมาตรฐาน 0.86 หากแยกพิจารณาเป็นรายข้อพบว่า กลุ่มตัวอย่างมีความเห็นว่าการทดลองปฏิบัติทุกประเภทช่วยทำให้เข้าใจในเรื่องที่เรียนตามข้อคำถามข้อ 1-3 ซึ่งกลุ่มตัวอย่างร้อยละ 85.7 คิดเห็นว่าการ simulation ด้วยโปรแกรม Digital Works ทำให้นักศึกษาเข้าใจทฤษฎีมากขึ้น ในขณะที่กลุ่มตัวอย่างมีความคิดเห็นว่าการต่อวงจรและการเขียนโปรแกรมแสดงพฤติกรรมของวงจรด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาษา VHDL ก็ช่วยให้นักศึกษามีความเข้าใจทฤษฎีมากขึ้นเช่นกันเป็นร้อยละ 87.3 และร้อยละ 74.6 ตามลำดับ

นอกจากนี้นักศึกษามีความคิดเห็นไปในทางเดียวกันว่าการต่อวงจรการทดลองมีความจำเป็นในการเรียนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะด้วยค่าเฉลี่ยถึง 4.48 และค่าเบี่ยงเบนมาตรฐาน 0.67 และจากข้อคำถามที่ 5 แสดงว่ากลุ่มตัวอย่างร้อยละ 77.7 ต้องการให้มีการทดลองทั้งสามประเภทในการทดลองปฏิบัติ โดยร้อยละ 31.7 ของกลุ่มตัวอย่างที่คิดว่าการทดลองแบบต่อวงจรมีความยุ่งยากและน่าเบื่อ (ข้อคำถามที่ 6) ซึ่งมีค่าเฉลี่ยของความคิดเห็นอยู่ที่ 2.83 และค่าเบี่ยงเบนมาตรฐาน 1.26 ที่แสดงว่ากลุ่มตัวอย่างมีความเห็นที่ค่อนข้างแตกแยกกัน

จากข้อคำถามที่ 7 กลุ่มตัวอย่างไม่เห็นด้วยว่าควรลดการต่อวงจรและให้เหลือเพียงการ simulation และการใช้ภาษา VHDL เท่านั้น ด้วยค่าเฉลี่ย 2.66 และค่าเบี่ยงเบนมาตรฐาน 1.27 โดยมีเพียงร้อยละ 17.46 เท่านั้นที่เห็นว่าควรนำการต่อวงจรออก (ไม่ต้องมีการต่อวงจร) เมื่อสังเกตจากค่าเบี่ยงเบนมาตรฐานซึ่งมีค่าสูงในข้อคำถามที่ 7 นี้ พบว่าความเห็นของกลุ่มตัวอย่างค่อนข้างแตกแยก

จากข้อคำถามที่ 8 กลุ่มตัวอย่างมีความเห็นว่าการต่อวงจรจริงมีความจำเป็นสำหรับการเรียนการสอนในวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ ด้วยค่าเฉลี่ย 4.24 และค่าเบี่ยงเบนมาตรฐาน 0.89 ซึ่งแสดงว่ากลุ่มตัวอย่างมีความคิดสอดคล้องกัน และมีเพียง 2 คนที่เห็นว่าไม่จำเป็นต้องมีการต่อวงจรจริง

จากข้อคำถาม 9 และ 10 พบว่าเมื่อผ่านกระบวณการเรียนการสอนด้วยวิธีที่เสนอแล้ว กลุ่มตัวอย่างคิดว่ามีตนเองมีความชำนาญในการต่อวงจรและสามารถนำความรู้ที่ได้ไปใช้กับงานที่ซับซ้อนยิ่งขึ้นได้ในระดับเฉลี่ยเท่ากันที่ 3.60 โดยมีเพียง 4 คนเท่านั้นที่คิดว่าตนเองมีความชำนาญในการต่อวงจรและสามารถนำความรู้ไปใช้ได้ในระดับน้อย

การประเมินใบงานจากกลุ่มตัวอย่างซึ่งเป็นผู้ใช้งานนั้นเป็นไปตามข้อคำถามที่ 11-15 ซึ่งพบว่า ใบงานที่ใช้ในการเรียนการสอนนี้กลุ่มตัวอย่างเห็นว่าใบงานมีระดับคะแนนเฉลี่ยอยู่ในระดับปานกลางถึงดี (3.53-4.08)

4.2 แบบสอบถามความคิดเห็นแบบปลายเปิด

จากแบบสอบถามความคิดเห็นแบบปลายเปิดสามารถรวบรวมความคิดเห็นได้ดังนี้

1. กลุ่มตัวอย่างคิดว่าการเรียนการสอนมีเวลาน้อยเกินไป และต้องใช้เวลาพิเศษหลังเลิกเรียนหรือที่บ้านในการทำการทดลองให้เสร็จ
2. ผู้สอนให้งาน (การบ้าน และการทดลอง) มากเกินไป
3. กลุ่มตัวอย่างบางคนต้องการทำการทดลองมากกว่านี้ โดยเฉพาะการเขียนโปรแกรมบรรยายพฤติกรรมของวงจรโดยใช้ภาษา VHDL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการวิจัย อภิปรายผลและข้อเสนอแนะ

การศึกษาวิจัยครั้งนี้ มีจุดประสงค์เพื่อศึกษาประสิทธิภาพของการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL ซึ่งใช้การทดลองปฏิบัติที่ประกอบด้วยการทดลอง 3 รูปแบบ คือ การจำลอง (simulation) การต่อวงจร (hands-on) และการใช้ชุดปฏิบัติการแบบโปรแกรมได้ด้วยภาษา VHDL เพื่อส่งเสริมให้นักศึกษามีพื้นฐานที่แข็งแกร่งและมีทักษะในการทดลองปฏิบัติมากขึ้น และเป็นไปตามคุณสมบัติของครูเทคนิคที่จำเป็นต้องมีทักษะทั้งทางทฤษฎีและทางปฏิบัติ

5.1 วัตถุประสงค์ของการวิจัย

1. เพื่อศึกษาประสิทธิภาพการเรียนการสอนสำหรับวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ภาษา VHDL
2. เพื่อทดลองใช้ชุดฝึกประเภทจำลองอุปกรณ์ต่างๆ ทางดิจิตอลลอจิกที่เขียนด้วยภาษา VHDL ในการเพิ่มประสิทธิภาพการเรียนการสอนสำหรับวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ

5.2 สมมติฐานการวิจัย

วิธีการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL ร่วมกับการทดลองปฏิบัติอื่นๆ ให้ผลที่มีประสิทธิภาพดีจากการสอบถามความคิดเห็นของนักศึกษา

5.3 ประชากรและกลุ่มตัวอย่าง

การวิจัยครั้งนี้ศึกษาจากประชากร คือ นักศึกษาชั้นปีที่ 2 ประจำปีการศึกษา 2553 และ 2554 จาก สาขาวิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง จำนวน 75 คน

5.4 เครื่องมือที่ใช้ในการวิจัย

เครื่องมือที่ใช้ในการวิจัยครั้งนี้ประกอบไปด้วยสามส่วนคือ ชุดทดลองปฏิบัติ, ใบงานการทดลองจำนวนทั้งหมด 7 ใบงาน และแบบสำรวจความคิดเห็น ซึ่งแต่ละส่วนของเครื่องมือที่ใช้ในการทำวิจัยมีรายละเอียดดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ชุดทดลองปฏิบัติจะจัดอยู่ในกล่องเครื่องมือซึ่งนักศึกษาสามารถนำกลับบ้านไปทำการทดลองได้ โดยในแต่ละกล่องประกอบด้วย 3 ส่วนคือ ซอต์ฟแวร์จำลองผลการออกแบบ (simulation program), ชุดโพรโต้บอร์ดและไอซี TTL, และชุดปฏิบัติการแบบโปรแกรมได้ด้วยภาษา VHDL ดังรายละเอียดปรากฏในบทที่ 3

2. ใบงานการทดลองทั้งหมด 7 มีเนื้อหาครอบคลุมทั้งการออกแบบวงจรตรรกะแบบคอมบิเนชั่นนอล (Combinational Logic design) และแบบซีเควนเชี่ยล (Sequential Logic design) ที่มีเนื้อหาสอดคล้องกับหัวข้อในหนังสือ Contemporary Logic Design ของ R.H. Katz และ G. Borriell [5] ดังแสดงรายละเอียดของใบงานในภาคผนวก ข

3. แบบสอบถามความคิดเห็นอย่างง่ายเพื่อตอบปัญหาที่ต้องการทราบเกี่ยวกับการเรียนการสอนเรื่องการออกแบบวงจรดิจิตอลและวงจรตรรกะ ซึ่งเป็นแบบสอบถามแบบ 2 ตอน ประกอบด้วย

3.1 ตอนที่ 1: แบบสอบถามในรูปแบบเกณฑ์การประเมินตามความคิดเห็น 5 ระดับ คือ ระดับ 5, 4, 3, 2 และ 1 โดยเรียงจากระดับ มากที่สุด มาก ปานกลาง น้อย และน้อยที่สุด ตามลำดับ

3.2 ตอนที่ 2: แบบสอบถามแบบปลายเปิดที่ให้กลุ่มตัวอย่างได้เสนอความคิดเห็นที่ต้องการนอกเหนือจากข้อคำถามในตอนที่ 1

5.5 การเก็บรวบรวมข้อมูล

การเก็บรวบรวมข้อมูล เพื่อศึกษาหาประสิทธิภาพของการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL ทำได้โดยการดำเนินการเก็บรวบรวมข้อมูลจากแบบสำรวจความคิดเห็นของนักศึกษาชั้นปีที่ 2 ประจำปีการศึกษา 1/2553 และ 1/2554 จากสาขาวิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง จำนวน 75 คน หลังจากเสร็จสิ้นกระบวณการเรียนการสอนตามขั้นตอนแสดงในบทที่ 3 แบบสอบถามประกอบด้วยสองส่วนคือ

3.3.1.1 แบบสอบถามความคิดเห็นแบบ Rating Scale

การทดลองเพื่อหาประสิทธิภาพของการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL ผู้วิจัยจะดำเนินการโดยนำแบบสอบถามความคิดเห็นไปสอบถามความคิดเห็นของนักศึกษาหลังได้รับการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ ซึ่งมีทั้งหมด 15 ข้อ ที่ครอบคลุมถึงความรู้สึกเกี่ยวกับการเรียนการสอนและเครื่องมือที่ใช้เพื่อวิเคราะห์หาประสิทธิภาพของการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ โดยการหาค่าเฉลี่ยความรู้สึกเกี่ยวกับการเรียนการสอนโดยใช้ชุดทดลองปฏิบัติทั้งสามแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1.2 แบบสอบถามแบบปลายเปิด

การทดลองเพื่อหาประสิทธิภาพของการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL นอกจากการสอบถามความคิดเห็นของนักศึกษาโดยใช้แบบสอบถามแบบ Rating Scale แล้ว ผู้วิจัยยังเปิดโอกาสให้นักศึกษาให้ความคิดเห็นเพิ่มเติมในประเด็นที่แบบสอบถามแบบ Rating Scale ไม่ครอบคลุม โดยการเก็บข้อมูลนั้นได้รวบรวมไว้เพื่อช่วยให้การวิเคราะห์ข้อมูลถูกต้องมากขึ้น

5.6 การวิเคราะห์ข้อมูล

ผู้วิจัยได้ดำเนินการวิเคราะห์ข้อมูลของการเรียนการสอนสำหรับวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL จากแบบสอบถามความคิดเห็น 5 ระดับ คือระดับ 5, 4, 3, 2 และ 1 โดยเรียงจากระดับ มากที่สุด มาก ปานกลาง น้อย และน้อยที่สุด ตามลำดับโดยการหาค่าเฉลี่ยและค่าเบี่ยงเบนมาตรฐานของความคิดเห็นในรายข้อทั้งหมด 15 ข้อซึ่งครอบคลุมความคิดเห็นในด้านประสิทธิภาพการเรียนการสอนและความคิดเห็นที่กลุ่มตัวอย่างมีต่อใบงานการทดลอง รวมทั้งได้รวบรวมความคิดเห็นอื่นๆ นอกเหนือจากข้อคำถามทั้ง 15 ข้อเพิ่มเติมด้วย ประกอบกับการวิเคราะห์ประสิทธิภาพโดยการเปรียบเทียบเปอร์เซ็นของจำนวนความคิดเห็นของกลุ่มตัวอย่าง ดังแสดงในบทที่ 4

5.7 สรุปผลการวิจัย

จากความเห็นที่รวบรวมได้จากแบบสอบถามพบว่าโดยเฉลี่ยทุกหัวข้อเป็น 3.83 และค่าเบี่ยงเบนมาตรฐาน 0.86 ซึ่งหมายถึงกลุ่มตัวอย่างมีความเห็นไปในแนวทางที่เป็นบวกคืออยู่ในระดับปานกลางถึงดี ถ้าแยกพิจารณาเป็นรายข้อพบว่า กลุ่มตัวอย่างมีความเห็นว่าการทดลองปฏิบัติทุกประเภทช่วยทำให้เข้าใจในเรื่องที่เรียนตามข้อคำถามข้อ 1-3 โดยกลุ่มตัวอย่างเห็นด้วยมากที่สุดว่าการต่อวงจรทำให้เข้าใจทฤษฎีมากขึ้น ที่ร้อยละ 87.3 รองลงมาคือการ simulation ด้วยโปรแกรม Digital Works ที่ร้อยละ 85.7 ในขณะที่การเขียนโปรแกรมแสดงพฤติกรรมของวงจรด้วยภาษา VHDL มีจำนวนกลุ่มตัวอย่างเห็นด้วยน้อยที่สุด ที่ร้อยละ 74.6

นอกจากนี้นักศึกษามีความคิดเห็นไปในทางเดียวกันว่าการต่อวงจรการทดลองมีความจำเป็นในการเรียนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะและต้องการให้มีการทดลองทั้งสามประเภทในการทดลองปฏิบัติ อย่างไรก็ตามกลุ่มตัวอย่างประมาณ 1/3 (31.7%) คิดว่าการทดลองแบบต่อวงจรมีความยุ่งยากและน่าเบื่อ ซึ่งจะเห็นว่ากลุ่มตัวอย่างมีความเห็นที่ค่อนข้างแตกแยกกัน ดังนั้นจึงมีผลให้กลุ่มตัวอย่างจำนวนหนึ่งต้องการให้นำการต่อวงจรออก (ไม่ต้องมีการต่อวงจร) อย่างไรก็ตามกลุ่มตัวอย่างส่วนมากยังคงเห็นว่าการต่อวงจรจริงมีความจำเป็นสำหรับการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรียนการสอนในวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ และเมื่อผ่านกระบวณการเรียนการสอนด้วยวิธีที่เสนอแล้ว ตนเองมีความชำนาญในการต่อวงจรและสามารถนำความรู้ที่ได้ไปใช้กับงานที่ซับซ้อนยิ่งขึ้นได้ ส่วนใบงานทั้งหมด 7 ใบงานที่ใช้ในการเรียนการสอนนี้กลุ่มตัวอย่างเห็นว่าใบงานมีระดับคะแนนเฉลี่ยอยู่ในระดับปานกลางถึงดี (3.53-4.08)

จากการวิเคราะห์ข้อมูลจากแบบสอบถามส่วนที่ 2 (ส่วนปลายเปิด) พบว่ากลุ่มตัวอย่างต้องการมีเวลามากขึ้นในการทำการทดลองปฏิบัติ หรือต้องการให้ลดปริมาณของงานให้น้อยลงเพื่อให้เหมาะสมกับเวลาที่กำหนดตามหลักสูตร แต่อย่างไรก็ตามกลุ่มตัวอย่างบางส่วนมีความสนใจในการเขียนโปรแกรมแสดงพฤติกรรมของวงจรโดยใช้ภาษา VHDL

5.8 อภิปรายผลการวิจัย

จากผลการวิจัยเรื่องประสิทธิภาพของการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL นั้นพบว่าเป็นไปตามสมมติฐานของการวิจัยที่ตั้งไว้ จากผลของการวิจัยนี้สอดคล้องกับผลการวิจัยของ David Heise [2] ซึ่งใช้การทดลองปฏิบัติแบบลงมือทำจริง (Hands-on) ในวิชาสถาปัตยกรรมคอมพิวเตอร์ (Computer Architecture) และเปรียบเทียบผลที่ได้กับการใช้การจำลองโดยคอมพิวเตอร์ (computer simulation) ซึ่งพบว่าการทดลองปฏิบัติแบบลงมือทำจริงนั้นมีประโยชน์ในด้านการเรียนรู้และความเข้าใจทางวิทยาศาสตร์ และการทำวิจัยทางการศึกษา

นอกจากนี้ ผลของการวิจัยนี้ ยังสอดคล้องกับงานวิจัยของ Y. Zhu, T. Weng, and C.-K. Cheng [3] และ Piotr Debiec และ Marcin Byczuk [4] ซึ่งนำเสนอการใช้อุปกรณ์ประเภทโปรแกรมได้ในรายวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ หรือวิชาที่เกี่ยวข้อง แล้วพบว่าการเรียนการสอนด้วยวิธีดังกล่าวมีประโยชน์และมีประสิทธิภาพ ซึ่งงานวิจัยนี้ให้ประสิทธิภาพที่ได้จากแบบสอบถามความคิดเห็นในระดับปานกลางถึงดี

จากผลการวิจัยเรื่องประสิทธิภาพของการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL นั้นมีข้อสังเกตดังนี้คือ

1. ผลจากแบบสอบถามนี้ ข้อคำถามที่ได้คะแนนสูงสุดสองอันดับคือ ข้อ 4 และข้อ 2 ซึ่งได้คะแนนเฉลี่ยที่ 4.48 และ 4.40 ตามลำดับ ทั้งสองข้อนี้เป็นข้อคำถามที่ถามเกี่ยวกับการต่อวงจรที่ให้คำตอบว่ากลุ่มตัวอย่างคิดว่าการต่อวงจรมีความจำเป็นในการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ และยังช่วยให้เกิดความเข้าใจทฤษฎีมากขึ้น ซึ่งอาจสรุปได้ว่าการต่อวงจรยังควรต้องมีอยู่ในการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ

2. กลุ่มตัวอย่างมีความเห็นที่ค่อนข้างแตกแยกกันในเรื่องการต่อวงจร โดย 31.7% มีความเห็นว่าการต่อวงจรมีความยุ่งยากและน่าเบื่อ ซึ่งอาจจะมีเหตุผลจากพื้นฐานเดิมของกลุ่มตัวอย่างที่มีบางส่วนเป็นนักเรียนสายช่างเทคนิคมาก่อน (จบการศึกษาวุฒิ ปวช.) โดยทั่วไปนักเรียน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สายช่างจะมีทักษะการต่อวงจรอยู่แล้วดังนั้นจึงมีความเป็นไปได้ที่จะเกิดความเบื่อหน่าย เนื่องจากการต่อวงจรไม่ใช่สิ่งท้าทายและแปลกใหม่

3. กลุ่มตัวอย่างมีความเห็นที่ไม่ค่อยสอดคล้องกันในเรื่องการลดการต่อวงจรและให้เหลือเพียงการ simulation และการใช้ภาษา VHDL เท่านั้น มีกลุ่มตัวอย่าง 17.46% ที่คิดว่าไม่ควรมีการต่อวงจร แต่ส่วนใหญ่แล้วมีความเห็นอยู่ในระดับกลาง หมายถึงมีก็ได้หรือไม่มีก็ได้ ซึ่งอาจจะมีเหตุผลมาจากการทดลองที่มีความยุ่งยากและใช้เวลา รวมถึงการเรียนครั้งนี้ต้องใช้เวลาพิเศษในการทำการทดลอง ซึ่งสอดคล้องกับข้อคิดเห็นปลายเปิดที่กลุ่มตัวอย่างคิดว่าการเรียนการสอนใช้เวลามากเกินไป

5.9 ข้อเสนอแนะจากการวิจัย

จากผลการวิจัยเรื่อง ประสิทธิภาพของการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL ผู้วิจัยมีข้อเสนอแนะดังนี้

1. การจัดการเรียนการสอนในรายวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะนี้ควรแยกระหว่างทฤษฎีและปฏิบัติ นั่นคือควรจัดให้มีวิชาการทดลองปฏิบัติสำหรับวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะเป็นอีกหนึ่งรายวิชา

2. ในการทำแบบสอบถามควรแยกกลุ่มตัวอย่างเป็นสองกลุ่ม คือกลุ่มที่เป็นนักเรียนสายช่างเทคนิคและนักเรียนสายสามัญ ซึ่งทำให้สามารถแยกความคิดเห็นจากการวิจัยได้ชัดเจนขึ้น

3. การวิจัยครั้งนี้ผู้วิจัยได้สร้างบอร์ด CPLD ที่แยกเป็นโมดูลหลักและโมดูลแสดงผล ซึ่งโมดูลแสดงผลนี้สามารถเปลี่ยนได้ตามความต้องการของผู้ออกแบบ ดังนั้นชุดปฏิบัติการนี้สามารถนำไปใช้ในรายวิชาอื่นๆ ที่ซับซ้อนมากขึ้นได้ หากออกแบบโมดูลแสดงผลให้เหมาะสมกับรายวิชานั้นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] Mealy, B.J.; Parks, B. "Work in Progress-PLD-based introductory digital design in a studio setting." In Frontiers in Education Conference. 10-13 October 2007. *Proceeding of the 37th ASEE/IEEE Frontiers in Education Conference.* Milwaukee, WI. p. F1C-1 – 2.

[2] David Heise. April 2006. "Asserting the inherent benefits of Hands-on Laboratory Projects VS. Computer Simulations." *Journal of Computing Sciences in Colleges.* Vol. 21 Issue 4, pp. 104-110.

[3] Y. Zhu, T. Weng, and C.-K. Cheng. Febuary 2009. "Enhancing learning effectiveness in digital design course through the use of programmable logic boards." *IEEE Transaction on Education,.* Vol. 52, no. 1, pp. 151-156.

[4] Piotr Debiec and Marcin Byczuk. November 2011. "Teaching Discrete and Programmable Logic Design Techniques Using a Single Laboratory Board." *IEEE Transactions on Education.* Vol. 54, No. 4, pp. 652-656.

[5] R. H. Katz and G. Borriell. 2005. *Contemporary Logic Design, 2nd edition.* New Jersey: Pearson Education International.

[6] B. Brown. "Getting Start with Digital Works." http://fac-web.spsu.edu/cs/faculty/bbrown/circuits/howto.html. Accessed: 12 February 2011.

[7] T. Weng, Y. Zhu, and C.K. Cheng. "Digital Design and Programmable Logic Boards: Do Student Actually Learn More?" In Frontiers in Education Conference. 22-25 October 2008. *Proceeding of the 38th ASEE/IEEE Frontiers in Education Conference.* Saratoga Springs, NY. p. S1H-1.

[8] พรรณี ลีกิจวัฒนะ. 2548. **ระเบียบวิธีวิจัย.** กรุงเทพฯ : คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.

[9] Beck, R. 2005. "Survey of 12 Strategies to Measure Teaching Effectiveness." *International Journal of Teaching and Learning in Higher Education,* Vol. 17, No. 1, pp. 48-62.

[10]J. Ma and J. V. Nickerson. 2006. "Hands-On, Simulated, and Remote Laboratories: A Comparative Literature Review." *Journal of ACM Computing Surveys,* Vol. 38, No. 3, Article 7, pp. 1-24.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[11]R. V. Krivickas and J. Krivickas. 2007. "Laboratory Instruction in Engineering Education." *Global Journal of Engineering Education*, Vol. 11, No. 2, pp. 191-196.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

ใบงานการทดลองประกอบวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานการทดลองที่ 1

ลอจิกเกตพื้นฐาน (Basic Logic Gates)

วัตถุประสงค์เชิงพฤติกรรม

นักศึกษาสามารถ

1. จำลองลอจิกเกตพื้นฐานด้วยโปรแกรม Digital Works ได้
2. แสดงคุณสมบัติของลอจิกเกตพื้นฐานโดยการต่อวงจรบนโพรโต้บอร์ดได้

อุปกรณ์การทดลอง

1. โพรโต้บอร์ด
2. IC TTL 7404, 7408, 7432, 7486
3. LED

ความรู้พื้นฐาน

ลอจิกเกตพื้นฐาน (Basic Logic Gates) ที่จะกล่าวในใบงานนี้ประกอบด้วย

1. NOT Gate ใช้สัญลักษณ์ และตารางความจริงคือ

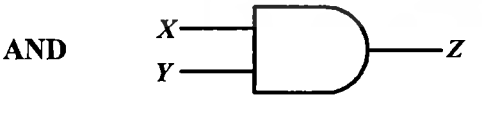
   X' หรือ $\overline{X}$ หรือ ~X

X	Y
0	1
1	0

   IC ที่ใช้ในการต่อวงจรสำหรับ NOT gate นี้ได้แก่ IC TTL 7404 ซึ่งจะประกอบด้วย NOT gate จำนวน 6 gate ดังแสดงใน data sheet 1

2. AND Gate ใช้สัญลักษณ์ และตารางความจริงคือ

   X•Y หรือ XY หรือ $X \wedge Y$



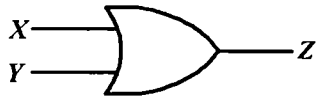
X	Y	Z
0	0	0
0	1	0
1	0	0
1	1	1

   IC ที่ใช้ในการต่อวงจรสำหรับ AND gate นี้ได้แก่ IC TTL 7408 ซึ่งจะประกอบด้วยAND gate จำนวน 4 gate ดังแสดงใน data sheet 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. OR Gate ใช้สัญลักษณ์ และตารางความจริงคือ

   X+Y หรือ $X \vee Y$

OR 

X	Y	Z
0	0	0
0	1	1
1	0	1
1	1	1

IC ที่ใช้ในการต่อวงจรสำหรับ OR gate นี้ได้แก่ IC TTL 7432 ซึ่งจะประกอบด้วย OR gate จำนวน 4 gate ดังแสดงใน data sheet 3

4. XOR Gate (Exclusive OR) จะมีสัญลักษณ์และตารางความจริงดังนี้

XOR $X \oplus Y$

X	Y	Z
0	0	0
0	1	1
1	0	1
1	1	0

IC ที่ใช้ในการต่อวงจรสำหรับ XOR gate นี้ได้แก่ IC TTL 7468 ซึ่งจะประกอบด้วย XOR gate จำนวน 4 gate ดังแสดงใน data sheet 4

ขั้นตอนการทดลอง

1. จำลองการทำงานของเกตพื้นฐานต่างๆ ดังนี้ NOT gate, AND gate, OR gate และ XOR gate โดยใช้โปรแกรม Digital Works ที่แสดงผลโดย LED จำลองในโปรแกรม
2. บันทึกรูปของวงจรที่ได้จากการจำลองการทำงานลงในพื้นที่บันทึกผลการทดลองที่ 1 และบันทึกการติดดับของ LED จำลอง ลงในตารางบันทึกผลการทดลองที่ 1-4 โดยหาก LED ติดให้บันทึก “1” และถ้า LED ดับให้บันทึก “0” ลงในตาราง
3. ทดสอบคุณสมบัติของ IC เบอร์ต่างๆ ดังนี้ TTL 7404 7408 7432 และ 7468 ด้วยการต่อวงจรตาม datasheet และ รูปที่ 1 แล้วแสดงผลที่ LED

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1 แสดงการต่อวงจรลอจิกเกตเพื่อแสดงผลทาง LED

4. บันทึกผลการ ติด/ดับ ของ LED ลงในตารางบันทึกผลการทดลองที่ 1-4 เมื่อกำหนดอินพุทของเกต เป็น 0V (ลอจิก "0") และ 5V (ลอจิก "1") และแสดงผลให้ผู้ควบคุมการทดลองตรวจสอบ
5. เปรียบเทียบผลการทดลองที่ได้ กับทฤษฎี

บันทึกผลการทดลอง

พื้นที่บันทึกผลการทดลองที่ 1 ภาพจำลองการทำงานของลอจิกเกตพื้นฐานทั้งสี่แบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางบันทึกผลการทดลอง

ตารางบันทึกผลการทดลองที่ 1: NOT Gate

อินพุท X	เอาท์พุทY (ทฤษฎี)	เอาท์พุท (จำลอง)	เอาท์พุท (ต่อวงจร)
0			
1			

ตารางบันทึกผลการทดลองที่ 2: AND Gate

อินพุท X	อินพุท Y	เอาท์พุท (ทฤษฎี)	เอาท์พุท (จำลอง)	เอาท์พุท (ต่อวงจร)
0	0			
0	1			
1	0			
1	1			

ตารางบันทึกผลการทดลองที่ 3: OR Gate

อินพุท X	อินพุท Y	เอาท์พุท (ทฤษฎี)	เอาท์พุท (จำลอง)	เอาท์พุท (ต่อวงจร)
0	0			
0	1			
1	0			
1	1			

ตารางบันทึกผลการทดลองที่ 4: XOR Gate

อินพุท X	อินพุท Y	เอาท์พุท (ทฤษฎี)	เอาท์พุท (จำลอง)	เอาท์พุท (ต่อวงจร)
0	0			
0	1			
1	0			
1	1			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อภิปรายและสรุปผลการทดลอง

คำถามท้ายการทดลอง

1. เกตอีกสองชนิดที่ใช้กันมาก คือ NAND gate และ NOR gate ซึ่งมีคุณสมบัติตรงข้ามกับ AND gate และ OR gate จงเขียนตารางความจริงของเกตทั้งสอง
2. NAND gate และ NOR gate สามารถสร้างได้จากเกตพื้นฐานที่ใช้ในการทดลองข้างต้น จงบอกวิธีการสร้างเกตทั้งสองจากเกตพื้นฐาน

เอกสารอ้างอิง

[1] Randy H. Katz and Gaetano Borriello, "Contemporary Logic Design, 2nd edition," Pearson Education International, 2005.

[2] David John Barker, Digital Works for Microsoft Windows, available at: http://www-scm.tees.ac.uk/users/d.j.barker/digital/digital.htm

[3] Datasheet available at: http://www.datasheetcatalog.org/

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Datasheet 1

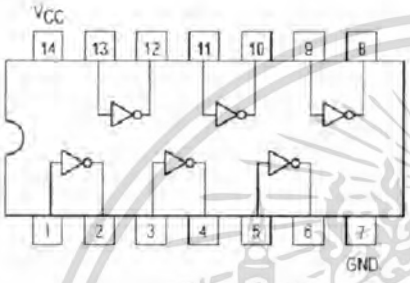
MOTOROLA

HEX INVERTER

SN54/74LS04

HEX INVERTER

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08

N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS04

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				2.4	mA	V_{CC} = MAX	
	Total, Output LOW				6.6			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		9.0	15	ns	V_{CC} = 5.0 V, C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		10	15	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Datasheet 2

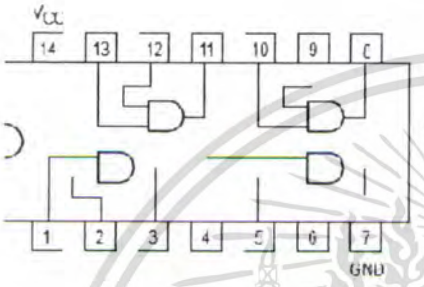
MOTOROLA

QUAD 2-INPUT AND GATE

SN54/74LS08

QUAD 2-INPUT AND GATE

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08

N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS08

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			0.65	1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				4.8	mA	V_{CC} = MAX	
	Total, Output LOW				8.8			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		8.0	15	ns	V_{CC} = 5.0 V C_L = 15 pF
t_{PHL}	Turn On Delay, Input to Output		10	20	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Datasheet 3

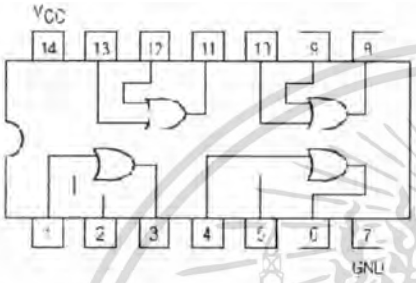
MOTOROLA

QUAD 2-INPUT OR GATE

SN54/74LS32

QUAD 2-INPUT OR GATE

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08

N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS32

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				6.2	mA	V_{CC} = MAX	
	Total, Output LOW				9.3			

Note 1. Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH}	Turn-Off Delay, Input to Output		14	22	ns	V_{CC} = 5.0 V, C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		14	22	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Datasheet 4

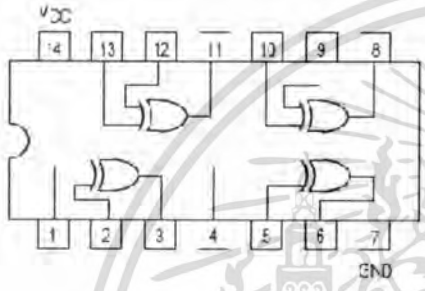
MOTOROLA

SN54/74LS86

QUAD 2-INPUT EXCLUSIVE OR GATE

QUAD 2-INPUT
EXCLUSIVE OR GATE

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08

N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

TRUTH TABLE

IN		OUT
A	B	Z
L	L	L
L	H	H
H	L	H
H	H	L

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS86

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				40	µA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.2	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				10	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH} t_{PHL}	Propagation Delay, Other Input LOW		12 10	23 17	ns	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Propagation Delay, Other Input HIGH		20 13	30 22	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานการทดลองที่ 2

โครงข่ายลอจิกเกตและทฤษฎีพีชคณิตบูลีน (Logic Gate Networks and Boolean Theorem)

วัตถุประสงค์เชิงพฤติกรรม

นักศึกษาสามารถ

1. จำลองโครงข่ายลอจิกเกตโดยใช้โปรแกรม Digital Works และต่อวงจรโครงข่ายลอจิกเกตได้
2. ลดรูปสมการบูลีนที่กำหนดให้โดยใช้ทฤษฎีของบูลีนและต่อวงจรลอจิกเกตจากสมการบูลีนได้
3. เปรียบเทียบผลที่ได้จากการต่อวงจรลอจิกเกตจากสมการบูลีนที่กำหนดกับสมการที่ลดรูปแล้วได้

อุปกรณ์การทดลอง

1. โพรโต้บอร์ด
2. IC TTL 7404, 7408, 7432, 7486
3. LED

ความรู้พื้นฐาน

ทฤษฎีของพีชคณิต Boolean

ทฤษฎีของพีชคณิตบูลีนทั่วไปมีดังต่อไปนี้

Operation with 0 and 1

1. $X+0=X$ 1D. $X \bullet 1=X$

2. $X+1=1$ 2D. $X \bullet 0=0$

Idempotent Theorem

3. $X+X=X$ 3D. $X \bullet X=X$

Involution theorem

4. $(X')'=X$

Theorem of complementarity

5. $X+X'=1$ 5D. $X \bullet X'=0$

Commutative law

6. $X+Y=Y+X$ 6D. $X \bullet Y=Y \bullet X$

Associative law

7. $(X+Y)+Z=X+(Y+Z)$ $=X+Y+Z$ 7D. $(X \bullet Y) \bullet Z=X \bullet (Y \bullet Z)$ $=X \bullet (Y \bullet Z)$

Distributive law

8. $X \bullet (Y+Z)=X \bullet Y+X \bullet Z$ 8D. $X+(Y \bullet Z)=(X+Y) \bullet (X+Z)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการทดลอง

ส่วนที่ 1

1. จงเขียนแผนภาพวงจรลอจิกเกตของสมการ

$$Z = A \cdot B \cdot C = (A \cdot B) \cdot C$$

โดยใช้ AND gate ชนิดสองอินพุทสองตัวเพื่อแทน AND gate ชนิดสามอินพุทหนึ่งตัวลงในพื้นที่บันทึกผลการทดลองที่ 1 โดยใช้โปรแกรมจำลองการทำงาน Digital Works

2. จงหาผลลัพธ์ของสมการในข้อ 1 และดำเนินการ run วงจรจำลองที่วาดไว้ในโปรแกรม Digital Works แล้วบันทึกผลลัพธ์ลงในตารางบันทึกผลการทดลองที่ 1
3. ต่อวงจรที่ได้จากข้อ 1 โดยให้เอาท์พุทต่อกับตัวต้านทานขนาด 330 Ω และหลอด LED ดังรูปที่ 1

รูปที่ 1 แสดงการต่อวงจรลอจิกเกตเพื่อแสดงผลทาง LED

แล้วจ่ายแรงดันให้กับวงจรโดยให้ แรงดัน 5 V เป็นลอจิก 1 และ แรงดัน 0 V เป็นลอจิก 0 ตามลำดับ บันทึกการติดดับของไฟที่แสดงออกทาง LED ที่เอาท์พุทลงในตารางบันทึกผลการทดลองที่ 1 โดยหาก LED ติดให้บันทึก "1" และถ้า LED ดับให้บันทึก "0"

4. เปรียบเทียบผลที่ได้จากสมการและจากการทดลองเพื่อสรุปผลการทดลองและอภิปรายผลการทดลอง
5. จงเขียนวงจรลอจิกเกตของสมการ

$Z = A + B + C = (A + B) + C$

โดยใช้ OR gate ชนิดสองอินพุทสองตัวเพื่อแทน OR gate ชนิดสามอินพุทหนึ่งตัวลงในพื้นที่บันทึกผลการทดลองที่ 2 โดยใช้โปรแกรมจำลองการทำงาน Digital Works

6. จงหาผลลัพธ์ของสมการในข้อ 5 และ ดำเนินการ run วงจรจำลองที่วาดไว้ในโปรแกรม Digital Works แล้วบันทึกผลลัพธ์ลงในตารางบันทึกผลการทดลองที่ 2
7. ต่อวงจรที่ได้จากข้อ 5 โดยให้เอาท์พุทต่อกับตัวต้านทานขนาด 330 Ω และหลอด LED ดังรูปที่ 1 แล้วจ่ายแรงดันให้กับวงจรโดยให้ แรงดัน 5 V เป็นลอจิก 1 และ แรงดัน 0 V เป็นลอจิก 0 ตามลำดับ แล้วบันทึกการติดดับของไฟที่แสดงออกทาง LED ที่เอาท์พุทลงในตารางบันทึกผลการทดลองที่ 2 โดยหาก LED ติดให้บันทึก "1" และถ้า LED ดับให้บันทึก "0"
8. เปรียบเทียบผลที่ได้จากพีชคณิตบูลีนและจากการทดลองเพื่อสรุปผลการทดลองและอภิปรายผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่ 2

9. ใช้พีชคณิตบูลีนลดรูปสมการนี้

$Z = A\overline{B}\,\overline{C} + \overline{A}BC + A\overline{B}C + AB\overline{C}$

เพื่อให้ได้สมการในรูป

a. Z_1 ซึ่งเป็นสมการแบบสองระดับที่มีตัวอักษร 7 ตัวอักษร

b. Z_2 ซึ่งเป็นสมการแบบหลายระดับที่มีตัวอักษร 6 ตัวอักษร

c. Z_3 ซึ่งเป็นสมการสองระดับที่มีตัวอักษร 3 ตัวอักษร และใช้ XOR gate

แล้วแสดงวิธีการลดรูปสมการในพื้นที่บันทึกผลการทดลองที่ 3

10. วาดวงจรของสมการบูลีนทั้งหมด (Z , Z_1 , Z_2 และ Z_3) ในข้อ 7 ลงในพื้นที่บันทึกผลการทดลองที่ 4 โดยใช้โปรแกรมจำลองการทำงาน Digital Works

11. จงหาผลลัพธ์ของสมการในข้อ 9 และดำเนินการ run วงจรจำลองที่วาดไว้ในโปรแกรม Digital Works แล้วบันทึกผลลัพธ์ลงในตารางบันทึกผลการทดลองที่ 3

12. ต่อวงจรที่ได้จากข้อ 10 โดยให้เอาท์พุทต่อกับตัวต้านทานขนาด 330 Ω และหลอด LED ดังรูปที่ 1 แล้วจ่ายแรงดันให้กับวงจรโดยให้ แรงดัน 5 V เป็นลอจิก 1 และ แรงดัน 0 V เป็นลอจิก 0 ตามลำดับ แล้วบันทึกการติดดับของไฟที่แสดงออกทาง LED ที่เอาท์พุทลงในตารางการทดลองที่ 3 โดยหาก LED ติดให้บันทึก "1" และถ้า LED ดับให้บันทึก "0"

13. เปรียบเทียบผลที่ได้จากพีชคณิตบูลีนและจากการทดลองเพื่อสรุปผลการทดลองและอภิปรายผลการทดลอง

บันทึกผลการทดลอง

การทดลองส่วนที่ 1

พื้นที่บันทึกผลการทดลองที่ 1

วงจรการใช้ AND gate แบบสองอินพุทสองตัวแทน AND gate แบบสามอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางบันทึกผลการทดลองที่ 1

สมการบูลีน					การจำลอง		การทดลอง	
A	B	C	AB	Z=(AB)C	Z (ติด/ดับ)	Z (0/1)	Z (ติด/ดับ)	Z (0/1)
0	0	0						
0	0	1						
0	1	0						
0	1	1						
1	0	0						
1	0	1						
1	1	0						
1	1	1						

พื้นที่บันทึกผลการทดลองที่ 2

วงจรการใช้ OR gate แบบสองอินพุทสองตัวแทน OR gate แบบสามอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางบันทึกผลการทดลองที่ 2

สมการบูลีน					การจำลอง		การทดลอง	
A	B	C	A+B	Z=(A+B)+C	Z (ติด/ดับ)	Z (0/1)	Z (ติด/ดับ)	Z (0/1)
0	0	0						
0	0	1						
0	1	0						
0	1	1						
1	0	0						
1	0	1						
1	1	0						
1	1	1						

การทดลองส่วนที่ 1

พื้นที่บันทึกผลการทดลองที่ 3

แสดงการลดรูปสมการในการทดลองข้อที่ 7 เพื่อให้ได้ Z_1, Z_2 และ Z_3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พื้นที่บันทึกผลการทดลองที่ 4

แสดงวงจรของ Z, Z_1, Z_2 และ Z_3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางบันทึกผลการทดลองที่ 3

สมการบูลีน											การจำลอง				การทดลอง			
A	B	C	AB'C'	A'BC	AB'C	ABC'	Z	Z_1	Z_2	Z_3	Z (ติด/ดับ)	Z_1 (ติด/ดับ)	Z_2 (ติด/ดับ)	Z_3 (ติด/ดับ)	Z (ติด/ดับ)	Z_1 (ติด/ดับ)	Z_2 (ติด/ดับ)	Z_3 (ติด/ดับ)
)	0	0																
)	0	1																
)	1	0																
)	1	1																
(	0	0																
(	0	1																
(	1	0																
(	1	1																

อภิปรายและสรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำถามท้ายการทดลอง

1. ใช้พีชคณิตบูลีนลดรูปสมการนี้

$$Z = \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}C + AB\overline{C}$$

เพื่อให้ได้สมการในรูป

a. Z_1 ซึ่งเป็นสมการแบบสองระดับที่มีตัวอักษร 7 ตัวอักษร

b. Z_2 ซึ่งเป็นสมการแบบหลายระดับที่มีตัวอักษร 6 ตัวอักษร

c. Z_3 ซึ่งเป็นสมการสองระดับที่มีตัวอักษร 3 ตัวอักษร และใช้ XOR gate

2. จงวาดรูปวงจรของ Z, Z_1, Z_2 และ Z_3 ที่ได้จากข้อ 1 โดยใช้โปรแกรม Digital Works แล้วตรวจสอบความถูกต้อง

เอกสารอ้างอิง

[1] Randy H. Katz and Gaetano Borriello, "Contemporary Logic Design, 2nd edition," Pearson Education International, 2005.

[2] David John Barker, Digital Works for Microsoft Windows, available at: http://www-scm.tees.ac.uk/users/d.j.barker/digital/digital.htm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานการทดลองที่ 3

ฟังก์ชั่นที่กำหนดได้ไม่สมบูรณ์ และการลดรูปโดยใช้ Karnaugh Maps

(Incompletely Specified Functions and Karnaugh Maps)

วัตถุประสงค์เชิงพฤติกรรม

นักศึกษาสามารถ

1. จำลองโครงข่ายลอจิกเกตโดยใช้โปรแกรม Digital Works และต่อวงจรฟังก์ชั่นที่กำหนดไม่สมบูรณ์ได้
2. ลดรูปสมการบูลีนที่กำหนดให้โดยใช้ Karnaugh Maps โดยไม่ใช้ Don't care และใช้ Don't care แล้วต่อวงจรลอจิกเกตจากสมการที่ลดรูปแล้วได้
3. เปรียบเทียบผลที่ได้จากการต่อวงจรลอจิกเกตจากสมการของฟังก์ชั่นที่กำหนดไม่สมบูรณ์กับสมการที่ลดรูปโดยใช้ Karnaugh Maps ทั้งสองแบบได้

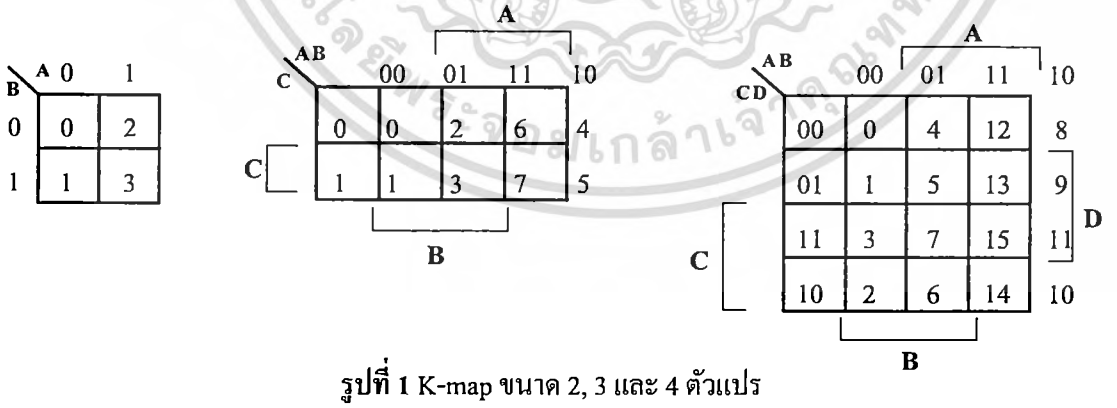
อุปกรณ์การทดลอง

1. โพรโต้บอร์ด
2. IC TTL 7404, 7408, 7432, 7486
3. LED

ความรู้พื้นฐาน

การลดรูปสมการโดยใช้ Karnaugh Maps

Karnaugh maps หรือ K-map นั้นสามารถใช้ลดรูปสมการได้มากถึง 6 ตัวแปร การกำหนดตำแหน่งสำหรับทุกคอมบิเนชั่นของอินพุทที่เป็นไปได้สามารถทำได้ โดยการจัดเรียงตามแนวตั้งและแนวนอนตามลำดับของรหัสเกรย์ (Gray code) ดังแสดงในรูปที่ 1



รูปที่ 1 K-map ขนาด 2, 3 และ 4 ตัวแปร

การลดรูปโดยใช้ K-map ให้ได้สมการในรูปของ SOP นั้นสามารถทำได้ดังนี้

1. เขียนตาราง K-map ตามจำนวนของอินพุท
2. จัดกลุ่มขนาดของลอจิก "1" ที่อยู่ติดกันทุกด้านให้มีขนาด 2 หรือ 4 หรือ 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. มองหาตัวแปรที่มีลอจิกต่างกันในกลุ่มที่จัดได้ ตัวแปรที่ต่างกันจะถูกยุบให้หายไป แล้วเขียนผลที่ได้ออกมาในรูปของเทอมผลคูณ
4. ทำซ้ำในข้อ 2 และ 3 จนกว่าจะไม่สามารถจัดกลุ่มได้อีก

หากว่ามีมากกว่าหนึ่งกลุ่มให้นำผลที่ได้จากแต่ละกลุ่มมาออร์กันจะได้สมการในรูปของผลบวกของผลคูณหรือ SOP ในกรณีที่มีเทอมที่ไม่สนใจหรือ don't care ใน K-map นั้นให้กำหนดเป็นเทอมนั้นเป็นลอจิก "1" หรือ "0" ก็ได้เพื่อให้ได้กลุ่มของลอจิก "1" ที่ใหญ่ที่สุดสำหรับกรณีของการลดรูปแบบ SOP

ขั้นตอนการทดลอง

1. เอาท์พุท C_4 ที่แสดงใน 7 segment มีสมการบูลีนในรูปแบบบัญญัติคือ

$$C_4 = m_0 + m_2 + m_6 + m_8 + d_{10} + d_{11} + d_{12} + d_{13} + d_{14} + d_{15}$$

จงแสดงการลดรูปสมการโดยใช้ K-maps เมื่อไม่ใช้ประโยชน์จากเทอมที่ไม่สนใจ (Don't care) Z_1 และใช้ประโยชน์จากเทอมที่ไม่สนใจ Z_2 แล้วบันทึกลงในพื้นที่บันทึกผลการทดลองที่ 1

2. ใช้โปรแกรม Digital Works จำลองการทำงานของวงจรทั้งสามกรณี (กรณีไม่ลดรูป, กรณีลดรูปโดยไม่ใช้ประโยชน์จากเทอมที่ไม่สนใจ Z_1 และกรณีลดรูปโดยใช้เทอมที่ไม่สนใจ Z_2)
3. หาผลลัพธ์ของสมการทั้งสามในข้อ 1 และดำเนินการ run วงจรจำลองที่วาดไว้ในโปรแกรม Digital Works แล้วบันทึกผลลัพธ์ลงในพื้นที่บันทึกผลการทดลองที่ 2 และตารางบันทึกผลการทดลองที่ 1
4. ต่อวงจรตามสมการทั้งสามที่ได้จากข้อ 1 โดยให้เอาท์พุทต่อกับตัวต้านทานขนาด 330 Ω และหลอด LED ดังรูปที่ 2

รูปที่ 2 แสดงการต่อวงจรลอจิกเกตเพื่อแสดงผลทาง LED

แล้วจ่ายแรงดันให้กับวงจรโดยให้ แรงดัน 5 V เป็นลอจิก 1 และ แรงดัน 0 V เป็นลอจิก 0 ตามลำดับ บันทึกการติดดับของไฟที่แสดงออกทาง LED ที่เอาท์พุทลงในตารางบันทึกผลการทดลองที่ 1 โดยหาก LED ติดให้บันทึก "1" และถ้า LED ดับให้บันทึก "0"

5. เปรียบเทียบผลที่ได้จากสมการและจากการทดลองเพื่อสรุปผลการทดลองและอภิปรายผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บันทึกผลการทดลอง

พื้นที่บันทึกผลการทดลองที่ 1

แสดงการลดรูปโดยไม่ใช้ประโยชน์จากเทอมที่ไม่สนใจ Z_1

แสดงการลดรูปโดยใช้ประโยชน์จากเทอมที่ไม่สนใจ Z_2

แสดงการลดรูปสมการโดยใช้ K-maps เมื่อไม่ใช้ประโยชน์จากเทอมที่ไม่สนใจ (Don't care) Z_1 และใช้ประโยชน์จากเทอมที่ไม่สนใจ Z_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พื้นที่บันทึกผลการทดลองที่ 2

แสดงการจำลองวงจรทั้งสามโดยโปรแกรม Digital Works

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางบันทึกผลการทดลองที่ 1

สมการบูลีน											การจำลอง			การทดลอง		
A	B	C	D	A'B'C'D'	A'B'CD'	A'BCD'	AB'C'D'	C_4	Z_1	Z_2	C_4 (ติด/ดับ)	Z_1 (ติด/ดับ)	Z_2 (ติด/ดับ)	C_4 (ติด/ดับ)	Z_1 (ติด/ดับ)	Z_2 (ติด/ดับ)
0	0	0	0													
0	0	0	1													
0	0	1	0													
0	0	1	1													
0	1	0	0													
0	1	0	1													
0	1	1	0													
0	1	1	1													
1	0	0	0													
1	0	0	1													
1	0	1	0													
1	0	1	1													
1	1	0	0													
1	1	0	1													
1	1	1	0													
1	1	1	1													

อภิปรายและสรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำถามท้ายการทดลอง

3. จากสมการ

$$f(A,B,C,D) = \sum m(0,1,4,10,11,14) + \sum d(5,15)$$

จงแสดงการลดรูปสมการโดยใช้ K-maps เมื่อไม่ใช้เทอมที่ไม่สนใจ f_1 และเมื่อใช้เทอมที่ไม่สนใจ f_2

4. จงเขียนตารางความจริงของฟังก์ชั่นทั้งสาม f, f_1 ,และ f_2
5. จงวาดรูปวงจรของ f, f_1 และ f_2 ที่ได้จากข้อ 1 โดยใช้โปรแกรม Digital Works แล้วตรวจสอบความถูกต้อง

เอกสารอ้างอิง

[1] Randy H. Katz and Gaetano Borriello, "Contemporary Logic Design, 2nd edition," Pearson Education International, 2005.

[2] David John Barker, Digital Works for Microsoft Windows, available at: http://www-scm.tees.ac.uk/users/d.j.barker/digital/digital.htm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานการทดลองที่ 4

ภาษา VHDL เบื้องต้น (Introduction to VHDL)

วัตถุประสงค์เชิงพฤติกรรม

นักศึกษาสามารถ

1. เขียนอธิบายวงจรลอจิกเกตอย่างง่ายด้วยภาษา VHDL ได้
2. แสดงผลการทำงานของวงจรลอจิกเกตอย่างง่ายที่เขียนด้วยภาษา VHDL ผ่านทางบอร์ด CPLD ได้
3. เปรียบเทียบผลที่ได้กับจากการเขียนด้วยภาษา VHDL ที่แสดงผลทางบอร์ดแสดงผลของบอร์ด CPLD กับการจำลองวงจรด้วยโปรแกรม Digital Works และการต่อวงจรด้วยอุปกรณ์ชนิด TTL

อุปกรณ์การทดลอง

1. ชุดบอร์ด CPLD พร้อมบอร์ดแสดงผล
2. เครื่องคอมพิวเตอร์

ความรู้พื้นฐาน

โดยทั่วไป การออกแบบวงจรลอจิกขนาดเล็กจะใช้ขั้นตอนวิธีอย่างง่าย สามารถทำได้ด้วยมือเพื่อสร้างวงจรให้ทำงานได้ดังต้องการ อย่างไรก็ตามสำหรับวงจรลอจิกเกตขนาดใหญ่ที่มีความซับซ้อนสูง เช่น การออกแบบคอมพิวเตอร์ ขั้นตอนวิธีอย่างง่ายจะไม่สามารถกระทำได้ จึงมีความจำเป็นต้องใช้เครื่องมือเพื่อช่วยออกแบบวงจรดังกล่าว เครื่องมือนี้เรียกว่า Computer Aided Design (CAD) การออกแบบวงจรลอจิกหนึ่งๆ นั้น CAD ต้องประกอบด้วยเครื่องมือเพื่อการออกแบบที่มีขั้นตอนคือ การใส่ข้อมูลที่ออกแบบ (Design Entry) การประสมข้อมูลเพื่อสร้างวงจรลอจิก (Synthesis) การจำลองการทำงาน และการเชื่อมต่อกับฮาร์ดแวร์ ดังแสดงในรูปที่ 4-1

ในการทดลองนี้เราจะแนะนำเครื่องมือของ CAD ที่ใช้ในการออกแบบวงจรลอจิกเบื้องต้น ที่เรียกว่า Xilinx ISE Design Suite ซึ่งเป็นโปรแกรมที่ได้รับความนิยมในการออกแบบวงจรดิจิตอลเนื่องจากเป็นโปรแกรมที่ง่ายในการใช้งานและมีความสามารถในการจำลองผลการออกแบบให้ผู้ออกแบบทราบล่วงหน้าถึงผลที่จะได้รับเมื่อโปรแกรมที่ออกแบบถูกดาวน์โหลดลงในฮาร์ดแวร์ที่ต้องการ ในใบงานการทดลองของวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกนี้ เราจะใช้ฮาร์ดแวร์ประเภทสามารถโปรแกรมได้ที่เรียกว่า CPLD (Complex Programmable Logic Device) ซึ่งมีความซับซ้อนอยู่ระหว่าง PAL (Programmable Array Logic) และ FPGA (Field Programmable Gate Array)

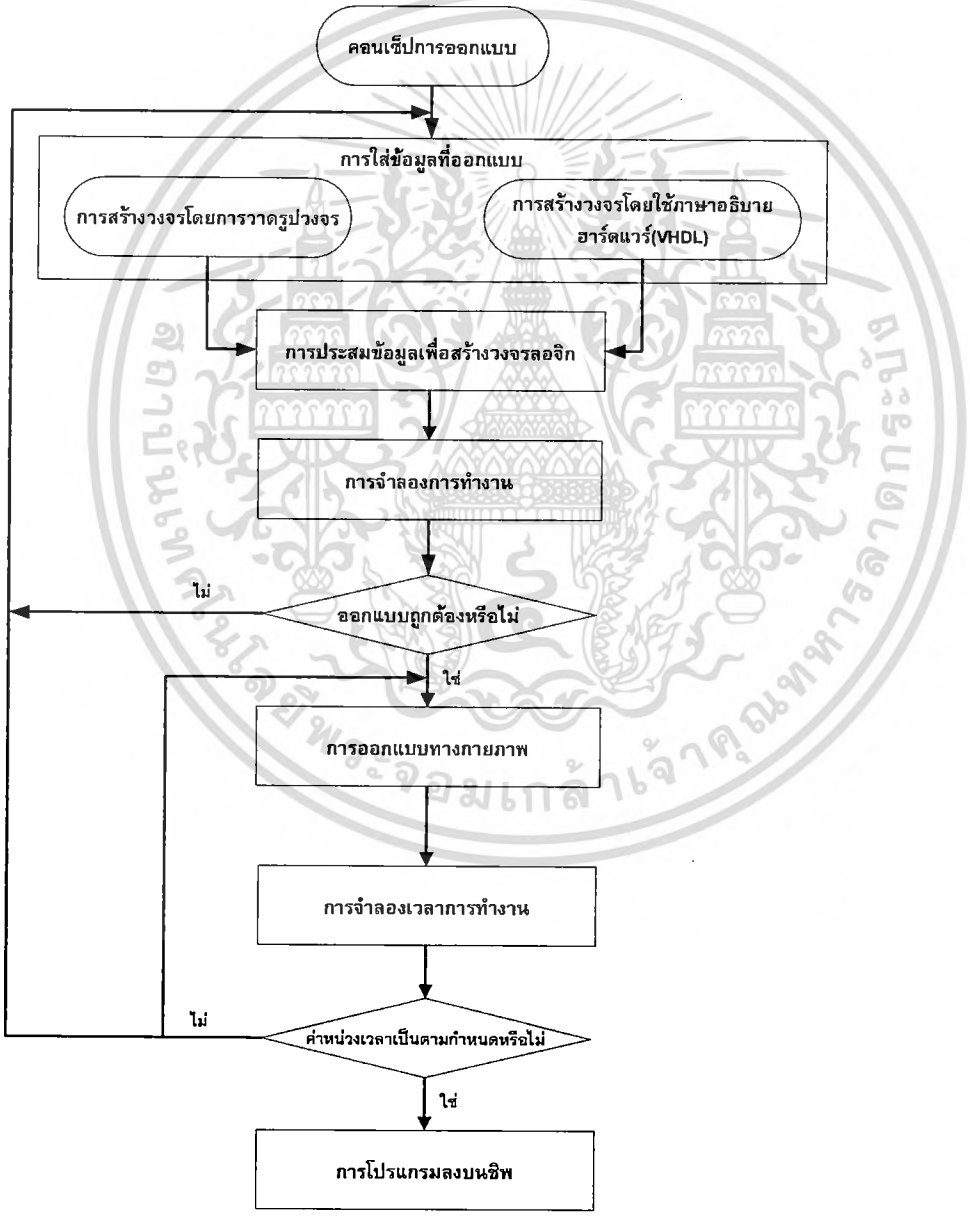
CPLD สามารถสร้างวงจรลอจิกได้ทั้งแบบ Combination และ Sequential โดย CPLD ที่เลือกใช้ในรายวิชานี้ ได้แก่ CPLD ตระกูล XC9500 ของบริษัท Xilinx ซึ่งมีคุณสมบัติดังแสดงในตารางที่ 4-1 ในการทดลองในวิชานี้ชุดบอร์ด CPLD ใช้ IC เบอร์ XC95144XL ซึ่งเป็น IC ที่มีจำนวนขาทั้งหมด 144 ขา บรรจุลอจิกเกตมากถึง 3200 เกต การกำหนดขาของอินพุทสวิทช์และเอาท์พุท LED หรือ 7 segment เป็นไปดังแสดงในเอกสารแนบท้ายใบงานฉบับนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4-1 คุณสมบัติของชิพ CPLD ตระกูล XC9500

	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
Macrocells	36	72	108	144	216	288
Usable Gates	800	1,600	2,400	3,200	4,800	6,400
Registers	36	72	108	144	216	288
T_{PD} (ns)	5	7.5	7.5	7.5	10	15
T_{SU} (ns)	3.5	4.5	4.5	4.5	6.0	8.0
T_{CO} (ns)	4.0	4.5	4.5	4.5	6.0	8.0
f_{CNT} (MHz)(1)	100	125	125	125	111.1	92.2
f_{SYSTEM} (MHz)(2)	100	83.3	83.3	83.3	66.7	56.6

Notes:
1. f_{CNT} = Operating frequency for 16-bit counters.
2. f_{SYSTEM} = Internal operating frequency for general purpose system designs spanning multiple FBs.



รูปที่ 4-1 ระบบ CAD ทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VHDL Tutorial

ในส่วนนี้นักศึกษาจะสร้าง ISE Project ซึ่งใน Project จะประกอบด้วยไฟล์ต่างๆ ที่จำเป็นในการสร้างและดาวน์โหลดลงในอุปกรณ์ CPLD ในการสร้าง Project ใหม่ ทำได้ดังนี้

1. เรียกโปรแกรม Xilinx ISE Design Suite แล้ว ISE Project Navigator จะเปิดขึ้นมา
2. เลือก File > New Project จะมี New Project Wizard ขึ้นมา ให้ใส่ location สำหรับโปรเจ็คใหม่ที่ D:\VHDL (ให้นักศึกษาสร้าง directory ใหม่ชื่อ VHDL ที่ไดร์ฟ D)
3. พิมพ์ tutorial ในช่อง Project Name เมื่อนักศึกษาพิมพ์ tutorial ในช่อง Project Name แล้วจะมี subdirectory ชื่อ tutorial ถูกสร้างขึ้นอัตโนมัติใน directory D:\VHDL
4. เลือก HDL จากรายการประเภทของ Top-Level Module เพื่อบอกว่าไฟล์ในระดับสูงสุดของโปรเจ็คเป็น HDL ไม่ใช้ Schematic หรือ EDIF หรือ NGC/NGO
5. เลือก Next เพื่อไปยังหน้าคุณสมบัติของโปรเจ็ค
6. ใส่คุณสมบัติดังนี้

   Device Family: XC9500XL CPLDs

   Device: XC95144XL

   Package: TQ100

   Speed: -7

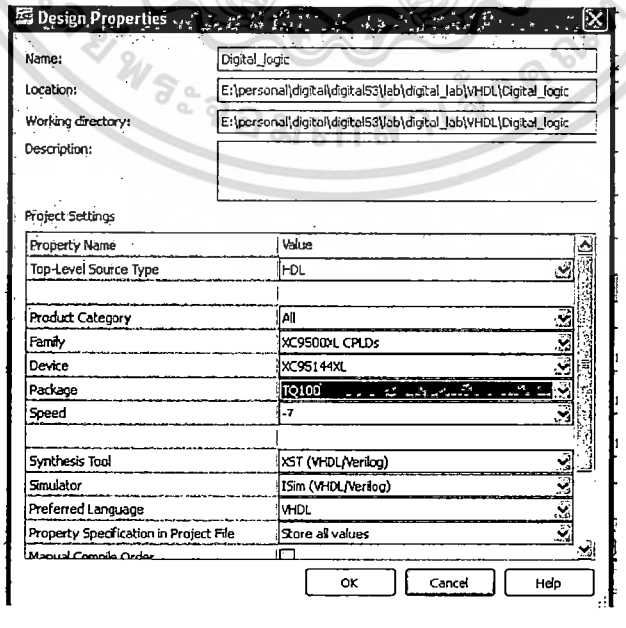
   Top-Level Source Type: HDL

   Synthesis Tool: XST (VHDL/Verilog)

   Simulator: ISim (VHDL/Verilog)

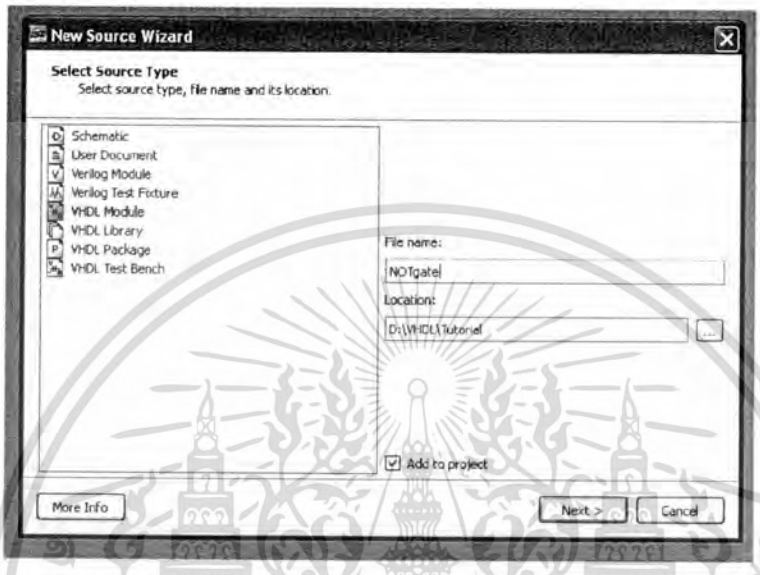
   Preferred Language: VHDL

   แล้วเลือก Next เพื่อไปยังส่วนต่อไป ซึ่งเป็นสรุปของคุณสมบัติต่างๆ ของโปรเจ็ค

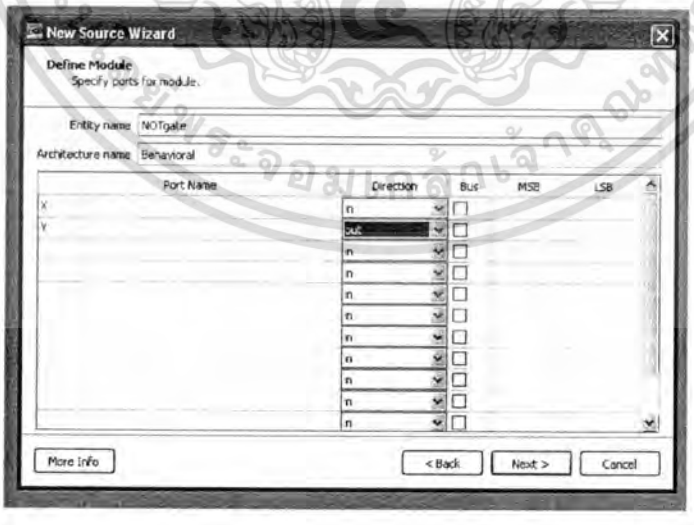


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. ในข้อนี้นักศึกษาจะสร้างไฟล์ HDL ระดับสูง (top-level HDL file) สำหรับโปรเจ็ค กำหนดภาษาที่ต้องการใช้ให้เป็น VHDL โดยเลือก Project > New Source แล้วเลือก Source Type เป็น VHDL Module พร้อมตั้งชื่อ File name เป็น NOTgate และคลิ๊ก Add to Project ดังรูป แล้วเลือก Next เพื่อดำเนินการต่อไป

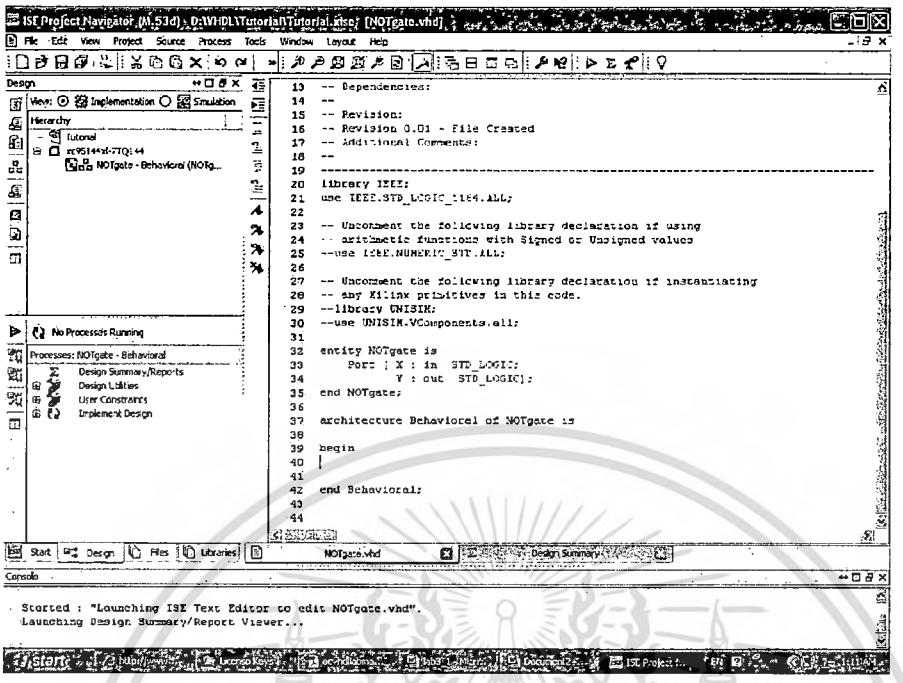


8. กำหนด ports สำหรับ VHDL source โดยให้ใส่ X และ Y ลงในคอลัม port names แบบแยกแถว และกำหนดว่าแต่ละ port เป็นอินพุทหรือเอาท์พุทจากตัวเลือกที่มี ดังรูป แล้วเลือก Next เพื่อไปยังส่วนต่อไป ซึ่งเป็นสรุปของคุณสมบัติของ New source ที่ถูกสร้างขึ้น และเลือก finish



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

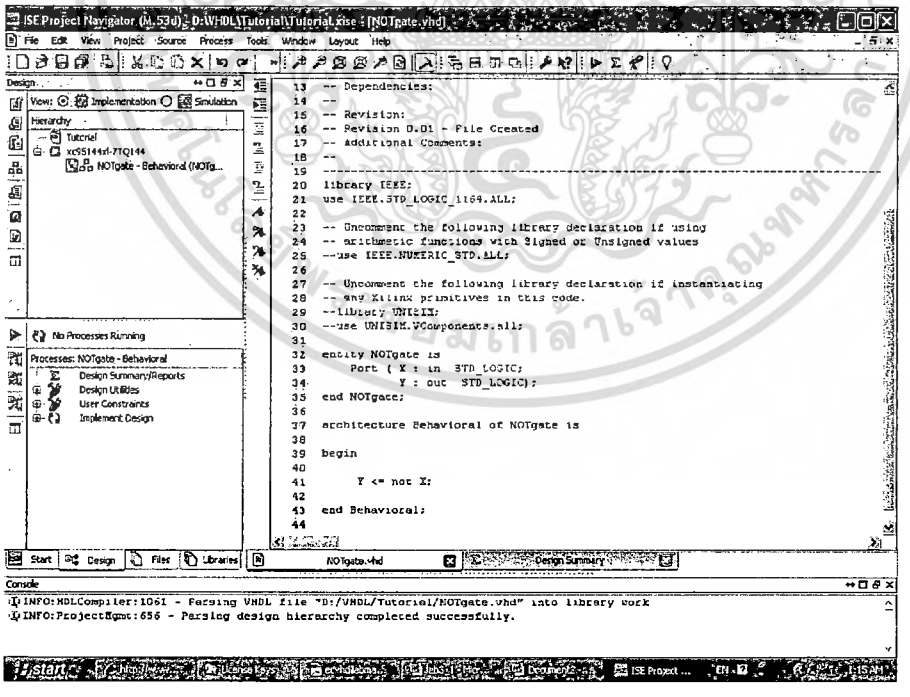
9. จะได้โปรเจ็คดังรูป



10. ระหว่าง begin และ end Behaviral; ให้พิมพ์

Y <= not X;

ดังรูป แล้วบันทึกไฟล์ ด้วยการเลือก File > Save

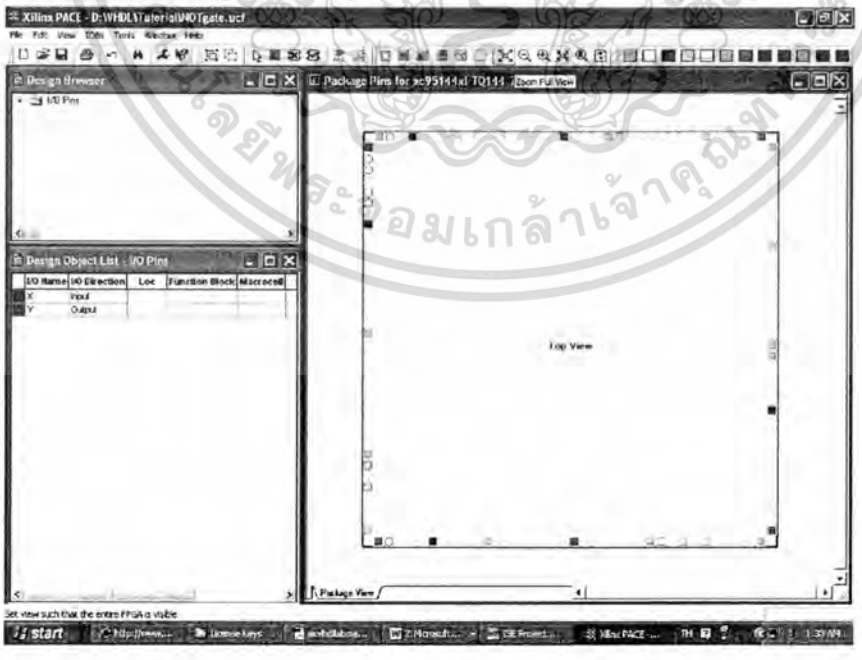


11. นักศึกษาสามารถตรวจสอบความถูกต้องทางไวยากรณ์ได้โดยการเลือกดับเบิ้ลคลิ๊กที่ Check Syntax ที่อยู่ภายใต้ Implement Design และ Synthesize-XST หากไม่มีความผิดพลาดจะปรากฏเครื่องหมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

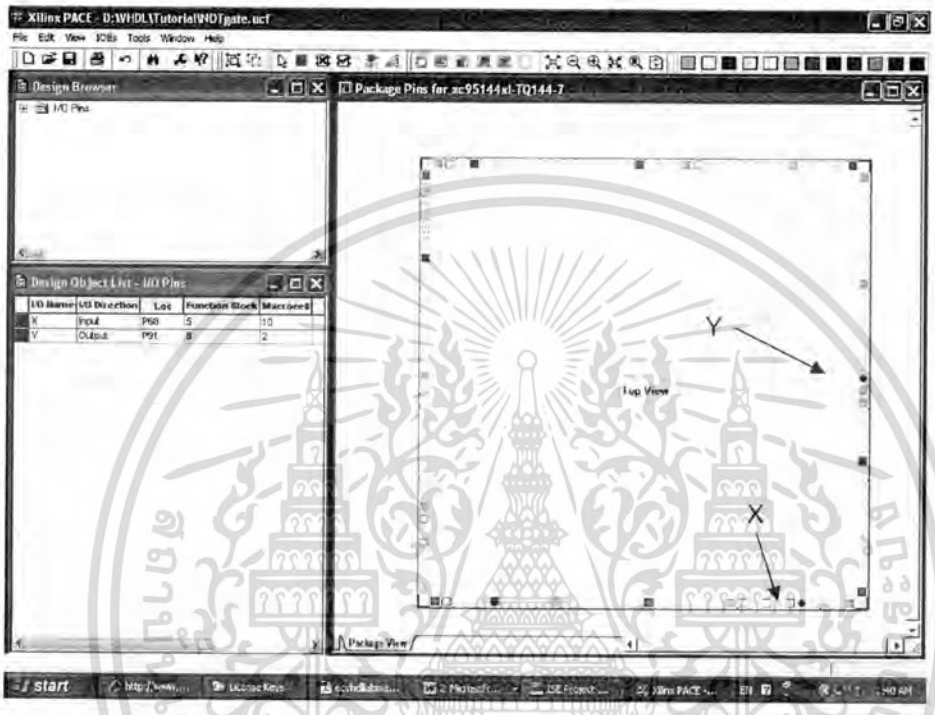
ถูกด้านหน้าของ Check Syntax และมีการแจ้งที่ Console ด้านล่างว่า Process “Check Syntax” completed successfully ดังรูป

12. เมื่อเสร็จขั้นตอนที่ 11 แล้ว เราพร้อมสำหรับการกำหนดขาของ CPLD เพื่อให้เหมาะสมกับอินพุทและเอาท์พุทที่ต้องการ ในส่วนนี้เรามีอินพุทหนึ่งอินพุทและเอาท์พุทหนึ่งเอาท์พุทเช่นกัน โดยอินพุทจะได้มาจากสวิทช์ที่ 1 และเอาท์พุทจะแสดงผลที่ LED1 การกำหนดขาของ CPLD ทำได้โดยดับเบิ้ลคลิกที่ Floorplan IO-Pre-Synthesis ที่อยู่ภายใต้ User Constraints แล้วเลือกตอบ “Yes” เพื่อสร้าง Constraint file (UCF) จะปรากฏหน้าต่างของ Xilinx PACE ดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

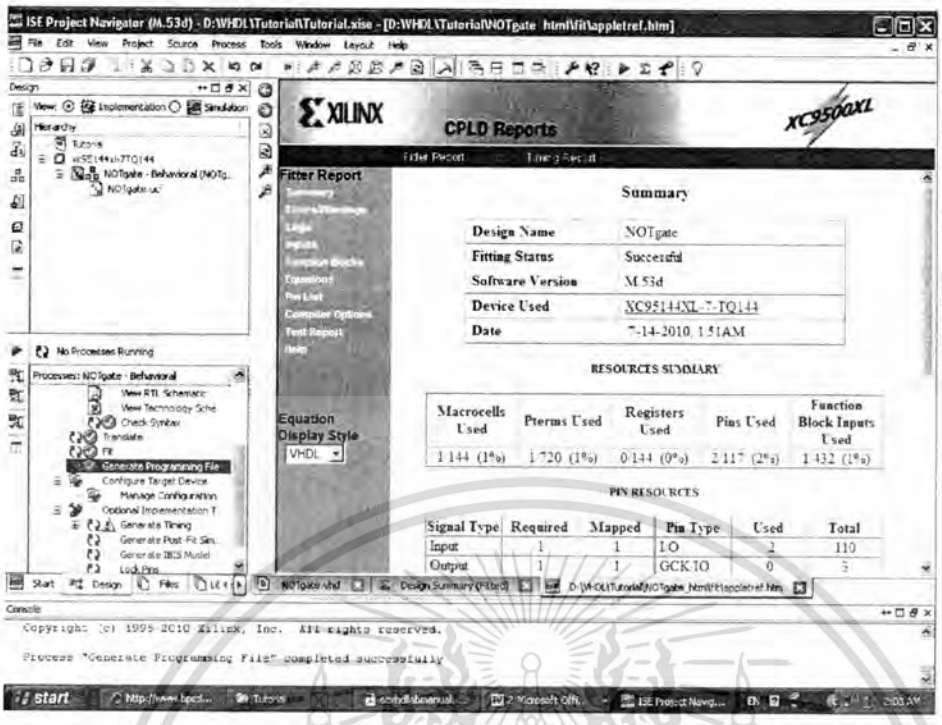
13. กำหนดขาที่ต้องการเชื่อมต่อระหว่าง CPLD และบอร์ดแสดงผลได้โดยการพิมพ์ขาที่ต้องการลงในช่อง Loc หรือใช้การ Drag and Drop จาก IO Name ที่ต้องการไปยังขาของ CPLD ในส่วนนี้กำหนดให้ใช้สวิทช์ที่ 1 (SW1) เป็นอินพุท นั่นคือต้องกำหนดให้ Loc ของ X เป็น P68 (จากเอกสารแนบ) และกำหนดให้เอาท์พุทแสดงที่ LED1 ซึ่งต่อกับขา P91 เมื่อกำหนดขาเรียบร้อยแล้ว จะเป็นดังรูป



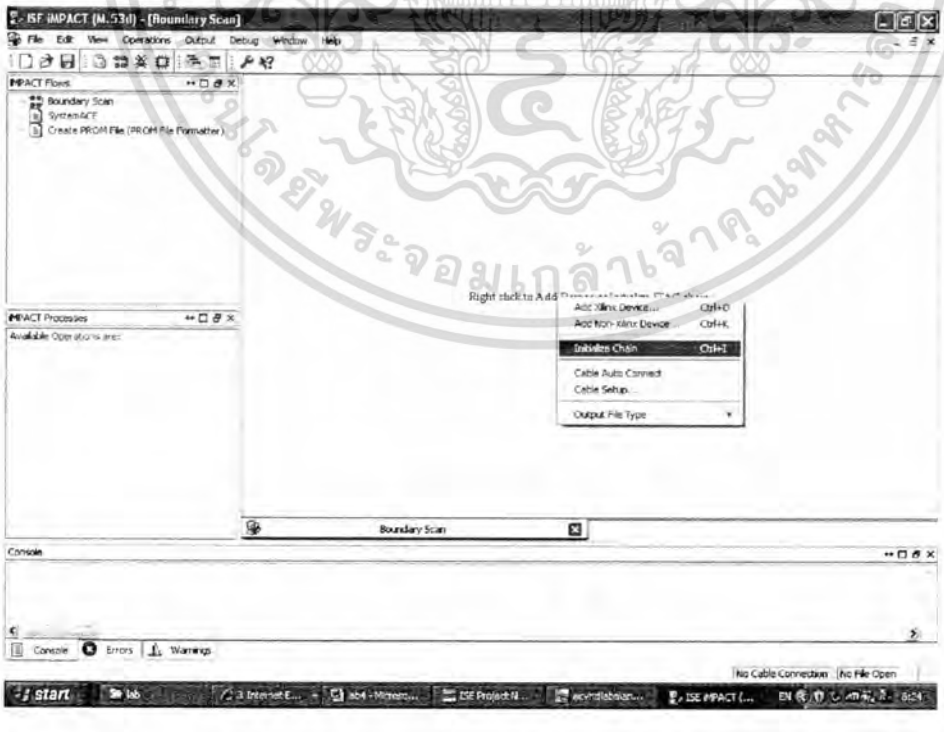
หากมองไม่เห็นตัวเลขกำหนดขา นักศึกษาสามารถขยายหรือ Zoom in ได้

14. เมื่อกำหนดเรียบร้อยแล้ว ให้นักศึกษาบันทึกไฟล์ไว้โดย เลือก File > Save แล้วเลือก XST default: <> และคลิ๊ก OK
15. ปิดหน้าต่าง Xilinx PACE
16. ขั้นตอนต่อไปคือการสร้าง Program File ที่เหมือนกับโปรแกรมที่เราออกแบบแต่เราสามารถดาวน์โหลดลงไปไว้ในอุปกรณ์ CPLD ได้ ซึ่งทำได้โดยดับเบิ้ลคลิ๊กที่ Generate Program File ซึ่งอยู่ภายใต้ Implement Design
17. Program File จะถูกสร้างขึ้น มีชื่อว่า NOTgate.jed และหน้าต่างจะเป็นดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

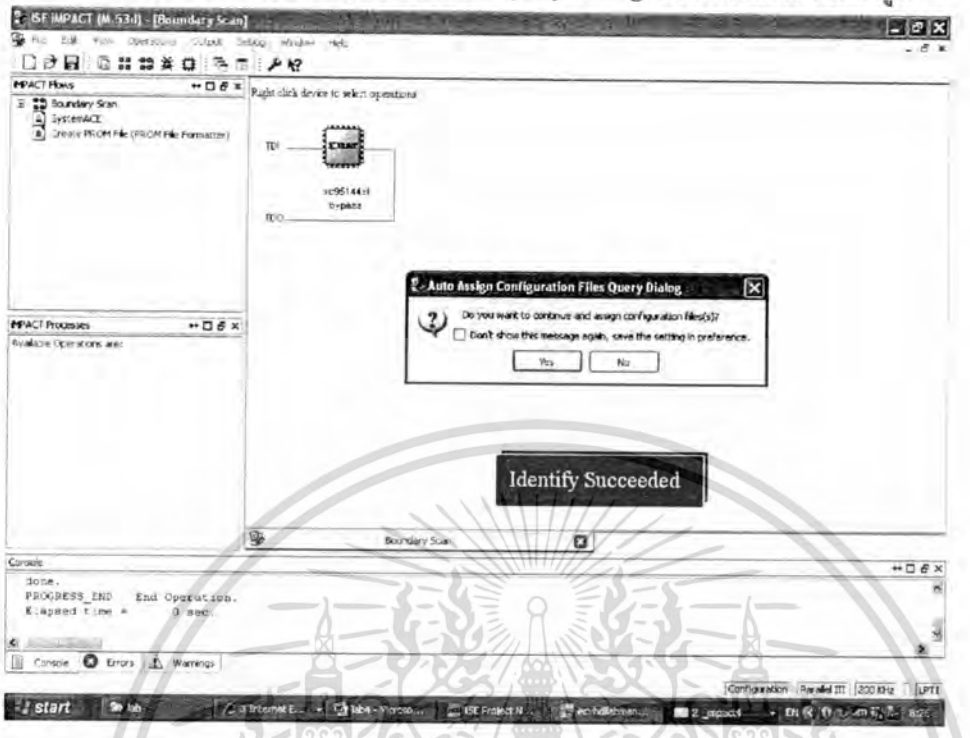


18. ขั้นตอนสุดท้ายคือการดาวน์โหลด Program File ที่สร้างขึ้นลงในอุปกรณ์ CPLD ผ่านทางสายดาวน์โหลด ซึ่งทำได้โดยดับเบิ้ลคลิ๊กที่ Manage Configuration Project (iMPACT) ที่อยู่ภายใต้ Configure Target Device จะได้หน้าต่างใหม่ที่ชื่อว่า ISE iMPACT แล้ว ดับเบิ้ลคลิ๊กที่ Boundary Scan จะได้ดังรูป และเลือก Initialize Chain เพื่อเชื่อมต่อระหว่างคอมพิวเตอร์และฮาร์ดแวร์ CPLD



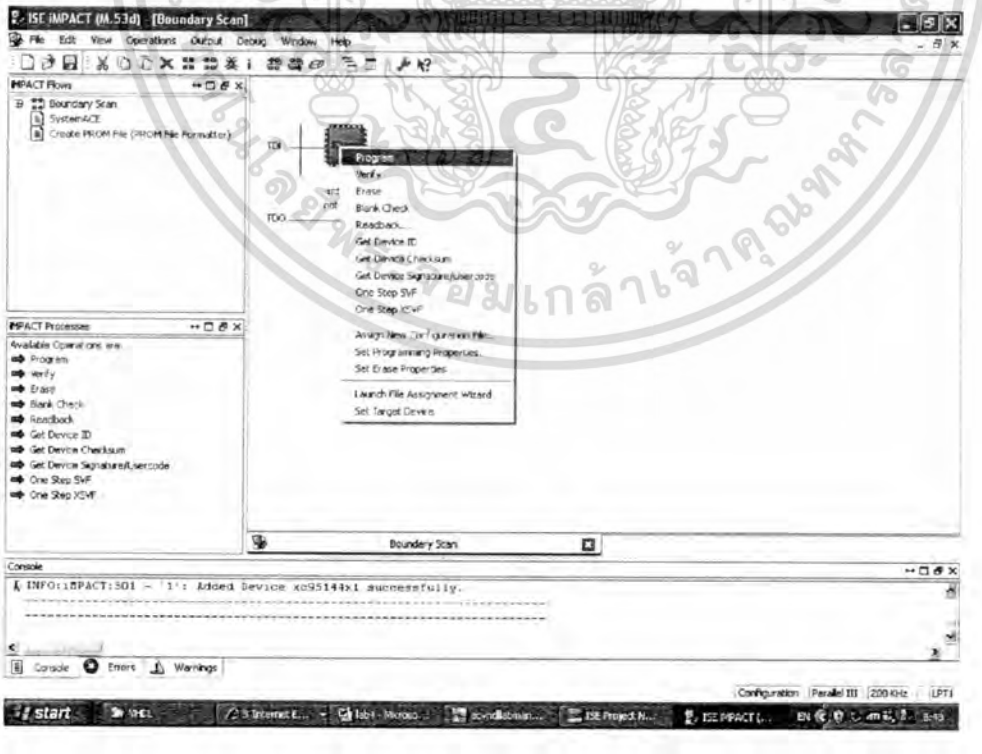
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19. จะมีหน้าต่าง Auto Assign Configuration Files Query Dialog ขึ้นมาให้เลือก Yes ดังรูป



20. โปรแกรมจะให้เลือก New Configuration File เพื่อโปรแกรมลงบน CPLD ให้เลือกไปที่ NOTgate.jed จะมีหน้าต่าง Device Programming Properties ให้เลือก OK

21. คลิ๊กขวาเพื่อเลือกฟังก์ชั่นที่ต้องการ เช่น Program ดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

22. เมื่อโปรแกรมสำเร็จแล้ว ISE จะแจ้งว่า Program Succeeded เราก็สามารถปิด iMPACT ได้ และเราสามารถตรวจสอบการทำงานของโปรแกรมที่เราสร้างว่าทำงานได้ตามที่ต้องการหรือไม่

ฟังก์ชั่นพื้นฐานในภาษา VHDL

การเขียนภาษา VHDL นั้นมีฟังก์ชั่นพื้นฐานที่ควรทราบดังแสดงในตาราง

Boolean Equation	VHDL Coding	Operation
Z1= A1 ● B1	`z1 <= a1 AND b1;`	AND
Z2= A2 + B2	`z2 <= a2 OR b2;`	OR
Z3= A3 ▯ B3	`z3 <= a3 XOR b3;`	Exclusive OR
Z4= $\overline{A4}$	`z4 <= NOT a4;`	NOT

ขั้นตอนการทดลอง

1. เขียนโปรแกรมด้วยภาษา VHDL แสดงการทำงานของเกตพื้นฐานต่างๆ ดังนี้ AND gate, OR gate และ XOR gate และบันทึกโปรแกรมลงในพื้นที่บันทึกผลการทดลองที่ 1 แล้ว download ลงในบอร์ด CPLD
2. แสดงผลของโปรแกรม แล้วบันทึกการติดดับของ LED บนบอร์ดแสดงผลของบอร์ด CPLD ลงในตารางบันทึกผลการทดลองที่ 1 โดยหาก LED ติดให้บันทึก “1” และถ้า LED ดับให้บันทึก “0”
3. เปรียบเทียบผลที่ได้จากทฤษฎีของเกตพื้นฐานเหล่านี้และเปรียบเทียบกับผลการทดลองที่ได้จากใบงานการทดลองที่ 1
4. จำลองการทำงานของวงจรบวกแบบไม่มีตัวทด (Half Adder) ซึ่งมีสมการคือ

$$Sum = \overline{A}B + A\overline{B}$$
$$Carry = AB$$

โดยใช้โปรแกรม Digital Works ที่แสดงผลโดย LED จำลองในโปรแกรม

5. บันทึกรูปของวงจรที่ได้จากการจำลองการทำงานลงในพื้นที่บันทึกผลการทดลองที่ 2 และบันทึกการติดดับของ LED จำลอง ลงในตารางบันทึกผลการทดลองที่ 2 โดยหาก LED ติดให้บันทึก “1” และถ้า LED ดับให้บันทึก “0” ลงในตาราง
6. ต่อวงจรลงในโพรโต้บอร์ดโดยใช้อุปกรณ์ TTL ตามสมการในข้อที่ 4 ให้แสดงผลที่ LED
7. บันทึกผลการ ติด/ดับ ของ LED ลงในตารางบันทึกผลการทดลองที่ 2 เมื่อกำหนดอินพุทของเกตเป็น 0V (ลอจิก “0”) และ 5V (ลอจิก “1”)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. เขียนโปรแกรมด้วยภาษา VHDL เพื่อให้ทำงานได้ตามสมการของวงจรบวกแบบไม่มีตัวทดในข้อ 4 และบันทึกโปรแกรมลงในพื้นที่บันทึกผลการทดลองที่ 3 แล้ว download ลงในบอร์ด CPLD ตามขั้นตอนในคู่มือการใช้บอร์ด CPLD
9. แสดงผลของโปรแกรม แล้วบันทึกการติดดับของ LED บนบอร์ดแสดงผลของชุดบอร์ด CPLD ลงในตารางบันทึกผลการทดลองที่ 2
10. เปรียบเทียบผลการทดลองที่ได้ กับทฤษฎี และผลที่ได้จากการทดลองในข้อที่ 4-7

บันทึกผลการทดลอง

พื้นที่บันทึกผลการทดลองที่ 1 โปรแกรมภาษา VHDL ของเกตพื้นฐาน AND, OR, และ XOR

โปรแกรมภาษา VHDL : AND Gate

โปรแกรมภาษา VHDL : OR Gate

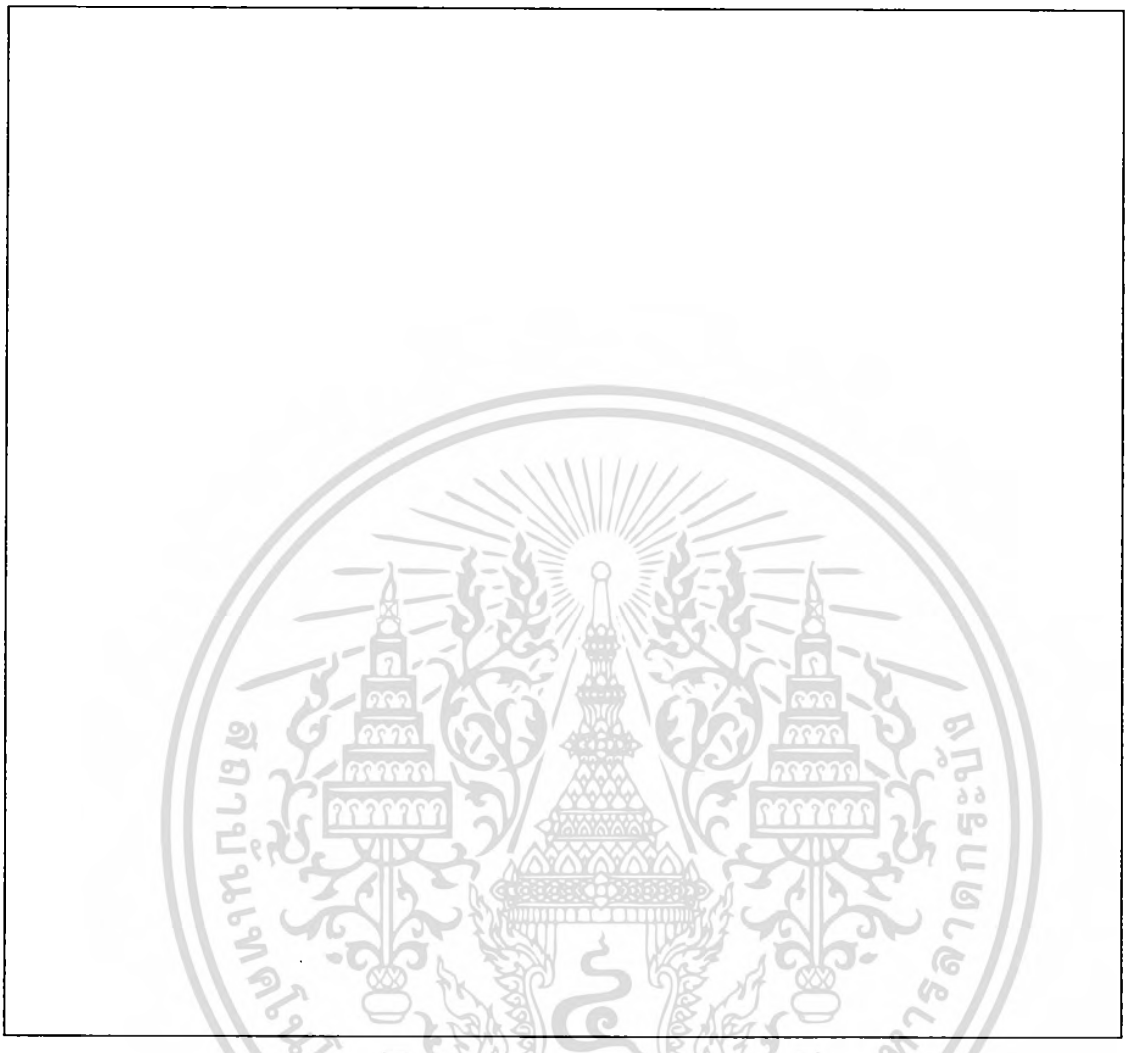
โปรแกรมภาษา VHDL : XOR Gate

ตารางบันทึกผลการทดลองที่ 1

อินพุท X	อินพุท Y	เอาท์พุท AND gate	เอาท์พุท OR gate	เอาท์พุท XOR gate
0	0			
0	1			
1	0			
1	1			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พื้นที่บันทึกผลการทดลองที่ 2 ภาพการจำลองการทำงานของวงจรบวกแบบไม่มีตัวทด



พื้นที่บันทึกผลการทดลองที่ 3 โปรแกรมภาษา VHDL ของวงจรบวกแบบไม่มีตัวทด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางบันทึกผลการทดลองที่ 2

อินพุท A	อินพุท B	เอาท์พุท (ทฤษฎี)		เอาท์พุท (จำลอง)		เอาท์พุท (ต่อวงจร)		เอาท์พุท (CPLD)	
		Sum	Carry	Sum	Carry	Sum	Carry	Sum	Carry
0	0								
0	1								
1	0								
1	1								

อภิปรายและสรุปผลการทดลอง

คำถามท้ายการทดลอง

1. จงจำลองการทำงานของวงจรบวกแบบมีตัวทด (Full Adder) ที่มีสมการคือ

$$Sum = \overline{A}\,\overline{B}\,C_{in} + \overline{A}\,B\overline{C}_{in} + A\overline{B}\,\overline{C}_{in} + ABC_{in}$$

$$C_{out} = \overline{A}\,BC_{in} + A\overline{B}\,C_{in} + AB\overline{C}_{in} + ABC_{in}$$

แล้วแสดงผลโดยใช้โปรแกรม Digital Works

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. จงเขียนโปรแกรมภาษา VHDL ของวงจรบวกแบบมีตัวทดที่มีสมการดังแสดงในข้อ 1 พร้อมทั้งดาวน์โหลดลงในบอร์ด CPLD และแสดงผลทางบอร์ดแสดงผล เพื่อให้ผู้ควบคุมการทดลองตรวจสอบ

เอกสารอ้างอิง

[1] Randy H. Katz and Gaetano Borriello, "Contemporary Logic Design, 2nd edition," Pearson Education International, 2005.

[2] David John Barker, Digital Works for Microsoft Windows, available at: http://www-scm.tees.ac.uk/users/d.j.barker/digital/digital.htm

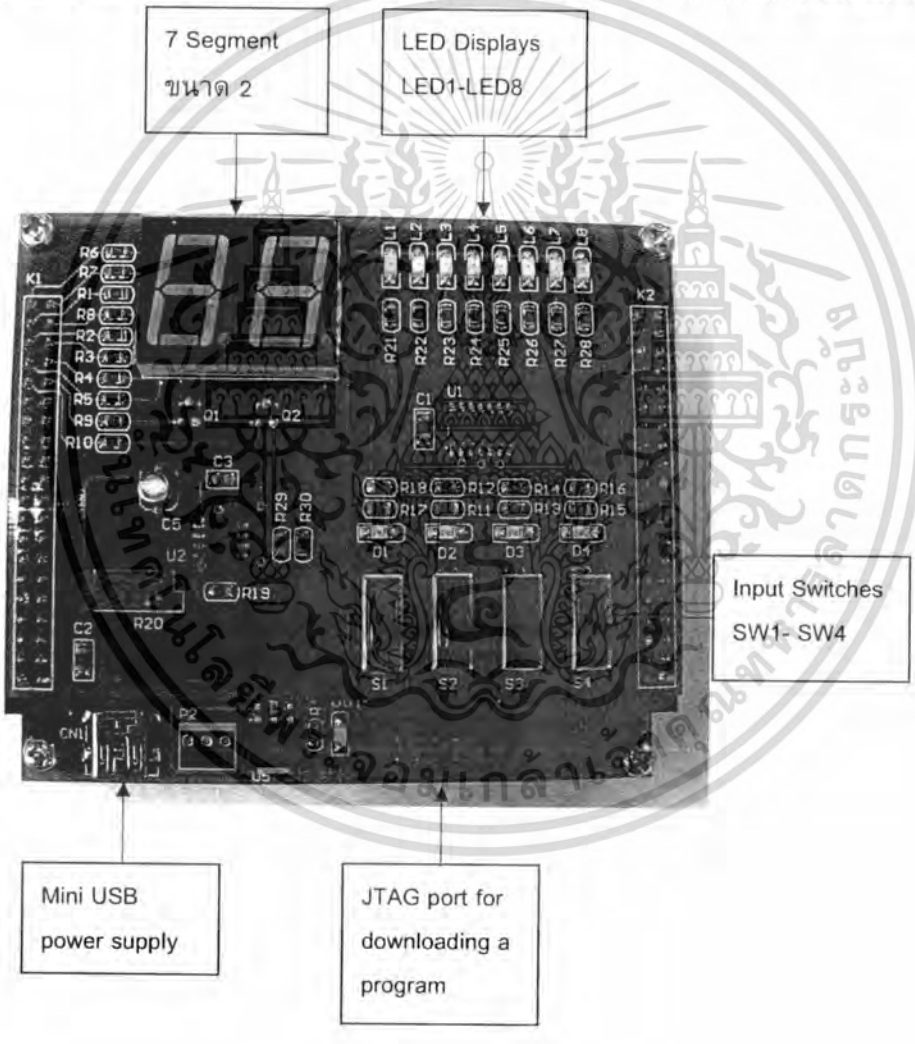
[3] Markur Tumkur, "VHDL Lab Manual", Department of Electronics & Communication Engineering, Sri Siddhartha Institute of Technology.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพบอร์ด CPLD พร้อมบอร์ดแสดงผล

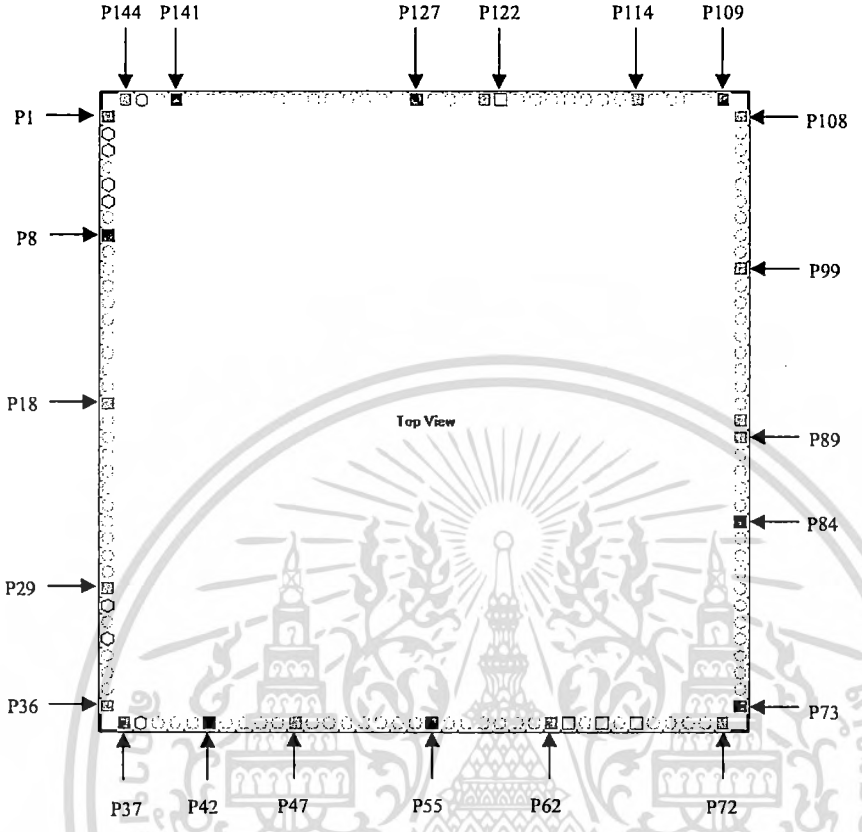
บอร์ด CPLD ที่ใช้ในการทดลองประจำวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกนี้ประกอบด้วยสองบอร์ด คือ บอร์ดหลักที่บรรจุอุปกรณ์ CPLD และบอร์ดแสดงผลซึ่งประกอบด้วย LED ทั้งหมด 8 LED และ 7 Segment จำนวนสองหลัก ทั้งนี้บอร์ดแสดงผลยังทำหน้าที่ในการป้อนอินพุทให้กับบอร์ดหลักเพื่อการประมวลผลด้วย โดยอินพุทสามารถป้อนได้จากสวิทช์ทั้งหมดสี่สวิทช์ ได้แก่ SW1-SW4

การดาวน์โหลดโปรแกรมจากคอมพิวเตอร์สู่ชิพ CPLD ในบอร์ดหลักนั้นสามารถทำได้ผ่านโปรแกรม Xilinx และสายดาวน์โหลดซึ่งต่อเข้าสู่บอร์ดหลักทางพอร์ต JTAG ส่วนแหล่งจ่ายไฟฟ้าให้กับชุดบอร์ด CPLD ชุดนี้สามารถจ่ายจากพอร์ต USB ผ่านพอร์ต miniUSB ของบอร์ดหลัก ดังแสดงในภาพด้านล่าง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN Layout of XC95144XL



PIN Mapping to Display Board

LED	CPLD PIN	7-Segment	CPLD PIN	Switch	CPLD PIN
1	91	A	3	SW1	68
2	90	B	6	SW2	70
3	93	C	7	SW3	71
4	92	D	9	SW4	72
5	95	E	8	GCK	22, 23, 27
6	94	F	99	GSR	99
7	97	G	2		
8	96	DP	4		
		Digit 1	12		
		Digit 2	10		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานการทดลองที่ 5

Karnaugh Map and Encoder

วัตถุประสงค์เชิงพฤติกรรม

นักศึกษา

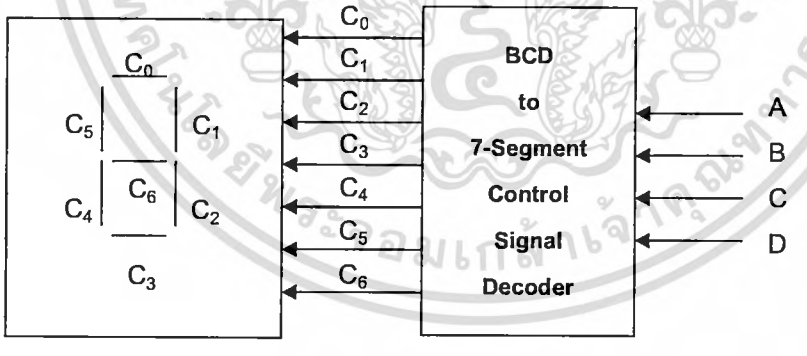
1. สามารถลดรูปสมการบูลีนของวงจรเข้ารหัสเลขฐานสองสำหรับตัวเลขที่กำหนดให้โดยใช้ Karnaugh mapได้
2. สามารถออกแบบวงจรเข้ารหัสเลขฐานสองเพื่อแสดงผลทาง 7 segment ได้
3. สามารถจำลองวงจรเข้ารหัสเลขฐานสองโดยใช้โปรแกรม Digital Works, ต่อวงจรเพื่อแสดงผลทาง 7 segment และอธิบายวงจรลอจิกเกตอย่างง่ายด้วยภาษา VHDL พร้อมทั้งแสดงผลทางบอร์ดแสดงผลของบอร์ด CPLD จากสมการบูลีนที่ลดรูปได้

อุปกรณ์การทดลอง

1. โพรโต้บอร์ด
2. IC TTL 7404, 7408, 7432, ULN2803
3. 7 segment
4. ชุดบอร์ด CPLD พร้อมบอร์ดแสดงผล

ความรู้พื้นฐาน

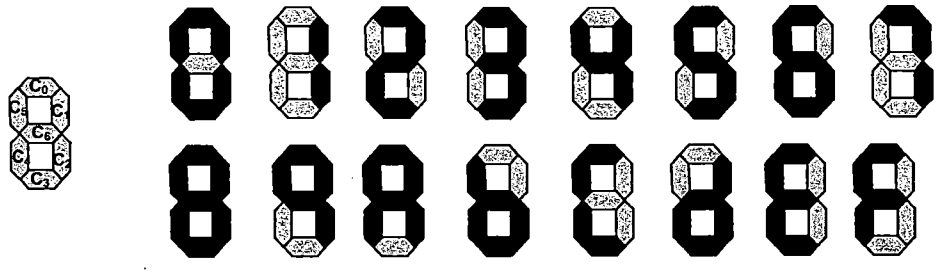
การเข้ารหัสตัวเลขแบบ BCD ที่ใช้ในการแสดงผลทาง 7-Segment เป็นการเข้ารหัสเพื่อแสดงผลทางตัวเลขจากระบบเลขฐานสองให้เป็นเลขฐานสิบ ซึ่งสามารถเข้าใจได้ง่าย



จากแผนผังแสดงการเข้ารหัสของตัวเลข 4 บิตเพื่อแสดงผลทาง 7 segment ซึ่งสามารถแสดงตัวเลขได้ทั้งหมด 16 ตัวคือ 0-9 และ A-F จะเห็นว่าเอาท์พุทจะมีทั้งหมด 7 เอาท์พุท คือ $C_0 - C_7$ เพื่อแสดงผลการติดดับของ 7 segment ที่ประกอบกันเป็นตัวเลข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแสดงผลเป็นตัวเลขของ 7 segment โดยทั่วไปจะเป็นดังรูปนี้



เมื่อเขียนตารางความจริงระหว่างอินพุทและเอาท์พุทของการเข้ารหัสจะได้

Hex	A	B	C	D	C_0	C_1	C_2	C_3	C_4	C_5	C_6
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1
A	1	0	1	0	1	1	1	0	1	1	1
B	1	0	1	1	1	0	0	1	1	1	1
C	1	1	0	0	1	0	0	1	1	1	0
D	1	1	0	1	0	1	1	1	1	0	1
E	1	1	1	0	1	0	0	1	1	1	1
F	1	1	1	1	1	0	0	0	1	1	1

ขั้นตอนการทดลอง

1. จงเขียนตารางความจริงของการถอดรหัสตัวเลขแบบสามบิตซึ่งนับตัวเลขสามจำนวน ตามที่ผู้ควบคุมการทดลองกำหนดให้ โดยใช้รูปแบบการแสดงผลในรูปทั่วไป ในการแสดงผลทาง 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

segment (หากไม่ใช่ตัวเลขที่กำหนดให้คิดว่าเป็นสถานะ don't care) แล้วบันทึกผลการทดลองลงในตารางบันทึกผลการทดลองที่ 1

2. ใช้ K map ในการลดรูปสมการของเอาท์พุททั้งเจ็ดเพื่อการถอดรหัสสำหรับการแสดงผลทาง 7 segment ให้แสดงการลดรูปโดยใช้ K map ลงในพื้นที่บันทึกผลการทดลองที่ 1
3. เขียนวงจรจากสมการบูลีนที่ได้จากการลดรูปในข้อ 2 และใช้โปรแกรม Digital Works ตรวจสอบผลที่ได้แล้วบันทึกผลลงในพื้นที่บันทึกผลการทดลองที่ 2
4. จงต่อวงจรการเข้ารหัสและแสดงผลทาง 7 segment เพื่อให้ผู้ควบคุมการทดลองตรวจสอบการทำงานของวงจร และบันทึกผลการติด/ดับของเอาท์พุทลงในตารางบันทึกผลการทดลองที่ 2
5. เขียนโปรแกรมด้วยภาษา VHDL เพื่อให้ทำงานได้ตามสมการของวงจรการเข้ารหัสในข้อ 4 และบันทึกโปรแกรมลงในพื้นที่บันทึกผลการทดลองที่ 3 แล้ว download ลงในบอร์ด CPLD ตามขั้นตอนในคู่มือการใช้บอร์ด CPLD
6. แสดงผลของโปรแกรม แล้วบันทึกการติดดับของ 7-Segment บนบอร์ดแสดงผลของชุดบอร์ด CPLD ลงในตารางบันทึกผลการทดลองที่ 2
7. เปรียบเทียบผลการทดลองที่ได้ กับทฤษฎี และผลที่ได้จากการทดลองในข้อที่ 4-6
8. แล้วเปรียบเทียบผลการทดลองที่ได้กับตารางบันทึกผลการทดลองที่ 1และอภิปรายผลการทดลองที่ได้

บันทึกผลการทดลอง

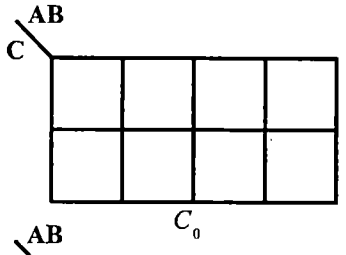
ตารางบันทึกผลการทดลองที่ 1

ตัวเลขที่ผู้ควบคุมกำหนดให้คือ _____

Octal	A	B	C	C_0	C_1	C_2	C_3	C_4	C_5	C_6
0	0	0	0							
1	0	0	1							
2	0	1	0							
3	0	1	1							
4	1	0	0							
5	1	0	1							
6	1	1	0							
7	1	1	1							

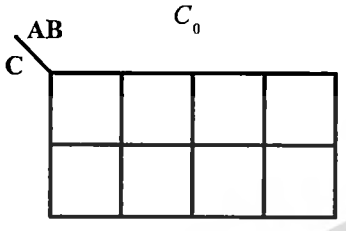
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พื้นที่บันทึกผลการทดลองที่ 1



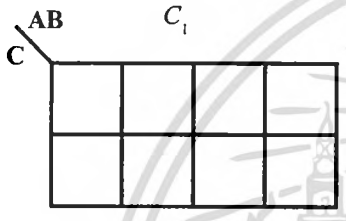
C_0

$C_0 =$



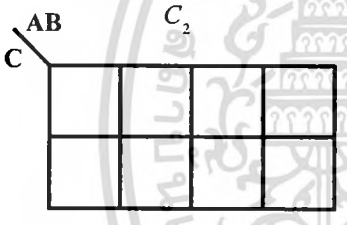
$C_1 =$

C_1



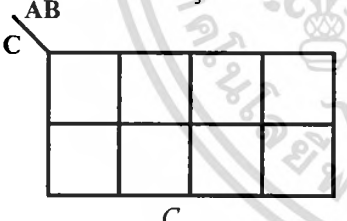
$C_2 =$

C_2



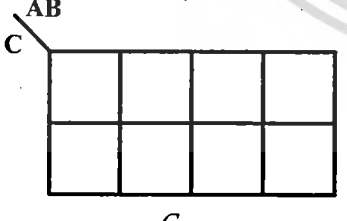
$C_3 =$

C_3



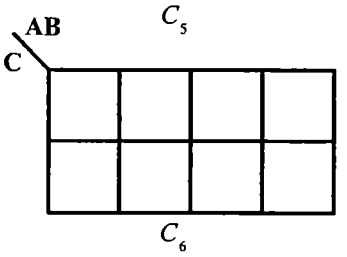
$C_4 =$

C_4



$C_5 =$

C_5



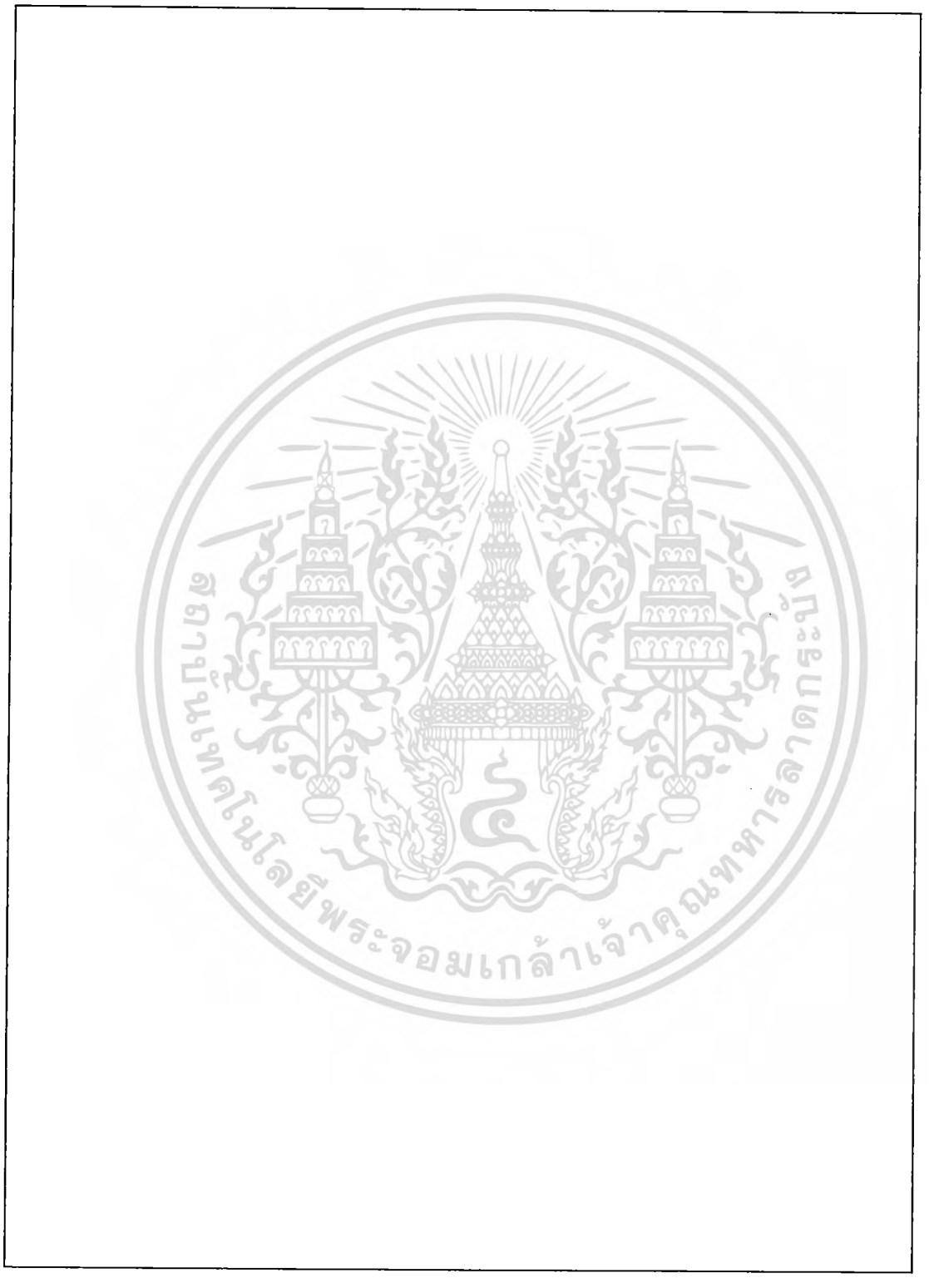
$C_6 =$

C_6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พื้นที่บันทึกผลการทดลองที่ 2

วงจรที่ได้จากโปรแกรม Digital Works

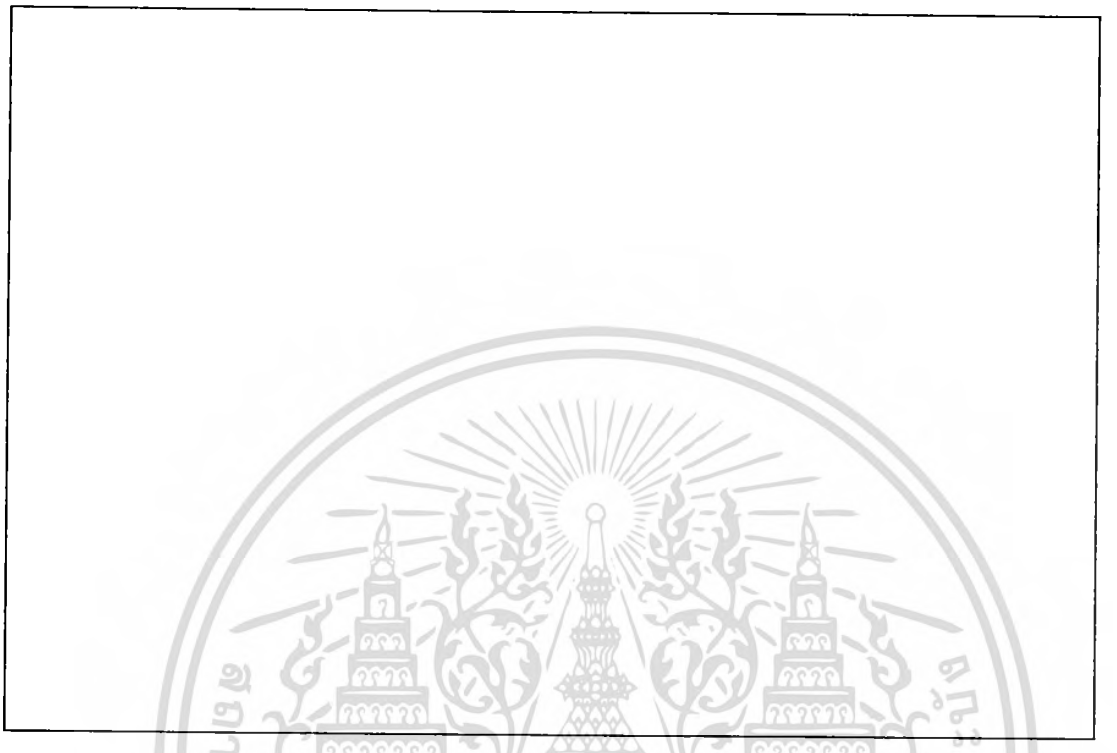


วงจรของเอาท์พุท $C_0 - C_7$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พื้นที่บันทึกผลการทดลองที่ 3

โปรแกรมภาษา VHDL สำหรับวงจรการเข้ารหัส



ตารางบันทึกผลการทดลองที่ 2

Octal	A	B	C	C_0	C_1	C_2	C_3	C_4	C_5	C_6	ตัวเลขที่แสดง (ต่อวงจร)	ตัวเลขที่แสดง (CPLD)
0	0	0	0									
1	0	0	1									
2	0	1	0									
3	0	1	1									
4	1	0	0									
5	1	0	1									
6	1	1	0									
7	1	1	1									

หมายเหตุ หากว่า เอาท์พุท ติดให้ใส่ 1

เอาท์พุท ดับให้ใส่ 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อภิปรายและสรุปผลการทดลอง

_____

_____

_____

_____

_____

_____

_____

คำถามท้ายการทดลอง

จงออกแบบการเข้ารหัสของการนับเลขสามจำนวน โดยมีการนับคือ 4, 5, และ 6 โดยการเขียนตารางความจริง, ลดรูปสมการโดยใช้ K map, ใช้โปรแกรม digital works แสดงผลการออกแบบ และเขียนแสดงการเข้ารหัสโดยใช้ภาษา VHDL

เอกสารอ้างอิง

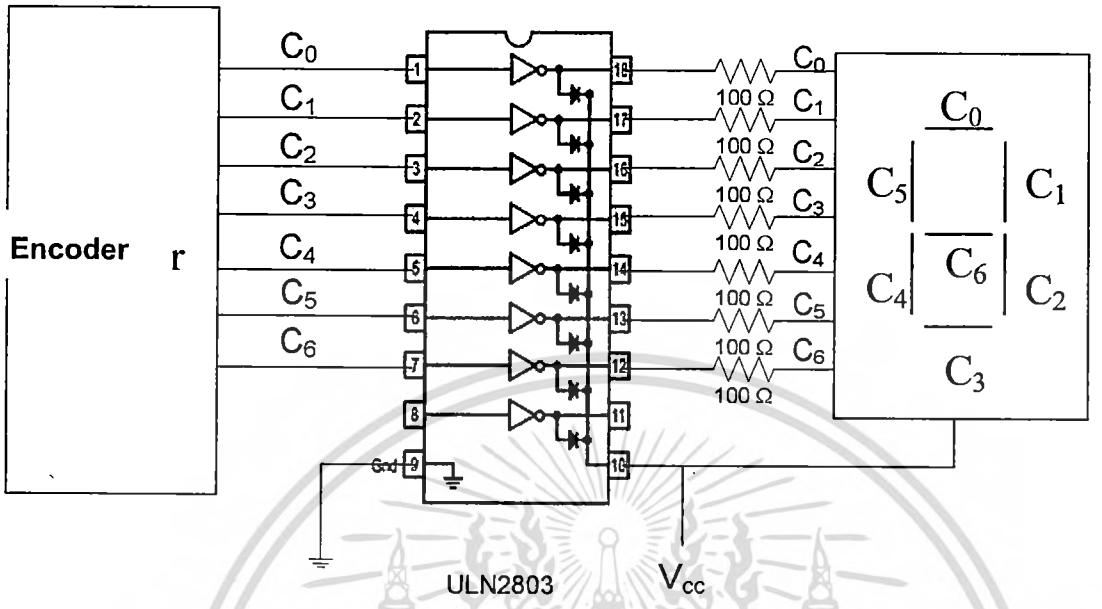
[1] Randy H. Katz and Gaetano Borriello, "Contemporary Logic Design, 2nd edition," Pearson Education International, 2005.

[2] David John Barker, Digital Works for Microsoft Windows, available at: http://www-scm.tees.ac.uk/users/d.j.barker/digital/digital.htm

[3] Datasheet available at: http://www.datasheetcatalog.org/

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่อ 7 Segment



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by ULN2803/D

MOTOROLA

ULN2803
ULN2804

Octal High Voltage, High Current Darlington Transistor Arrays

OCTAL PERIPHERAL DRIVER ARRAYS

SEMICONDUCTOR TECHNICAL DATA

The eight NPN Darlington connected transistors in this family of arrays are ideally suited for interfacing between low logic level digital circuitry (such as TTL, CMOS or PMOS/NMOS) and the higher current/voltage requirements of lamps, relays, printer hammers or other similar loads for a broad range of computer, industrial, and consumer applications. All devices feature open–collector outputs and free wheeling clamp diodes for transient suppression.

The ULN2803 is designed to be compatible with standard TTL families while the ULN2804 is optimized for 6 to 15 volt high level CMOS or PMOS.

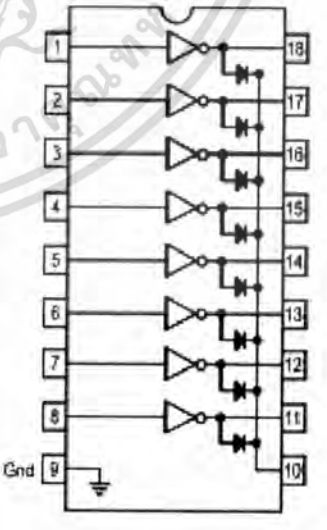
A SUFFIX
PLASTIC PACKAGE
CASE 707

MAXIMUM RATINGS (T_A = 25°C and rating apply to any one device in the package, unless otherwise noted.)

Rating	Symbol	Value	Unit
Output Voltage	V_O	50	V
Input Voltage (Except ULN2801)	V_I	30	V
Collector Current – Continuous	I_C	500	mA
Base Current – Continuous	I_B	25	mA
Operating Ambient Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	−55 to +150	°C
Junction Temperature	T_J	125	°C

$R_{\theta JA}$ = 55°C/W
Do not exceed maximum current limit per driver.

PIN CONNECTIONS



ORDERING INFORMATION

Device	Characteristics		
	Input Compatibility	$V_{CE(Max)}/I_{C(Max)}$	Operating Temperature Range
ULN2803A ULN2804A	TTL, 5.0 V CMOS 6 to 15 V CMOS, PMOS	50 V/500 mA	T_A = 0 to + 70°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ULN2803 ULN2804

ELECTRICAL CHARACTERISTICS (T_A = 25°C, unless otherwise noted)

Characteristic		Symbol	Min	Typ	Max	Unit
Output Leakage Current (Figure 1)		I_{CEX}				μA
(V_O = 50 V, T_A = +70°C)	All Types		–	–	100	
(V_O = 50 V, T_A = +25°C)	All Types		–	–	50	
(V_O = 50 V, T_A = +70°C, V_I = 6.0 V)	ULN2802		–	–	500	
(V_O = 50 V, T_A = +70°C, V_I = 1.0 V)	ULN2804		–	–	500	
Collector–Emitter Saturation Voltage (Figure 2)		$V_{CE(sat)}$				V
(I_C = 350 mA, I_B = 500 μA)	All Types		–	1.1	1.6	
(I_C = 200 mA, I_B = 350 μA)	All Types		–	0.95	1.3	
(I_C = 100 mA, I_B = 250 μA)	All Types		–	0.85	1.1	
Input Current – On Condition (Figure 4)		$I_{I(on)}$				mA
(V_I = 17 V)	ULN2802		–	0.82	1.25	
(V_I = 3.85 V)	ULN2803		–	0.93	1.35	
(V_I = 5.0 V)	ULN2804		–	0.35	0.5	
(V_I = 12 V)	ULN2804		–	1.0	1.45	
Input Voltage – On Condition (Figure 5)		$V_{I(on)}$				V
(V_{CE} = 2.0 V, I_C = 300 mA)	ULN2802		–	–	13	
(V_{CE} = 2.0 V, I_C = 200 mA)	ULN2803		–	–	2.4	
(V_{CE} = 2.0 V, I_C = 250 mA)	ULN2803		–	–	2.7	
(V_{CE} = 2.0 V, I_C = 300 mA)	ULN2803		–	–	3.0	
(V_{CE} = 2.0 V, I_C = 125 mA)	ULN2804		–	–	5.0	
(V_{CE} = 2.0 V, I_C = 200 mA)	ULN2804		–	–	6.0	
(V_{CE} = 2.0 V, I_C = 275 mA)	ULN2804		–	–	7.0	
(V_{CE} = 2.0 V, I_C = 350 mA)	ULN2804		–	–	8.0	
Input Current – Off Condition (Figure 3) (I_C = 500 μA, T_A = +70°C)	All Types	$I_{I(off)}$	50	100	–	μA
DC Current Gain (Figure 2) (V_{CE} = 2.0 V, I_C = 350 mA)	ULN2801	h_{FE}	1000	–	–	–
Input Capacitance		C_I	–	15	25	pF
Turn–On Delay Time (50% E_I to 50% E_O)		t_{on}	–	0.25	1.0	μs
Turn–Off Delay Time (50% E_I to 50% E_O)		t_{off}	–	0.25	1.0	μs
Clamp Diode Leakage Current (Figure 6) (V_R = 50 V)	T_A = +25°C T_A = +70°C	I_R	–	–	50 100	μA
Clamp Diode Forward Voltage (Figure 7) (I_F = 350 mA)		V_F	–	1.5	2.0	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ULN2803 ULN2804

ELECTRICAL CHARACTERISTICS (T_A = 25°C, unless otherwise noted)

Characteristic		Symbol	Min	Typ	Max	Unit
Output Leakage Current (Figure 1)		I_{CEX}				µA
(V_O = 50 V, T_A = +70°C)	All Types		–	–	100	
(V_O = 50 V, T_A = +25°C)	All Types		–	–	50	
(V_O = 50 V, T_A = +70°C, V_I = 6.0 V)	ULN2802		–	–	500	
(V_O = 50 V, T_A = +70°C, V_I = 1.0 V)	ULN2804		–	–	500	
Collector–Emitter Saturation Voltage (Figure 2)		$V_{CE(sat)}$				V
(I_C = 350 mA, I_B = 500 µA)	All Types		–	1.1	1.6	
(I_C = 200 mA, I_B = 350 µA)	All Types		–	0.95	1.3	
(I_C = 100 mA, I_B = 250 µA)	All Types		–	0.85	1.1	
Input Current – On Condition (Figure 4)		$I_{I(on)}$				mA
(V_I = 17 V)	ULN2802		–	0.82	1.25	
(V_I = 3.85 V)	ULN2803		–	0.93	1.35	
(V_I = 5.0 V)	ULN2804		–	0.35	0.5	
(V_I = 12 V)	ULN2804		–	1.0	1.45	
Input Voltage – On Condition (Figure 5)		$V_{I(on)}$				V
(V_{CE} = 2.0 V, I_C = 300 mA)	ULN2802		–	–	13	
(V_{CE} = 2.0 V, I_C = 200 mA)	ULN2803		–	–	2.4	
(V_{CE} = 2.0 V, I_C = 250 mA)	ULN2803		–	–	2.7	
(V_{CE} = 2.0 V, I_C = 300 mA)	ULN2803		–	–	3.0	
(V_{CE} = 2.0 V, I_C = 125 mA)	ULN2804		–	–	5.0	
(V_{CE} = 2.0 V, I_C = 200 mA)	ULN2804		–	–	6.0	
(V_{CE} = 2.0 V, I_C = 275 mA)	ULN2804		–	–	7.0	
(V_{CE} = 2.0 V, I_C = 350 mA)	ULN2804		–	–	8.0	
Input Current – Off Condition (Figure 3) (I_C = 500 µA, T_A = +70°C)	All Types	$I_{I(off)}$	50	100	–	µA
DC Current Gain (Figure 2) (V_{CE} = 2.0 V, I_C = 350 mA)	ULN2801	h_{FE}	1000	–	–	–
Input Capacitance		C_I	–	15	25	pF
Turn–On Delay Time (50% E_I to 50% E_O)		t_{on}	–	0.25	1.0	µs
Turn–Off Delay Time (50% E_I to 50% E_O)		t_{off}	–	0.25	1.0	µs
Clamp Diode Leakage Current (Figure 6) (V_R = 50 V)	T_A = +25°C T_A = +70°C	I_R	–	–	50 100	µA
Clamp Diode Forward Voltage (Figure 7) (I_F = 350 mA)		V_F	–	1.5	2.0	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานการทดลองที่ 6

วงจรนับตามลำดับ (Sequential Counter)

วัตถุประสงค์เชิงพฤติกรรม

นักศึกษา

1. สามารถออกแบบวงจรนับตามตัวเลขที่กำหนดได้
2. สามารถต่อวงจรนับที่ออกแบบโดยใช้ D flip-flop และแสดงผลทาง 7 segment ได้

อุปกรณ์การทดลอง

1. โพรโต้บอร์ด
2. IC TTL 7404, 7408, 7432, 7474, 7448, NE555
3. 7 segment
4. ตัวต้านทานแบบเปลี่ยนค่าได้ขนาด 1 MΩ
5. ตัวเก็บประจุขนาด 10 nF จำนวน 2 ตัว

ความรู้พื้นฐาน

วงจรนับ (Counter) เป็นวงจรประเภท Synchronous ซึ่งจะแสดงสถานะของจำนวนตัวเลขตามที่ผู้ออกแบบกำหนด วงจรนับนี้สามารถสร้างได้โดยใช้ D flip-flop พร้อมด้วยลอจิกเกตประเภทต่างๆ การแสดงผลทางตัวเลขเหล่านี้สามารถทำได้โดยการเข้ารหัส (Encoder) ดังที่ได้ออกแบบมาแล้วในใบงานการทดลองที่ผ่านมา ในใบงานนี้จะใช้ IC เบอร์ 74LS48 ซึ่งเป็น IC ที่ทำหน้าที่เปลี่ยนเข้ารหัส BCD เพื่อแสดงผลทาง 7 segment

ขั้นตอนการออกแบบ Synchronous Counter

Synchronous counter เป็นวงจรนับแบบที่ทำงานไปพร้อมๆ กันทุกบิตเมื่อมีสัญญาณ clock เข้ามาบอกจังหวะการเปลี่ยนสถานะ

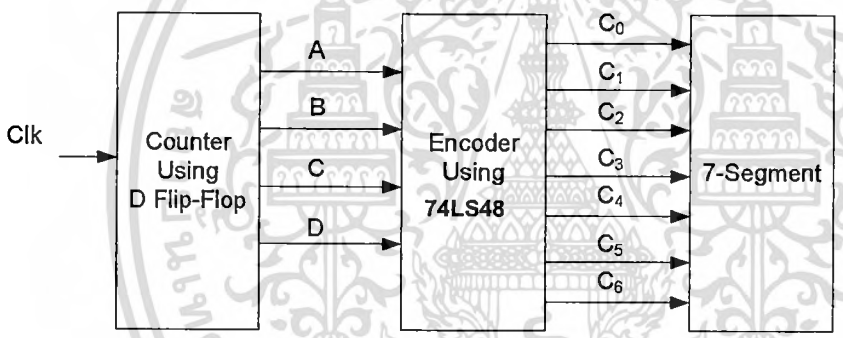
1. วาด state transition diagram ซึ่งประกอบไปด้วย node และเส้นโค้งที่ลากต่อระหว่าง node 2 node ที่แสดงสถานะปัจจุบันและสถานะต่อไป โดยสถานะปัจจุบันจะอยู่ที่จุดเริ่มต้นของเส้นโค้งที่มีปลายเป็นลูกศร และสถานะต่อไปจะเป็น node ที่ด้านปลายของลูกศรนั่นเอง
2. เขียน state transition table เป็นการแสดงสถานะต่างๆ ของ state transition diagram ในรูปของตารางความจริง
3. เขียนสถานะต่อไป ในรูปของฟังก์ชั่นแบบ combinational logic ซึ่งถูกใช้เป็นอินพุทของ flip-flop โดยใช้ K-map มาช่วยในการลดรูปสมการ
4. เขียนวงจรที่ได้จากสมการบูลีนที่ลดรูปแล้วโดยใช้ flip-flop ที่กำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

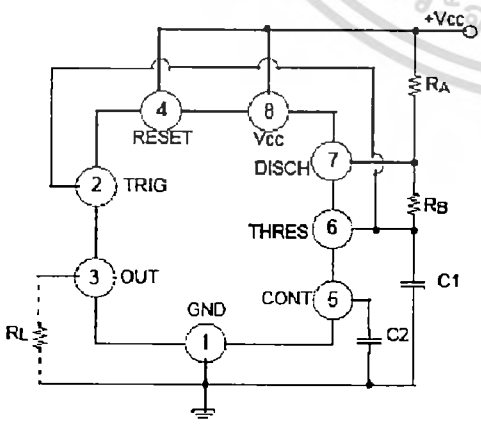
จากขั้นตอนการออกแบบ Synchronous Counter ให้นักศึกษาออกแบบวงจรนับตามตัวเลขที่กำหนดให้แล้วดำเนินการทดลองตามขั้นตอนการทดลองต่อไปนี้

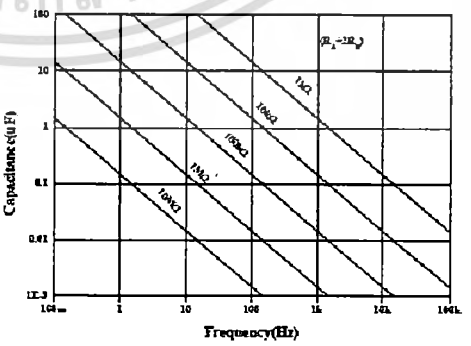
ขั้นตอนการทดลอง

1. เขียน State Transition diagram และ State Transition table ของวงจรนับซึ่งนับตัวเลขตามที่ผู้ควบคุมการทดลองกำหนดให้ แล้วบันทึกผลลงในพื้นที่บันทึกผลการทดลองที่ 1
2. แสดงการใช้ K map ลดรูปเพื่อหาสมการบูลีนของอินพุทของ D flip-flop แต่ละตัว แล้วบันทึกผลลงในพื้นที่บันทึกผลการทดลองที่ 2
3. เขียนวงจรของวงจรนับที่ออกแบบได้ แล้วบันทึกผลลงในพื้นที่บันทึกผลการทดลองที่ 3
4. จงต่อวงจรนับที่ออกแบบได้และแสดงผลทาง 7 segment เพื่อให้ผู้ควบคุมการทดลองตรวจสอบการทำงานของวงจร สังเกตผลที่ได้แล้วบันทึกผลที่ได้ลงในพื้นที่บันทึกผลการทดลองที่ 4 โดยวงจรนับที่ออกแบบจะประกอบไปด้วย 3 ส่วน คือ การสร้าง Clock, การสร้างวงจรนับ และ วงจรแสดงผลทาง 7 segment การต่อวงจรนับนี้มี Block diagram คือ



a. การสร้าง Clock โดยใช้ IC เบอร์ NE555 สามารถทำได้โดยการต่อวงจรดังรูป ซึ่งเป็นวงจรที่เรียกว่า วงจร Astable





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนี้สร้าง Clock ซึ่งมีความถี่ขึ้นอยู่กับตัวต้านทานและตัวเก็บประจุ โดยสามารถหาความสัมพันธ์จากกราฟด้านบน หากว่าเลือก R_A+2R_B= 1 MΩ จะต้องเลือกตัวเก็บประจุขนาดประมาณ 0.1 μF จะได้ Clock ที่มีความถี่ประมาณ 1 Hz เพื่อความสะดวกในการทดลองนี้ จะใช้ตัวต้านทานแบบเปลี่ยนค่าได้ขนาด 1 MΩ

b. วงจรนับสามารถสร้างได้โดยใช้ D flip-flop (IC 7474) ซึ่งมีข้อมูลดังแสดงใน data sheet ตอนท้ายของใบงานการทดลองนี้

c. การสร้างวงจรแสดงผลทาง 7 segment สามารถทำได้โดยใช้ IC เบอร์ 74LS48 ซึ่งมีข้อมูลการต่อวงจรดังแสดงใน datasheet ตอนท้ายของใบงานการทดลองนี้

บันทึกผลการทดลอง

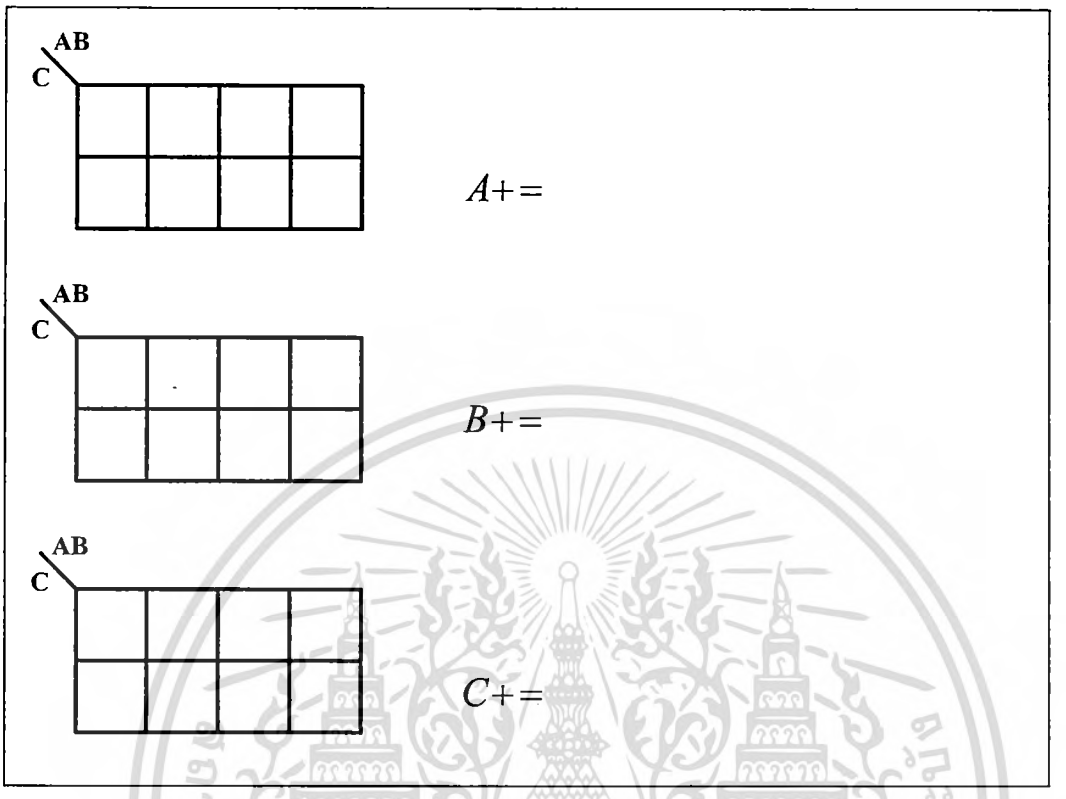
พื้นที่บันทึกผลการทดลองที่ 1

1. เขียน State Transition Diagram

2. เขียน State Transition Table

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พื้นที่บันทึกผลการทดลองที่ 2



พื้นที่บันทึกผลการทดลองที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางบันทึกผลการทดลองที่ 2

อภิปรายและสรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำถามท้ายการทดลอง

จงออกแบบวงจรนับซึ่งสามารถนับเลข 6 ตัวคือ 1, 3, 6, 5, 7 และ 4 โดยการเขียน State Transition diagram, State Transition table, ลดรูปสมการโดยใช้ K map และวาดรูปวงจร แล้วใช้โปรแกรม Digital Works ตรวจสอบการทำงานของวงจรนับ

เอกสารอ้างอิง

[1] Randy H. Katz and Gaetano Borriello, "Contemporary Logic Design, 2nd edition," Pearson Education International, 2005.

[2] Datasheet available at: http://www.datasheetcatalog.org/

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

datasheet TTL 7474

MOTOROLA

SN54/74LS74A

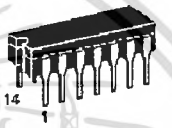
DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

The SN54/74LS74A dual edge-triggered flip-flop utilizes Schottky TTL circuitry to produce high speed D-type flip-flops. Each flip-flop has individual clear and set inputs, and also complementary Q and Q outputs.

Information at input D is transferred to the Q output on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the HIGH or the LOW level, the D input signal has no effect.

DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08

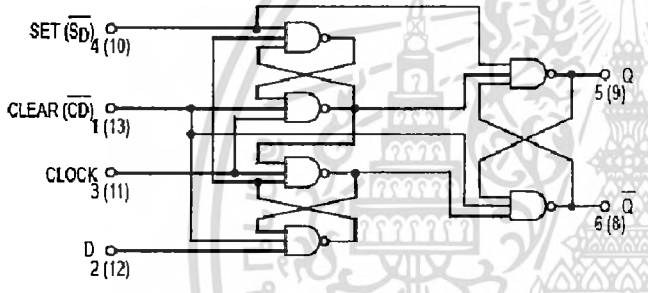
N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

LOGIC DIAGRAM (Each Flip-Flop)



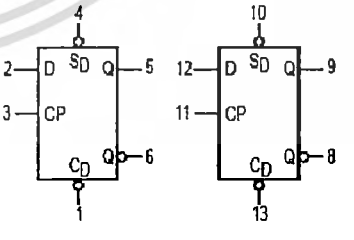
MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	S_D	S_D	D	Q	Q
Set	L	H	X	H	L
Reset (Clear)	H	L	X	L	H
*Undetermined	L	L	X	H	H
Load "1" (Set)	H	H	h	H	L
Load "0" (Reset)	H	H	l	L	H

* Both outputs will be HIGH while both S_D and C_D are LOW, but the output states are unpredictable if S_D and C_D go HIGH simultaneously. If the levels at the set and clear are near V_{IL} maximum then we cannot guarantee to meet the minimum level for V_{OH}.

H, h = HIGH Voltage Level
L, l = LOW Voltage Level
X = Don't Care
i, h (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.

LOGIC SYMBOL



V_{CC} = PIN 14
GND = PIN 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS74A

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input High Current Data, Clock Set, Clear				20 40	µA	V_{CC} = MAX, V_{IN} = 2.7 V	
	Data, Clock Set, Clear				0.1 0.2	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current Data, Clock Set, Clear				−0.4 −0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Output Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				8.0	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions	
f_{MAX}	Maximum Clock Frequency	25	33		MHz	Figure 1	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Clock, Clear, Set to Output		13	25	ns	Figure 1	
			25	40	ns		

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions	
$t_{W(H)}$	Clock	25			ns	Figure 1	V_{CC} = 5.0 V
$t_{W(L)}$	Clear, Set	25			ns	Figure 2	
t_s	Data Setup Time — HIGH	20			ns	Figure 1	
	LOW	20			ns		
t_h	Hold Time	5.0			ns	Figure 1	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

datasheet TTL 74LS48

National Semiconductor

January 1992

DM74LS48
BCD to 7-Segment Decoder

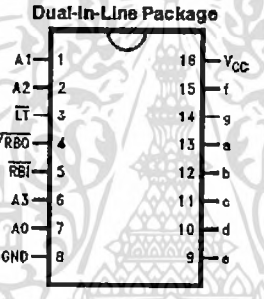
General Description

The 'LS48 translates four lines of BCD (8421) input data into the 7-segment numeral code and provides seven corresponding outputs having pull-up resistors, as opposed to totem pole pull-ups. These outputs can serve as logic signals, with a HIGH output corresponding to a lighted lamp segment, or can provide a 1.3 mA base current to npn lamp driver transistors. Auxiliary inputs provide lamp test, blanking and cascadable zero-suppression functions.

The 'LS48 decodes the input data in the pattern indicated in the Truth Table and the segment identification illustration.

Connection Diagram

Dual-In-Line Package



TL/F/10172–1

Order Number DM74LS48M or DM74LS48N
See NS Package Number M16A or N16E

©1995 National Semiconductor Corporation TL/F/10172

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	DM74LS48			Units
		Min	Nom	Max	
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			V
V_{IL}	Low Level Input Voltage			0.8	V
I_{OH}	High Level Output Current			−50	μA
I_{OL}	Low Level Output Current			6.0	mA
T_A	Free Air Operating Temperature	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA			−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} Min, I_{OH} = Max, V_{IL} = Max	2.4			V
OFF	Output High Current Segment Outputs	V_{CC} = Min, V_O = 0.85V	−1.3			mA
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IH} = Min			0.5	V
		I_{OL} = 2.0 mA, V_{CC} = Min			0.4	
I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V			0.1	mA
IH	High Level Input Current	V_{CC} = Max, V_I = 2.7V			20	μA
IL	Low Level Input Current	V_{CC} = Max, V_I = 0.4V			−0.4	mA
OS	Short Circuit Output Current	V_{CC} = Max, V_O = 0V at $\overline{BI}/\overline{RBO}$ (Note 2)	−0.3		−2	mA
CCH	Supply Current	V_{CC} = Max, V_{IN} = 4.5V			38	mA

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

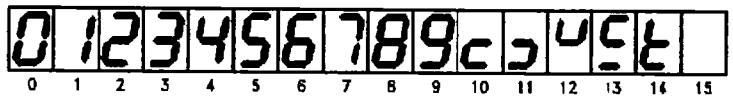
Switching Characteristics at V_{CC} = 5V and T_A = 25°C

Symbol	Parameter	C_L = 15 pF		Units
		Min	Max	
t_{PLH} t_{PHL}	Propagation Delay Time A_n to a–g		100 100	ns
t_{PLH} t_{PHL}	Propagation Delay Time $\overline{RBI}$ to a–f		100 100	ns

Note: LT = HIGH, A_0–A_3 = HIGH.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Numerical Designations—Resultant Displays



TL/F/10172–1

Truth Table

Decimal Or Function	Inputs						Outputs							
	LT	RBI	A_3	A_2	A_1	A_0	BI/RBO	a	b	c	d	e	f	g
0 (Note 1)	H	H	L	L	L	L	H	H	H	H	H	H	H	L
1 (Note 1)	H	X	L	L	L	H	H	L	H	H	L	L	L	L
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H
6	H	X	L	H	H	L	H	L	L	H	H	H	H	H
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L
$\overline{BI}$ (Note 2)	X	X	X	X	X	X	L	L	L	L	L	L	L	L
$\overline{RBI}$ (Note 3)	H	L	L	L	L	L	L	L	L	L	L	L	L	L
$\overline{LT}$ (Note 4)	L	X	X	X	X	X	H	H	H	H	H	H	H	H

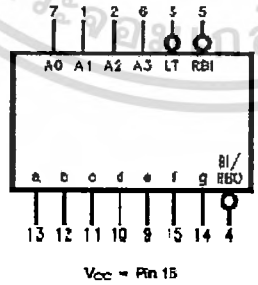
Note 1: $\overline{BI/RBO}$ is wired-AND logic serving as blanking input ($\overline{BI}$) and/or ripple-blanking output ($\overline{RBO}$). The blanking out ($\overline{BI}$) must be open or held at a HIGH level when output functions 0 through 15 are desired, and ripple-blanking input ($\overline{RBI}$) must be open or at a HIGH level if blanking of a decimal 0 is not desired. X = input may be HIGH or LOW.

Note 2: When a LOW level is applied to the blanking input (forced condition) all segment outputs go to a LOW level, regardless of the state of any other input condition.

Note 3: When ripple-blanking input ($\overline{RBI}$) and inputs A_0, A_1, A_2, and A_3 are at LOW level, with the lamp test input at HIGH level, all segment outputs go to a LOW level and the ripple-blanking output ($\overline{RBO}$) goes to a LOW level (response condition).

Note 4: When the blanking input/ripple-blanking output ($\overline{BI/RBO}$) is open or held at a HIGH level, and a LOW level is applied to lamp test input, all segment outputs go to a HIGH level.

Logic Symbol



TL/F/10172–2

V_{CC} = Pin 16
GND = Pin 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานการทดลองที่ 7

วงจรนับตามลำดับ 2 (Sequential Counter 2: VHDL)

วัตถุประสงค์เชิงพฤติกรรม

นักศึกษา

1. สามารถอธิบายวงจรลอจิกเกตอย่างง่ายด้วยภาษา VHDL พร้อมทั้งแสดงผลทางบอร์ดแสดงผลของบอร์ด CPLD จากสมการบูลีนที่ลดรูปได้

อุปกรณ์การทดลอง

1. ชุดบอร์ด CPLD พร้อมบอร์ดแสดงผล

ความรู้พื้นฐาน

วงจรนับ (Counter) เป็นวงจรประเภท Synchronous ซึ่งจะแสดงสถานะของจำนวนตัวเลขตามที่ผู้ออกแบบกำหนด วงจรนับนี้สามารถสร้างได้โดยใช้ D flip-flop พร้อมด้วยลอจิกเกตประเภทต่างๆ การแสดงผลทางตัวเลขเหล่านี้สามารถทำได้โดยการเข้ารหัส (Encoder) ดังที่ได้ออกแบบมาแล้วในใบงานการทดลองที่ผ่านมา ในใบงานนี้จะใช้ IC เบอร์ 74LS48 ซึ่งเป็น IC ที่ทำหน้าที่เปลี่ยนเข้ารหัส BCD เพื่อแสดงผลทาง 7 segment

ขั้นตอนการออกแบบ Synchronous Counter

Synchronous counter เป็นวงจรนับแบบที่ทำงานไปพร้อมๆ กันทุกบิตเมื่อมีสัญญาณ clock เข้ามาบอกจังหวะการเปลี่ยนสถานะ

1. วาด state transition diagram ซึ่งประกอบไปด้วย node และเส้นโค้งที่ลากต่อระหว่าง node 2 node ที่แสดงสถานะปัจจุบันและสถานะต่อไป โดยสถานะปัจจุบันจะอยู่ที่จุดเริ่มต้นของเส้นโค้งที่มีปลายเป็นลูกศร และสถานะต่อไปจะเป็น node ที่ด้านปลายของลูกศรนั่นเอง
2. เขียน state transition table เป็นการแสดงสถานะต่างๆ ของ state transition diagram ในรูปของตารางความจริง
3. เขียนสถานะต่อไป ในรูปของฟังก์ชั่นแบบ combinational logic ซึ่งถูกใช้เป็นอินพุทของ flip-flop โดยใช้ K-map มาช่วยในการลดรูปสมการ
4. เขียนวงจรที่ได้จากสมการบูลีนที่ลดรูปแล้วโดยใช้ flip-flop ที่กำหนด

จากขั้นตอนการออกแบบ Synchronous Counter ให้นักศึกษาออกแบบวงจรนับตามตัวเลขที่กำหนดให้แล้วดำเนินการทดลองตามขั้นตอนการทดลองต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการทดลอง

1. จากใบงานการทดลองที่ 6 เขียนโปรแกรมด้วยภาษา VHDL เพื่อให้ทำงานได้ตามวงจรนับที่ออกแบบได้ (ดูตัวอย่างและปรับปรุงตามเอกสารแนบท้าย) และบันทึกโปรแกรมลงในพื้นที่บันทึกผลการทดลองที่ 1 แล้ว download ลงในบอร์ด CPLD ตามขั้นตอนในคู่มือการใช้บอร์ด CPLD
2. แสดงผลของโปรแกรม แล้วบันทึกการติดดับของ 7-Segment บนบอร์ดแสดงผลของชุดบอร์ด CPLD ลงในตารางบันทึกผลการทดลองที่ 1
3. เปรียบเทียบผลการทดลองที่ได้ กับทฤษฎี และผลที่ได้จากการทดลองที่ได้ในใบงานการทดลองที่ 6 และอภิปรายผลการทดลองที่ได้

บันทึกผลการทดลอง

พื้นที่บันทึกผลการทดลองที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางบันทึกผลการทดลองที่ 2

อภิปรายและสรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำถามท้ายการทดลอง

จงเขียนโปรแกรมด้วยภาษา VHDL เพื่อให้ 7 Segment แสดงการนับเป็นคำว่า "HELLO" แล้วแสดงผลให้ผู้ควบคุมตรวจสอบ

เอกสารอ้างอิง

[1] Randy H. Katz and Gaetano Borriello, "Contemporary Logic Design, 2nd edition," Pearson Education International, 2005.

[2] David John Barker, Digital Works for Microsoft Windows, available at: http://www-scm.tees.ac.uk/users/d.j.barker/digital/digital.htm

[3] Datasheet available at: http://www.datasheetcatalog.org/

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารแนบ

โปรแกรมภาษา VHDL ที่แสดงการนับเลข 0 3 5 และ 6 ตามลำดับ เป็นดังนี้

```
architecture Behavioral of counter is

  type STATE is (s0, s1, s2, s3);

  signal present_state, next_state,delay: STATE;

begin

  digit0 <= '0';

  digit1 <= '1';



  process (clk)

  begin

        if (clk'event and clk = '1') then

        -- add delay

              present_state <= next_state;

        -- end delay

        end if;

  end process;

  process (present_state)

  begin

        case present_state is

              when s0 =>
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            c0 <= '1';
            c1 <= '1';
            c2 <= '1';
            c3 <= '1';
            c4 <= '1';
            c5 <= '1';
            c6 <= '0';
            next_state <= s1;
        when s1 =>
            c0 <= '1';
            c1 <= '1';
            c2 <= '1';
            c3 <= '1';
            c4 <= '0';
            c5 <= '0';
            c6 <= '1';
            next_state <= s2;
        when s2 =>
            c0 <= '1';
            c1 <= '0';
            c2 <= '1';
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                c3 <= '1';
                c4 <= '0';
                c5 <= '1';
                c6 <= '1';
                next_state <= s3;
            when s3 =>
                c0 <= '1';
                c1 <= '0';
                c2 <= '1';
                c3 <= '1';
                c4 <= '1';
                c5 <= '1';
                c6 <= '1';
                next_state <= s0;
            when others =>
                next_state <= s0;
        end case;
    end process;
end Behavioral;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากต้องการให้การนับช้าลงให้เพิ่มบรรทัดด้านล่างใน ระหว่าง -- add delay และ -- end delay

```
if (delay = s0) then
        delay <= s1; else
        if (delay = s1) then
        delay <= s2; else
            if (delay = s2) then
            delay <= s3; else
            present_state <= next_state;
            delay <= s0;
            end if;
        end if;
end if;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

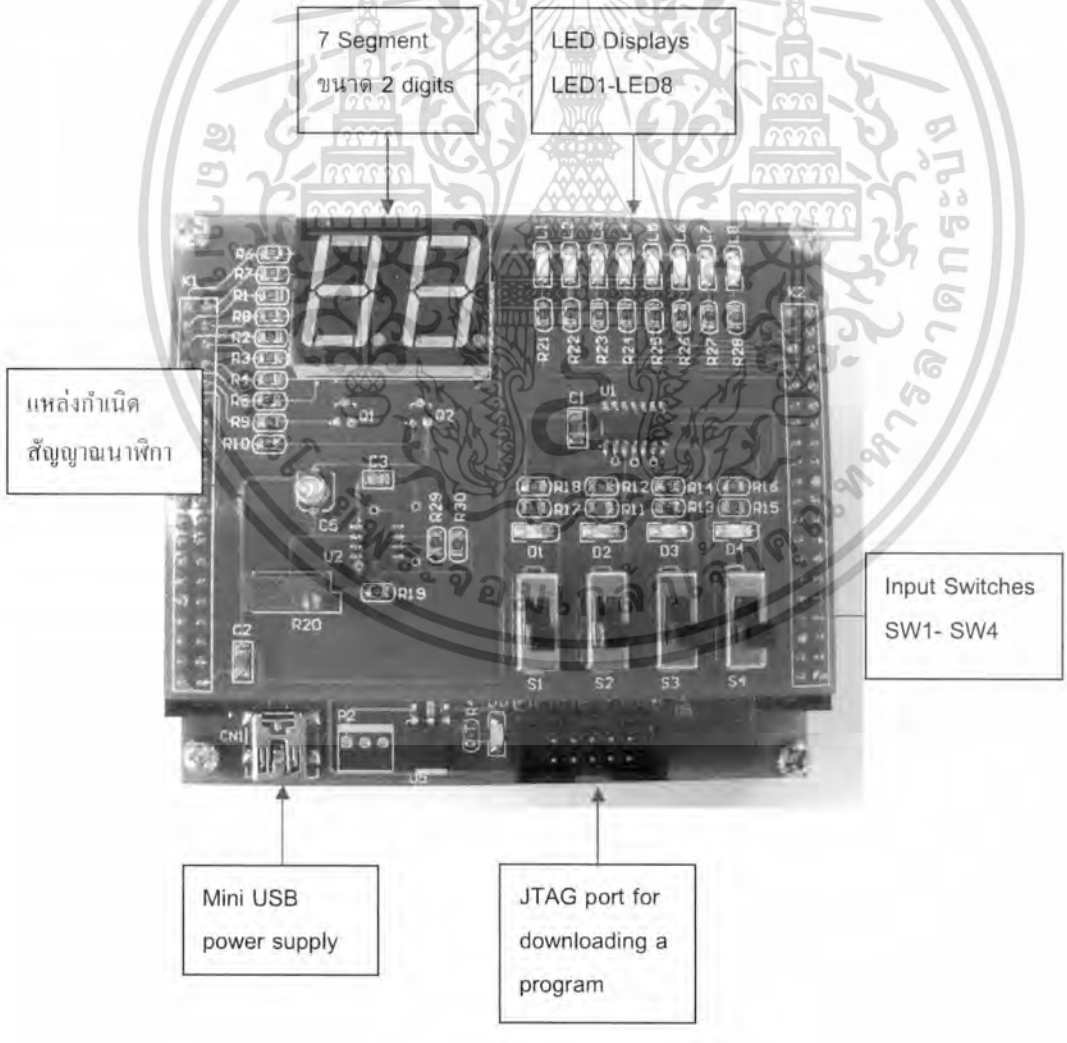
ชุดปฏิบัติการแบบโปรแกรมได้ด้วยภาษา VHDL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดปฏิบัติการแบบโปรแกรมได้ด้วยภาษา VHDL

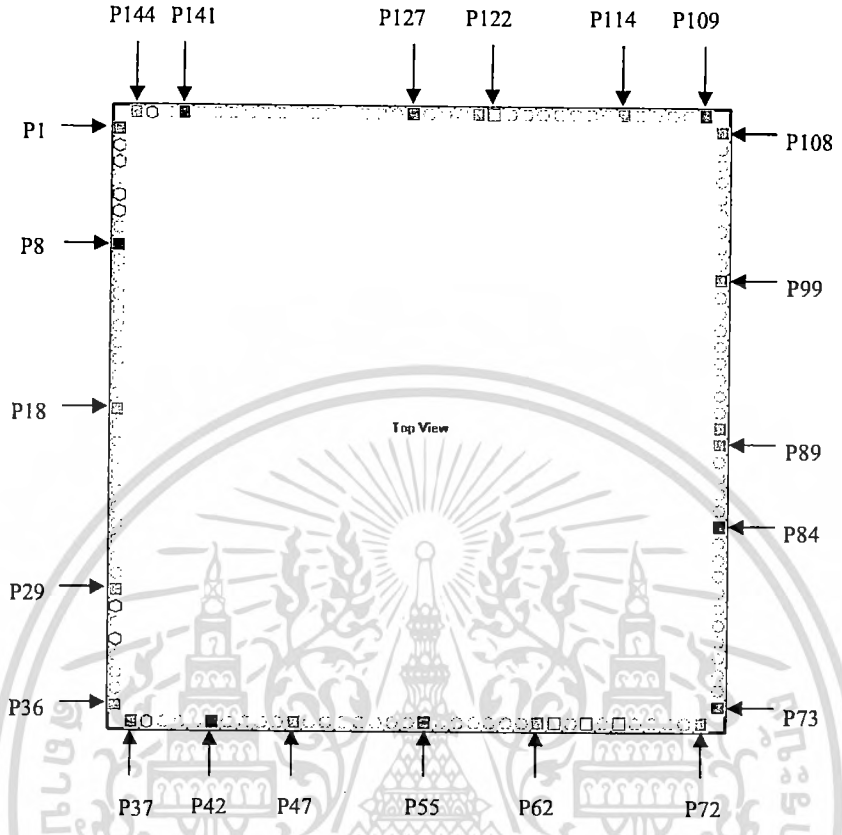
บอร์ด CPLD ที่ใช้ในการวิจัยและในการทดลองประจำวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกนี้ประกอบด้วยสองบอร์ด คือ บอร์ดหลักที่บรรจุอุปกรณ์ CPLD และบอร์ดแสดงผลซึ่งประกอบด้วย LED ทั้งหมด 8 ดวง และ 7 Segment จำนวนสองหลัก ทั้งนี้บอร์ดแสดงผลยังทำหน้าที่ในการป้อนอินพุทให้กับบอร์ดหลักเพื่อการประมวลผลด้วย โดยอินพุทสามารถป้อนได้จากสวิทช์ทั้งหมดสี่สวิทช์ ได้แก่ SW1-SW4 และสัญญาณนาฬิกา (Clock)

การดาวน์โหลดโปรแกรมจากคอมพิวเตอร์สู่ชิพ CPLD ในบอร์ดหลักนั้นสามารถทำได้ผ่านโปรแกรม Xilinx และสายดาวน์โหลดซึ่งต่อเข้าสู่บอร์ดหลักทางพอร์ต JTAG ส่วนแหล่งจ่ายไฟฟ้าให้กับชุดบอร์ด CPLD ชุดนี้สามารถจ่ายจากพอร์ต USB ผ่านพอร์ต miniUSB ของบอร์ดหลัก ดังแสดงในภาพด้านล่าง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN Layout of XC95144XL



PIN Mapping to Display Board

LED	CPLD PIN	7-Segment	CPLD PIN	Switch	CPLD PIN
1	91	A	3	SW1	68
2	90	B	6	SW2	70
3	93	C	7	SW3	71
4	92	D	9	SW4	72
5	95	E	8	GCK	22, 23, 27
6	94	F	99	GSR	99
7	97	G	2		
8	96	DP	4		
		Digit 1	12		
		Digit 2	10		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

แบบสำรวจความคิดเห็นของกลุ่มตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบสำรวจความคิดเห็นของนักศึกษาหลังการเรียน

แบบสำรวจชุดนี้เป็นแบบสำรวจความคิดเห็นของนักศึกษาหลังผ่านกระบวนการ การเรียนการสอนเรื่องประสิทธิภาพการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ภาษา VHDL

<u>คำชี้แจง</u>

แบบประเมินคุณภาพชุดนี้ แบ่งออกเป็น 2 ตอน

ตอนที่ 1 แบบสำรวจความคิดเห็นของนักศึกษาหลังผ่านกระบวนการ การเรียนการสอนเรื่องประสิทธิภาพการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL

ตอนที่ 2 แบบสอบถามเกี่ยวกับความคิดเห็น และข้อเสนอแนะอื่นๆ

<u>การประเมิน</u>

ตอนที่ 1 กรุณาใส่เครื่องหมาย ✓ ลงในช่อง **ระดับความคิดเห็น** เพียงช่องเดียว ที่ตรงกับความคิดเห็นของท่าน โดยกำหนดเกณฑ์การเลือกไว้ 5 ระดับ ดังนี้

ระดับ 5 หมายถึง ระดับมากที่สุด
ระดับ 4 หมายถึง ระดับมาก
ระดับ 3 หมายถึง ระดับปานกลาง
ระดับ 2 หมายถึง ระดับน้อย
ระดับ 1 หมายถึง ระดับน้อยที่สุด

ตอนที่ 2 โปรดเขียนแสดงความคิดเห็น และข้อเสนอแนะ โดยลำดับหัวข้อตามระดับความสำคัญ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตอนที่ 1 แบบสำรวจความคิดเห็นของนักศึกษาหลังผ่านกระบวนการการเรียนการสอนเรื่อง ประสิทธิภาพการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะโดยใช้ ภาษา VHDL

ข้อที่	รายการประเมิน	ระดับ				
		5	4	3	2	1
1.	การ simulation ด้วยโปรแกรม Digital Works ช่วยให้นักศึกษามีความเข้าใจภาคทฤษฎีมากขึ้น					
2.	การต่อวงจรช่วยให้นักศึกษามีความเข้าใจภาคทฤษฎีมากขึ้น					
3.	การเขียนโปรแกรมแสดงพฤติกรรมของวงจรด้วยภาษา VHDL ช่วยให้นักศึกษามีความเข้าใจภาคทฤษฎีมากขึ้น					
4.	นักศึกษารู้สึกว่าการต่อวงจรการทดลองมีความจำเป็นในเรียนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ					
5.	นักศึกษาต้องการให้มีขั้นตอนทั้งสาม (simulation, ต่อวงจร และใช้ภาษา VHDL) ในแต่ละการทดลอง					
6.	นักศึกษารู้สึกว่าการต่อวงจรการทดลองมีความยุ่งยาก, น่าเบื่อ และใช้เวลามาก					
7.	นักศึกษาคิดว่าควรลดขั้นตอนการต่อวงจร (ให้มีเพียงการ simulation และการใช้ภาษา VHDL เท่านั้น)					
8.	นักศึกษาคิดว่าการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะจำเป็นต้องมีการต่อวงจรจริง					
9.	นักศึกษาคิดว่ามีความชำนาญในการต่อวงจรในระดับใดเมื่อผ่านกระบวนการเรียนการสอน					
10.	นักศึกษาคิดว่าจะสามารถนำความรู้ไปใช้งานที่ซับซ้อนขึ้นได้					
11.	การทดลองในใบงานดึงดูดความสนใจในการทดลอง					
12.	ความถูกต้องของรูปและตารางในใบงานการทดลอง					
13.	ความชัดเจนเหมาะสมของขนาดตัวอักษร รูปภาพและตาราง					
14.	ความเหมาะสมของรูปแบบใบงาน					
15.	ความสะดวกในการบันทึกค่าต่างๆ ในใบงาน					

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตอนที่ 2 แบบสอบถามเกี่ยวกับความคิดเห็น และข้อเสนอแนะอื่นๆ

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง

การวิเคราะห์ข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ง.1 ผลการประเมินประสิทธิภาพของการเรียนการสอนจากความคิดเห็นของนักศึกษาปีการศึกษา 1/2553

ข้อที่	รายการประเมิน	นักศึกษาคนที่																																						mean	S.D.
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37		
1	การ simulation ด้วยโปรแกรม Digital Works ช่วยให้นักศึกษามีความเข้าใจภาคทฤษฎีมากขึ้น	4	5	4	3	5	5	5	5	5	4	3	4	4	5	5	4	3	5	3	4	4	3	3	4	3	5	4	4	4	3	5	3	4	5	4	4	5	4.11	0.77
2	การต่อวงจรช่วยให้นักศึกษามีความเข้าใจภาคทฤษฎีมากขึ้น	4	5	5	3	3	5	5	5	5	4	3	4	3	5	3	4	4	5	4	4	4	3	4	4	4	5	4	4	4	4	5	4	5	5	4	5	5	4.22	0.71
3	การเขียนโปรแกรมแสดงพฤติกรรมของวงจรด้วยภาษา VHDL ช่วยให้นักศึกษามีความเข้าใจภาคทฤษฎีมากขึ้น	4	4	4	5	4	5	5	3	4	5	3	3	4	2	3	4	4	5	3	4	5	4	3	3	3	5	4	5	3	1	4	3	4	4	3	4	4	3.78	0.92
4	นักศึกษารู้สึกว่าการต่อวงจรการทดลองมีความจำเป็นในเรียนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ	4	5	5	4	5	5	5	4	4	4	4	4	4	5	5	3	5	5	4	5	3	3	5	5	4	5	4	4	5	5	4	4	5	5	5	5	5	4.46	0.65
5	นักศึกษาต้องการให้มีขั้นตอนทั้งสาม (simulation, ต่อวงจร และใช้ภาษา VHDL) ในแต่ละการทดลอง	4	5	4	2	1	5	5	3	5	4	3	4	4	3	4	3	5	5	2	3	4	5	5	4	3	2	5	4	4	3	4	4	5	4	4	2	4	3.78	1.06
6	นักศึกษารู้สึกว่าการต่อวงจรการทดลองมีความยุ่งยาก, น่าเบื่อ และใช้เวลามาก	3	4	3	1	2	2	2	3	4	5	5	3	3	3	3	2	5	1	4	2	1	5	5	3	3	4	3	5	4	1	1	2	3	1	2	4	1	2.92	1.34
7	นักศึกษาคิดว่าควรลดขั้นตอนการต่อวงจร (ให้มีเพียงการ simulation และการใช้ภาษา VHDL เท่านั้น)	1	3	1	3	2	3	5	2	5	5	2	3	3	3	5	3	5	3	2	2	2	5	4	1	3	5	3	5	2	1	3	3	3	3	1		1	2.94	1.35

ข้อที่	รายการประเมิน	นักศึกษาคนที่																																								mean	S.D.
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37		
8	นักศึกษาคิดว่าการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะจำเป็นต้องมีการต่อวงจรจริง	4	5	5	4	4	5	5	4	5	4	5	4	4	4	3	3	3	4	5	5	4	4	4	4	3	5	5	1	3	5	5	4	5	4	4	4	5	4.16	0.87
9	นักศึกษาคิดว่ามีความชำนาญในการต่อวงจรในระดับใดเมื่อผ่านกระบวนการเรียนการสอน	3	4	3	3	4	4	4	4	5	4	3	3	2	5	2	3	3	4	5	3	4	2	3	3	4	4	3	1	3	4	5	3	3	4	4	3	5	3.49	0.93
10	นักศึกษาคิดว่าจะสามารถนำความรู้ไปใช้งานที่ซับซ้อนขึ้นได้	3	4	3	3	5	4	4	4	4	5	3	3	3	3	2	3	3	4	3	4	3	3	5	4	3	3	3	2	2	4	4	3	3	4	4	4	5	3.49	0.80
11	การทดลองในใบงานดึงดูดความสนใจในการทดลอง	3	4	3	5	5	4	4	2	4	5	2	3		2	2	2	2	3	4	4	4	4	4	3	3	2	4	3	3	3	4	3	4	4	2	4	4	3.36	0.93
12	ความถูกต้องของรูปและตารางในใบงานการทดลอง	3	4	3	5	4	5	5	4	4	5	3	3	3	4	5	4	4	4	3	3	4	3	5	3	4	5	3	4	2	3	4	4	5	4	3	3	5	3.84	0.83
13	ความชัดเจนเหมาะสมของขนาดตัวอักษร รูปภาพและตาราง	4	4	4	5	5	5	5	4	5	4	3	3	3	4	5	4	3	4	4	3	2	3	4	3	4	5	4	4	3	4	4	4	5	5	3	4	5	3.97	0.80
14	ความเหมาะสมของรูปแบบใบงาน	4	4	4	5	4	5	5	3	4	5	3	3	4	4	3	4	3	4	4	3	3	4		3	4	3	4	4	3	2	4	4	4	5	3	3	4	3.75	0.73
15	ความสะดวกในการบันทึกค่าต่างๆ ในใบงาน	4	4	4	5	4	5	5	3	5	4	3	3	4	4	5	4	3	5	2	3	4	4	4	3	4	4	4	4	3	4	2	4	4	4	3	4	4	3.84	0.76

ตารางที่ ง.2 ผลการประเมินประสิทธิภาพของการเรียนการสอนจากความคิดเห็นของนักศึกษาปีการศึกษา 1/2554

ข้อที่	รายการประเมิน	นักศึกษาคนที่																											mean	S.D.
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26			
1	การ simulation ด้วยโปรแกรม Digital Works ช่วยให้นักศึกษามีความเข้าใจภาคทฤษฎีมากขึ้น	4	5	4	4	4	5	5	4	4	4	4	5	4	5	4	4	4	4	4	5	4	4	5	4	5	4	4.31	0.77
2	การต่อวงจรช่วยให้นักศึกษามีความเข้าใจภาคทฤษฎีมากขึ้น	4	5	5	5	5	5	5	4	5	5	5	5	3	5	4	4	5	5	4	5	5	5	5	5	5	3	4.65	0.71
3	การเขียนโปรแกรมแสดงพฤติกรรมของวงจรด้วยภาษา VHDL ช่วยให้นักศึกษามีความเข้าใจภาคทฤษฎีมากขึ้น	4	5	5	4	4	5	5	4	4	4	3	5	3	5	4	4	4	3	5	4	5	4	4	4	4	4	4.19	0.92
4	นักศึกษารู้สึกว่าการต่อวงจรการทดลองมีความจำเป็นในเรียนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ	5	5	5	5	5	5	5	5	4	5	4	4	3	5	4	4	5	4	4	4		5	5	5	5	3	4.52	0.65
5	นักศึกษาต้องการให้มีขั้นตอนทั้งสาม (simulation, ต่อวงจร และใช้ภาษา VHDL) ในแต่ละการทดลอง	5	5	5	3	4	5	5	4	5	5	4	4	4	5	5	4	4	5	4	5	5	4	5	4	5	3	4.46	1.06
6	นักศึกษารู้สึกว่าการต่อวงจรการทดลองมีความยุ่งยาก, น่าเบื่อ และใช้เวลามาก	1	4	4	1	1	2	3	4	5	2	3	4	2	2	2	2	4	3	2	4	3	3	1	2	2	4	2.69	1.34
7	นักศึกษาคิดว่าควรลดขั้นตอนการต่อวงจร (ให้มีเพียงการ simulation และการใช้ภาษา VHDL เท่านั้น)	1	5	1	2	1	1	3	3	2	2	2	3	2	2	1	3	3	3	4	3	1	3	2	2	1	3	2.27	1.35

ข้อที่	รายการประเมิน	นักศึกษาคนที่																										mean	S.D.
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26		
8	นักศึกษาคิดว่าการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะจำเป็นต้องมีการต่อวงจรจริง	5	5	5	4	1	5	5	4	4	4	5	5	3	5	5	3	4	4	5	5	5	5	5	4	4	4	4.35	0.87
9	นักศึกษาคิดว่ามีความชำนาญในการต่อวงจรในระดับใดเมื่อผ่านกระบวนการเรียนการสอน	5	4	5	3	4	4	3	4	4	4	4	4	4	4	4	3	3	3	3	3	4	3	4	4	4	4	3.77	0.93
10	นักศึกษาคิดว่าจะสามารถนำความรู้ไปใช้งานที่ซับซ้อนขึ้นได้	4	4	3	3	5	4	5	5	5	4	3	3	3	4	4	2	3	4	4	3	4	3	4	4	5	3	3.77	0.80
11	การทดลองในใบงานดึงดูดความสนใจในการทดลอง	3	5	4	3	3	4	4	4	4	4	3	3	3	5	4	3	3	4	4	5	4	3	5	3	5	3	3.77	0.93
12	ความถูกต้องของรูปและตารางในใบงานการทดลอง	4	5	4	4	5	5	3	4	5	4	3	4	4	5	4	3	4	4	4	3	5	5	4	5	5	3	4.15	0.83
13	ความชัดเจนเหมาะสมของขนาดตัวอักษร รูปภาพและตาราง	4	5	5	5	5	5	4	4	5	3	3	4	3	5	4		4	4	4	4	5	5	4	5	4	3	4.24	0.80
14	ความเหมาะสมของรูปแบบใบงาน	4	5	5	4	4	5	4	4	5	4	3	4	4	5	4	3	4	4	5	4	5	5	4	5	4	3	4.23	0.73
15	ความสะดวกในการบันทึกค่าต่างๆ ในใบงาน	2	5	5	3	4	5	5	4	5	4	4	4	4	5	3	4	3	5	4	5	5	5	4	2	4	3	4.08	0.76

ลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ ไม่อนุญาตให้คัดลอกเนื้อหา และต้องขออนุญาตเป็นลายลักษณ์อักษรก่อนนำไปใช้ประโยชน์ด้านการค้า

ตารางที่ ง.3 ผลการประเมินประสิทธิภาพของการเรียนการสอนจากความคิดเห็นของนักศึกษาปีการศึกษา 1/2553 และ 1/2554 แยกตามระดับและจำนวน

ข้อที่	รายการประเมิน	ระดับ					total	mean	S.D.
		1	2	3	4	5			
1	การ simulation ด้วยโปรแกรม Digital Works ช่วยให้นักศึกษามีความเข้าใจภาคทฤษฎีมากขึ้น	0	0	9	33	21	63	4.19	0.67
2	การต่อวงจรช่วยให้นักศึกษามีความเข้าใจภาคทฤษฎีมากขึ้น	0	0	8	22	33	63	4.40	0.71
3	การเขียนโปรแกรมแสดงพฤติกรรมของวงจรด้วยภาษา VHDL ช่วยให้นักศึกษามีความเข้าใจภาคทฤษฎีมากขึ้น	1	1	14	31	16	63	3.95	0.83
4	นักศึกษารู้สึกว่าการต่อวงจรการทดลองมีความจำเป็นในเรียนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะ	0	0	5	22	35	62	4.48	0.65
5	นักศึกษาต้องการให้มีขั้นตอนทั้งสาม (simulation, ต่อวงจร และใช้ภาษา VHDL) ในแต่ละการทดลอง	1	4	9	25	24	63	4.06	0.97
6	นักศึกษารู้สึกว่าการต่อวงจรการทดลองมีความยุ่งยาก, น่าเบื่อ และใช้เวลามาก	11	16	16	13	7	63	2.83	1.26
7	นักศึกษาคิดว่าควรลดขั้นตอนการต่อวงจร (ให้มีเพียงการ simulation และการใช้ภาษา VHDL เท่านั้น)	13	15	23	2	9	62	2.66	1.27
8	นักศึกษาคิดว่าการเรียนการสอนวิชาการออกแบบวงจรดิจิตอลและวงจรตรรกะจำเป็นต้องมีการต่อวงจรจริง	2	0	7	26	28	63	4.24	0.89
9	นักศึกษาคิดว่ามีความชำนาญในการต่อวงจรในระดับใดเมื่อผ่านกระบวนการเรียนการสอน	1	3	23	29	7	63	3.60	0.81
10	นักศึกษาคิดว่าจะสามารถนำความรู้ไปใช้งานที่ซับซ้อนขึ้นได้	0	4	26	24	9	63	3.60	0.81
11	การทดลองในใบงานดึงดูดความสนใจในการทดลอง	0	8	21	25	8	62	3.53	0.88
12	ความถูกต้องของรูปและตารางในใบงานการทดลอง	0	1	18	26	18	63	3.97	0.80
13	ความชัดเจนเหมาะสมของขนาดตัวอักษร รูปภาพและตาราง	0	1	13	28	20	62	4.08	0.77
14	ความเหมาะสมของรูปแบบใบงาน	0	1	15	32	14	62	3.95	0.73
15	ความสะดวกในการบันทึกค่าต่างๆ ในใบงาน	0	4	12	31	16	63	3.94	0.84
เฉลี่ย								3.83	0.86

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้